



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 11 2006 002 884 T5 2008.10.02**

(12)

## Veröffentlichung

der internationalen Anmeldung mit der  
 (87) Veröffentlichungs-Nr.: **WO 2007/049490**  
 in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)  
 (21) Deutsches Aktenzeichen: **11 2006 002 884.7**  
 (86) PCT-Aktenzeichen: **PCT/JP2006/320751**  
 (86) PCT-Anmeldetag: **18.10.2006**  
 (87) PCT-Veröffentlichungstag: **03.05.2007**  
 (43) Veröffentlichungstag der PCT Anmeldung  
 in deutscher Übersetzung: **02.10.2008**

(51) Int Cl.<sup>8</sup>: **H03L 7/081 (2006.01)**  
**G01R 31/28 (2006.01)**  
**H03K 5/00 (2006.01)**  
**H03K 5/04 (2006.01)**  
**H04L 7/00 (2006.01)**

(30) Unionspriorität:  
**2005-311661 26.10.2005 JP**

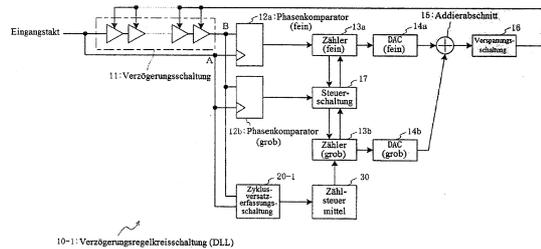
(74) Vertreter:  
**RA u. PA Volkmar Tetzner; PA Michael Tetzner; RA  
 Thomas Tetzner, 81479 München**

(71) Anmelder:  
**Advantest Corp., Tokyo, JP**

(72) Erfinder:  
**Hasumi, Takuya, Tokyo, JP; Suda, Masakatsu,  
 Tokyo, JP**

(54) Bezeichnung: **Verzögerungsregelkreisschaltung, Timing-Generator, Halbleitertestgerät, integrierte Halbleiterschaltung und Verzögerungsbetrieb-Kalibrierungsverfahren**

(57) Hauptanspruch: Verzögerungsregelkreisschaltung, umfassend:  
 eine Verzögerungsschaltung, bei der eine Vielzahl von Verzögerungselementen, die einen gleichen Verzögerungsbetrag aufweisen, in Reihe verbunden sind und die einem Eingangssignal einen festgelegten Verzögerungsbetrag erteilt, um das Signal als ein Ausgangssignal auszugeben;  
 einen Phasenkomparator, der ein Phasensignal auf der Grundlage einer Phasendifferenz zwischen dem Eingangssignal und dem Ausgangssignal ausgibt;  
 einen Zähler, der das Phasensignal aus diesem Phasenkomparator aufnimmt, um ein Steuersignal auszugeben;  
 einen Verzögerungszeit-Akquisitionsabschnitt, der das Steuersignal aus diesem Zähler aufnimmt, um ein Verzögerungszeitsignal auszugeben,  
 wobei die Verzögerungsregelkreisschaltung mit folgendem ausgestattet ist:  
 eine Zyklusversatz-Erfassungsschaltung, die erfasst, ob das Ausgangssignal einen Zyklusversatz verursacht oder nicht; und  
 Zählsteuermittel zum Steuern eines Zählwerts des Zählers in einem Fall, bei dem erfasst wird, dass der Zyklusversatz verursacht wird.



**Beschreibung**

## Technisches Gebiet

**[0001]** Die vorliegende Erfindung betrifft eine Verzögerungsregelkreisschaltung (DLL), die so steuert, dass ein Verzögerungsbetrag, der einem Ausgangssignal einer Verzögerungsschaltung erteilt wird, ein bestimmter Wert wird, einen Timing-Generator unter Verwendung dieser DLL, ein diesen Timing-Generator enthaltendes Halbleitertestgerät, eine die obige DLL enthaltende integrierte Halbleiterschaltung und ein Verzögerungsbetrag-Kalibrierungsverfahren zur Kalibrierung eines einem Ausgangssignal erteilten Verzögerungsbetrags.

## Stand der Technik

**[0002]** Bisher war eine Verzögerungsregelkreisschaltung (DLL) als ein Mittel wie etwa ein Frequenzvervielfacher bekannt.

**[0003]** Die DLL ist eine Schaltung, die durch eine Schaltungstechnologie eine Zeitdifferenz (eine Phasendifferenz) steuert und einstellt, die zwischen einem von Außen erteilten Referenztaktsignal (einem Eingangssignal) und einem inneren Taktsignal erzeugt wird, so dass ein Taktzugriff bei hoher Geschwindigkeit und einer hohen Betriebsfrequenz realisiert wird.

**[0004]** Die DLL beabsichtigt eine Verkürzung der Einrastzeit, eine Verbesserung der Genauigkeit eines Verzögerungsbetrags und dergleichen vom Gesichtspunkt einer Funktion, eines Verwendungszwecks und dergleichen davon, und um das Beabsichtigte zu erreichen, ist anstelle einer herkömmlichen DLL mit analoger Steuerung eine DLL mit digitaler Steuerung vorgeschlagen worden (siehe beispielsweise Patentdokument 1).

**[0005]** Hier wird unter Bezugnahme auf die **Fig. 19(i)**, **(ii)** ein Schaltungsaufbaubeispiel der herkömmlichen DLL beschrieben werden. **Fig. 19(i)** ist ein Blockdiagramm, das einen herkömmlichen DLL-Schaltungsaufbau zeigt, und **Fig. 19(ii)** ist ein Graph, der die Änderung eines jeden Signals mit der Zeit in der herkömmlichen DLL zeigt.

**[0006]** Wie es in **Fig. 19(i)** gezeigt ist, enthält eine herkömmliche DLL **100** eine Verzögerungsschaltung **110**, einen Phasenkomparator **120**, einen Zähler **130** und einen DA-Wandler (DAC) **140**.

**[0007]** Die Verzögerungsschaltung **110** weist einen Aufbau auf, bei dem eine Vielzahl von Verzögerungselementen, die einen gleichen Verzögerungsbetrag aufweisen, in Reihe verbunden sind, und erteilt einem Eingangssignal (ein Referenzsignal, ein Eingangstakt in **Fig. 19**) einen festgelegten Verzöge-

rungsbetrag, um dieses Signal als ein Ausgangssignal auszugeben.

**[0008]** Der Phasenkomparator **120** nimmt das Ausgangssignal (eine Ausgangssignalform) der Verzögerungsschaltung **110** zusammen mit dem Eingangssignal (einer Eingangssignalform) auf. Dann wird synchron mit dem Eingangssignal ein Wert des Ausgangssignals erfasst. Dieses Erfassungsergebnis wird als ein Phasensignal ausgegeben, das eine Beschleunigung oder Verzögerung einer Phase des Ausgangssignals in Bezug auf das Eingangssignal angibt (**Fig. 19(ii)** (a), (b) und (c)).

**[0009]** Der Zähler **130** weist die Funktion eines Prioritätskodierers auf und steuert ein Steuersignal, das aus einer Vielzahl von Bits entsprechend dem Phasensignal aus dem Phasenkomparator **120** zusammengesetzt ist, um das Signal auszugeben **Fig. 19(ii)** (c), (d)).

**[0010]** Der DA-Wandler (ein Verzögerungszeit-Akquisitionsabschnitt) **140** nimmt das Steuersignal aus dem Zähler **130** auf, um ein Verzögerungszeitsignal auszugeben, das eine Verzögerungszeit entsprechend dem Bitwert dieses eingegebenen Steuersignals angibt.

**[0011]** Dann erteilt die Verzögerungsschaltung **110** dem Ausgangssignal auf der Grundlage eines vom DA-Wandler **140** eingegebenen Verzögerungszeitsignals einen festgelegten Verzögerungsbetrag, um das Signal auszugeben. Hier verlängert die Verzögerungsschaltung **110**, wenn eine große Zahl von Bits im Verzögerungszeitsignal „H“ angibt, die Verzögerungszeit des Ausgangssignals in Bezug auf das Eingangssignal. Wenn demgegenüber eine kleine Zahl von Bits im Verzögerungszeitsignal „H“ angibt, wird die Verzögerungszeit des Ausgangssignals in Bezug auf das Eingangssignal verkürzt. Gemäß einer solchen Operation kann das Ausgangssignal, das einen konstanten Verzögerungsbetrag in Bezug auf das Eingangssignal aufweist, ausgegeben werden.

**[0012]** Zudem hat bei der herkömmlichen DLL in einem Fall, bei dem die Zahl der Bits eines Zählers erhöht wird, so dass ein Synchronisierungsbereich verbreitert wird, das Problem bestanden, dass die Zahl der Bits enorm ist.

**[0013]** Demgegenüber hat in einem Fall, bei dem ein Änderungsbetrag (eine Auflösung) der Verzögerungszeit in Bezug auf eine Änderung von einem Bit eines Zählerwerts erhöht wird, so dass der Zähler keine enorme Zahl an Bits aufweist, das Problem bestanden, dass Jitter nicht ausreichend verringert werden kann.

**[0014]** Um das Problem zu lösen, ist eine Technologie vorgeschlagen worden, bei der die herkömmliche

DLL verbessert wird.

**[0015]** Ein Aufbau der DLL gemäß dieser verbesserten Technologie ist in [Fig. 20](#) gezeigt.

**[0016]** Wie es in der Zeichnung gezeigt ist, enthält eine DLL **200-1** beispielsweise eine Verzögerungsschaltung **210**, in der eine Vielzahl von Verzögerungselementen, die eine gleichen Verzögerungsbetrag aufweisen, in Reihe verbunden sind, eine Vielzahl von Phasenkomparatoren **220a**, **220b**, die ein Eingangssignal und ein Ausgangssignal der Verzögerungsschaltung **210** aufnehmen, um ein Phasensignal auszugeben, eine Vielzahl von Zählern **230a**, **230b**, die das Phasensignal aus dem entsprechenden Phasenkomparator **220** aufnehmen, um ein Steuersignal auszugeben, eine Vielzahl von Verzögerungszeit-Akquisitionsabschnitten (DA-Wandlern (DAC)) **240a**, **240b**, die das Steuersignal aus dem entsprechenden Zähler **230** aufnehmen, um ein Verzögerungszeitsignal auszugeben, das eine Verzögerungszeit entsprechend einem Bitwert dieses eingegebenen Steuersignals angibt, einen Addierabschnitt **250**, der die Verzögerungszeit aufaddiert, die durch jedes aus jeder dieser Verzögerungszeit-Akquisitionsabschnitte **240** ausgegebene Verzögerungszeitsignal angegeben wird, und einen Verzögerungszeitsteuerabschnitt (eine Vorspannungsschaltung) **260**, die eine durch diesen Addierabschnitt **250** aufaddierte Verzögerungszeitsumme in die Verzögerungszeit eines jeden Verzögerungselements der Verzögerungsschaltung **210** umwandelt.

**[0017]** Dann sind jeweils zwei Phasenkomparatoren **220**, zwei Zähler **230** und zwei DA-Wandler **240** vorgesehen. Eine dieser Komponenten bildet ein Feinsystem (Feinauflösung) und die andere Komponente bildet ein Grobssystem (Grobauflösung). Hier wird, wie es in [Fig. 21](#) gezeigt ist, eine kleine Abweichung von einer Periode des Eingangssignals durch einen Feinabschnitt verfolgt. Demgegenüber verfolgt in einem Fall, bei dem im Feinabschnitt ein Ziffernübertrag oder eine Absenkung auftritt oder eine große Abweichung von einer Periode besteht, ein Grobabschnitt diesen Fall.

**[0018]** Folglich wird der Verzögerungsbetrag der Verzögerungsschaltung **210** so gesteuert, dass der Betrag gerade eine Periode des Eingangssignals ist. Zudem kann der Synchronisierungsbereich erweitert werden, ohne die Zahl der Bits des Zählers **230** zu erhöhen.

**[0019]** Darüber hinaus wird eine Summe der Verzögerungszeit mit der Grobauflösung und der Verzögerungszeit mit der Feinauflösung bei der Kompensation der Abweichung des Verzögerungsbetrags widerspiegelt, so dass eine Einschwingzeit im Vergleich zu einem Fall, bei dem die Auflösung des Zählers **230** einfach erhöht wird, schnell verringert werden kann.

**[0020]** Allerdings verursacht der Zähler **230** in einem Fall der Nachführung mit einem Rauschen, das eine große Amplitude aufweist, Überlauf (der Zählwert liegt über einem bestimmten Bereich) oder Unterlauf (der Zählwert liegt unter einem bestimmten Bereich). Um dies zu vermeiden, wird vorgeschlagen, dass die Zahl der Bits des Zählers **230** erhöht wird, aber dies weist den Mangel auf, dass sich ein Schaltungsmaßstab vergrößert.

**[0021]** Um dieses Problem zu lösen, enthält eine DLL **200-2**, wie es in [Fig. 22](#) gezeigt ist, eine Steuerung (eine Steuerung) **270**, die die Operationen der Zähler **230a**, **230b** der entsprechenden Systeme steuert. Dann wird in einem Fall, bei dem ein Zählwert einen bestimmten Bereich im Feinsystemzähler (einem ersten Zähler) **230a** überschreitet und der Grobsystemzähler (einem zweiten Zähler) **230b** ein Phasensignal HOLD ausgibt, wird der Zählwert auf einen halben Wert in Bezug auf den Zähler **230a** gesetzt und der Wert wird in Bezug auf den Zähler **230b** aufwärts (Ziffernübertrag) oder abwärts (Ziffern-niedrigung) gezählt.

**[0022]** Demgemäß werden eine Verzögerungskomponente, die eine kleine Auflösung aufweist, und eine Verzögerungskomponente, die eine hohe Auflösung aufweist, einer Ziffernübertrags/erniedrigungs-Verarbeitung unterworfen, wodurch der Synchronisierungsbereich verbreitert werden kann, ohne den Schaltungsmaßstab des Zählers zu vergrößern, und der Überlauf und der Unterlauf im Zähler **230** kann vermieden werden.

Patentdokument 1: Internationale Patentanmeldung Nr. WO 03/036796

#### Offenbarung der Erfindung

#### Durch die Erfindung zu lösendes Problem

**[0023]** Wie oben beschrieben sind die herkömmlichen DLLs **200-1**, **200-2**, die jeweils den Feinabschnitt und den Grobabschnitt aufweisen, sehr effektiv als Mittel zur Lösung der obigen Probleme, beispielsweise so, dass ein Synchronisierungsbereich verbreitert werden kann, ohne einen Schaltungsmaßstab eines Zählers im Vergleich zur herkömmlichen DLL **100**, der nur einen Phasenkomparator oder dergleichen aufweist, zu vergrößern.

**[0024]** Allerdings schwankt der Verzögerungsbetrag der Verzögerungsschaltung **210** in der DLL größtenteils infolge einer Schwankung eines CMOS-Prozesses, einer Spannung und einer Temperatur. Beispielsweise übersteigt ein Verzögerungsbetrag, auch bei einem gleich eingestellten Wert eines DA-Wandlers, manchmal 1,5 Perioden und erreicht keine 0,5 Perioden. In diesem Fall wird vorgeschlagen, dass in einem Ausgangssignal der Verzögerungsschaltung ein Zyklusversatz auftreten soll.

**[0025]** Wie es in den [Fig. 23](#), [Fig. 24](#) gezeigt ist, ist der Zyklusversatz ein Phänomen, bei dem ein Ausgangssignal der Verzögerungsschaltung einen schnelleren oder langsameren Verzögerungsbetrag aufweist, als einen festgelegten Bereich (beispielsweise einen Bereich einer 1,5-Periodenverzögerung bis zu einer 0,5-Periodenverzögerung), der einen ursprünglichen Verzögerungsbetrag (beispielsweise einen Verzögerungsbetrag von 1-Periodenverzögerung) des Ausgangssignals der Verzögerungsschaltung enthält, und daher wird eine Kompensation in einer Richtung umgekehrt zu einer ursprünglichen Richtung ausgeführt, um den Verzögerungsbetrag zu vergrößern oder zu fixieren (festlegen).

**[0026]** Es gilt zu beachten, dass [Fig. 23](#) einen Zustand zeigt, bei dem der Zyklusversatz in einem Fall auftritt, bei dem der Verzögerungsbetrag der Verzögerungsschaltung länger ist als 1,5 Perioden, und [Fig. 24](#) zeigt einen Zustand, bei dem der Zyklusversatz in einem Fall auftritt, bei dem der Verzögerungsbetrag der Verzögerungsschaltung kürzer als 0,5 Perioden ist.

**[0027]** Um solch einen Zyklusversatz zu vermeiden, wird bisher der Verzögerungsbetrag für jede DLL-Schaltung gemessen und ein geeigneter anfänglicher Zählereinstellwert wird so bestimmt, dass dieser Verzögerungsbetrag ein Wert um eine Periode Verzögerung eines Eingangssignals ist.

**[0028]** Allerdings wird der Einstellwert des Zählers bei einem herkömmlichen Verfahren zur Messung des Verzögerungsbetrags um eins gewechselt und geladen und der Verzögerungsbetrag wird für jeden Wechsel gemessen, so dass die Kalibrierung der Verzögerungsschaltung viel Zeit benötigt.

**[0029]** Die vorliegende Erfindung ist angesichts der obigen Situation entwickelt worden und eine Aufgabe davon ist es, eine Verzögerungsregelkreisschaltung bereitzustellen, die in der Lage ist einen anfänglich eingestellten Wert eines Zählers durch eine Technik zu bestimmen, die eine Messung eines Verzögerungsbetrags ersetzt, um eine für eine Kalibrierung einer Verzögerungsschaltung erforderliche Zeit zu reduzieren, ferner einen Timing-Generator, ein Halbleitertestgerät, eine integrierte Halbleiterschaltung und ein Verzögerungsbetrag-Kalibrierungsverfahren.

#### Mittel zur Lösung des Problems

**[0030]** Um diese Aufgabe zu lösen, ist eine erfindungsgemäße Verzögerungsregelkreisschaltung eine Verzögerungsregelkreisschaltung, die folgendes umfasst: eine Verzögerungsschaltung, bei der eine Vielzahl von Verzögerungselementen, die einen gleichen Verzögerungsbetrag aufweisen, in Reihe verbunden sind und die einem Eingangssignal einen festgelegten Verzögerungsbetrag erteilt, um das Sig-

nal als ein Ausgangssignal auszugeben; einen Phasenkomparator, der ein Phasensignal auf der Grundlage einer Phasendifferenz zwischen dem Eingangssignal und dem Ausgangssignal ausgibt; einen Zähler, der das Phasensignal aus diesem Phasenkomparator aufnimmt, um ein Steuersignal auszugeben; einen Verzögerungszeit-Akquisitionsabschnitt, der das Steuersignal aus diesem Zähler aufnimmt, um ein Verzögerungszeitsignal auszugeben, wobei die Verzögerungsregelkreisschaltung mit einer Zyklusversatz-Erfassungsschaltung, die erfasst, ob das Ausgangssignal einen Zyklusversatz verursacht oder nicht, und Zählsteuermitteln zum Steuern eines Zählwerts des Zählers in einem Fall, bei dem erfasst wird, dass der Zyklusversatz verursacht wird, ausgestattet ist.

**[0031]** Gemäß solch einem Aufbau der Verzögerungsregelkreisschaltung kann die Zyklusversatz-Erfassungsschaltung automatisch erfassen, ob das Ausgangssignal der Verzögerungsschaltung den Zyklusversatz verursacht oder nicht, und das Zählsteuermittel kann den Zählwert des Zählers auf der Grundlage dieses Erfassungsergebnisses automatisch steuern. Folglich muss das Wechseln eines anfänglichen Einstellwerts des Zählers, das Laden des Einstellwerts des Zählers und die Ausführung eines Einrastmodus nur ein paar Mal ausgeführt werden, um leicht einen geeigneten Einstellwert zu finden.

**[0032]** Das vermeidet die Notwendigkeit für eine Operation der Messung des Verzögerungsbetrags der Verzögerungsschaltung jedes Mal, wenn der Einstellwert des Zählers geladen wird. Deshalb sind die obige Zyklusversatz-Erfassungsschaltung und das Zählsteuermittel als eine Technik vorgesehen, die die Messung des Verzögerungsbetrags ersetzt, wodurch der geeignete anfängliche Einstellwert des Zählers leicht und schnell bestimmt werden kann und die für eine Kalibrierung einer Verzögerungsschaltung erforderliche Zeit verringert werden kann.

**[0033]** Darüber hinaus weist die Zyklusversatz-Erfassungsschaltung bei der Verzögerungsregelkreisschaltung der vorliegenden Erfindung eine logische Schaltung, die das Eingangssignal und das Ausgangssignal aufnimmt, um ein Phasendifferenzsignal auszugeben, das angibt, ob eine Phase des Eingangssignals mit der des Ausgangssignals übereinstimmt oder nicht, und eine Folgeschaltung auf, die auf der Grundlage des Phasendifferenzsignals aus dieser logischen Schaltung ein Zyklusversatz-Erfassungssignal ausgibt, das angibt, ob das Ausgangssignal den Zyklusversatz verursacht oder nicht.

**[0034]** Gemäß der Verzögerungsregelkreisschaltung, die einen solchen Aufbau aufweist, kann auf der Grundlage der Zyklusversatz-Erfassungsschaltungsausgabe aus der Folgeschaltung geurteilt werden, ob das Ausgangssignal den Zyklusversatz verursacht

oder nicht.

**[0035]** Wenn beispielsweise der anfängliche Einstellwert der Zähler geladen wird und die DLL in den Einrastmodus versetzt wird, um die Folgeschaltung zurückzustellen, weist die Zyklusversatz-Erfassungssignalausgabe aus der Folgeschaltung einen Wert auf, der in Abhängigkeit davon, ob das Ausgangssignal den Zyklusversatz verursacht oder nicht, differenziert. Beispielsweise gibt das Signal an einem Zeitpunkt „H“ an, wenn der Zyklusversatz verursacht wird, und das Signal gibt „L“ an, wenn der Zyklusversatz nicht verursacht wird.

**[0036]** Deshalb kann die Zyklusversatz-Erfassungsschaltung, in der die logische Schaltung und die Folgeschaltung kombiniert sind, erfassen, ob der Zyklusversatz erzeugt wird oder nicht, und die Verzögerungsschaltung kann gemäß diesem Erfassungsergebnis kalibriert werden.

**[0037]** Darüber hinaus weist die logische Schaltung in der Verzögerungsregelkreisschaltung der vorliegenden Erfindung eine Schaltung, in der eine UND-Schaltung und eine Negationsschaltung, um ein Eingangssignal dieser UND-Schaltung zu negieren, kombiniert sind, oder eine exklusive ODER-Schaltung auf.

**[0038]** Gemäß der Verzögerungsregelkreisschaltung, die einen solchen Aufbau aufweist, kann in einem Fall, bei dem der Zyklusversatz im Ausgangssignal auftritt, eine Ausgangssignalf orm der logischen Schaltung als eine Glitch-Signalf orm ausgegeben werden, die „H“ und „L“ wiederholt. Deshalb kann bei einer Folgeschaltung, wenn der Zyklusversatz nicht auftritt, ein Signal „L“ ausgegeben werden. Wenn der Zyklusversatz auftritt, kann ein Signal „H“ ausgegeben werden. Folglich kann die Zyklusversatz-Erfassungsschaltung den Zyklusversatz erfassen.

**[0039]** Darüber hinaus enthält die Folgeschaltung in der Verzögerungsregelkreisschaltung der vorliegenden Erfindung eine oder mehrere einer S-R-Latch-Schaltung, einer D-Flipflop-Schaltung und einer D-Latch-Schaltung.

**[0040]** Gemäß der Verzögerungsregelkreisschaltung, die einen solchen Aufbau aufweist, kann die Folgeschaltung auf der Grundlage eines aus der logischen Schaltung ausgegebenen Signals das Signal „L“ an einem Zeitpunkt ausgeben, wenn der Zyklusversatz nicht auftritt, und kann das Signal „H“ an einem Zeitpunkt ausgeben, wenn der Zyklusversatz auftritt.

**[0041]** Darüber hinaus weist der Verzögerungszeit-Akquisitionsabschnitt in der Verzögerungsregelkreisschaltung der vorliegenden Erfindung eine Vielzahl von Verzögerungszeit-Akquisitionsabschnitten

auf, die unterschiedliche Auflösungen besitzen, eine Vielzahl von Zählern entsprechend der Vielzahl von Verzögerungszeit-Akquisitionsabschnitten vorgesehen sind, und das Zählsteuermittel einen Zählwert des Zählers steuert, der entsprechend dem Verzögerungszeit-Akquisitionsabschnitt vorgesehen ist, der eine grobe Auflösung besitzt.

**[0042]** Gemäß der Verzögerungsregelkreisschaltung, die einen solchen Aufbau aufweist, kann der anfängliche Einstellwert des Zählers automatisch gewechselt werden und ein geeigneter Einstellwert, der im Einrastmodus einzurasten ist, kann leicht gefunden werden.

**[0043]** Darüber hinaus weist die Zyklusversatz-Erfassungsschaltung in der Verzögerungsregelkreisschaltung der vorliegenden Erfindung eine Maximum/Minimumwert-Erfassungsschaltung aufweist, um zu erfassen, ob der Zählwert des Zählers einen maximalen Wert oder einen minimalen Wert angibt, und das Zählsteuermittel urteilt, dass der Zyklusversatz in einem Fall auftritt, bei dem der Zählwert den maximalen Wert oder den minimalen Wert angibt, um den Zählwert des Zählers zu steuern.

**[0044]** Gemäß der Verzögerungsregelkreisschaltung, die einen solchen Aufbau aufweist, kann leicht erfasst werden, ob das Ausgangssignal den Zyklusversatz verursacht oder nicht.

**[0045]** Das heißt, in einem Zustand, bei dem der Zyklusversatz verursacht wird, ist ein Zustand, bei dem sich eine Phase des Ausgangssignals in Bezug auf das Eingangssignal größtenteils verzögert oder beschleunigt, so dass der Zählwert des Zählers, der den maximalen Wert oder den minimalen Wert angibt, fixiert (festgehalten) und nicht eingerastet wird.

**[0046]** Deshalb wird erfasst, ob der Zählwert des Zählers den maximalen Wert oder den minimalen Wert angibt, wodurch beurteilt werden kann, ob das Ausgangssignal den Zyklusversatz verursacht oder nicht.

**[0047]** Darüber hinaus ist ein Timing-Generator der vorliegenden Erfindung ein Timing-Generator, umfassend: eine Verzögerungsregelkreisschaltung, enthaltend eine Verzögerungsschaltung, bei der eine Vielzahl von Verzögerungselementen, die einen gleichen Verzögerungsbetrag aufweisen, in Reihe verbunden sind; und einen Verzögerungsauswahlabschnitt, der eine Ausgabe eines der Verzögerungselemente auswählt, um diese Ausgabe als ein Verzögerungssignal auszugeben, wobei die Verzögerungsregelkreisschaltung die Verzögerungsregelkreisschaltung nach einem der Ansprüche 1 bis 6 ist.

**[0048]** Gemäß dem Timing-Generator, der einen solchen Aufbau aufweist, kann in einem Fall, bei dem

der Timing-Generator eine oder mehrere DLLs enthält, eine für die Kalibrierung dieser DLLs erforderliche Zeit verringert werden.

**[0049]** Darüber hinaus ist ein Halbleitertestgerät der vorliegenden Erfindung ein Halbleitertestgerät, umfassend: einen Timing-Generator, um ein Verzögerungstaktsignal auszugeben, bei dem ein Referenztaktsignal um eine festgelegte Zeit verzögert ist; einen Mustergenerator, der synchron zum Referenztaktsignal ein Testmustersignal ausgibt; eine Signalformgestaltungseinheit, die das Testmustersignal gemäß einem Prüfling gestaltet, um das Signal an den Prüfling zu senden; und einen Logikkomparator, der ein Antwortausgabesignal des Prüflings mit einem Erwartungswertdatensignal vergleicht, wobei der Timing-Generator der Timing-Generator nach Anspruch 7 ist.

**[0050]** Gemäß dem Halbleitertestgerät, das einen solchen Aufbau aufweist, können eine oder mehrere im Timing-Generator vorgesehene DLLs in einer kurzen Zeit kalibriert werden.

**[0051]** Zudem ist integrierte Halbleiterschaltung der vorliegenden Erfindung eine integrierte Halbleiterschaltung, umfassend: eine Vielzahl von Verzögerungsregelkreisschaltungen, die eine gleiche Schwingungsfrequenz aufweisen; und eine Leitung, die ein Referenztaktsignal, das eine niedrigere Frequenz als die Schwingungsfrequenz aufweist auf die Verzögerungsregelkreisschaltungen verteilt, wobei die Verzögerungsregelkreisschaltung die Verzögerungsregelkreisschaltung nach einem der Ansprüche 1 bis 6 ist.

**[0052]** Gemäß der integrierten Halbleiterschaltung, die einen solchen Aufbau aufweist, kann in einem Fall, bei dem eine oder mehrere auf dieser integrierten Halbleiterschaltung montierte DLLs im Timing-Generator vorgesehen sind, die für die Kalibrierung dieser DLLs erforderliche Zeit verringert werden.

**[0053]** Zudem wird CLK-Übertragung über eine lange Distanz bei einer niedrigen Frequenz ausgeführt und Multiplikation wird unter Verwendung der DLL in einem lokalen Abschnitt ausgeführt, so dass ein Schaltungsmaßstab und Stromverbrauch eines Übertragungsabschnitts verringert werden kann. Die Gesamtpufferstufenzahl wird minimiert und ein Versatz kann verringert werden.

**[0054]** In diesem Fall ist, wenn die CLK-Übertragung in einem LSI bei hoher Frequenz über eine lange Distanz ausgeführt wird, im Vergleich zur CLK-Übertragung bei einer niedrigen Frequenz, eine Verarbeitung der Reduzierung eines Pufferintervalls, um eine Belastbarkeit zu verringern, oder eine Verarbeitung einer Betriebsfähigkeit eines Puffers nötig

und beide Fälle führen zur Vergrößerung des Schaltungsmaßstabs und zur Zunahme des Stromverbrauchs. Darüber hinaus gibt es einen großen Unterschied der Zahl der Pufferstufen zwischen Blöcken, so dass der Versatz ebenfalls steigt.

**[0055]** Darüber hinaus ist ein Verzögerungsbetrag-Kalibrierungsverfahren der vorliegenden Erfindung ein Verzögerungsbetrag-Kalibrierungsverfahren, bei dem ein einem Ausgangssignal erteilter Verzögerungsbetrag durch eine Verzögerungsschaltung einer Verzögerungsregelkreisschaltung kalibriert wird, umfassend: Laden eines einer Vielzahl von anfänglich gesetzten Werten in einen Zähler; Ausführen eines Einrastmodus, so dass der Verzögerungsbetrag des Ausgangssignals ein festgelegter Verzögerungsbetrag der Verzögerungsschaltung bezüglich einem Eingangssignal ist; Laden eines anderen anfänglich gesetzten Werts, um den Einrastmodus in einem Fall auszuführen, bei dem eine Zyklusversatz-Erfassungsschaltung einen Zyklusversatz erfasst; und Einrasten des Verzögerungsbetrags des Ausgangssignals, um bei einem Fall zu enden, bei dem die Zyklusversatz-Erfassungsschaltung keinen Zyklusversatz erfasst.

**[0056]** Gemäß solch einem Verfahren in der integrierten Halbleiterschaltung kann die Verzögerungsschaltung durch eine einfache Prozedur in einer kurzen Zeit kalibriert werden.

#### Wirkung der Erfindung

**[0057]** Wie oben beschrieben, kann erfindungsgemäß eine Zyklusversatz-Erfassungsschaltung automatisch erfassen, ob ein Ausgangssignal einer Verzögerungsschaltung einen Zyklusversatz verursacht oder nicht, und Zählsteuermittel können automatisch einen Zählwert eines Zählers auf der Grundlage dieses Erfassungsergebnisses steuern. Folglich muss das Wechseln eines anfänglichen Einstellwerts des Zählers, das Laden des Einstellwerts des Zählers und die Ausführung eines Einrastmodus nur ein paar Mal ausgeführt werden, um leicht einen geeigneten Einstellwert zu finden.

**[0058]** Das vermeidet die Notwendigkeit für eine Operation der Messung des Verzögerungsbetrags der Verzögerungsschaltung jedes Mal, wenn der Einstellwert des Zählers geladen wird. Deshalb sind die obige Zyklusversatz-Erfassungsschaltung und das Zählsteuermittel als eine Technik vorgesehen, die die Messung des Verzögerungsbetrags ersetzt, wodurch der geeignete anfängliche Einstellwert des Zählers leicht und schnell bestimmt werden kann und die für eine Kalibrierung einer Verzögerungsschaltung erforderliche Zeit verringert werden kann.

## Kurze Beschreibung der Zeichnung

[0059] [Fig. 1](#) ist ein Blockdiagramm, das einen Aufbau einer Verzögerungsregelkreisschaltung gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung zeigt;

[0060] [Fig. 2](#) ist ein Blockdiagramm, das einen Aufbau einer Zyklusversatz-Erfassungsschaltung;

[0061] [Fig. 3](#) ist ein Schaltungsdiagramm, das ein spezielles Beispiel einer logischen Schaltung zeigt, die die Zyklusversatz-Erfassungsschaltung konstituiert, wobei (i) eine exklusive ODER-Schaltung als eine erste logische Schaltung zeigt und (ii) eine Negationsschaltung und eine UND-Schaltung als eine zweite logische Schaltung zeigt;

[0062] [Fig. 4](#) ist ein Schaltungsdiagramm, das ein spezielles Beispiel einer Folgeschaltung zeigt, die die Zyklusversatz-Erfassungsschaltung konstituiert, wobei (i) eine S-R-Latch-Schaltung zeigt, (ii) eine D-Flipflop-Schaltung zeigt und (iii) eine D-Latch-Schaltung zeigt;

[0063] [Fig. 5](#) ist ein Schaltungsdiagramm, das einen speziellen Aufbau eines Zählsteuermittels zeigt;

[0064] [Fig. 6](#) ist ein Signalformdiagramm, das eine Ausgabe eines Sequenzers/Zählers im Zählsteuermittel und eine Operation einer Hardware-Verarbeitungsprozedur entsprechend eines jeden Werts dieser Ausgabe zeigt;

[0065] [Fig. 7](#) ist ein Signalformdiagramm, das jede Signalform in der Zyklusversatz-Erfassungsschaltung in einem Fall zeigt, bei dem ein Zyklusversatz in einer Richtung auftritt, in der sich ein Verzögerungsbetrag verkürzt;

[0066] [Fig. 9](#) ist ein Signalformdiagramm, das jede Signalform in der Zyklusversatz-Erfassungsschaltung in einem Fall zeigt, bei dem ein Zyklusversatz in einer Richtung auftritt, in der sich der Verzögerungsbetrag verlängert;

[0067] [Fig. 10](#) ist ein Ablaufdiagramm, das eine Operation eines Aufbaus einer Verzögerungsschaltung in einer Verzögerungsregelkreisschaltung gemäß einem ersten Ausführungsbeispiel zeigt;

[0068] [Fig. 11](#) ist ein Graph, der einen anfänglich eingestellten Wert des Zählers zeigt;

[0069] [Fig. 12](#) ist ein Blockdiagramm, das einen Aufbau einer Verzögerungsregelkreisschaltung in einem zweiten Ausführungsbeispiel der vorliegenden Erfindung zeigt;

[0070] [Fig. 13](#) ist ein Ablaufdiagramm, das eine

Operation eines Aufbaus einer Verzögerungsschaltung in der Verzögerungsregelkreisschaltung gemäß dem zweiten Ausführungsbeispiel zeigt;

[0071] [Fig. 14](#) ist ein Blockdiagramm, das einen Aufbau eines erfindungsgemäßen Halbleitertestgeräts zeigt;

[0072] [Fig. 15](#) ist ein Blockdiagramm, das einen Aufbau eines erfindungsgemäßen Timing-Generators zeigt;

[0073] [Fig. 16](#) ist ein Blockdiagramm, das einen Aufbau einer erfindungsgemäßen integrierten Halbleiterschaltung zeigt;

[0074] [Fig. 17](#) ist ein Blockdiagramm, das einen anderen Aufbau der erfindungsgemäßen Verzögerungsregelkreisschaltung zeigt;

[0075] [Fig. 18](#) ist ein Blockdiagramm, das noch einen anderen Aufbau der erfindungsgemäßen Verzögerungsregelkreisschaltung zeigt;

[0076] [Fig. 19](#) zeigt ein Schaltungsdiagramm, das einen Aufbau einer herkömmlichen Verzögerungsregelkreisschaltung zeigt, und ein Signalformdiagramm, das eine Änderung eines jeden Signals mit der Zeit in dieser Verzögerungsregelkreisschaltung zeigt;

[0077] [Fig. 20](#) ist ein Schaltungsdiagramm, das einen anderen Aufbau der herkömmlichen Verzögerungsregelkreisschaltung zeigt;

[0078] [Fig. 21](#) ist ein Graph, der eine Situation zeigt, bei der ein Ausgangssignal in der herkömmlichen Verzögerungsregelkreisschaltung eingerastet ist;

[0079] [Fig. 22](#) ist ein Schaltungsdiagramm, das noch einen anderen Aufbau der herkömmlichen Verzögerungsregelkreisschaltung zeigt;

[0080] [Fig. 23](#) ist ein Signalformdiagramm, das einen Zustand zeigt, in dem ein Zyklusversatz in einem Fall verursacht wird, bei dem ein Verzögerungsbetrag der Verzögerungsschaltung länger als 1,5 Perioden ist;

[0081] [Fig. 24](#) ist ein Signalformdiagramm, das einen Zustand zeigt, in dem der Zyklusversatz in einem Fall verursacht wird, bei dem der Verzögerungsbetrag der Verzögerungsschaltung kürzer als 1,5 Perioden ist.

## Bester Modus zur Ausführung der Erfindung

[0082] Im Folgenden werden unter Bezugnahme auf die Zeichnung bevorzugte Ausführungsbeispiele einer Verzögerungsregelkreisschaltung, eines Ti-

ming-Generators, eines Halbleitertestgeräts, einer integrierten Halbleiterschaltung und eines Verzögerungsbetrag-Kalibrierungsverfahrens gemäß der vorliegenden Erfindung beschrieben werden.

[Erstes Ausführungsbeispiel einer Verzögerungsregelkreisschaltung]

**[0083]** Zuerst wird unter Bezugnahme auf [Fig. 1](#) ein erstes Ausführungsbeispiel einer erfindungsgemäßen Verzögerungsregelkreisschaltung beschrieben werden.

**[0084]** Die Zeichnung ist ein Blockdiagramm, das einen Aufbau der Verzögerungsregelkreisschaltung des vorliegenden Ausführungsbeispiels zeigt.

**[0085]** Wie es in der Zeichnung gezeigt ist, weist eine Verzögerungsregelkreisschaltung **10-1** eine Verzögerungsschaltung **11**, Phasenkomparatoren **12a**, **12b**, Zähler **13a**, **13b**, DACs **14a**, **14b**, einen Addierabschnitt **15**, eine Vorspannungsschaltung **16**, eine Steuerschaltung **17**, eine Zyklusversatz-Erfassungsschaltung **20-1** und Zählsteuermittel **30** auf.

**[0086]** Es gilt zu beachten, dass die Verzögerungsschaltung **11**, die Phasenkomparatoren **12a**, **12b**, die Zähler **13a**, **13b**, die DACs **14a**, **14b**, der Addierabschnitt **15**, die Vorspannungsschaltung **16** und die Steuerschaltung **17** ähnliche Funktionen aufweisen, wie jene der Verzögerungsschaltung **210**, der Phasenkomparatoren **220a**, **220b**, der Zähler **230a**, **230b**, der DACs **240a**, **240b**, des Addierabschnitts **250**, der Vorspannungsschaltung **260** und der Steuerschaltung **270** der herkömmlichen Verzögerungsregelkreisschaltung **200-2**, die in [Fig. 22](#) gezeigt ist, und daher wird deren detaillierte Beschreibung weggelassen.

**[0087]** Hier ist die Zyklusversatz-Erfassungsschaltung **20-1** eine Schaltung, die ein Eingangssignal der Verzögerungsschaltung **11** mit einem Ausgangssignal davon vergleicht, um zu erfassen, ob das Ausgangssignal einen Zyklusversatz verursacht oder nicht.

**[0088]** Wie es in [Fig. 2](#) gezeigt ist, weist diese Zyklusversatz-Erfassungsschaltung **20-1** eine logische Schaltung **21** und eine Folgeschaltung **22** auf.

**[0089]** Die logische Schaltung **21** nimmt ein Eingangssignal (einen Eingangstakt A) der Verzögerungsschaltung **11** und ein Ausgangssignal (eine Verzögerungsschaltungsausgabe B) der Schaltung auf, gibt ein Signal (ein Phasendifferenz-Erfassungssignal) aus, das einen Glitch aufweist und „H“ und „L“ an einem Zeitpunkt wiederholt, wenn eine Phasendifferenz zwischen dem Eingangssignal und dem Ausgangssignal erzeugt wird, und gibt zu einem Zeitpunkt, wenn keine Phasendifferenz erzeugt wird, das

Phasendifferenz-Erfassungssignal aus, das „L“ angibt.

**[0090]** Wie es in [Fig. 3\(i\)](#) gezeigt ist, kann diese Folgeschaltung **22** beispielsweise aus einer exklusiven ODER-Schaltung (einer XOR-Schaltung, einer ersten logischen Schaltung) **21-1** aufgebaut sein. Eine logische Formel dieser ersten logischen Schaltung **21-1** ist beispielsweise  $(A \cdot \text{NICHT}(B)) + (\text{NICHT}(A) \cdot B)$  oder dergleichen.

**[0091]** Wie es in [Fig. 3\(ii\)](#) gezeigt ist, kann die logische Schaltung **21** beispielsweise aus einer Schaltung (einer zweiten logischen Schaltung **21-2**) aufgebaut sein, in der eine UND-Schaltung und eine Negationsschaltung, um eine Eingabe dieser UND-Schaltung zu negieren, kombiniert sind.

**[0092]** Es gilt zu beachten, dass in der zweiten logischen Schaltung **21-2** ein Eingangstakt A und eine Verzögerungsschaltung B umgekehrt werden können. Das heißt, eine logische Formel kann  $A \cdot \text{NICHT}(B)$  sein.

**[0093]** Die Folgeschaltung **22** gibt ein Zyklusversatz-Erfassungssignal auf der Grundlage des Phasendifferenz-Erfassungssignals aus der logischen Schaltung **21** aus. Wenn beispielsweise das Phasendifferenz-Erfassungssignal ein Signal ist, das „L“ angibt, ist das Zyklusversatz-Erfassungssignal ein Signal, das „L“ angibt. Wenn demgegenüber das Phasendifferenz-Erfassungssignal ein Signal ist, das „H“ und „L“ wiederholt und einen Glitch aufweist, ist das Zyklusversatz-Erfassungssignal ein Signal, das „H“ angibt.

**[0094]** Wie es in [Fig. 4\(i\)](#) gezeigt ist, kann diese Folgeschaltung **22** aus einer S-R-Latch-Schaltung (einer ersten Folgeschaltung) **22-1** aufgebaut sein. Bei dieser S-R-Latch-Schaltung **22-1** wird eine Ausgabe (das Phasendifferenz-Erfassungssignal) der logischen Schaltung **21** in eine Einstellseite (S) eingegeben und ein Rückstellsignal wird in eine Rückstellseite (R) eingegeben.

**[0095]** Darüber hinaus kann die Folgeschaltung **22**, wie es in [Fig. 4\(ii\)](#) gezeigt ist, aus einer D-Flipflop-Schaltung (einer zweiten Folgeschaltung) **22-2** aufgebaut sein. Bei dieser D-Flipflop-Schaltung **22-2** wird ein Signal mit einem H-Pegel in einen D-Anschluss eingegeben, ein Ausgangssignal der logischen Schaltung **21** wird in einen CK-Anschluss eingegeben und ein Rückstellsignal wird in einen Rückstellanschluss eingegeben. Anschließend wird, wenn die Ausgabe (das Phasendifferenz-Erfassungssignal) der logischen Schaltung **21** in den CK-Anschluss eingegeben wird, das in den D-Anschluss eingegebene H-Pegel-Signal aus einem Q-Anschluss ausgegeben.

**[0096]** Darüber hinaus kann die Folgeschaltung **22**, wie es in [Fig. 4\(iii\)](#) gezeigt ist, aus einer D-Latch-Schaltung (einer dritten Folgeschaltung) **22-3** aufgebaut sein. Bei dieser D-Latch-Schaltung **22-3** wird das H-Pegel-Signal in einen D-Anschluss eingegeben, eine Ausgabe (das Phasendifferenz-Erfassungssignal) der umgekehrten logischen Schaltung **21** wird eingegeben und ein Rückstellsignal wird in einen Rückstellanschluss eingegeben. Anschließend wird, wenn die Ausgabe (das Phasendifferenz-Erfassungssignal) der umgekehrten logischen Schaltung **21** eingegeben wird, das in den D-Anschluss eingegebene H-Pegel-Signal aus dem Q-Anschluss ausgegeben.

**[0097]** Das Zählsteuermittel **30** lädt auf der Grundlage des Zyklusversatz-Erfassungssignals aus der Zyklusversatz-Erfassungsschaltung **20** einen neuen anfänglichen Einstellwert auf den Grobzähler **13b**.

**[0098]** Dieses Zählsteuermittel **30** wird manchmal durch Hardware- oder Softwareverarbeitung ausgeführt.

**[0099]** Wie es in [Fig. 5](#) gezeigt ist, beinhaltet das durch die Hardwareverarbeitung ausgeführte Zählsteuermittel **30** einen Sequenzer/Zähler **31**, einen Dekodierer **32**, logische DA-Wert-(1 bis N)-Realisierungsschaltungen **33-1** bis **33-n**, eine logische Schaltung **34** und eine logische Rückstellsignalerzeugungsschaltung **35**.

**[0100]** Es gilt zu beachten, dass der Sequenzer/Zähler **31** und der Dekodierer als eine Sequenzer-schaltung aufgebaut sind.

**[0101]** Hier nimmt der Sequenzer/Zähler **31** ein Sequenzersteuersignal (das Zyklusversatz-Erfassungssignal) aus der Zyklusversatz-Erfassungsschaltung **20-1** auf und führt auf der Grundlage eines durch dieses Sequenzersteuersignal angegebenen Wertes eine Zählung aus, um dieses Zählergebnis auszugeben.

**[0102]** Wenn beispielsweise das Sequenzersteuersignal „1“ angibt (wenn die Verzögerungsregelkreisschaltung **10-1** den Zyklusversatz verursacht), zählt der Sequenzer/Zähler **31** +1. Nach dieser Zähloperation wird der Zählwert in Übereinstimmung mit einer Eingangszeitsteuerung des Eingangssignals (einem Eingangstakt) an den Dekodierer **32** gesendet.

**[0103]** Wenn demgegenüber das Sequenzersteuersignal „0“ angibt (wenn die Verzögerungsregelkreisschaltung **10-1** keinen Zyklusversatz verursacht), führt der Sequenzer/Zähler **31** keine Zähloperation aus.

**[0104]** Der Dekodierer **32** sendet ein Selektionssignal an eine der logischen DA-Wert-(1 bis N)-Realisie-

rungsschaltungen **33-1** bis **33-n** oder die logische Rückstellsignalerzeugungsschaltung **35** auf der Grundlage des Zählwerts aus dem Sequenzer/Zähler **31**.

**[0105]** Unter Bezugnahme auf [Fig. 6](#) wird eine Operation dieses Dekodierers **32** beschrieben werden. Die Zeichnung ist ein Signalformdiagramm, das eine Beziehung zwischen einer Ausgabe des Sequenzer/Zählers **31** und einer Operation des Zählsteuermittels (Hardwareverarbeitungsmittels) **30** zeigt.

**[0106]** Wie es in der Zeichnung gezeigt ist, gibt die Ausgabe (der Zählwert) des Sequenzer/Zählers **31** einen Wert wie etwa „1“, „2“, „3“, ... „30“, „31“ ... an.

**[0107]** Wenn der Zählwert beispielsweise „1“ ist, ist eine entsprechende Operation „DA1 SET“ und es wird ein Selektionssignal an die DA-Wert-1-Realisierungsschaltung **33-1** gesendet. Wenn der Zählwert „2“ ist, ist eine entsprechende Operation „DA2 SET“ und es wird ein Selektionssignal an die DA-Wert-2-Realisierungsschaltung **33-2** gesendet. Wenn der Zählwert „21“ ist, ist eine entsprechende Operation „DA3 SET“ und es wird ein Selektionssignal an die DA-Wert-3-Realisierungsschaltung **33-3** gesendet. Demgemäß wird, wenn der Zählwert „10 m + 1“ ist, das Selektionssignal an eine entsprechende Schaltung der logischen DA-Wert-(1 bis N)-Realisierungsschaltungen **33-1** bis **33-n** aus, so dass ein DA-Wert des Zählers **13a** gewechselt wird.

**[0108]** Wenn der Zählwert „10 m + 9“ ist, wie etwa „9“, „19“, „29“ ..., ist eine entsprechende Operation „CLR“ und das Selektionssignal wird an die logische Rückstellsignalerzeugungsschaltung **35** gesendet.

**[0109]** Wenn der Zählwert ein anderer ist als „10 m + 1“ oder „10 m + 9“, wird das Selektionssignal nicht an die logischen DA-Wert-(1 bis N)-Realisierungsschaltungen **33-1** bis **33-n** oder die logische Rückstellsignalerzeugungsschaltung **35** gesendet. Das heißt, wenn der Zählwert „2“ bis „8“, „12“ bis „18“, „22“ bis „28“ ... beträgt, wird eine DA-Halteoperation ab einem Zeitpunkt ausgeführt, bei dem der DA-Wert auf eine Zeit gesetzt ist, bei der die Verzögerungsregelkreisschaltung **10-1** einrastet.

**[0110]** Darüber hinaus ist die DA-Halteoperation, an einem Zeitpunkt, an dem der Zählwert „10“, „20“, „30“ ... beträgt, zu beurteilen, ob der Zyklusversatz verursacht wird oder nicht.

**[0111]** Es gilt zu beachten, dass in [Fig. 6](#) „halte den DA-Wert“ bedeutet, den momentan am Zähler **13a** gesetzten DA-Wert zu halten wie er ist.

**[0112]** Wenn das Selektionssignal an den Dekodierer **32** gesendet wird, setzen die logischen DA-Wert-(1 bis N)-Realisierungsschaltungen **33-1**

bis **33-n** und die logische Schaltung **34** einen bestimmten DA-Wert am Zähler **13a** (Übertragung eines Zählsteuersignals).

**[0113]** Hier wird, wenn das Selektionssignal an die DA-Wert-1-Realisierungsschaltung **33-1** gesendet wird, „DA1“ am Zähler **13a** gesetzt. Wenn das Selektionssignal an die DA-Wert-2-Realisierungsschaltung **33-2** gesendet wird, wird „DA2“ am Zähler **13a** gesetzt. Wenn das Selektionssignal an die DA-Wert-3-Realisierungsschaltung **33-3** gesendet wird, wird „DA3“ am Zähler **13a** gesetzt. Dann wird, wenn das Selektionssignal an die DA-Wert-N-Realisierungsschaltung **33-n** gesendet wird, wird „DA N“ am Zähler **13a** gesetzt.

**[0114]** Wenn das Selektionssignal vom Dekodierer **32** gesendet wird, sendet die logische Rückstellsignalerzeugungsschaltung **35** das Zyklusversatzrückstellsignal an die Folgeschaltung **22** der Zyklusversatz-Erfassungsschaltung **20-1**. Folglich stellt die Zyklusversatz-Erfassungsschaltung **20-1** die Folgeschaltung **22** zurück.

**[0115]** Als nächstes wird unter Bezugnahme auf die **Fig. 7** bis **Fig. 9** eine Funktionsweise der Zyklusversatz-Erfassungsschaltung beschrieben werden.

**[0116]** **Fig. 7** zeigt jede Signalform der Zyklusversatz-Erfassungsschaltung in einem eingerasteten Zustand, **Fig. 8** zeigt jede Signalform der Zyklusversatz-Erfassungsschaltung in einem Fall, bei dem der Zyklusversatz in einer Richtung auftritt, in der sich ein Verzögerungsbetrag verkürzt, und **Fig. 9** zeigt jede Signalform der Zyklusversatz-Erfassungsschaltung in einem Fall, bei dem der Zyklusversatz in einer Richtung auftritt, in der sich ein Verzögerungsbetrag verlängert.

**[0117]** Zuerst wird die Funktionsweise der Zyklusversatz-Erfassungsschaltung während DLL-Einrastung unter Bezugnahme auf **Fig. 7** beschrieben werden.

**[0118]** Der DLL-Einrastzeitpunkt ist ein Zustand, bei dem ein Ausgangssignal B der Verzögerungsschaltung **11** gerade um einen Zyklus im Vergleich zu einem Referenzsignal A verzögert wird. Es gilt zu beachten, dass das Referenzsignal A ein Ausgangssignal (ein Signal eines Punktes A der in **Fig. 1** gezeigten DLL **10-1**) der Verzögerungsschaltung **11** ist. Darüber hinaus ist das Ausgangssignal B ein Ausgangssignal (ein Signal eines Punktes B der in **Fig. 1** gezeigten DLL **10-1**) der Verzögerungsschaltung **11**.

**[0119]** In diesem Fall, wie es in **Fig. 7** gezeigt ist, stimmt eine Phase des Referenzsignals A mit der des Ausgangssignals B überein und es tritt kein Zyklusversatz auf (**Fig. 7(i), (ii)**). Zu diesem Zeitpunkt wird aus der logischen Schaltung **21** ein „L“-Pegel-Signal

ausgegeben (**Fig. 7(iii)**) und das „L“-Pegel-Signal wird ebenfalls aus der Folgeschaltung **22** ausgegeben (**Fig. 7(iv)**).

**[0120]** Als nächstes wird unter Bezugnahme auf **Fig. 8** eine Funktionsweise der Zyklusversatz-Erfassungsschaltung zu einem Zeitpunkt, an dem der Zyklusversatz in einer Richtung auftritt, in der sich der Verzögerungsbetrag verkürzt, beschrieben werden.

**[0121]** In der Zeichnung ist ein Zyklusversatzzustand gezeigt, bis der Wert des Grobzählers **13b** einen maximalen Wert oder minimalen Wert aufweist, und daher stimmen die Phasen nicht überein (**Fig. 8(i), (ii)**). Zu diesem Zeitpunkt wird als Ausgangssignal der logischen Schaltung **21** ein H-Pegel-Signal ausgegeben, das einen Glitch mit kleiner Impulsbreite aufweist. Folglich wird ein H-Pegel-Signal als das Ausgangssignal der Folgeschaltung **22** ausgegeben (**Fig. 8(iv)**).

**[0122]** Als nächstes wird unter Bezugnahme auf **Fig. 9** eine Funktionsweise der Zyklusversatz-Erfassungsschaltung zu einem Zeitpunkt, an dem der Zyklusversatz in einer Richtung auftritt, in der sich der Verzögerungsbetrag verlängert, beschrieben werden.

**[0123]** Bei Vergleich eines in **Fig. 9** gezeigten Falls mit dem in **Fig. 8** gezeigten Fall unterscheiden sie sich insofern, dass sich eine Phasendifferenz der Verzögerungsschaltungsausgabe B vom Referenzsignal größtenteils unterscheidet, aber sie sind insofern gleich, dass der Zyklusversatz im Ausgangssignal B der Verzögerungsschaltung **11** auftritt. Deshalb bleibt auch beim in **Fig. 9** gezeigten Fall der Zyklusversatzzustand aufrecht, bis der Wert des Grobzählers **13b** der maximale Wert oder minimale Wert wird, und daher stimmen die Phasen nicht miteinander überein (**Fig. 9(i), (ii)**). Zu diesem Zeitpunkt wird das H-Pegel-Signal, das einen Glitch mit einer schmalen Impulsbreite aufweist, als Ausgangssignal der logischen Schaltung **21** ausgegeben. Folglich wird das H-Pegel-Signal als das Ausgangssignal der Folgeschaltung **22** ausgegeben (**Fig. 9(iv)**).

**[0124]** Demgemäß gibt die Zyklusversatz-Erfassungsschaltung **20**, wenn der Zyklusversatz auftritt, das H-Pegel-Signal aus. Demgegenüber gibt die Zyklusversatz-Erfassungsschaltung **20**, wenn der Zyklusversatz nicht auftritt, das L-Pegel-Signal aus.

**[0125]** Folglich kann das Zählsteuermittel **30** ermöglichen, dass der Zähler **13b** den anfänglich gesetzten Wert des Zählers auf der Grundlage des aus der Zyklusversatz-Erfassungsschaltung **20** ausgegebenen Zyklusversatz-Erfassungssignals wechselt.

**[0126]** Als nächstes wird unter Bezugnahme auf **Fig. 10** eine Operation (ein Verzögerungsbetrag-Ka-

librierungsverfahren) ab einem Zeitpunkt, wenn der Wert des Zählers auf einen Zeitpunkt gesetzt wird, wenn die DLL eingerastet ist, beschrieben werden.

**[0127]** Es wird vorausgesetzt, dass betreffend den anfänglichen Einstellwert (den DA-Wert) des Zählers, zwei oder mehrere DA-Werte aufgestellt werden (der DA-Wert wird durch Simulation bestimmt), so dass die DLL bei jedem Prozess eines CMOS mit jedem DA-Wert sicher eingerastet werden kann.

**[0128]** Zuerst wird, wenn ein erster DA-Wert einer Vielzahl von DA-Werten geladen wird (Schritt 10), der geladene DA-Wert am (Grob-)Zähler 13b eingestellt und die DLL 10-1 wird auf einen Einrastmodus umgeschaltet (eine Einrast/Nicht-Einrast-Umschaltfunktion, Schritt 11).

**[0129]** Hier bleibt ein Zustand in der Folgeschaltung 22 bis zum Einrasten erhalten, so dass die Folgeschaltung 22 zurückgestellt wird (Schritt 12), und eine Ausgabe der Folgeschaltung 22 wird nach Verstreichen einer WARTEZEIT gelesen (Schritt 13).

**[0130]** Ein durch die Leseausgabe (das Zyklusversatz-Erfassungssignal) angegebener Wert der Folgeschaltung 22 wird beurteilt (Schritt 14).

**[0131]** Im Ergebnis der Beurteilung wird in einem Fall, bei dem das Zyklusversatz-Erfassungssignal „H“ angibt, d. h. es wird angezeigt, dass der Zyklusversatz auftritt, der DA-Wert gewechselt (wechseln eines Zählereinstellwerts, Schritt 15), und eine Operation der Schritte 11 bis 15 wird mit diesem gewechselten DA-Wert wiederholt.

**[0132]** Demgegenüber wird in einem Fall, bei dem das Zyklusversatz-Erfassungssignal „L“ angibt, d. h. es wird angezeigt, dass der Zyklusversatz nicht auftritt, das Einrasten der DLL abgeschlossen (Schritt 16).

**[0133]** Der DA-Wert wird durch solch eine Prozedur zweimal oder dreimal gewechselt, bis das Einrasten der DLL abgeschlossen ist, wodurch leicht und einfach ein optimaler DA-Wert gefunden werden kann.

**[0134]** Als nächstes wird unter Bezugnahme auf [Fig. 11](#) ein Verfahren zur Selektion des anfänglichen Einstellwerts des Zählers beschrieben werden.

**[0135]** Zuerst werden zwei oder mehrere DA-Werte aufgestellt (drei Werte DA1, DA2 und DA3 in der Zeichnung). Dies liegt daran, dass die DLL sicher mit jedem DA-Wert bei jedem Prozess eines CMOS eingerastet werden kann und solch ein Wert während des Entwurfs (während einer Simulation) bestimmt wird.

**[0136]** Hier werden die Werte DA1, DA2 und DA3

wie in [Fig. 11](#) gezeigt bestimmt.

**[0137]** In diesem Fall, wenn DA1 am Zähler 13b gesetzt ist, wird ein Prozess „schnell“ eingerastet, aber die Prozesse „typ“ und „langsam“ werden nicht eingerastet.

**[0138]** Darüber hinaus werden, wenn DA2 am Zähler 13b gesetzt ist, die Prozesse „schnell“ und „typ“ eingerastet, aber der Prozess „langsam“ wird nicht eingerastet.

**[0139]** Darüber hinaus werden, wenn DA3 am Zähler 13b gesetzt ist, die Prozesse „typ“ und „langsam“ eingerastet, aber der Prozess „schnell“ wird nicht eingerastet.

**[0140]** Demgemäß wird der anfängliche Einstellwert des Zählers durch Simulation so bestimmt, dass die DLL bei allen Prozessen eingerastet werden kann.

**[0141]** Dann, wenn der Zyklusversatz erfasst worden ist, wird der DA-Wert wie bei DA1 DA2 → DA3 gewechselt.

**[0142]** Folglich kann die DLL sicher mit jedem DA-Wert bei jedem Prozess des CMOS eingerastet werden.

**[0143]** Wie es oben beschrieben wurde, kann die DLL gemäß der Verzögerungsregelkreisschaltung der vorliegenden Erfindung ohne Messung irgendeines Verzögerungsbetrags der Verzögerungsschaltung so eingerastet werden, dass die für die Kalibrierung der Verzögerungsschaltung erforderliche Zeit verringert werden kann.

[Zweites Ausführungsbeispiel der Erfindung]

**[0144]** Als nächstes wird unter Bezugnahme auf [Fig. 12](#) ein zweites Ausführungsbeispiel einer erfindungsgemäßen Verzögerungsregelkreisschaltung beschrieben werden.

**[0145]** Die Zeichnung ist ein Blockdiagramm, das einen Aufbau der Verzögerungsregelkreisschaltung gemäß dem vorliegenden Ausführungsbeispiel zeigt.

**[0146]** Das vorliegende Ausführungsbeispiel unterscheidet sich vom ersten Ausführungsbeispiel im Aufbau einer Zyklusversatz-Erfassungsschaltung. Das heißt, beim ersten Ausführungsbeispiel beinhaltet der Aufbau eine logische Schaltung und eine Folgeschaltung, wohingegen der Aufbau beim vorliegenden Ausführungsbeispiel eine Maximal/Minimalwert-Erfassungsschaltung enthält, die einen maximalen Wert oder einen minimalen Wert eines Zählers erfasst, um eine Zählersteuerung auszuführen. Andere konstituierende Elemente sind gleichartig zu denen des ersten Ausführungsbeispiels.

[0147] Deshalb ist in [Fig. 12](#) ein zu [Fig. 1](#) gleiches Bauteil mit den gleichen Bezugszahlen bezeichnet und deren detaillierte Beschreibung wird weggelassen.

[0148] Wie es in [Fig. 12](#) gezeigt ist, weist eine Verzögerungsregelkreisschaltung **10-2** eine Verzögerungsschaltung **11**, Phasenkomparatoren **12a**, **12b**, Zähler **13a**, **13b**, DACs **14a**, **14b**, einen Addierabschnitt **15**, eine Vorspannungsschaltung **16**, eine Steuerschaltung **17**, eine Maximal/Minimalwert-Erfassungsschaltung **20-2** und Zählsteuermittel **30**.

[0149] Es gilt zu beachten, dass die Verzögerungsschaltung **11**, die Phasenkomparatoren **12a**, **12b**, die Zähler **13a**, **13b**, die DACs **14a**, **14b**, der Addierabschnitt **15**, die Vorspannungsschaltung **16** und die Steuerschaltung **17** gleiche Funktionen wie jene der Verzögerungsschaltung **210**, der Phasenkomparatoren **220a**, **220b**, der Zähler **230a**, **230b**, der DACs **240a**, **240b**, des Addierabschnitts **250**, der Vorspannungsschaltung **260** und der Steuerschaltung **270** in der in [Fig. 22](#) gezeigten herkömmlichen Verzögerungsregelkreisschaltung **200** besitzen und daher wird die detaillierte Beschreibung weggelassen.

[0150] Darüber hinaus weist das Zählsteuermittel **30** eine gleichartige Funktion zu der des Zählsteuermittels **30** gemäß dem ersten Ausführungsbeispiel der Verzögerungsregelkreisschaltung auf und deshalb wird deren detaillierte Beschreibung weggelassen.

[0151] Hier liest die Maximal/Minimalwert-Erfassungsschaltung **20-2** gemäß einem Ausführungsbeispiel der Zyklusversatz-Erfassungsschaltung **20** einen Zählwert des (Grob-)Zählers **13b** und beurteilt, ob dieser Zählwert der maximale Wert oder der minimale Wert ist oder nicht.

[0152] Als Ergebnis der Beurteilung wird, wenn der Zählwert der maximale Wert oder der minimale Wert ist, geurteilt, dass ein Ausgangssignal einen Zyklusversatz verursacht. In diesem Fall führt das Zählsteuermittel **30** eine Umschaltsteuerung eines DA-Werts in Bezug auf den Zähler **13b** aus.

[0153] Demgegenüber wird, wenn der Zählwert nicht der maximale Wert oder der minimale Wert ist, geurteilt, dass das Ausgangssignal keinen Zyklusversatz verursacht. In diesem Fall wird der DA-Wert infolge des einrastbaren Zustands nicht gewechselt.

[0154] Als nächstes wird unter Bezugnahme auf [Fig. 13](#) eine Operation (ein Verzögerungsbetrag-Kalibrierungsverfahren) ab einem Zeitpunkt, wenn der Wert des Zählers auf eine Zeit gesetzt ist, wenn die DLL eingerastet ist, beschrieben werden.

[0155] Es gilt zu beachten, dass auf die gleiche Art

und Weise wie beim ersten Ausführungsbeispiel angenommen wird, dass betreffend einen anfänglich gesetzten Wert (den DA-Wert) des Zählers zwei oder mehrere DA-Werte aufgestellt werden (der DA-Wert wird durch Simulation bestimmt), so dass die DLL sicher mit jedem DA-Wert bei jedem Prozess eines CMOS eingerastet werden kann.

[0156] Zuerst wird, wenn ein erster DA-Wert einer Vielzahl von DA-Werten selektiv geladen wird (Schritt **20**), der geladene DA-Wert am (Grob-)Zähler **13b** gesetzt und die DLL **10-2** wird auf einen Einrastmodus umgeschaltet (eine Einrast/Nicht-Einrast-Umschaltfunktion, Schritt **21**). Nach Verstreichen von WARTZEIT wird ein Zählwert des Zählers **13b** gelesen (Schritt **22**).

[0157] Es wird beurteilt, ob dieser gelesene Zählwert den maximalen Wert oder den minimalen Wert angibt (Schritt **23**).

[0158] Als Ergebnis der Beurteilung wird, wenn der maximale Wert oder der minimale Wert angegeben wird, geurteilt, dass der Zyklusversatz stattfindet, der DA-Wert wird gewechselt (Schritt **24**) und eine Operation der Schritte **21** bis **23** wird bei diesem gewechselten DA-Wert ausgeführt.

[0159] Wenn demgegenüber nicht der maximale Wert oder der minimale Wert angegeben wird, tritt kein Zyklusversatz auf und das Einrasten der DLL wird abgeschlossen (Schritt **25**).

[0160] Der DA-Wert wird durch solch eine Prozedur zweimal oder dreimal gewechselt, bis das Einrasten der DLL abgeschlossen ist, wodurch leicht und einfach ein optimaler DA-Wert gefunden werden kann.

[0161] Wie oben beschrieben, beinhaltet der Aufbau die Maximal/Minimalwert-Erfassungsschaltung als die Zyklusversatz-Erfassungsschaltung, wodurch die DLL ohne Messung irgendeines Verzögerungsbetrags der Verzögerungsschaltung eingerastet werden kann und eine zur Kalibrierung der Verzögerungsschaltung erforderliche Zeit kann verringert werden.

[Timing-Generator und Halbleitertestgerät]

[0162] Als nächstes wird unter Bezugnahme auf [Fig. 14](#) ein Timing-Generator des vorliegenden Ausführungsbeispiels und ein mit dem Timing-Generator versehenes Halbleitertestgerät beschrieben werden.

[0163] Wie es in der Zeichnung gezeigt ist, beinhaltet ein Halbleitertestgerät **40** des vorliegenden Ausführungsbeispiels einen Timing-Generator **41**, einen Mustergenerator **42**, eine Signalformgestaltungseinheit **43** und eine logische Vergleichsschaltung **44**.

**[0164]** Der Timing-Generator **41** gibt ein Verzögerungstaktsignal aus, bei dem ein Referenztaktsignal um eine bestimmte Zeit verzögert ist. Der Mustergenerator **42** gibt synchron zum Referenztaktsignal ein Testmustersignal aus. Die Signalformgestaltungseinheit **43** formt das Testmustersignal gemäß einem Prüfling (DUT) **45**, um es an den DUT **45** zu senden. Die logische Vergleichsschaltung **44** vergleicht ein Antwortausgabesignal des DUT **45** mit einem Erwartungswertdatensignal.

**[0165]** Hier beinhaltet der Timing-Generator **41** eine Verzögerungsregelkreisschaltung (DLL) **41-1** und einen Verzögerungsauswahlabschnitt **41-2**.

**[0166]** In [Fig. 15](#) ist ein spezieller Schaltungsaufbau dieses Timing-Generators **41** gezeigt.

**[0167]** Wie es in der Zeichnung gezeigt ist, weist die DLL **41-1** des Timing-Generators **41** den gleichen Aufbau auf wie der der obigen DLL der vorliegenden Erfindung (beispielsweise die in [Fig. 1](#) gezeigte DLL **10-1**, die in [Fig. 12](#) gezeigte DLL **10-2** oder dergleichen) und beinhaltet eine variable Verzögerungsschaltung, in der eine Vielzahl von Stufen von Logikgattern in Reihe verbunden sind. Zudem entspricht ein Eingangssignal (ein Eingangstakt) von [Fig. 1](#) dem Referenztaktsignal des vorliegenden Ausführungsbeispiels.

**[0168]** Der Verzögerungsauswahlabschnitt **41-2** wählt eine Ausgabe irgendeines Inverters aus, um ein Verzögerungssignal auszugeben. Darüber hinaus beinhaltet ein in [Fig. 15](#) gezeigtes Beispiel ein Verzögerungselement **41-3**, das eine Verzögerungszeit von 250 ps oder weniger erzeugt. Gemäß einem solchen Aufbau des Timing-Generators kann, wenn der Timing-Generator mit einem oder mehreren DLLs versehen ist, eine für die Kalibrierung dieser DLLs erforderliche Zeit verringert werden.

[Integrierte Halbleiterschaltung]

**[0169]** Als nächstes wird unter Bezugnahme auf [Fig. 16](#) eine integrierte Halbleiterschaltung des vorliegenden Ausführungsbeispiels beschrieben werden.

**[0170]** Wie es in der Zeichnung gezeigt ist, enthält eine integrierte Halbleiterschaltung **50** des vorliegenden Ausführungsbeispiels beispielsweise vier Verzögerungsregelkreisschaltungen (DLL) **51-1** bis **51-4** und eine Leitung **52**, die ein Niederfrequenz-Referenztaktsignal an die DLLs **51-1** bis **51-4** verteilt.

**[0171]** Ein Aufbau der DLLs **51-1** bis **51-4** ist der gleiche wie der der obigen DLL der vorliegenden Erfindung (beispielsweise die in [Fig. 1](#) gezeigte DLL **10-1**, die in [Fig. 12](#) gezeigte DLL **10-2** oder dergleichen).

**[0172]** Dann wird das Niederfrequenz-Referenztaktsignal, das einen kleinen Versatz aufweist, als ein Eingangssignal in die DLLs **51-1** bis **51-4** eingegeben und in den DLLs **51-1** bis **51-4** kann ein Hochfrequenz-Betriebstakt multipliziert werden. Im Ergebnis ist kein Verzögerungspuffer eines Taktsignals erforderlich, der Versatz des Taktsignals kann verringert werden und das Design kann erleichtert werden.

**[0173]** Darüber hinaus wird der Versatz in Wirklichkeit hauptsächlich infolge einer Übertragungszeit eines Referenztakts durch die Leitung **52** von einem Eingangsanschluss **53** zu den DLLs **51-1** bis **51-4** erzeugt. Deshalb werden die Längen der Leitungen vom Eingangsanschluss **53** des Referenztakts zu den DLLs **51-1** bis **51-4** so eingestellt, dass sie gleich sind.

**[0174]** Gemäß der integrierten Halbleiterschaltung, die einen solchen Aufbau aufweist, kann in einem Fall, bei dem der Timing-Generator einen oder mehrere DLLs auf dieser integrierten Halbleiterschaltung montiert aufweist, die für die Kalibrierung dieser DLLs erforderliche Zeit vermindert werden.

**[0175]** Zudem wird eine CLK-Übertragung auf lange Distanz bei einer niedrigen Frequenz ausgeführt und die Multiplikation wird unter Verwendung der DLL in einem lokalen Abschnitt ausgeführt, so dass eine Schaltungsabmessung und ein Stromverbrauch in einem Übertragungsabschnitt verringert werden kann. Die Gesamtpufferstufenzahl wird minimiert und der Versatz kann verringert werden.

**[0176]** Oben sind die bevorzugten Ausführungsbeispiele der Verzögerungsregelkreisschaltung, des Timing-Generators, des Halbleitertestgeräts, der integrierten Halbleiterschaltung und das Verzögerungsbetrag-Kalibrierungsverfahren gemäß der vorliegenden Erfindung beschrieben worden, aber die Verzögerungsregelkreisschaltung, der Timing-Generator, das Halbleitertestgerät, die integrierte Halbleiterschaltung und das Verzögerungsbetrag-Kalibrierungsverfahren gemäß der vorliegenden Erfindung sind nicht auf die obigen Ausführungsbeispiele beschränkt. Es versteht sich von selbst, dass die vorliegende Erfindung im Umfang der vorliegenden Erfindung verschiedenartig verändert oder implementiert werden kann.

**[0177]** Beispielsweise beinhaltet die Verzögerungsregelkreisschaltung betreffend das obige erste und zweite Ausführungsbeispiel zwei Phasenkomparatoren **12**, zwei Zähler **13** und zwei DA-Wandler **14** und enthält darüber hinaus die Steuerschaltung **17**, aber die Verzögerungsregelkreisschaltung der vorliegenden Erfindung ist nicht auf einen solchen Aufbau beschränkt.

**[0178]** Beispielsweise enthält eine Verzögerungsre-

gelkreisschaltung **10-3**, die nicht mit der Steuerschaltung **17** ausgestattet ist, wie es in [Fig. 17](#) gezeigt ist, eine Zyklusversatz-Erfassungsschaltung **20** und Zählsteuermitel **30**, wodurch ein Zyklusversatz automatisch erfasst werden kann und die Kalibrierung einer Verzögerungsschaltung schnell ausgeführt werden kann.

**[0179]** Darüber hinaus enthält eine Verzögerungsregelkreisschaltung **10-4**, wie es in [Fig. 18](#) gezeigt ist, die mit einem Phasenkomparator **12**, einem Zähler **13** und einem DA-Wandler **14** ausgestattet ist und die nicht mit dem Addierabschnitt **15**, der Vorspannungsschaltung **16** und der Steuerschaltung **17** ausgestattet ist, eine Zyklusversatz-Erfassungsschaltung **20** und Zählsteuermitel **30**, wodurch eine gleichartige Wirkung erhalten werden kann.

**[0180]** Das heißt, die Verzögerungsregelkreisschaltung **10-4**, die mit einem einzigen Feinsystem ausgestattet ist, enthält die Zyklusversatz-Erfassungsschaltung **20** und es ist eine Funktion des Ladens von wenigstens zwei oder drei unterschiedlichen DA-Werten auf den Feinzähler **13** vorgesehen, wodurch eine Operation ausgeführt werden kann.

**[0181]** Beispielsweise kann die Operation unter der Voraussetzung, dass ein Zähler, der einen maximalen Zählwert von 100 aufweist, mit Werten von „0“, „500“ und „1000“ geladen werden kann und einen Zählwert (zwischen 1 und 1000) aufweist, der auch mit Schwankungen irgendeines Prozesses oder dergleichen einrastbar ist, und dass mit wenigstens einer Einstellung dieser drei Zählwerte kein Zyklusversatz auftritt, ausgeführt werden.

#### Industrielle Anwendbarkeit

**[0182]** Die vorliegende Erfindung ist auf die Kalibrierung einer Verzögerungsschaltung in einer Verzögerungsregelkreisschaltung gerichtet und daher ist die vorliegende Erfindung bei einer Vorrichtung oder einem Gerät verwendbar, in der bzw. dem die Verzögerungsregelkreisschaltung montiert ist.

#### Zusammenfassung:

**[0183]** Ein anfänglich gesetzter Wert eines Zählers wird durch eine Technik bestimmt, die eine Messung eines Verzögerungsbetrags ersetzt, wodurch eine für die Kalibrierung einer Verzögerungsschaltung erforderliche Zeit verringert werden kann. Ein gesetzter Wert des Zählers aus einer Vielzahl von Zählerwerten wird geladen, eine Verzögerungsregelkreisschaltung **10-1** wird auf einen Einrastmodus geschaltet und eine Folgeschaltung **22** einer Zyklusversatz-Erfassungsschaltung **20-1** wird zurückgesetzt. Danach wird ein aus der Folgeschaltung **22** ausgegebenes Zyklusversatzsignal gelesen und auf der Grundlage dieses Zyklusversatzsignals wird beur-

teilt, ob ein Ausgangssignal einer Verzögerungsschaltung **11** einen Zyklusversatz verursacht oder nicht. Wenn der Zyklusversatz verursacht wird, wird der gesetzte Wert des Zählers gewechselt. Wenn demgegenüber kein Zyklusversatz verursacht wird, wird der gesetzte Wert des Zählers eingerastet, wodurch der Prozess abgeschlossen wird.

#### Bezugszeichenliste

|                               |   |
|-------------------------------|---|
| <b>10-1, 10-2, 10-3, 10-4</b> | Verzögerungsregelkreisschaltungen (DLLs)                      |
| <b>11</b>                     | eine Verzögerungsschaltung                                    |
| <b>12a, 12b</b>               | Phasenkomparatoren  |
| <b>13a, 13b</b>               | Zähler  |
| <b>14a, 14b</b>               | DA-Wandler (DACs)   |
| <b>15</b>                     | ein Addierabschnitt   |
| <b>16</b>                     | eine Vorspannungsschaltung                                    |
| <b>17</b>                     | eine Steuerschaltung  |
| <b>20-1</b>                   | eine Zyklusversatz-Erfassungsschaltung                        |
| <b>21</b>                     | eine logische Schaltung                                       |
| <b>21-1</b>                   | eine exklusive ODER-Schaltung (eine erste logische Schaltung) |
| <b>21-2</b>                   | eine zweite logische Schaltung                                |
| <b>22</b>                     | eine Folgeschaltung   |
| <b>22-1</b>                   | eine S-R-Latch-Schaltung                                      |
| <b>22-2</b>                   | eine D-Flipflop-Schaltung                                     |
| <b>22-3</b>                   | eine D-Latch-Schaltung  |
| <b>20-2</b>                   | eine Maximum-/Minimumwert-Erfassungsschaltung                 |
| <b>30</b>                     | ein Zählsteuermitel   |
| <b>31</b>                     | ein Sequenzer/Zähler  |
| <b>32</b>                     | ein Dekodierer  |
| <b>33-1 bis 33-n</b>          | logische DA-Wert-(1 bis N)-Realisierungsschaltungen           |
| <b>34</b>                     | eine logische Schaltung                                       |
| <b>35</b>                     | eine logische Rückstellsignalerzeugungsschaltung              |
| <b>40</b>                     | ein Halbleitertestgerät                                       |
| <b>41</b>                     | ein Timing-Generator  |
| <b>41-1</b>                   | eine DLL  |
| <b>51-1 bis 51-4</b>          | DLLs  |

**ZITATE ENTHALTEN IN DER BESCHREIBUNG**

*Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.*

**Zitierte Patentliteratur**

- WO 03/036796 [\[0022\]](#)

**Patentansprüche**

1. Verzögerungsregelkreisschaltung, umfassend:  
 eine Verzögerungsschaltung, bei der eine Vielzahl von Verzögerungselementen, die einen gleichen Verzögerungsbetrag aufweisen, in Reihe verbunden sind und die einem Eingangssignal einen festgelegten Verzögerungsbetrag erteilt, um das Signal als ein Ausgangssignal auszugeben;  
 einen Phasenkomparator, der ein Phasensignal auf der Grundlage einer Phasendifferenz zwischen dem Eingangssignal und dem Ausgangssignal ausgibt;  
 einen Zähler, der das Phasensignal aus diesem Phasenkomparator aufnimmt, um ein Steuersignal auszugeben;  
 einen Verzögerungszeit-Akquisitionsabschnitt, der das Steuersignal aus diesem Zähler aufnimmt, um ein Verzögerungszeitsignal auszugeben, wobei die Verzögerungsregelkreisschaltung mit folgendem ausgestattet ist:  
 eine Zyklusversatz-Erfassungsschaltung, die erfasst, ob das Ausgangssignal einen Zyklusversatz verursacht oder nicht; und  
 Zählsteuermittel zum Steuern eines Zählwerts des Zählers in einem Fall, bei dem erfasst wird, dass der Zyklusversatz verursacht wird.

2. Verzögerungsregelkreisschaltung nach Anspruch 1, wobei die Zyklusversatz-Erfassungsschaltung folgendes aufweist:  
 eine logische Schaltung, die das Eingangssignal und das Ausgangssignal aufnimmt, um ein Phasendifferenzsignal auszugeben, das angibt, ob eine Phase des Eingangssignals mit der des Ausgangssignals übereinstimmt oder nicht; und  
 eine Folgeschaltung, die auf der Grundlage des Phasendifferenzsignals aus dieser logischen Schaltung ein Zyklusversatz-Erfassungssignal ausgibt, das angibt, ob das Ausgangssignal den Zyklusversatz verursacht oder nicht.

3. Verzögerungsregelkreisschaltung nach Anspruch 2, wobei die logische Schaltung folgendes aufweist:  
 eine Schaltung, in der eine UND-Schaltung und eine Negationsschaltung, um ein Eingangssignal dieser UND-Schaltung zu negieren, kombiniert sind; oder  
 eine exklusive ODER-Schaltung.

4. Verzögerungsregelkreisschaltung nach Anspruch 2 oder 3, wobei die Folgeschaltung eine oder mehrere einer S-R-Latch-Schaltung, einer D-Flip-flop-Schaltung und einer D-Latch-Schaltung enthält.

5. Verzögerungsregelkreisschaltung nach einem der Ansprüche 1 bis 4, wobei der Verzögerungszeit-Akquisitionsabschnitt eine Vielzahl von Verzögerungszeit-Akquisitionsabschnitten aufweist, die unterschiedliche Auflösungen besitzen, eine Vielzahl von Zählern entsprechend der Vielzahl

von Verzögerungszeit-Akquisitionsabschnitten vorgesehen sind, und das Zählsteuermittel einen Zählwert des Zählers steuert, der entsprechend dem Verzögerungszeit-Akquisitionsabschnitt vorgesehen ist, der eine grobe Auflösung besitzt.

6. Verzögerungsregelkreisschaltung nach Anspruch 1, wobei die Zyklusversatz-Erfassungsschaltung eine Maximum/Minimumwert-Erfassungsschaltung aufweist, um zu erfassen, ob der Zählwert des Zählers einen maximalen Wert oder einen minimalen Wert angibt, und das Zählsteuermittel urteilt, dass der Zyklusversatz in einem Fall auftritt, bei dem der Zählwert den maximalen Wert oder den minimalen Wert angibt, um den Zählwert des Zählers zu steuern.

7. Timing-Generator, umfassend:  
 eine Verzögerungsregelkreisschaltung, enthaltend eine Verzögerungsschaltung, bei der eine Vielzahl von Verzögerungselementen, die einen gleichen Verzögerungsbetrag aufweisen, in Reihe verbunden sind; und  
 einen Verzögerungsauswahlabschnitt, der eine Ausgabe eines der Verzögerungselemente auswählt, um diese Ausgabe als ein Verzögerungssignal auszugeben, wobei die Verzögerungsregelkreisschaltung die Verzögerungsregelkreisschaltung nach einem der Ansprüche 1 bis 6 ist.

8. Halbleitertestgerät, umfassend:  
 einen Timing-Generator, um ein Verzögerungstaktsignal auszugeben, bei dem ein Referenztaktsignal um eine festgelegte Zeit verzögert ist;  
 einen Mustergenerator, der synchron zum Referenztaktsignal ein Testmustersignal ausgibt;  
 eine Signalformgestaltungseinheit, die das Testmustersignal gemäß einem Prüfling gestaltet, um das Signal an den Prüfling zu senden; und  
 einen Logikkomparator, der ein Antwortausgabesignal des Prüflings mit einem Erwartungswertdatensignal vergleicht, wobei der Timing-Generator der Timing-Generator nach Anspruch 7 ist.

9. Integrierte Halbleiterschaltung, umfassend:  
 eine Vielzahl von Verzögerungsregelkreisschaltungen, die eine gleiche Schwingungsfrequenz aufweisen; und  
 eine Leitung, die ein Referenztaktsignal, das eine niedrigere Frequenz als die Schwingungsfrequenz aufweist auf die Verzögerungsregelkreisschaltungen verteilt, wobei die Verzögerungsregelkreisschaltung die Verzögerungsregelkreisschaltung nach einem der Ansprüche 1 bis 6 ist.

10. Verzögerungsbetrag-Kalibrierungsverfahren, bei dem ein einem Ausgangssignal erteilter Verzöge-

rungsbetrag durch eine Verzögerungsschaltung einer Verzögerungsregelkreisschaltung kalibriert wird, umfassend:

Laden eines einer Vielzahl von anfänglich gesetzten Werten in einen Zähler;

Ausführen eines Einrastmodus, so dass der Verzögerungsbetrag des Ausgangssignals ein festgelegter Verzögerungsbetrag der Verzögerungsschaltung bezüglich einem Eingangssignal ist;

Laden eines anderen anfänglich gesetzten Werts, um den Einrastmodus in einem Fall auszuführen, bei dem eine Zyklusversatz-Erfassungsschaltung einen Zyklusversatz erfasst; und

Einrasten des Verzögerungsbetrags des Ausgangssignals, um bei einem Fall zu enden, bei dem die Zyklusversatz-Erfassungsschaltung keinen Zyklusversatz erfasst.

Es folgen 20 Blatt Zeichnungen

FIG. 1

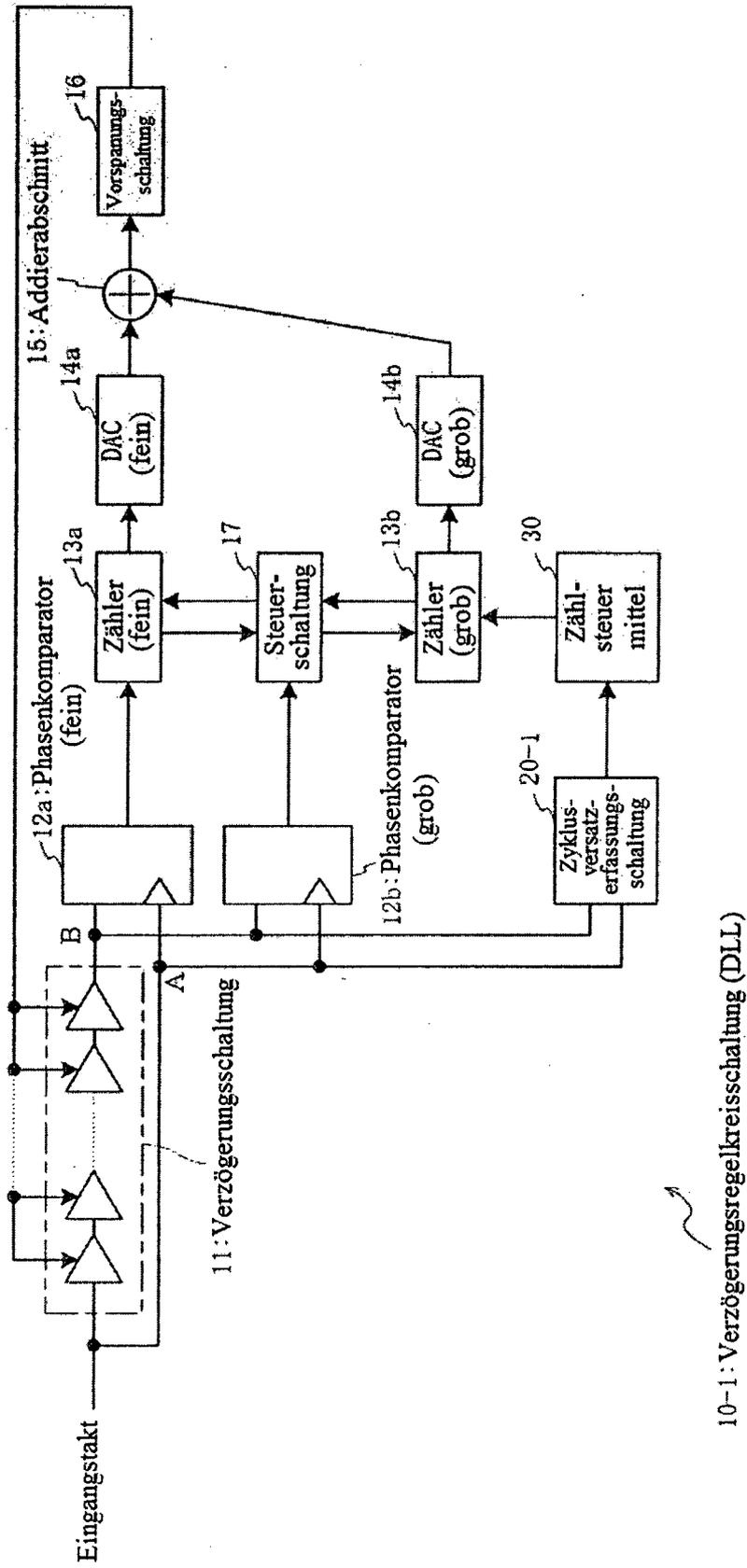


FIG. 2

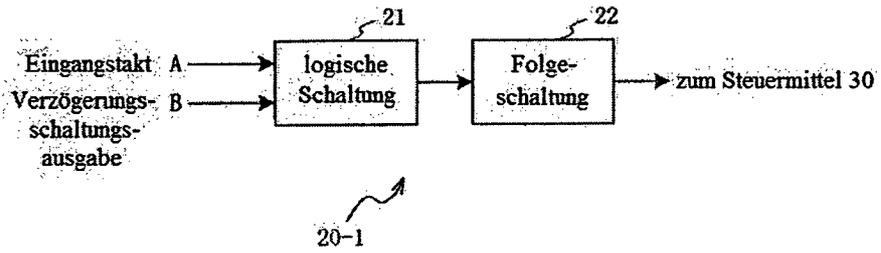
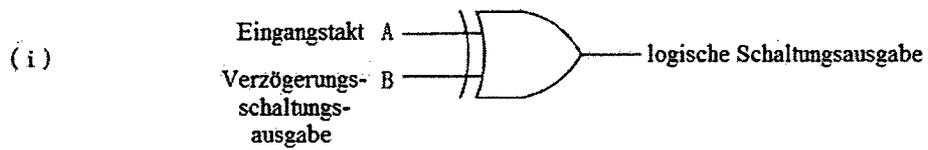
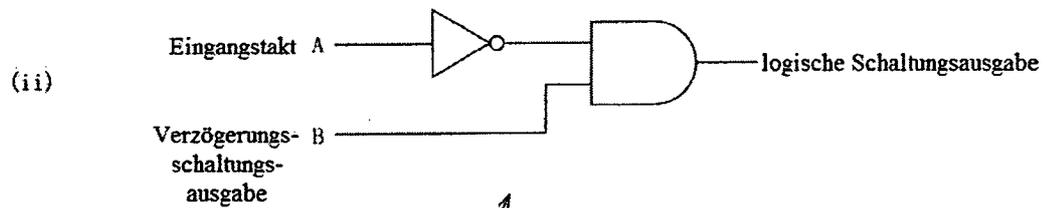


FIG. 3



21-1: erste logische Schaltung (exklusive ODER-Schaltung)



21-2: zweite logische Schaltung

FIG. 4

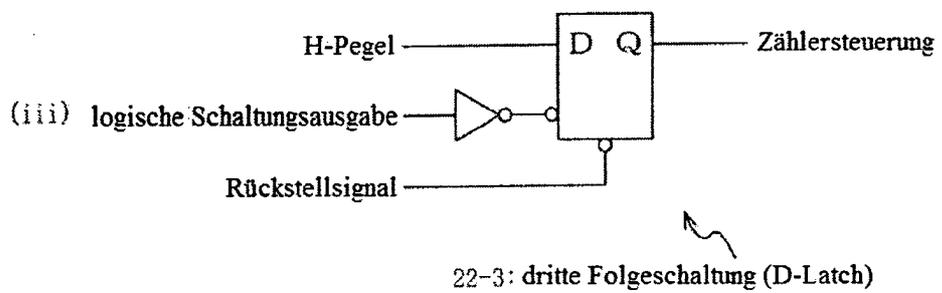
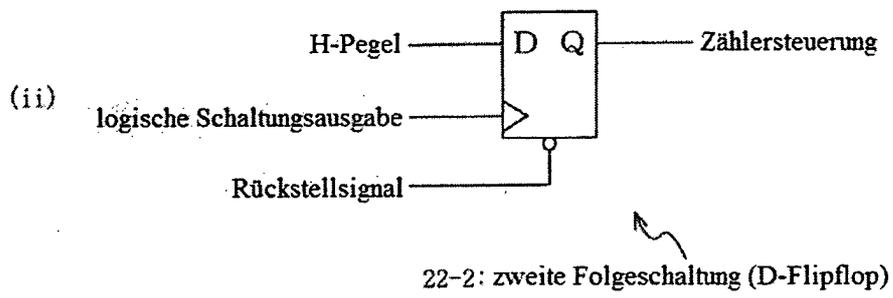
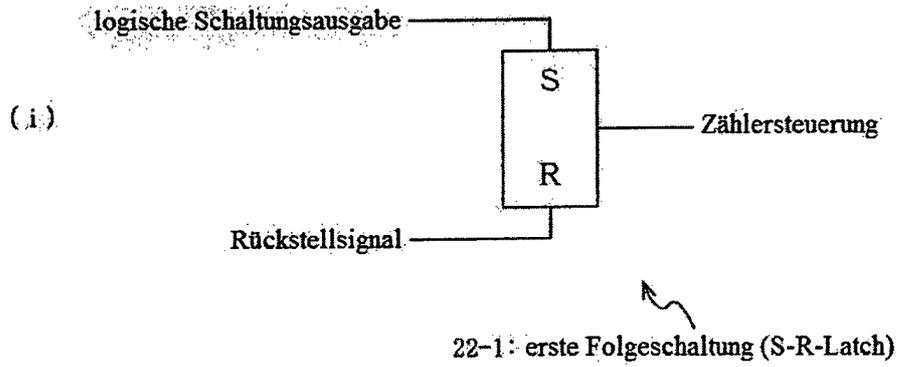


FIG. 5

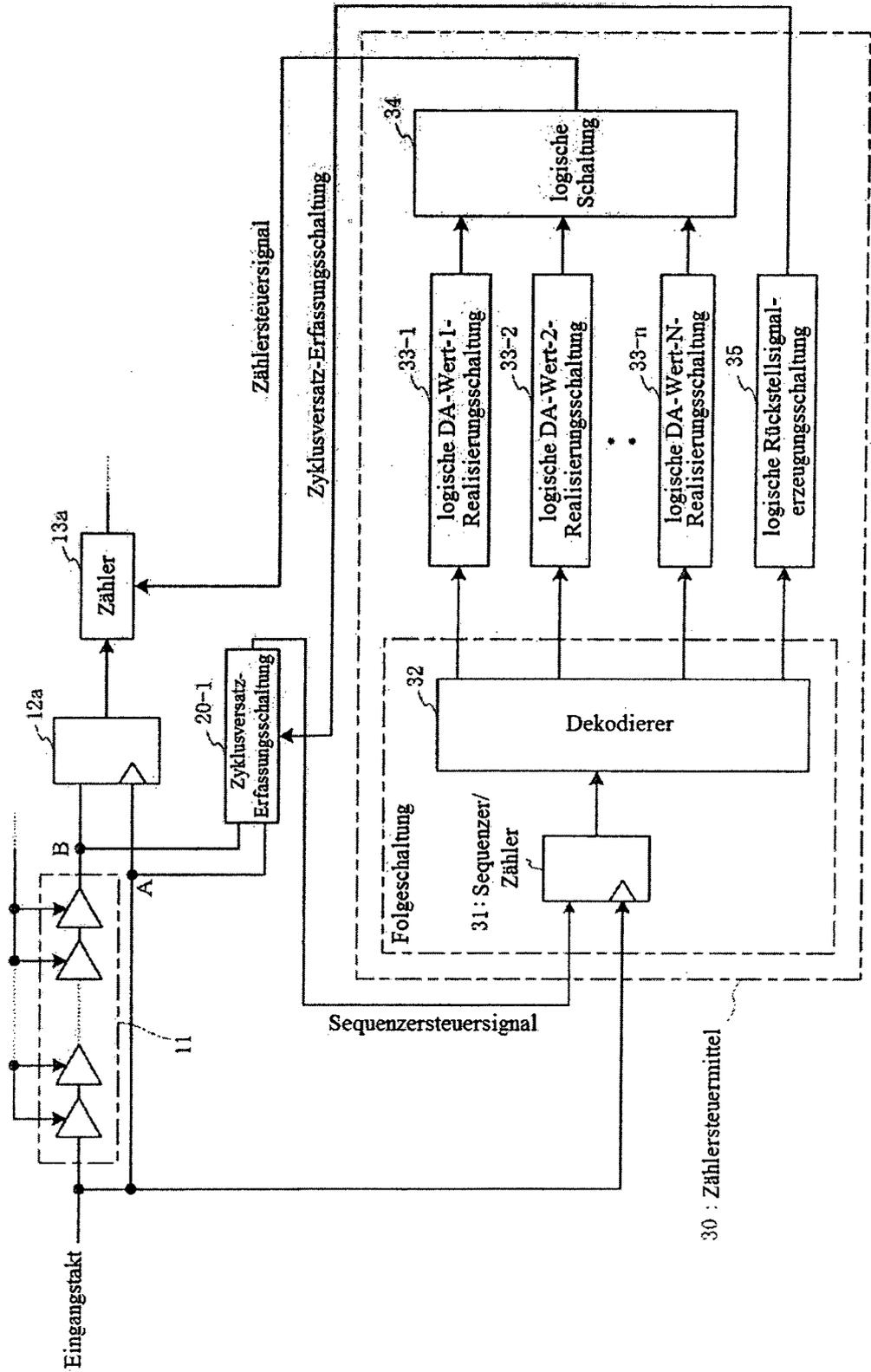


FIG. 6

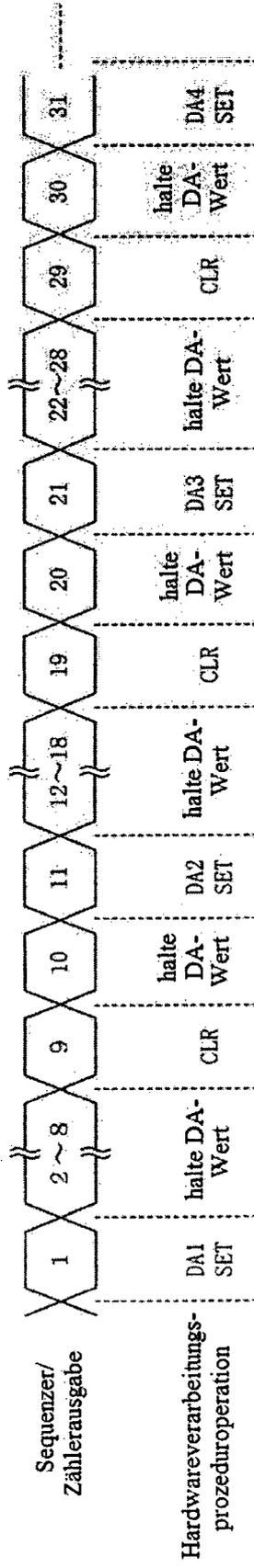


FIG. 7

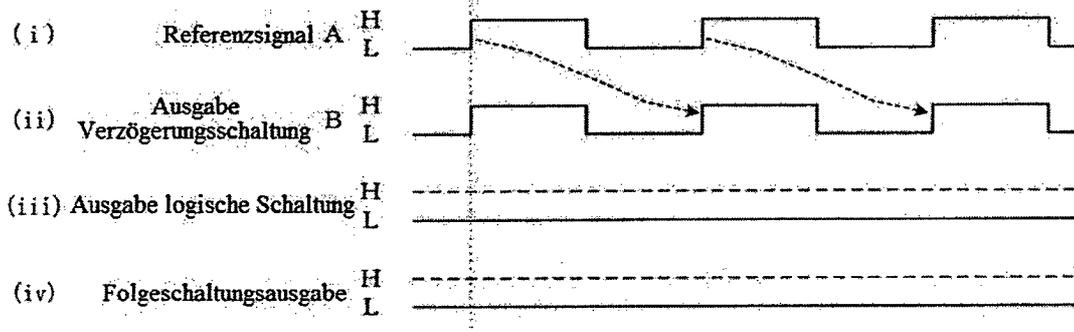


FIG. 8

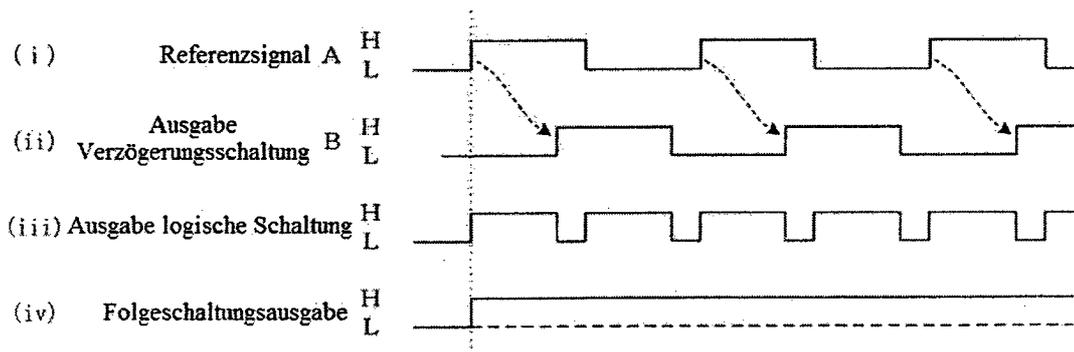


FIG. 9

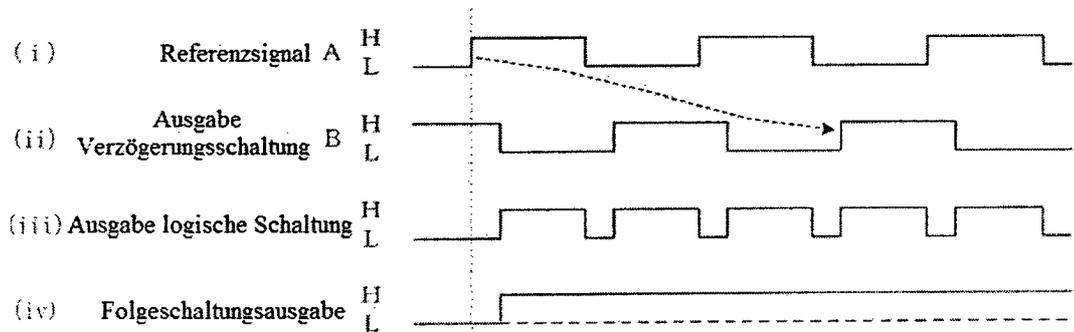


FIG. 10

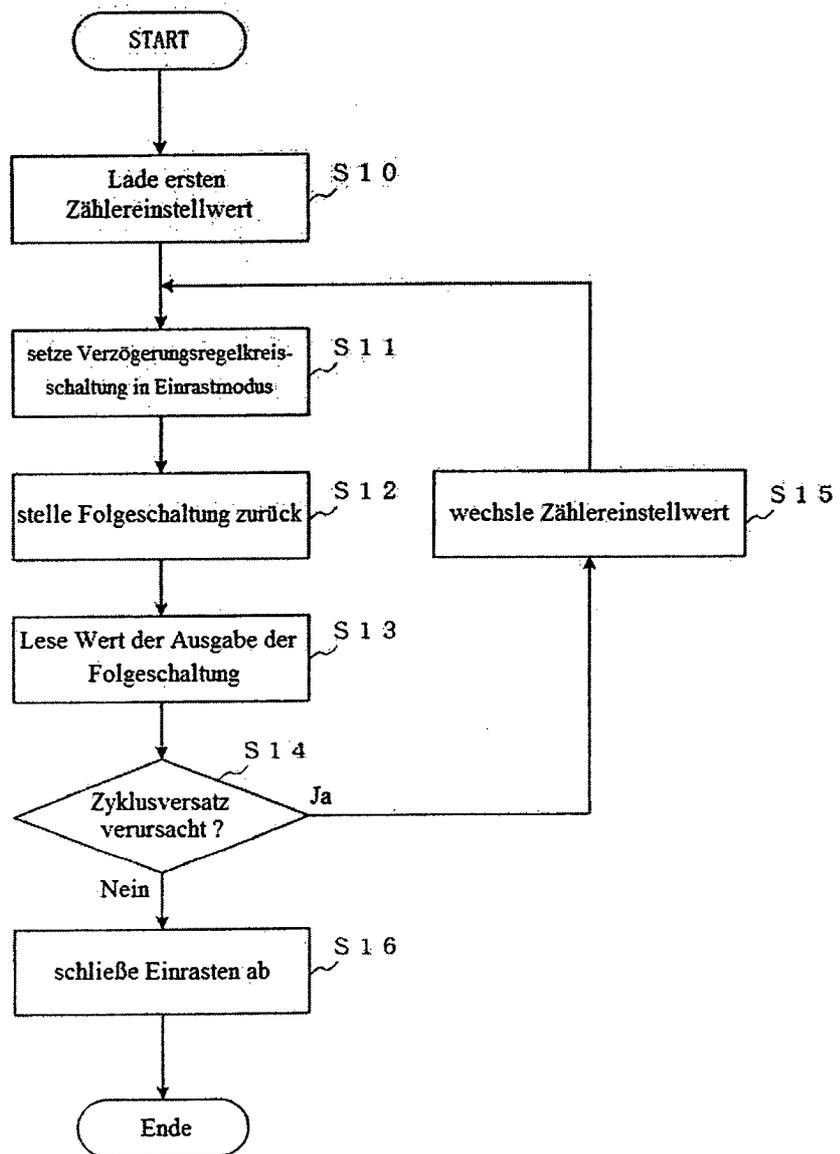


FIG. 11

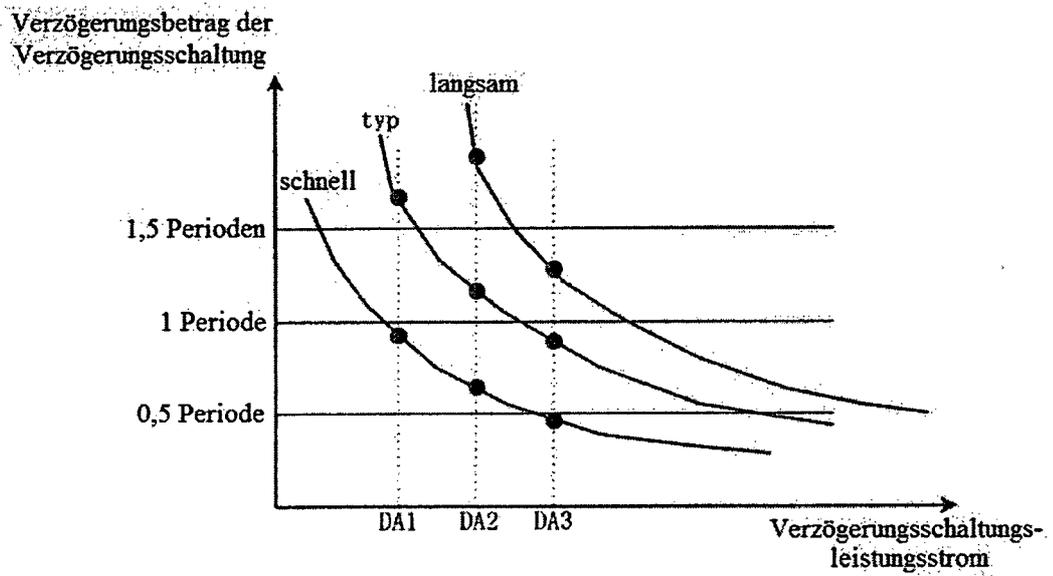
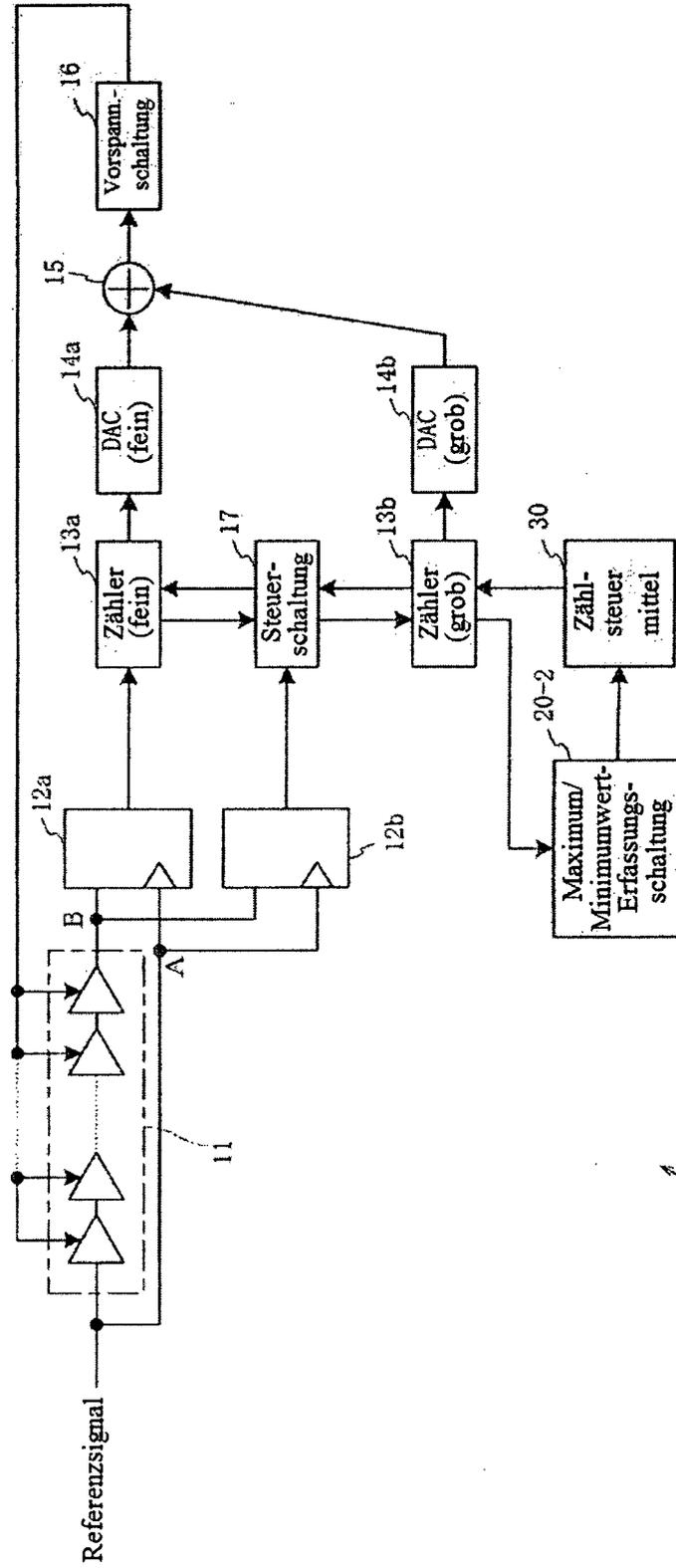


FIG. 12



10-2: Verzögerungsregelkreisschaltung (DLL)

FIG. 13

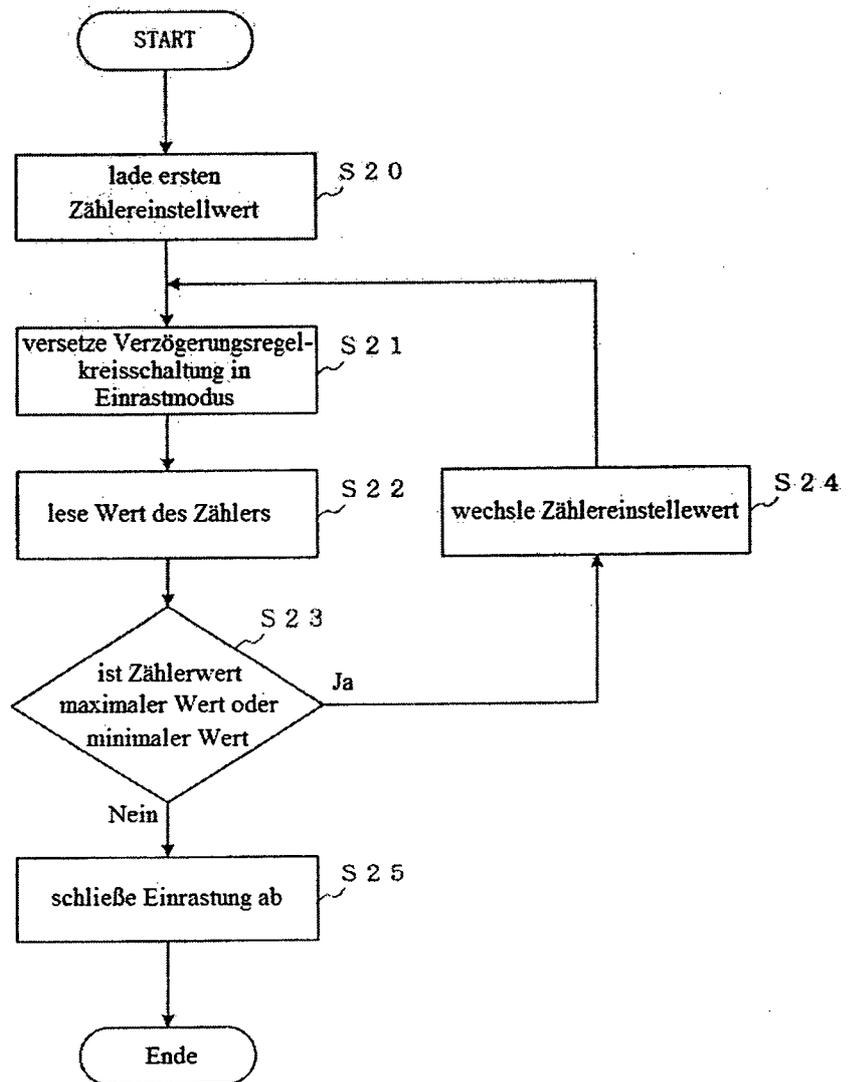


FIG. 14

40: Halbleitertestgerät

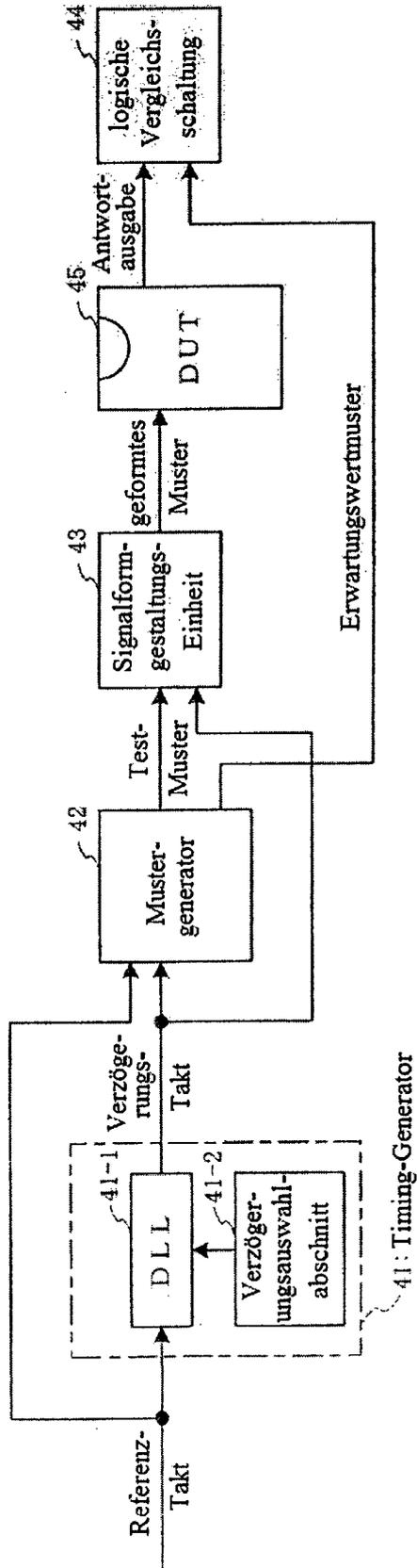


FIG. 15

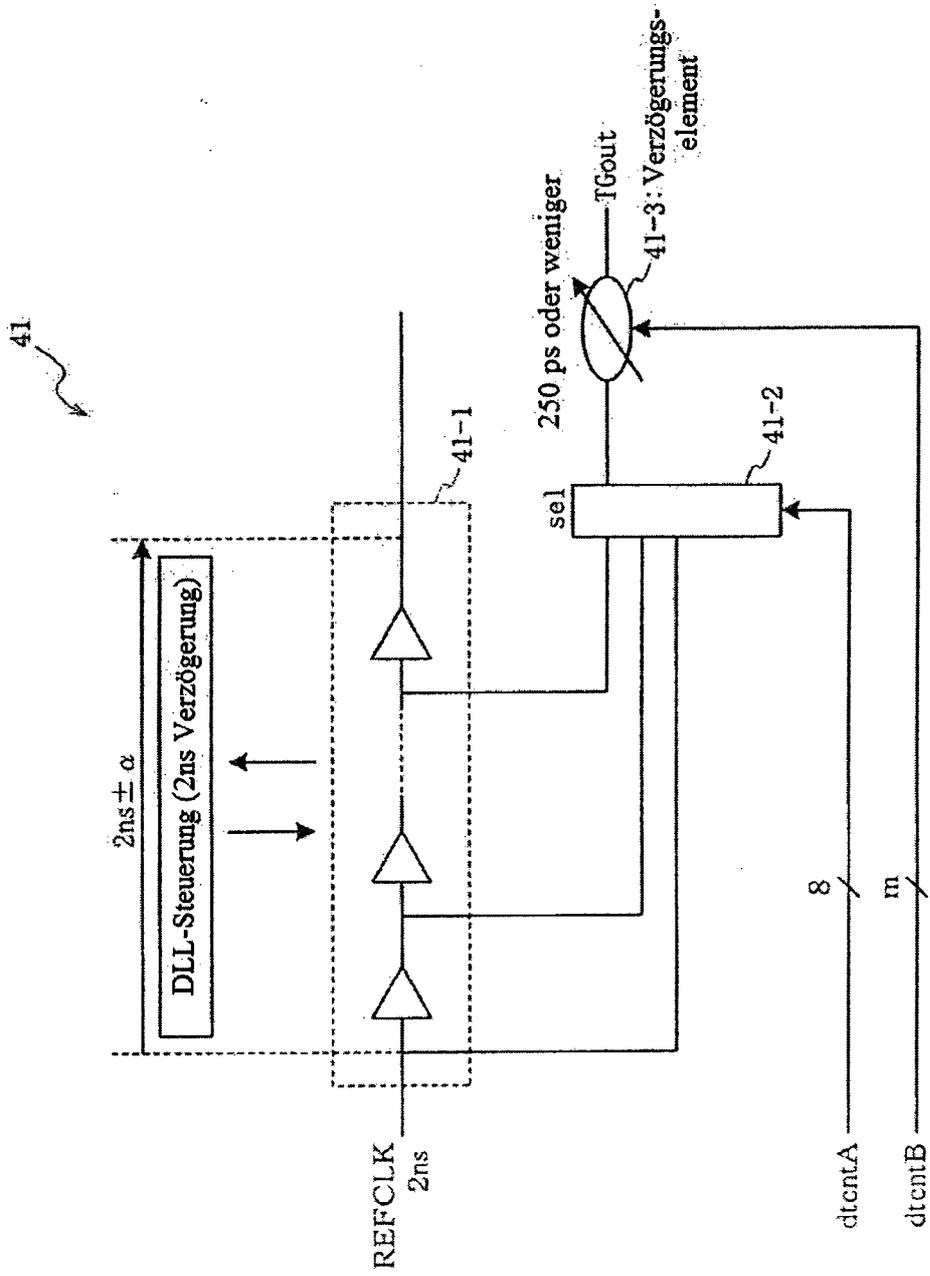


FIG. 16

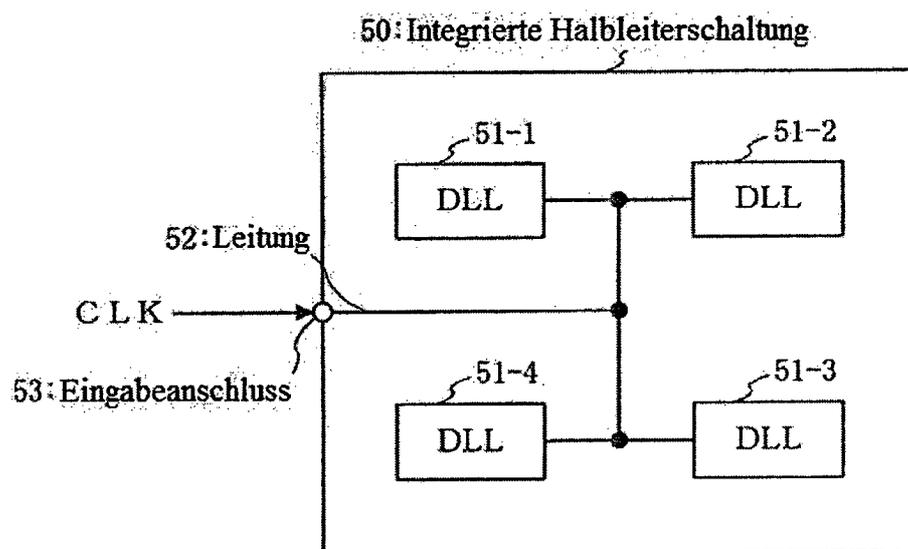
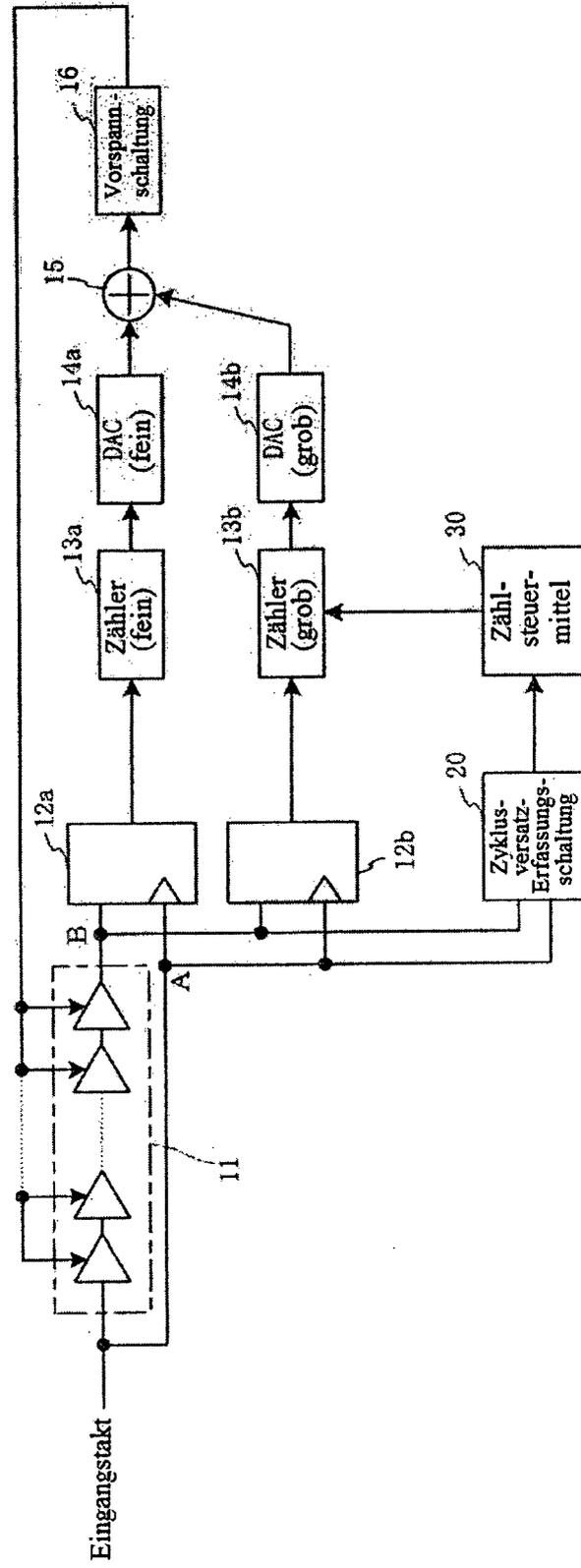
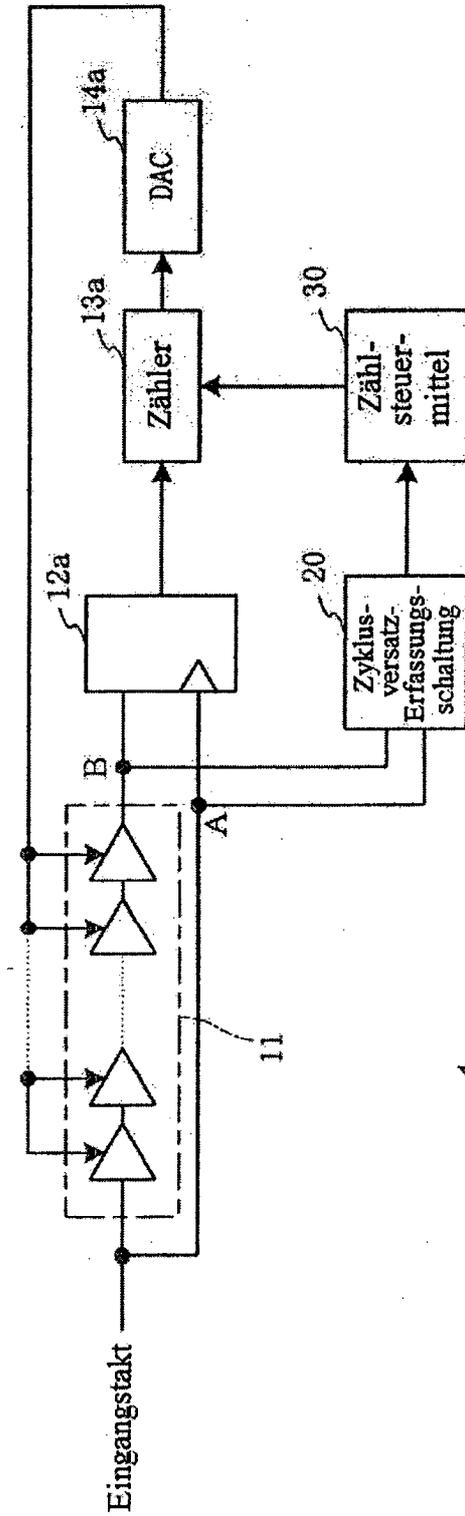


FIG. 17



10-3: Verzögerungsregelkreisschaltung (DLL)

FIG. 18



10-4: Verzögerungsregelkreisschaltung (DLL)

FIG. 19

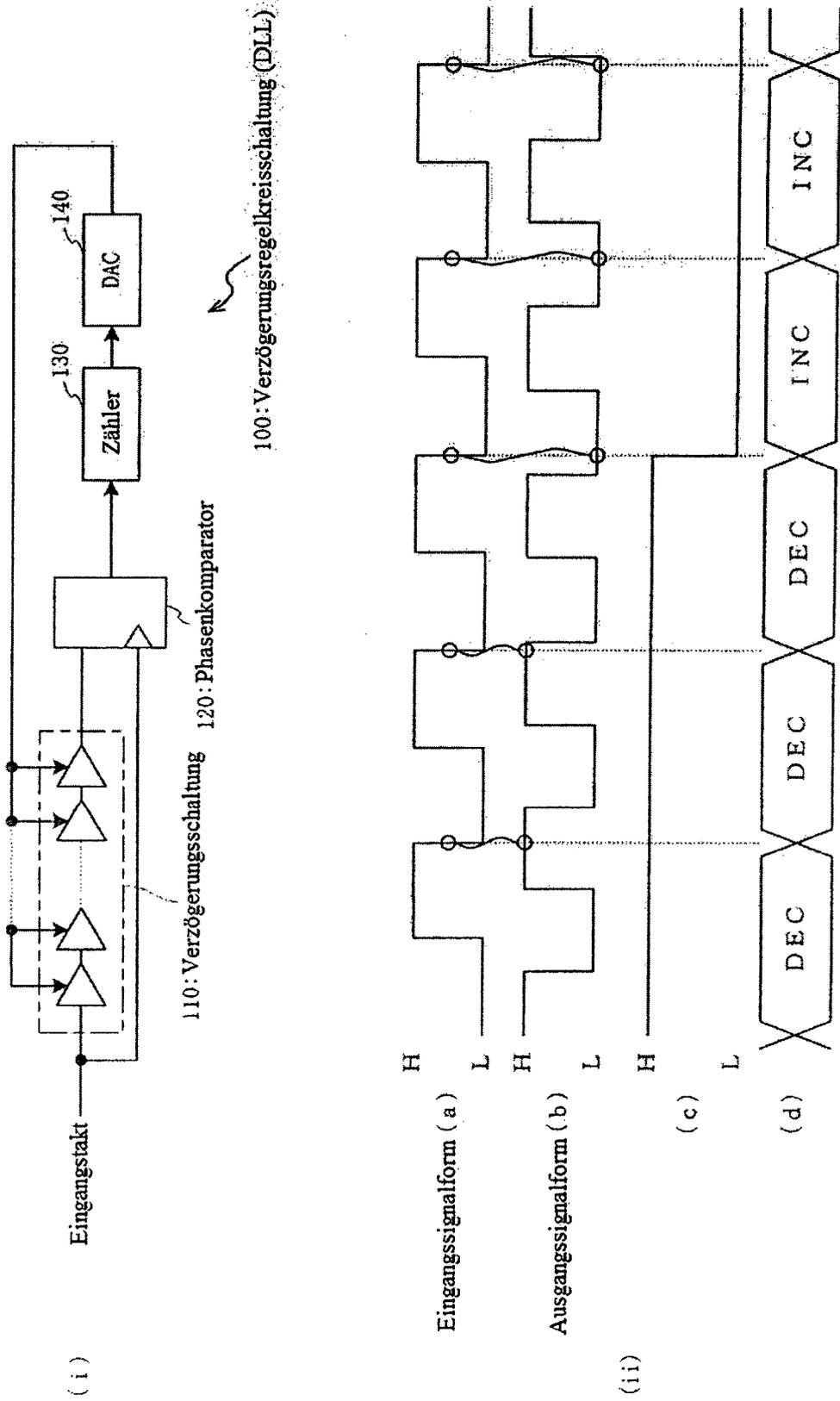


FIG. 20

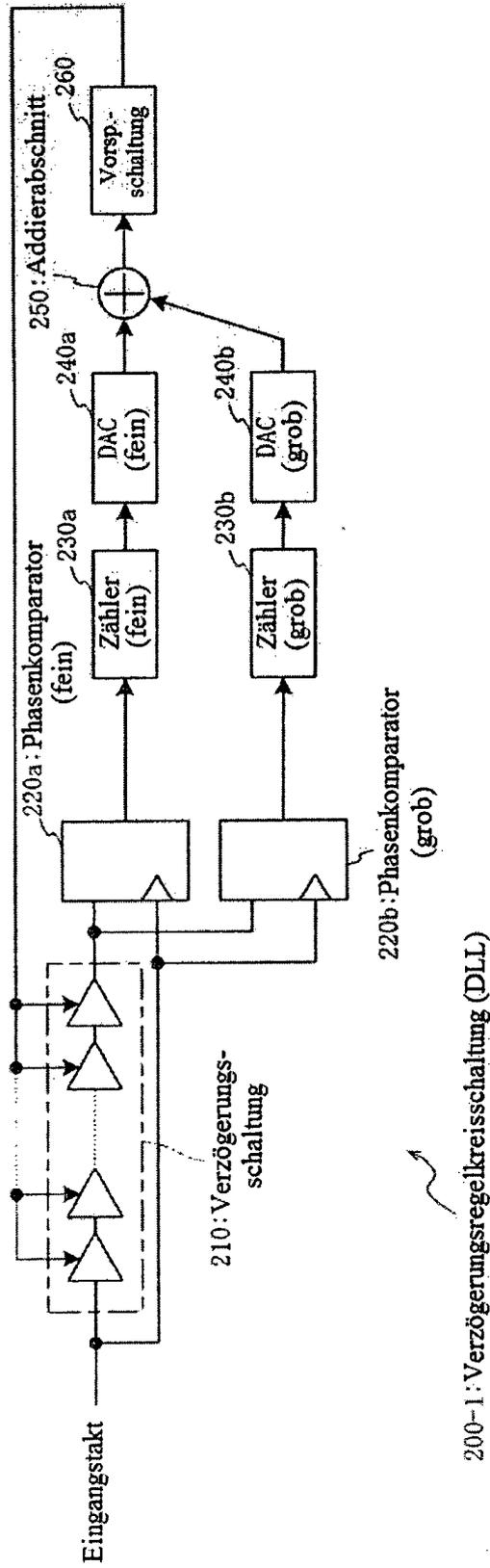


FIG. 21

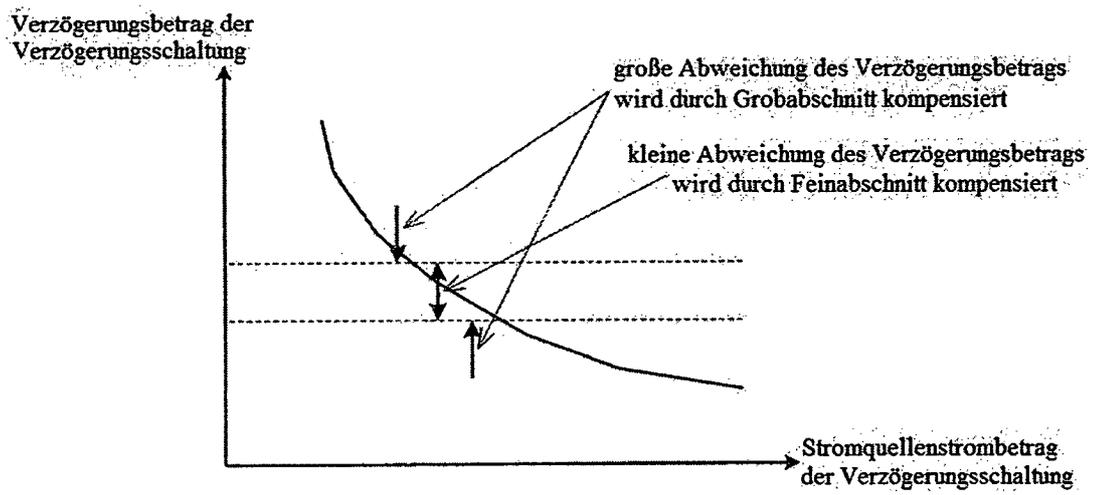


FIG. 22

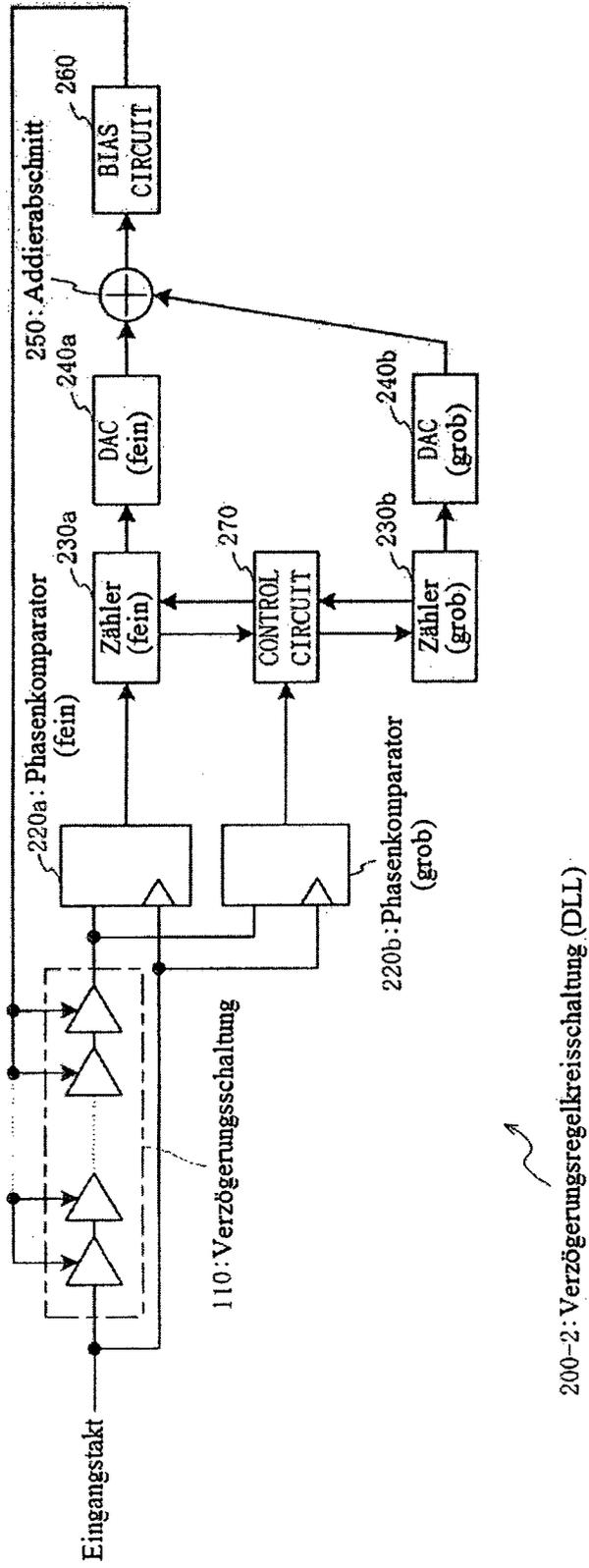


FIG. 23

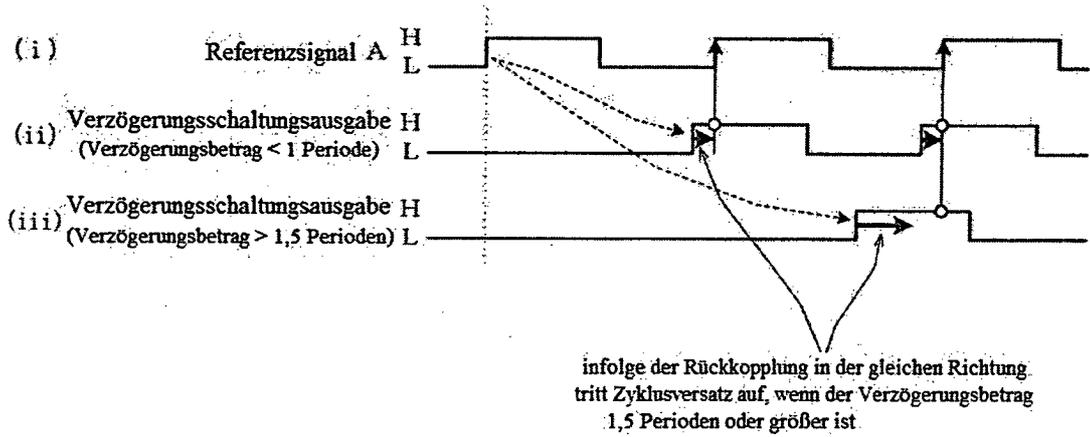


FIG. 24

