

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 1 月 18 日 (18.01.2024)



(10) 国际公布号
WO 2024/012015 A1

(51) 国际专利分类号:
G06F 13/40 (2006.01)

(21) 国际申请号: PCT/CN2023/091887

(22) 国际申请日: 2023 年 4 月 28 日 (28.04.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210828397.8 2022年7月13日 (13.07.2022) CN

(71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(72) 发明人: 戴瑾(**DAI, Jin**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。张云森(**ZHANG, Yunsen**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司(**AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE**); 中国北京市海淀区学清路 38 号 (B 座) 21 层 2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,

(54) **Title:** STORAGE SYSTEM, MAIN CONTROL CHIP, DATA STORAGE METHOD AND DATA READING METHOD

(54) 发明名称: 一种存储系统、主控芯片、数据存储方法及数据读取方法

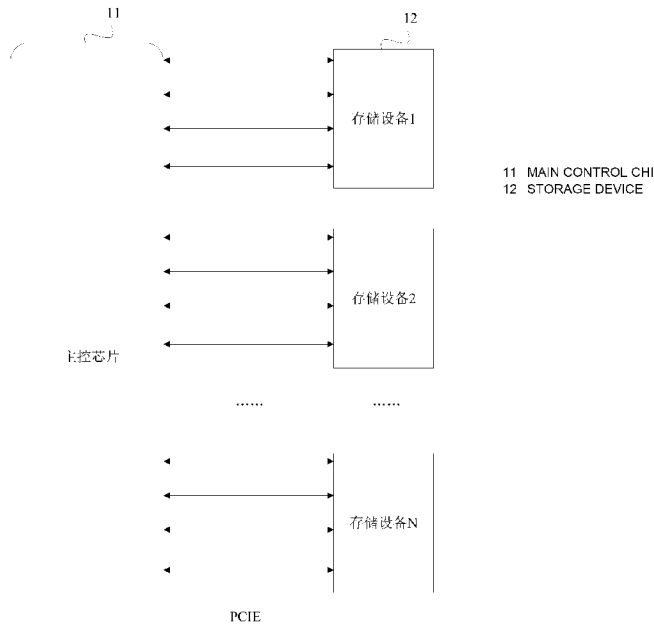


图 1

(57) **Abstract:** A storage system, a main control chip, a data storage method and a data reading method. The storage system may comprise: a main control chip and N storage devices, wherein N is an integer not less than 2; the main control chip is in communication connection with the N storage devices on the basis of a PCIe protocol; and the main control chip is configured to realize data storage and data reading. The data storage comprises: when a write request is received and distributed storage of external storage objects is determined, segmenting data of the storage objects and then respectively storing same in parallel in a plurality of storage devices; and

[见续页]



LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

the data reading comprises: when a reading request is received and it is determined that storage objects needing to be read are stored in a distributed manner, reading the data of the storage objects in parallel from the plurality of storage devices, and transmitting same to an external device.

(57) 摘要: 一种存储系统、主控芯片、数据存储方法及数据读取方法, 存储系统可以包括: 主控芯片和N个存储设备, N为不小于2的整数; 主控芯片与N个存储设备基于PCIe协议进行通信连接; 主控芯片设置为实现数据存储和读取, 数据存储包括: 接收到写入请求且确定对外部的存储对象进行分布式存储时, 将存储对象的数据分割后分别并行存入到多个存储设备中; 数据读取包括: 接收到读取请求且确定需读取的存储对象被分布式存储时, 并行读取多个存储设备中存储对象的数据并传输到外部设备。

一种存储系统、主控芯片、数据存储方法及数据读取方法

相关申请的交叉引用

- 本公开要求 2022 年 7 月 13 日递交到 CNIPA 的, 申请号为 202210828397.8、
- 5 发明名称为“一种存储系统、主控芯片、数据存储方法及数据读取方法”的中国专利申请的优先权, 其内容在此通过引用并入。

技术领域

- 本公开涉及但不仅限于存储技术, 尤指一种存储系统、主控芯片、数据
- 10 存储方法及数据读取方法。

背景技术

- PCI-Express (Peripheral Component Interconnect Express, 简称 PCIe) 是一种高速串行计算机扩展总线标准, PCIe 目前高速计算系统普遍使用的总线,
- 15 可以实现一个设备中内存的某个起始地址到另一个设备中内存的某个起始地址的高速数据传输。

目前存储设备的读写速度较慢, 带宽不足, 尤其是在直接支持高速计算的应用场景, 不能达到 PCIe 通道的传输能力。

20 发明概述

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

- 本公开实施例提供了一种存储系统, 插入到计算机系统的 PCIe 总线上, 或通过 CXL 协议接入到计算机系统, 包括: 主控芯片和 N 个存储设备, N
- 25 为不小于 2 的整数;

所述主控芯片与所述 N 个存储设备基于 PCIe 协议进行通信连接。

本公开实施例还提供了一种主控芯片, 与 N 个存储设备进行通信连接, N 为不小于 2 的整数, 所述主控芯片包括存储器和处理器, 存储器设置为存

储执行指令；处理器设置为调用所述执行指令，以执行以下的处理；

数据存储：接收到写入请求且确定对外部的存储对象进行分布式存储时，将所述存储对象的数据分割后分别并行存入到多个所述存储设备中；

5 数据读取包括：接收到读取请求且确定需读取的存储对象被分布式存储时，并行读取多个所述存储设备中所述存储对象的数据并传输到外部设备。

本公开实施例还提供了一种数据存储方法，应用于包括主控芯片和N个存储设备的存储系统，N个存储设备通过PCIe协议与所述主控芯片连接，N为不小于2的整数，所述方法包括：

10 所述主控芯片接收到写入请求，确定是否对外部的存储对象进行分布式存储；

所述主控芯片确定对所述存储对象进行分布式存储时，将所述存储对象的数据分割后并行存入到多个所述存储设备中。

15 本公开实施例还提供了一种数据读取方法，应用于包括主控芯片和N个存储设备的存储系统，N个存储设备通过PCIe协议与所述主控芯片连接，N为不小于2的整数，所述方法包括：

所述主控芯片接收到读取请求，确定需读取的存储对象是否被分布式存储；

所述主控芯片确定需读取的存储对象被分布式存储时，并行读取多个所述存储设备中所述存储对象的数据并传输到外部。

20 本公开至少一个实施例提供的存储系统、主控芯片、数据存储方法及数据读取方法，与现有技术相比，具有以下有益效果：可将多个存储设备分别通过PCIe接口连接，多个存储设备形成并行连接，通过并行连接可扩大带宽，提供最大的数据传输带宽，最短的时延。

在阅读并理解了附图和详细描述后，可以明白其他方面。

25

附图概述

附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方

案的限制。

图 1 为本公开一示例实施例提供的存储系统的结构图；

图 2 为本公开另一示例实施例提供的存储系统的结构图；

图 3 为本公开一示例实施例提供的数据存储方法的流程图；

5 图 4 为本公开另一示例实施例提供的数据存储方法的流程图；

图 5 为本公开一示例实施例提供的存储系统的结构框图；

图 6 为本公开一示例实施例提供的主控芯片的结构框图。

详述

10 下文中将结合附图对本公开的实施例进行详细说明。在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

本公开描述了多个实施例，但是该描述是示例性的，而不是限制性的，并且对于本领域的普通技术人员来说，在本公开所描述的实施例包含的范围内可以有更多的实施例和实现方案。尽管在附图中示出了许多可能的特征组合，并在具体实施方式中进行了讨论，但是所公开的特征的许多其它组合方
15 合也是可能的。除非特意加以限制的情况以外，任何实施例的任何特征或元件可以与任何其它实施例中的任何其他特征或元件结合使用，或可以替代任何其它实施例中的任何其他特征或元件。

本公开包括并设想了与本领域普通技术人员已知的特征和元件的组合。
20 本公开已经公开的实施例、特征和元件也可以与任何常规特征或元件组合，以形成由权利要求限定的方案。任何实施例的任何特征或元件也可以与来自其它公开方案的特征或元件组合，以形成另一个由权利要求限定的独特的方案。因此，应当理解，在本公开中示出和讨论的任何特征可以单独地或以任何适当的组合来实现。因此，除了根据所附权利要求及其等同替换所做的限制
25 制以外，实施例不受其它限制。此外，可以在所附权利要求的保护范围内进行各种修改和改变。

此外，在描述具有代表性的实施例时，说明书可能已经将方法和过程呈现为特定的步骤序列。然而，在该方法或过程不依赖于本公开所述步骤的特

定顺序的程度上，该方法或过程不应限于所述的特定顺序的步骤。如本领域普通技术人员将理解的，其它的步骤顺序也是可能的。因此，说明书中阐述的步骤的特定顺序不应被解释为对权利要求的限制。此外，针对该方法和过程的权利要求不应限于按照所写顺序执行它们的步骤，本领域技术人员可以容易地理解，这些顺序可以变化，并且仍然保持在本公开实施例的精神和范围内。

图 1 为本公开一示例实施例提供的存储系统的结构图，存储系统可以插入到计算机系统（即插入到系统）的 PCIe 总线上，或存储系统可以通过 CXL 协议接入到计算机系统（即接入到系统），如图 1 所示，存储系统可以包括：
10 主控芯片 11 和 N 个存储设备 12，N 为不小于 2（即不低于 2）的整数；主控芯片与 N 个存储设备基于 PCIe 协议进行通信连接。

本实施例中，可将多个存储设备分别通过 PCIe 接口连接，多个存储设备形成并行连接，通过并行连接可扩大带宽，提供最大的数据传输带宽，最短的时延。

15 在一示例中，存储设备可以包括固态硬盘（Solid State Drives，简称 SSD），多个 SSD 分别通过 PCIe 协议与主控芯片连接。

并行的连接可以有效地扩大数据带宽。例如 N 个 SSD 分别与主控芯片建立 P 通道（Lane）的 PCIe 连接，主控芯片与外部采用 N 乘以 P 通道的 PCIe 连接，P 为非负整数。进行对象存储操作时，主控芯片可以并行对 N 个存储设备进行读写，把每个存储设备读出来的数据块，依次转换到 N 乘以 P 通道的 PCIe 接口上发出去；或者从外部输入数据，主控芯片可以将外部输入数据依次分割后并行地在 P 通道的 PCIe 接口上写入 N 个存储设备。P 和 N 可根据存储设备插入到的系统的 PCIe 总线的通道确定，其中，N 乘以 P 小于或等于 PCIe 总线的通道数量。

25 对于每一个 SSD 可以与主控芯片建立 P 通道的 PCIe 连接，一个数据包可通过 P 通道的其中一个通道传输至 SSD 中。若 SSD 中有多个闪存芯片，一个通道可对应传输一个闪存芯片中的读出或写入数据。

在本公开一示例实施例中，N=4，P=4。目前，一些实施例中，SSD 只支持 4 个 PCIe 通道，而 PCIe 总线常见 16 通道。

本实施例中，可提供 4 个 SSD，每个 SSD 可由一个 SSD 控制芯片和一组闪存芯片组成。整个系统可以部署在一张主板上组成高带宽 SSD。组成的高带宽 SSD 可插入到主机的 PCIe 总线上，或组成的高带宽 SSD 可通过 CXL 协议接入到主机。

- 5 在本公开一示例实施例中，主控芯片可以设置为实现数据存储（即数据写入）和数据读取（即数据读出），数据存储可以包括：接收到写入请求且确定对外部的存储对象进行分布式存储时，将存储对象的数据分割后分别并行存入到多个存储设备中，即将存储对象的数据分割后分别并行存入到 N 个存储设备中，或将存储对象的数据分割后分别并行存入 N 个中的部分存储设备；
- 10 数据存储可以包括：接收到读取请求且确定需读取的存储对象被分布式存储时，并行读取多个存储设备中存储对象的数据并传输到外部设备，即并行读取 N 个存储设备中存储对象的数据并传输到外部设备，或并行读取 N 个中的部分存储设备中存储对象的数据并传输到外部设备。

- 15 本实施例中，主控芯片可以通过多通道 PCIe 实现与多个存储设备在不同通道上的并行连接，主控芯片和存储设备紧耦合，可充分利用存储设备（比如 SSD）的资源。

可通过主控芯片与并行连接的多个存储设备进行配合，主控芯片负责数据转运并分布式管理存储系统，把大的存储对象分割开，分别存入到不同的存储设备中，便于并行的数据读写。

- 20 在一示例中，主控芯片在存储对象的数据尺寸大于预设的尺寸阈值，即主控芯片在存储对象的数据尺寸大于尺寸阈值时，确定对外部的存储对象进行分布式存储。主控芯片对于数据尺寸超过设定阈值的存储对象实行分布式存储。

- 25 本公开实施例提供的存储系统，可将多个存储设备分别通过具有多通道的 PCIe 接口连接，多个存储设备形成并行连接，通过并行连接可扩大带宽，降低时延。

在本公开一示例实施例中，每个存储设备可以包括：SSD 控制芯片和 K 个闪存芯片，K 大于或等于 1；每一个 SSD 控制芯片连接在所述 PCIe 的 K 个通道上，每一个通道对应传输一个闪存芯片的读出或写入的数据， $1 \leq K \leq$

P。

本实施例中，存储设备可以包括固态硬盘(Solid State Drives, 简称 SSD)，SSD 可以包括：SSD 控制芯片和闪存芯片，每个 SSD 控制芯片可通过 PCIe 协议与主控芯片连接，可通过每一个 SSD 与主控芯片建立的 P 通道中的一个
5 通道对应传输一个闪存芯片中的读出或写入数据。

图 2 为本公开另一示例实施例提供的存储系统的结构图，如图 2 所示，主控芯片可以包括 CPU 内核 111、内部存储器 112 和可编程逻辑器件 113，可编程逻辑器件可以设置为实现存储设备与外部设备之间的数据转运；内部存储器可以存储有分布式存储管理程序，CPU 内核可以运行分布式存储管理
10 程序以实现数据存储和数据读取。

本实施例中，主控芯片的一个实施方式可以用 FPGA 实现，分布式存储系统可由 FPGA 内置的 CPU 核的软件与可编程硬件共同实现，PCIe 的数据转运可通过可编程逻辑器件实现。

在本公开一示例实施例中，外部设备可以包括本地主机的处理器或远程
15 主机的处理器（比如 CPU），主控芯片可以包括外部通信接口；主控芯片可通过外部通信接口与计算机系统（比如主机）进行外部通信。

在一示例中，外部通信接口可以包括：PCIe 总线接口，PCIe 总线接口可以配置为通过 PCIe 总线与本地主机的处理器进行通信。

如图 2 所示，多个存储设备（比如 SSD）可以通过 PCIe 协议与主控芯
20 片连接，多个存储设备与主控芯片组成的整个系统可以部署在一张主板上组成高带宽 SSD。组成的高带宽 SSD 可通过主控芯片的 PCIe 总线接口插入 PCIe 总线上，连接到本地主机。

在一示例中，外部通信接口可以包括：CXL 总线接口，CXL 总线接口可以配置为通过 CXL 总线与本地主机的处理器进行通信。

25 如图 2 所示，多个存储设备（比如 SSD）通过 PCIe 协议与主控芯片连接，多个存储设备与主控芯片组成的整个系统可以部署在一张主板上组成高带宽 SSD。组成的高带宽 SSD 可通过主控芯片的 CXL 总线接口插入 CXL 总线上，连接到本地主机。

在一示例中，外部通信接口可以包括：网络接口，网络接口配置为通过网络与远程主机的处理器进行通信。

多个存储设备（比如 SSD）通过 PCIe 协议与主控芯片连接，多个存储设备与主控芯片组成的整个系统可以部署在一张主板上组成高带宽 SSD。组成的高带宽 SSD 可通过主控芯片的网络接口接入网络，连接到远程主机。

在本公开一示例实施例中，主控芯片和多个存储设备之间可使用 PCIe Gen5 协议，读写带宽可以超过接在双倍速率（Double Data Rate，简称 DDR）总线上的动态随机存取存储器（Dynamic Random Access Memory，简称 DRAM）。

图 3 为本公开一示例实施例提供的数据存储方法的流程图，数据存储方法的执行主体可以为任一实施例所示的存储系统，数据存储方法可应用于包括主控芯片和 N 个存储设备的存储系统，N 个存储设备通过 PCIe 协议与主控芯片连接，N 为不小于 2 的整数。如图 3 所示，数据存储方法可以包括：

S301：主控芯片接收到写入请求，确定是否对外部的存储对象进行分布式存储。

本实施例中，可通过主控芯片与多个存储设备配合，通过主控芯片实现向存储设备中并行写入外部的存储对象。

在一示例中，写入请求可以携带存储对象的数据尺寸；确定是否对外部的存储对象进行分布式存储，可以包括：在存储对象的数据尺寸大于尺寸阈值时，确定对存储对象进行分布式存储。

请求方（比如计算机系统的主机）向存储系统发送写入请求，写入请求信息可以携带对象名称、数据尺寸、现存数据的起始地址等。主控芯片对于尺寸超过设定阈值的存储对象实行分布式存储。

S302：主控芯片确定对存储对象进行分布式存储时，将存储对象的数据分割后并行存入到多个存储设备，即存入到 N 个存储设备或 N 个中的部分存储设备中。

主控芯片确定需对存储对象进行分布式存储时，将存储对象的数据分割开，分别存入到不同的存储设备中，便于并行的数据读写。

在本公开一示例实施例中，将存储对象的数据分割后分别并行存入到 N 个存储设备中或 N 个中的部分存储设备，可以包括：

- 5 将存储对象分割成 M 个数据包， $M > N$ ， M 可以远远大于 N ；将 M 个数据包以 N 个数据包为单位按预设顺序轮流存储到 N 个存储设备，其中， M 个数据包中的每 N 个数据包并行存储在 N 个存储设备中，一个数据包一次对应存储到一个存储设备中。

在数据包的数量 M 不是 N 的整数倍时，将 M 除以 N 剩余的数据包分别并行存储到 N 个中的部分存储设备，一个数据包一次对应存储到一个存储设备中。

- 10 在数据包的数量 $M < N$ 时，将每一个数据包分别并行存储到 N 个中的部分存储设备，一个数据包一次对应存储到一个存储设备中。

安排分布式存储时，对于主控芯片 PCIe 接口上连接的多个存储设备（比如 SSD），主控芯片可以把连续多个数据包分配给多个存储设备，每一个数据包对应分配给一个存储设备。

- 15 在一示例中，将存储对象分割成 M 个数据包且 $M > N$ 时，通过多次存储将 M 个数据包写入到 N 个存储设备中，每次存储可以包括：

在余下的数据包的数量大于或等于 N 时，按预设顺序将 N 个数据包并行存储到 N 个存储设备中，一个数据包一次对应存储到一个存储设备中；

- 20 在余下的数据包的数量小于 N 时，将余下的数据包并行存储到存储设备中，一个数据包一次对应存储到一个存储设备中。

如果 $M \leq N$ 时，通过一次存储就可以将 M 个数据包并行存储到 M 个不同的存储设备中。

在一示例中，预设顺序可根据经验值而定，预设顺序可以为数据包存储地址的大小顺序，或者，预设顺序可以为存储设备的编号大小顺序。

- 25 在本公开一示例实施例中，写入请求还可以携带存储对象的名称和存储对象的数据的当前存储地址，存储设备可以包括控制芯片和控制芯片连接的闪存芯片。将 M 个数据包以 N 个数据包为单位按预设顺序轮流存储到 N 个存储设备，可以包括：

主控芯片根据存储对象的当前存储地址确定分割成的 M 个数据包的大小，确定 M 个存储设备取数据的起始地址；主控芯片按预设顺序轮流向 N 个存储设备的控制芯片分别发送写入请求，携带所发送到的存储设备取数据的起始地址和要取出的数据包的大小；每一个存储设备的控制芯片通过 PCIe 协议从相应的取数据的起始地址上取数据并写入到所连接的闪存芯片中。

主控芯片将存储对象的数据进行分割形成多个数据包，以及为每一个数据包分配一个对应的存储设备后，主控芯片可以向多个存储设备发送写入请求，写入请求中可以携带每一个存储设备取数据的起始地址。每个存储设备将通过 PCIe 协议在相应地址上取数据，写入闪存。重复上述步骤直到所有数据完成写入。

在一示例中，写入请求还可以携带存储对象的名称和存储对象的数据的当前存储地址信息，存储设备可以包括控制芯片和与控制芯片连接的闪存芯片；

主控芯片将存储对象分割成 M 个数据包时，根据存储对象的当前存储地址信息确定分割成的 M 个数据包的大小及起始地址；

主控芯片按预设顺序轮流向 N 个存储设备的控制芯片分别发送写入请求，携带存储设备要取出的数据包的起始地址和大小；

每一个存储设备的控制芯片收到写入请求后，通过 PCIe 协议从相应的取数据的起始地址取数据并写入到所连接的闪存芯片中。

当前存储地址信息可以包括：当前起止地址和数据包的大小，或者，当前存储地址信息可以包括：当前起始地址和当前结束地址。

图 4 为本公开另一示例实施例提供的数据读取方法的流程图，数据读取方法的执行主体可以为任一实施例所示的存储系统，数据读取方法可应用于包括主控芯片和 N 个存储设备的存储系统， N 个存储设备通过 PCIe 协议与主控芯片连接， N 为不小于 2 的整数。如图 4 所示，数据读取方法可以包括：

S401：主控芯片接收到读取请求，确定需读取的存储对象是否被分布式存储。

本实施例中，可通过主控芯片与多个存储设备配合，通过主控芯片实现

从多个存储设备中并行读取存储对象的数据。

5 S402: 主控芯片确定需读取的存储对象被分布式存储时, 并行读取多个存储设备中存储对象的数据并传输到外部设备, 即并行读取 N 个存储设备中或 N 个中的部分存储设备中存储对象的数据并传输到外部。主控芯片确定需从存储设备读出存储对象时, 先确定需要读取的存储对象是否被分布式存储, 如果存储对象被分布式存储, 主控芯片向所有存储该存储对象的存储设备发出读取请求, 从所有存储该存储对象的存储设备中并行读取相应数据, 便于并行的数据读出。

10 在本公开一示例实施例中, 读取请求可以携带存储对象的名称, 以及用于接收读取出的存储对象的数据的接收地址, 存储设备可以包括控制芯片和与控制芯片连接的闪存芯片。并行读取 N 个存储设备中或 N 个中的部分存储设备中存储对象的数据并传输到外部, 可以包括:

15 主控芯片根据存储对象的名称确定出分布式存储所述存储对象的所有存储设备, 根据接收地址和每一个存储设备中数据包的大小, 确定每一个存储设备向外部写数据的起始地址; 主控芯片向分布式存储所述存储对象的所有存储设备分别发送读取请求, 携带所发送到的存储设备向外部写数据的起始地址; 每一个存储设备的控制芯片从所连接的闪存芯片中读取数据, 并通过 PCIe 协议向相应的写数据的起始地址上写数据。

20 请求方(比如外部的主机)向存储系统发送读取请求(或读出请求), 读取请求可以携带对象名称、用于接收数据的起始内存地址等。

25 如果存储对象被分布式存储, 主控芯片向所有存储该对象的存储设备(比如 SSD)发出读取请求, 计算每一个存储设备对应的接收数据的起始地址, 把每一个存储设备对应的接收数据的起始地址包括在读取请求中。每个存储设备将从闪存中读出数据并把读出的数据送到相应的地址, 重复上述步骤直到完成所有数据读出。

在一示例中, 读取请求携带存储对象的名称, 以及用于接收读出的存储对象的数据的接收地址信息, 存储设备可以包括控制芯片和与控制芯片连接的闪存芯片;

主控芯片并行读取多个存储设备中存储对象的数据并传输到外部设备，可以包括：

5 主控芯片根据存储对象的名称确定出分布式存储所述存储对象的数据的所有存储设备，根据接收地址和每一个存储设备中数据的大小，确定每一个存储设备向外部设备写数据的起始地址；

主控芯片向分布式存储所述存储对象的数据的所有存储设备分别发送读取请求，携带要读取的数据的当前存储地址，及存储设备向外部设备写数据的起始地址；

10 每一个存储设备的控制芯片接收到读取请求后，根据要读取的数据的当前存储地址从所连接的闪存芯片中读取数据，并通过 PCIe 协议向相应的写数据的起始地址写数据。

每一个存储设备保存的存储对象的数据可以是之前写入数据时存储的数据包。

15 图 5 为本公开一示例实施例提供的计算机系统的结构框图，如图 5 所示，计算机系统可以包括：主机 51、总线 52 和存储系统 53，存储系统采用任一实施例所示的存储系统，总线可以为 PCIe 总线或 CXL 总线。

20 多个存储设备（比如 SSD 控制芯片）可以通过 PCIe 协议与主控芯片连接，多个存储设备与主控芯片组成的整个系统可以部署在一张主板上组成高带宽 SSD。组成的高带宽 SSD 可插入到主机的 PCIe 总线上，或通过 CXL 协议接入到主机。

图 6 为本公开一示例实施例提供的主控芯片的结构框图，主控芯片可以与 N 个存储设备进行通信连接，N 为不小于 2 的整数，如图 6 所示，主控芯片可以包括存储器 61 和处理器 62。

25 存储器设置为存储执行指令，当主控芯片运行时，处理器与存储器之间通信，处理器设置为调用执行指令，用于执行数据存储方法和数据读取方法。

本文中的处理器可以是一个中央处理器（Central Processing Unit，简称 CPU），或者是特定集成电路（Application Specific Integrated Circuit，简称 ASIC），或者完成实施本公开实施例的一个或多个集成电路，或者其他具有

处理功能的器件。

处理器设置为调用执行指令，以执行以下的操作：

数据存储，即所述数据存储方法可以包括：接收到写入请求且确定对外部的存储对象进行分布式存储时，将所述存储对象的数据分割后分别并行存入到多个所述存储设备中，即存入到 N 个存储设备中或 N 个中的部分存储设备， N 为不小于 2 的整数；

数据读取，即所述数据读取方法可以包括：接收到读取请求且确定需读取的存储对象被分布式存储时，并行读取多个所述存储设备中所述存储对象的数据并传输到外部设备，即并行读取 N 个存储设备中或 N 个中的部分存储设备中所述存储对象的数据并传输到外部设备。

在本公开一示例实施例中，所述写入请求可以携带所述存储对象的数据尺寸；

所述确定是否对外部的存储对象进行分布式存储，可以包括：所述主控芯片在所述存储对象的数据尺寸大于预设的尺寸阈值，即所述主控芯片在所述存储对象的数据尺寸大于尺寸阈值时，确定对所述存储对象进行分布式存储。

在本公开一示例实施例中，所述主控芯片将所述存储对象的数据分割后并行存入到 N 个存储设备中或 N 个中的部分存储设备，可以包括：

将所述存储对象分割成 M 个数据包， $M \geq N$ ；将 M 个数据包以 N 个数据包为单位按预设顺序轮流存储到 N 个存储设备，其中， M 个数据包中的每 N 个数据包并行存储在 N 个存储设备中，一个数据包一次对应存储到一个存储设备中；

在数据包的数量 M 不是 N 的整数倍时，将 M 除以 N 剩余的数据包分别并行存储到 N 个中的部分存储设备，一个数据包一次对应存储到一个存储设备中。

在本公开一示例实施例中，所述主控芯片将所述存储对象的数据分割后并行存入到多个所述存储设备中，可以包括：

将所述存储对象分割成 M 个数据包， $M > N$ 时，通过多次存储将 M 个

所述数据包写入到 N 个所述存储设备中，每次存储包括：

在余下的数据包的数量大于或等于 N 时，按预设顺序将 N 个数据包并行存储到 N 个所述存储设备中，一个数据包一次对应存储到一个存储设备中；

在余下的数据包的数量小于 N 时，将余下的数据包并行存储到所述存储设备中，一个数据包一次对应存储到一个存储设备中。

在本公开一示例实施例中，所述写入请求还可以携带所述存储对象的名称和所述存储对象的数据的当前存储地址，所述存储设备包括控制芯片和与所述控制芯片连接的闪存芯片；

所述将 M 个数据包以 N 个数据包为单位按预设顺序轮流存储到 N 个存储设备，可以包括：

所述主控芯片根据所述存储对象的当前存储地址确定分割成的所述 M 个数据包的大小，确定所述 M 个存储设备取数据的起始地址；

所述主控芯片按预设顺序轮流向所述 N 个存储设备的控制芯片分别发送写入请求，携带所发送到的存储设备取数据的起始地址和要取出的数据包的大小；

每一个存储设备的控制芯片通过 PCIe 协议从相应的取数据的起始地址上取数据并写入到所连接的闪存芯片中。

在本公开一示例实施例中，所述写入请求还携带所述存储对象的名称和所述存储对象的数据的当前存储地址信息，所述存储设备包括控制芯片和与所述控制芯片连接的闪存芯片；

所述主控芯片将所述存储对象分割成 M 个数据包时，根据所述存储对象的当前存储地址信息确定分割成的所述 M 个数据包的大小及起始地址；

所述主控芯片按预设顺序轮流向所述 N 个存储设备的控制芯片分别发送写入请求，携带存储设备要取出的数据包的起始地址和大小；

每一个所述存储设备的控制芯片收到写入请求后，通过 PCIe 协议从相应的起始地址取数据并写入到所连接的闪存芯片中。

在本公开一示例实施例中，所述读取请求可以携带所述存储对象的名称，以及用于接收读取出的存储对象的数据的接收地址，所述存储设备包括控制

芯片和与所述控制芯片连接的闪存芯片；

所述并行读取N个存储设备中或N个中的部分存储设备中所述存储对象的数据并传输到外部，可以包括：

5 所述主控芯片根据所述存储对象的名称确定出分布式存储所述存储对象的所有存储设备，根据所述接收地址和每一个存储设备中数据包的大小，确定每一个存储设备向外部写数据的起始地址；

所述主控芯片向分布式存储所述存储对象的所有存储设备分别发送读取请求，携带所发送到的存储设备向外部写数据的起始地址；

10 每一个存储设备的控制芯片从所连接的闪存芯片中读取数据，并通过PCIe协议向相应的写数据的起始地址上写数据。

在本公开一示例实施例中，所述读取请求可以携带所述存储对象的名称，以及用于接收读出的存储对象的数据的接收地址信息，所述存储设备可以包括控制芯片和与所述控制芯片连接的闪存芯片；

15 所述主控芯片并行读取多个存储设备中所述存储对象的数据并传输到外部设备，可以包括：

所述主控芯片根据所述存储对象的名称确定出分布式存储所述存储对象的数据的所有存储设备，根据所述接收地址和每一个存储设备中数据的大小，确定每一个存储设备向外部设备写数据的起始地址；

20 所述主控芯片向分布式存储所述存储对象的数据的所有存储设备分别发送读取请求，携带要读取的数据的当前存储地址，及存储设备向外部设备写数据的起始地址；

每一个存储设备的控制芯片接收到所述读取请求后，根据要读取的数据的当前存储地址从所连接的闪存芯片中读取数据，并通过PCIe协议向相应的写数据的起始地址写数据。

25 本领域普通技术人员可以理解，上文中所公开方法中的全部或某些步骤、系统、装置中的功能模块/单元可以被实施为软件、固件、硬件及其适当的组合。在硬件实施方式中，在以上描述中提及的功能模块/单元之间的划分不一定对应于物理组件的划分；例如，一个物理组件可以具有多个功能，或者一

个功能或步骤可以由若干物理组件合作执行。某些组件或所有组件可以被实施为由处理器，如数字信号处理器或微处理器执行的软件，或者被实施为硬件，或者被实施为集成电路，如专用集成电路。这样的软件可以分布在计算机可读介质上，计算机可读介质可以包括计算机存储介质(或非暂时性介质)

- 5 和通信介质(或暂时性介质)。如本领域普通技术人员公知的，术语计算机存储介质包括在用于存储信息(诸如计算机可读指令、数据结构、程序模块或其他数据)的任何方法或技术中实施的易失性和非易失性、可移除和不可移除介质。计算机存储介质包括但不限于 RAM、ROM、EEPROM、闪存或其他存储器技术、CD-ROM、数字多功能盘(DVD)或其他光盘存储、磁盒、
- 10 磁带、磁盘存储或其他磁存储装置、或者可以用于存储期望的信息并且可以被计算机访问的任何其他的介质。此外，本领域普通技术人员公知的是，通信介质通常包含计算机可读指令、数据结构、程序模块或者诸如载波或其他传输机制之类的调制数据信号中的其他数据，并且可包括任何信息递送介质。

权 利 要 求 书

1. 一种存储系统，插入到计算机系统的 PCIe 总线上，或通过 CXL 协议接入到计算机系统，包括主控芯片和 N 个存储设备，N 为不小于 2 的整数；
所述主控芯片与所述 N 个存储设备基于 PCIe 协议进行通信连接。

5 2. 根据权利要求 1 所述的存储系统，其中，所述主控芯片设置为实现数据存储和数据读取；

所述数据存储包括：接收到写入请求且确定对外部的存储对象进行分布式存储时，将所述存储对象的数据分割后分别并行存入到多个所述存储设备中；

10 所述数据读取包括：接收到读取请求且确定需读取的存储对象被分布式存储时，并行读取多个所述存储设备中所述存储对象的数据并传输到外部设备。

3. 根据权利要求 2 所述的存储系统，其中，

15 所述外部设备包括本地主机的处理器或远程主机的处理器；所述主控芯片包括外部通信接口；

所述外部通信接口包括：PCIe 总线接口，所述 PCIe 总线接口配置为通过 PCIe 总线与本地主机的处理器进行通信；

或者，

20 所述外部通信接口包括：CXL 总线接口，所述 CXL 总线接口配置为通过 CXL 总线与本地主机的处理器进行通信；

或者，

所述外部通信接口包括：网络接口，所述网络接口配置为通过网络与远程主机的处理器进行通信。

25 4. 根据权利要求 2 所述的存储系统，其中，所述主控芯片在所述存储对象的数据尺寸大于预设的尺寸阈值时，确定对外部的存储对象进行分布式存储。

5. 根据权利要求 4 所述的存储系统，其中，每个所述存储设备包括：SSD

控制芯片和 K 个闪存芯片，K 大于或等于 1；

每一个 SSD 控制芯片连接在所述 PCIe 的 K 个通道上，每一个通道对应传输一个闪存芯片的读出或写入的数据。

5 6. 根据权利要求 1-5 任一项所述的存储系统，其中，所述主控芯片包括 CPU 内核、内部存储器和可编程逻辑器件，所述可编程逻辑器件设置为实现所述存储设备与外部设备之间的数据转运；所述内部存储器存储有分布式存储管理程序，所述 CPU 内核运行所述分布式存储管理程序以实现所述数据存储和数据读取。

10 7. 根据权利要求 2 所述的存储系统，其中，所述主控芯片将所述存储对象的数据分割后并行存入到多个所述存储设备中，包括：

将所述存储对象分割成 M 个数据包， $M > N$ 时，通过多次存储将 M 个所述数据包写入到 N 个所述存储设备中，每次存储包括：

在余下的数据包的数量大于或等于 N 时，按预设顺序将 N 个数据包并行存储到 N 个所述存储设备中，一个数据包一次对应存储到一个存储设备中；

15 在余下的数据包的数量小于 N 时，将余下的数据包并行存储到所述存储设备中，一个数据包一次对应存储到一个存储设备中。

8. 一种主控芯片，与 N 个存储设备进行通信连接，N 为不小于 2 的整数，所述主控芯片包括存储器和处理器，存储器设置为存储执行指令；处理器设置为调用所述执行指令，以执行以下的处理；

20 数据存储：接收到写入请求且确定对外部的存储对象进行分布式存储时，将所述存储对象的数据分割后分别并行存入到多个所述存储设备中；

数据读取：接收到读取请求且确定需读取的存储对象被分布式存储时，并行读取多个所述存储设备中所述存储对象的数据并传输到外部设备。

25 9. 根据权利要求 8 所述的主控芯片，其中，所述写入请求携带所述存储对象的数据尺寸；

所述确定是否对外部的存储对象进行分布式存储，包括：所述主控芯片在所述存储对象的数据尺寸大于预设的尺寸阈值时，确定对所述存储对象进行分布式存储。

10. 根据权利要求 8 所述的主控芯片，其中，所述主控芯片将所述存储对象的数据分割后并行存入到多个所述存储设备中，包括：

将所述存储对象分割成 M 个数据包， $M > N$ 时，通过多次存储将 M 个所述数据包写入到 N 个所述存储设备中，每次存储包括：

5 在余下的数据包的数量大于或等于 N 时，按预设顺序将 N 个数据包并行存储到 N 个所述存储设备中，一个数据包一次对应存储到一个存储设备中；

在余下的数据包的数量小于 N 时，将余下的数据包并行存储到所述存储设备中，一个数据包一次对应存储到一个存储设备中。

11. 根据权利要求 10 所述的主控芯片，其中，所述写入请求还携带所述
10 存储对象的名称和所述存储对象的数据的当前存储地址信息，所述存储设备包括控制芯片和与所述控制芯片连接的闪存芯片；

所述主控芯片将所述存储对象分割成 M 个数据包时，根据所述存储对象的当前存储地址信息确定分割成的所述 M 个数据包的大小及起始地址；

所述主控芯片按预设顺序轮流向所述 N 个存储设备的控制芯片分别发送
15 写入请求，携带存储设备要取出的数据包 of 起始地址和大小；

每一个所述存储设备的控制芯片收到写入请求后，通过 PCIe 协议从相应的起始地址取数据并写入到所连接的闪存芯片中。

12. 根据权利要求 8 所述的主控芯片，其中，所述读取请求携带所述存储对象的名称，以及用于接收读出的存储对象的数据的接收地址信息，所述
20 存储设备包括控制芯片和与所述控制芯片连接的闪存芯片；

所述主控芯片并行读取多个存储设备中所述存储对象的数据并传输到外部设备，包括：

所述主控芯片根据所述存储对象的名称确定出分布式存储所述存储对象的数据的所有存储设备，根据所述接收地址和每一个存储设备中数据的大小，
25 确定每一个存储设备向外部设备写数据的起始地址；

所述主控芯片向分布式存储所述存储对象的数据的所有存储设备分别发送读取请求，携带要读取的数据的当前存储地址，及存储设备向外部设备写数据的起始地址；

每一个存储设备的控制芯片接收到所述读取请求后, 根据要读取的数据的当前存储地址从所连接的闪存芯片中读取数据, 并通过 PCIe 协议向相应的写数据的起始地址写数据。

13. 一种数据存储方法, 应用于包括主控芯片和 N 个存储设备的存储系统, N 个存储设备通过 PCIe 协议与所述主控芯片连接, N 为不小于 2 的整数, 所述方法包括:

所述主控芯片接收到写入请求, 确定是否对外部的存储对象进行分布式存储;

所述主控芯片确定对所述存储对象进行分布式存储时, 将所述存储对象的数据分割后并行存入到多个所述存储设备中。

14. 根据权利要求 13 所述的方法, 其中, 所述写入请求携带所述存储对象的数据尺寸;

所述确定是否对外部的存储对象进行分布式存储, 包括: 所述主控芯片在所述存储对象的数据尺寸大于预设的尺寸阈值时, 确定对所述存储对象进行分布式存储。

15. 根据权利要求 13 所述的方法, 其中, 所述主控芯片将所述存储对象的数据分割后并行存入到多个所述存储设备中, 包括:

将所述存储对象分割成 M 个数据包, $M > N$ 时, 通过多次存储将 M 个所述数据包写入到 N 个所述存储设备中, 每次存储包括:

在余下的数据包的数量大于或等于 N 时, 按预设顺序将 N 个数据包并行存储到 N 个所述存储设备中, 一个数据包一次对应存储到一个存储设备中;

在余下的数据包的数量小于 N 时, 将余下的数据包并行存储到所述存储设备中, 一个数据包一次对应存储到一个存储设备中。

16. 根据权利要求 15 所述的方法, 其中, 所述写入请求还携带所述存储对象的名称和所述存储对象的数据的当前存储地址信息, 所述存储设备包括控制芯片和与所述控制芯片连接的闪存芯片;

所述主控芯片将所述存储对象分割成 M 个数据包时, 根据所述存储对象的当前存储地址信息确定分割成的所述 M 个数据包的大小及起始地址;

所述主控芯片按预设顺序轮流向所述N个存储设备的控制芯片分别发送写入请求,携带存储设备要取出的数据包 of 起始地址和大小;

每一个所述存储设备的控制芯片收到写入请求后,通过PCIe协议从相应的起始地址取数据并写入到所连接的闪存芯片中。

- 5 17. 一种数据读取方法,应用于包括主控芯片和N个存储设备的存储系统,N个存储设备通过PCIe协议与所述主控芯片连接,N为不小于2的整数,所述方法包括:

所述主控芯片接收到读取请求,确定需读取的存储对象是否被分布式存储;

- 10 所述主控芯片确定需读取的存储对象被分布式存储时,并行读取多个所述存储设备中所述存储对象的数据并传输到外部设备。

18. 根据权利要求17所述的方法,其中,所述读取请求携带所述存储对象的名称,以及用于接收读出的存储对象的数据的接收地址信息,所述存储设备包括控制芯片和与所述控制芯片连接的闪存芯片;

- 15 所述主控芯片并行读取多个存储设备中所述存储对象的数据并传输到外部设备,包括:

所述主控芯片根据所述存储对象的名称确定出分布式存储所述存储对象的数据的所有存储设备,根据所述接收地址和每一个存储设备中数据的大小,确定每一个存储设备向外部设备写数据的起始地址;

- 20 所述主控芯片向分布式存储所述存储对象的数据的所有存储设备分别发送读取请求,携带要读取的数据的当前存储地址,及存储设备向外部设备写数据的起始地址;

- 25 每一个存储设备的控制芯片接收到所述读取请求后,根据要读取的数据的当前存储地址从所连接的闪存芯片中读取数据,并通过PCIe协议向相应的写数据的起始地址写数据。

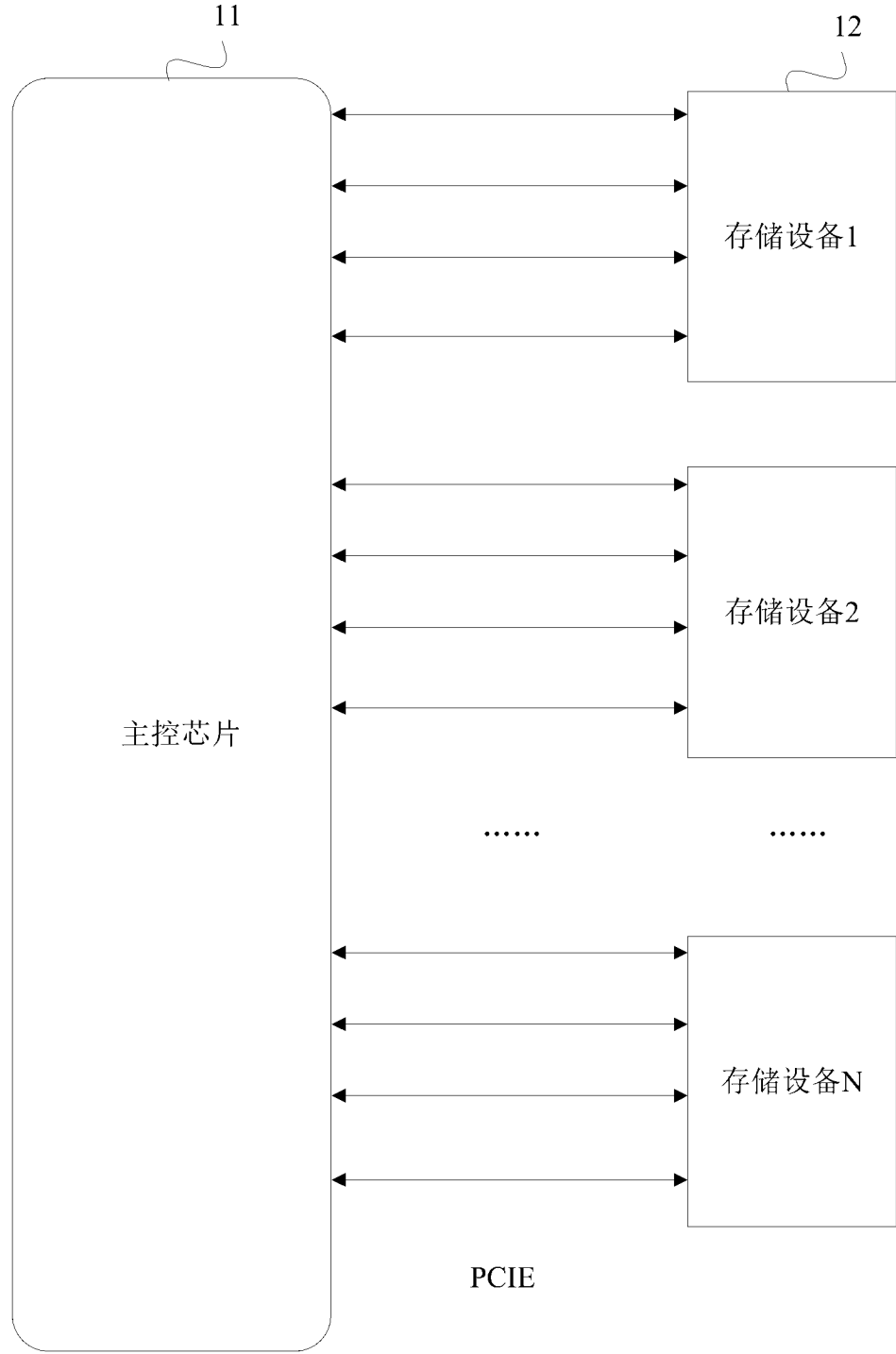


图 1

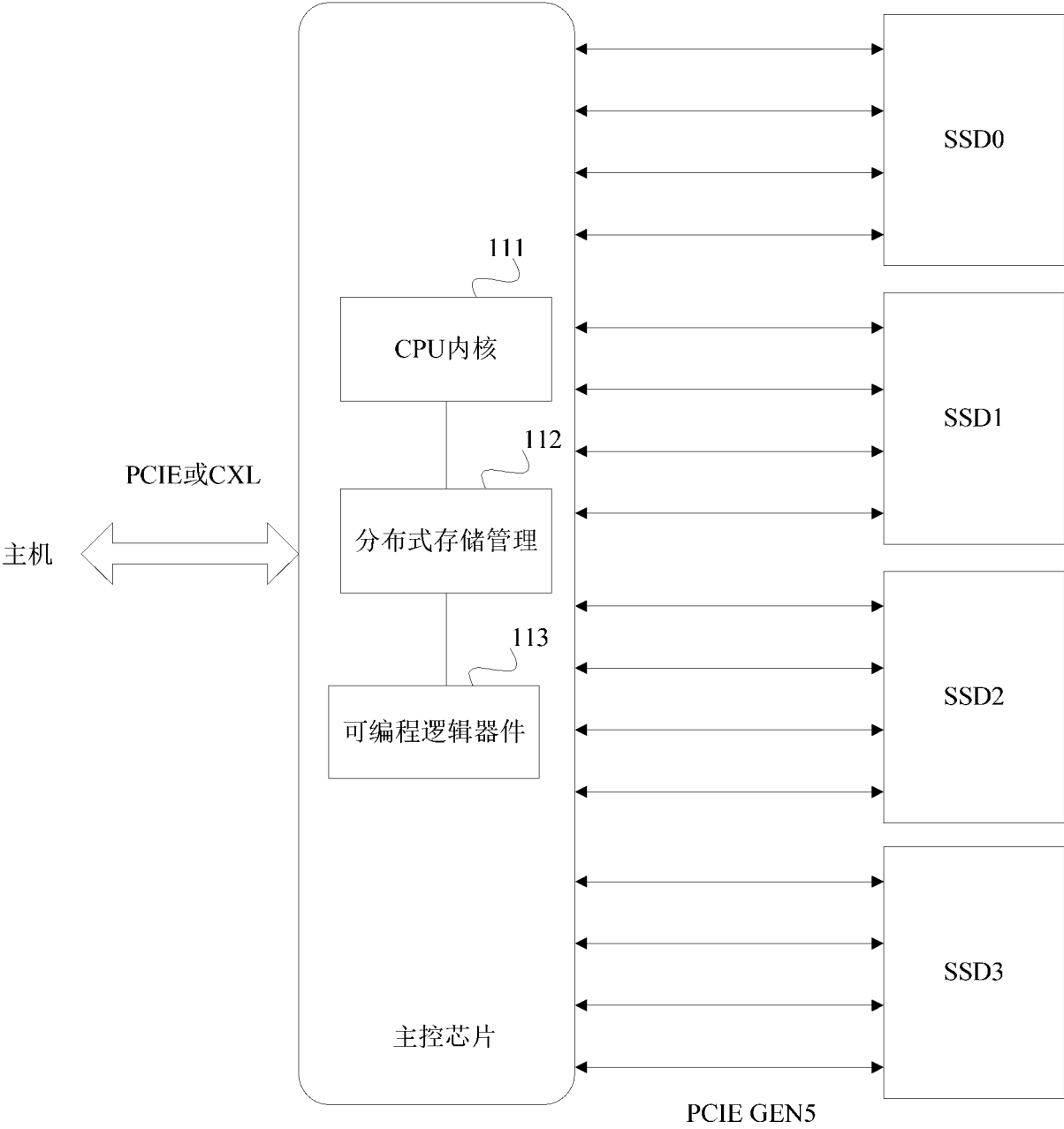


图 2

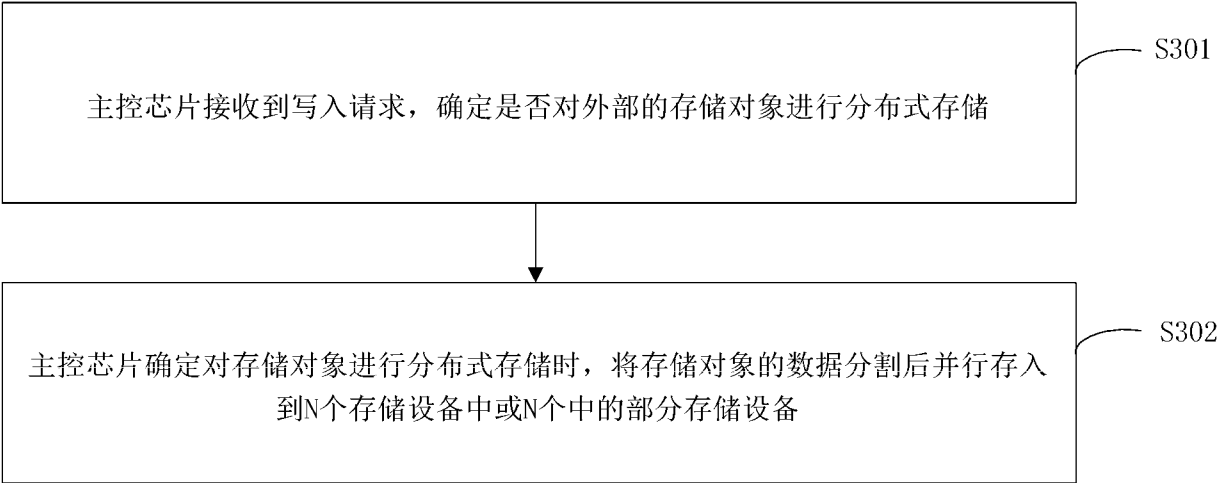


图 3

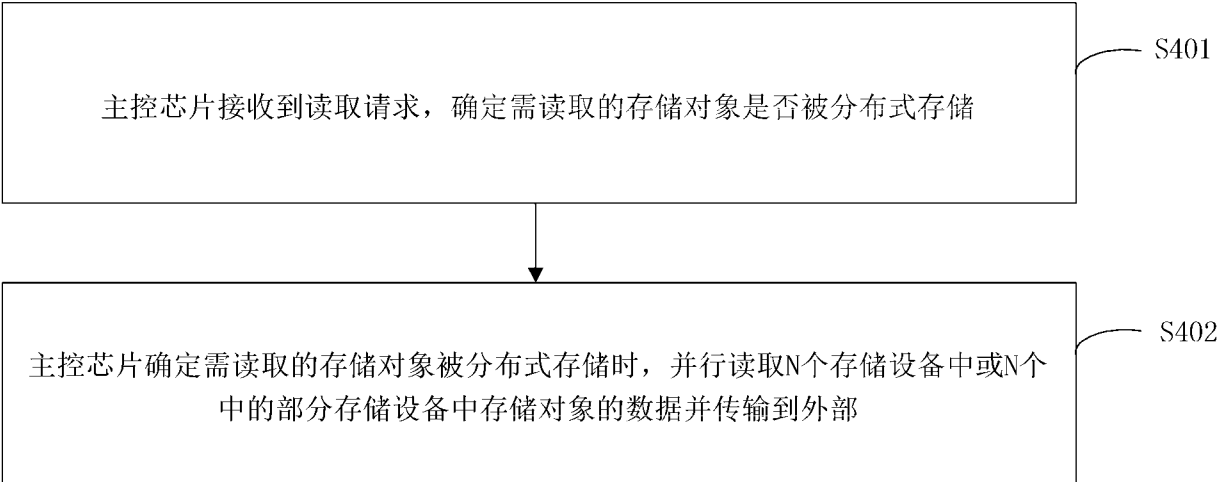


图 4



图 5

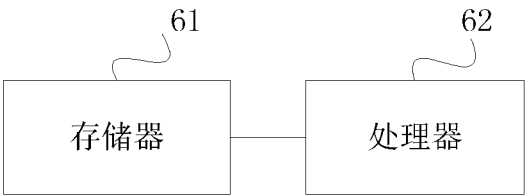


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/091887

A. CLASSIFICATION OF SUBJECT MATTER

G06F13/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; DWPI; VEN; USTXT; WOTXT; EPTXT; CNKI: 存储系统, 快速外围组件互连, 主控芯片, 分布式, 并行, 分割, CXL, storage system, PCIE, master chip, distribution, parallel, segment

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115982078 A (BEIJING CHAOXIAN MEMORY RESEARCH INSTITUTE) 18 April 2023 (2023-04-18) claims 1-10, and description, paragraphs 16-50	1, 6
PY	CN 115982078 A (BEIJING CHAOXIAN MEMORY RESEARCH INSTITUTE) 18 April 2023 (2023-04-18) claims 1-10, and description, paragraphs 16-50	2-5, 7-18
X	CN 114237968 A (WESTERN DIGITAL TECHNOLOGIES, INC.) 25 March 2022 (2022-03-25) description, paragraphs 35-72	1, 6
X	US 2010125695 A1 (NANOSTAR CORP.) 20 May 2010 (2010-05-20) description, paragraphs 39-82	1, 6
Y	CN 114237968 A (WESTERN DIGITAL TECHNOLOGIES, INC.) 25 March 2022 (2022-03-25) description, paragraphs 35-72	2-5, 7-18
Y	CN 108932203 A (SK HYNIX INC.) 04 December 2018 (2018-12-04) description, paragraphs 85-137	2-5, 7-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 July 2023

Date of mailing of the international search report

02 August 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/091887

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010125695 A1 (NANOSTAR CORP.) 20 May 2010 (2010-05-20) description, paragraphs 39-82	2-5, 7-18
A	CN 113778333 A (DAI JIN) 10 December 2021 (2021-12-10) entire document	1-18
A	US 2008052451 A1 (PHISON ELECTRONICS CORP.) 28 February 2008 (2008-02-28) entire document	1-18
A	US 2010017650 A1 (NANOSTAR CORP., U.S.A) 21 January 2010 (2010-01-21) entire document	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/091887

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115982078	A	18 April 2023	None			
CN	114237968	A	25 March 2022	US	2022365698	A1	17 November 2022
				US	2022075545	A1	10 March 2022
				US	11442646	B2	13 September 2022
				DE	102021115373	A1	10 March 2022
				KR	20220033415	A	16 March 2022
US	2010125695	A1	20 May 2010	None			
CN	108932203	A	04 December 2018	US	2018341577	A1	29 November 2018
				US	10585792	B2	10 March 2020
				KR	20180130140	A	07 December 2018
CN	113778333	A	10 December 2021	None			
US	2008052451	A1	28 February 2008	US	7822912	B2	26 October 2010
US	2010017650	A1	21 January 2010	None			

国际检索报告

国际申请号

PCT/CN2023/091887

A. 主题的分类

G06F13/40 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; DWPI; VEN; USTXT; WOTXT; EPTXT; CNKI: 存储系统, 快速外围组件互连, 主控芯片, 分布式, 并行, 分割, CXL, storage system, PCIE, master chip, distribution, parallel, segment

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 115982078 A (北京超弦存储器研究院) 2023年4月18日 (2023 - 04 - 18) 权利要求1-10, 说明书第16-50段	1、6
PY	CN 115982078 A (北京超弦存储器研究院) 2023年4月18日 (2023 - 04 - 18) 权利要求1-10, 说明书第16-50段	2-5、7-18
X	CN 114237968 A (西部数据技术公司) 2022年3月25日 (2022 - 03 - 25) 说明书第35-72段	1、6
X	US 2010125695 A1 (NANOSTAR CORPORATION) 2010年5月20日 (2010 - 05 - 20) 说明书第39-82段	1、6
Y	CN 114237968 A (西部数据技术公司) 2022年3月25日 (2022 - 03 - 25) 说明书第35-72段	2-5、7-18
Y	CN 108932203 A (爱思开海力士有限公司) 2018年12月4日 (2018 - 12 - 04) 说明书第85-137段	2-5、7-18
Y	US 2010125695 A1 (NANOSTAR CORPORATION) 2010年5月20日 (2010 - 05 - 20) 说明书第39-82段	2-5、7-18

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年7月25日

国际检索报告邮寄日期

2023年8月2日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

李艳丽

电话号码 (+86) 020-28958508

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 113778333 A (戴瑾) 2021年12月10日 (2021 - 12 - 10) 全文	1-18
A	US 2008052451 A1 (PHISON ELECTRONICS CORP.) 2008年2月28日 (2008 - 02 - 28) 全文	1-18
A	US 2010017650 A1 (NANOSTAR CORPORATION, U. S. A) 2010年1月21日 (2010 - 01 - 21) 全文	1-18

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/091887

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115982078	A	2023年4月18日	无			
CN	114237968	A	2022年3月25日	US	2022365698	A1	2022年11月17日
				US	2022075545	A1	2022年3月10日
				US	11442646	B2	2022年9月13日
				DE	102021115373	A1	2022年3月10日
				KR	20220033415	A	2022年3月16日
US	2010125695	A1	2010年5月20日	无			
CN	108932203	A	2018年12月4日	US	2018341577	A1	2018年11月29日
				US	10585792	B2	2020年3月10日
				KR	20180130140	A	2018年12月7日
CN	113778333	A	2021年12月10日	无			
US	2008052451	A1	2008年2月28日	US	7822912	B2	2010年10月26日
US	2010017650	A1	2010年1月21日	无			