



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

201645
(11) (B1)

(51) Int. Cl.³
H 03 K 19/20

(22) Přihlášeno 05 01 78
(21) (PV 114-78)
(32) (31) (33) Právo přednosti od 10 01 77
(2 441 813, 2 441 910)
Svaz sovětských socialistických republik

(40) Zveřejněno 31 03 80
(45) Vydáno 15 07 82

(75)
Autor vynálezu

KREMLEV VJAČESLAV JAKOVLEVIČ, NAZARJAN ARTAŠES RUBE-
NOVIČ, LUVAŠEVSKIJ ALEXEJ VASILJEVIČ a KOKIN VILIAM NIKO-
LAJEVIČ, MOSKVA (SSSR)

(54) Integrovaný logický obvod

Vynález se týká integrovaného logického obvodu. Vynález může být úspěšně využit v číslicových výpočetních zařízeních, například v mikroprocesorech.

Jsou známy integrované logické obvody, zahrnující dvojici bipolárních tranzistorů vzájemně se doplňujícího typu vodivosti, z nichž jeden je spínacím, zatímco druhý plní funkci proudového generátoru, tzv. „injekční obvod“.

Z uvedených obvodů je svou technickou podstatou obvod podle vynálezu nejbližší integrovaný logický obvod, zahrnující spínací tranzistor řízený elektrickým polem, k němuž je připojený proudový generátor (bipolární tranzistor), vstupní a výstupní elektrody, připojené k řídicí elektrodě a sběrné elektrodě tranzistoru řízeného elektrickým polem a elektrody napájecího obvodu, z nichž jedna je připojena k proudovému generátoru a druhá ke zdrojové elektrodě tranzistoru řízeného elektrickým polem.

Uvedený obvod je charakteristický poměrně vysokou hodnotou napájecího napětí a hodnotou práce spínání. Je tomu tak z důvodu použití bipolárního tranzistoru jako proudového generátoru; tranzistor má nevysokou hodnotu proudového zesilovacího činitele od emitoru ke kolektoru o poměrně vysoké ote-

vírací napětí emitorového přechodu, jež se rovná přibližně 0,7 V.

Cílem vynálezu je snížení napájecího napětí a hodnoty práce pro spínání integrovaného obvodu.

Dalším cílem vynálezu je zajištění jednoduchosti výroby integrovaného obvodu a zmenšení obvodem zaujímané plochy na minimum.

Základem tohoto vynálezu je úkol zpracovat integrovaný logický obvod, v němž by byl jako proudový generátor použit prvek, dovolující snížit napájecí napětí a hodnotu práce spínání integrovaného obvodu bez zvýšení složitosti výroby obvodu a bez zvětšení obvodem zaujímané plochy.

Podstata vynálezu spočívá v tom, že v integrovaném logickém obvodu, zahrnujícím spínací tranzistor řízený elektrickým polem, k němuž je připojený proudový generátor, vstupní a výstupní elektrody, připojené k řídicí elektrodě a sběrné elektrodě tranzistoru řízeného elektrickým polem a elektrody napájecího obvodu, z nichž jedna je připojena k proudovému generátoru a druhá ke zdrojové elektrodě tranzistoru řízeného elektrickým polem, je podle vynálezu proudový generátor tvořen tranzistorem řízeným elektrickým polem, doplňkového typu vodivosti, jeho řídicí elektroda je spojena se zdrojovou elektrodou spínacího tranzistoru řízeného elek-

trickým polem, přičemž zdrojová elektroda je připojena k jedné z elektrod napájecího obvodu a sběrná elektroda k řídicí elektrodě spínacího tranzistoru řízeného elektrickým polem.

Pro rozšíření funkcionálních možností integrovaného logického obvodu je účelné vybavit spínací tranzistor nejméně jednou doplňkovou řídicí elektrodou, připojenou k doplňkové vstupní elektrodě, a tranzistor řízený elektrickým polem, s doplňkovým typem vodivosti je opatřen doplňkovými sběrnými elektrodami podle počtu doplňkových řídicích elektrod spínacího tranzistoru řízeného elektrickým polem.

K vytvoření vícevstupových integrovaných logických obvodů je třeba zapojit mezi sběrnou elektrodou tranzistoru řízeného elektrickým polem s doplňkovým typem vodivosti a řídicí elektrodou spínacího tranzistoru řízeného elektrickým polem nejméně jeden doplňkový tranzistor řízený elektrickým polem s doplňkovým typem vodivosti a řídicí elektrodou spojenou se zdrojovou elektrodou spínacího tranzistoru řízeného elektrickým polem.

Při výrobě polovodičové struktury integrovaného logického obvodu se spínacím tranzistorem v podobě planárního tranzistoru řízeného elektrickým polem s řídicím p-n přechodem, vertikálním kanálem n případně p typu vodivosti a zdrojovou elektrodou v podobě substrátu n případně p typu vodivosti integrovaného obvodu je účelné realizovat proudový generátor jako polem řízenou strukturu s řídicím p-n přechodem a horizontálním kanálem p případně n typu vodivosti, jehož oblast sběrné elektrody i zdrojové elektrody je společná se záběrnou oblastí spínacího tranzistoru řízeného elektrickým polem nebo integrovaného obvodu.

V případě, že je v takové polovodičové struktuře vertikální kanál n případně p typu vodivosti proveden na substrátu p případně n typu vodivosti, je třeba proudový generátor vytvořit jako polem řízenou strukturu s vertikálním kanálem p případně n typu vodivosti.

V dalším je vynález vysvětlen popisem konkrétních variant jeho provedení a příloženými výkresy, na nichž podle vynálezu: obr. 1 představuje základní elektrické schéma integrovaného logického obvodu — invertoru, obr. 2 — základní elektrické schéma integrovaného logického obvodu — ventilu, obr. 3 — schematický náčrt polovodičové struktury tohoto ventilu dle obr. 2 při pohledu shora, obr. 4 — základní elektrické schéma ventilu se dvěma vstupy, obr. 5 — základní elektrické schéma ventilu se třemi vstupy, obr. 6 — schematický polovodičovou strukturu invertoru s proudovým generátorem v podobě tranzistoru řízeného elektrickým polem s horizontálním kanálem, ve svislém řezu, obr. 7, totéž co na obr. 6 s proudovým generátorem v podobě tranzistoru řízeného elektrickým polem s vertikálním kanálem.

Na obr. 1 je uvedeno základní elektrické schéma jednodušší varianty integrovaného obvodu podle vynálezu — logického invertoru. Logický invertor zahrnuje spínací tranzistor 1 řízený elektrickým polem s kanálem n-typu vodivosti, proudový generátor 2, tvořený tranzistorem 2 řízeným elektrickým polem s kanálem p-typu vodivosti, tj. doplňkového typu vodivosti tranzistoru 1, řízeného elektrickým polem, vstupní elektrodu 3, výstupní elektrodu 4 a elektrody 5 a 6 napájecího obvodu.

Řídicí elektroda 7 tranzistoru 2 je spojena se zdrojovou elektrodou 8 tranzistoru 1 řízeného elektrickým polem, zdrojová elektroda 9 tranzistoru 2 je připojena k elektrodě 5 napájecího obvodu, sběrná elektroda 10 — k řídicí elektrodě 11 tranzistoru 1 a ke vstupní elektrodě 3, uzemněná elektroda 6 napájecího obvodu (na výkrese není znázorněna) je připojena k řídicí elektrodě 7 tranzistoru 2 řízeného elektrickým polem a ke zdrojové elektrodě 8 tranzistoru 1 řízeného elektrickým polem. Sběrná elektroda 12 tranzistoru 1 řízeného elektrickým polem je spojena s výstupní elektrodou 4.

Na obr. 2 je uvedeno základní elektrické schéma složitější varianty integrovaného logického obvodu podle vynálezu — logického členu pro negaci součtu a pro negaci součinu. Logický člen na rozdíl od invertoru podle obr. 1 zahrnuje doplňkovou řídicí elektrodu 11' u tranzistoru 1, řízeného elektrickým polem, připojenou k doplňkové vstupní elektrodě 3' a k doplňkové sběrné elektrodě 10' tranzistoru 2, řízeného elektrickým polem.

Na obr. 2 je logický obvod znázorněn s jednou doplňkovou řídicí elektrodou 11', ovšem těchto řídicích elektrod může být větší počet a jejich zapojení je analogické k zapojení řídicích elektrod 11'.

Na obr. 3 je schematicky znázorněna přednostní varianta polovodičové struktury logického ventilu, jehož základní elektrické schéma je uvedeno na obr. 2.

Na obr. 3 a též na následujících výkresech, týkajících se polovodičových struktur, jsou uvedena označení, která se shodují s jím odpovídajícími označeními v elektrických schématech. Zdrojová elektroda 8 a řídicí elektroda 7 je společná se substrátem n-typu vodivosti integrovaného obvodu.

V substrátu je vytvořena difuzní oblast p-typu vodivosti, plnící funkci zdrojové elektrody 9. K této oblasti přiléhají dvě oblasti p-typu vodivosti, sloužící jako kanály 13 a 13' tranzistoru 2 řízeného elektrickým polem. Ke každé z těchto oblastí přiléhá po jedné oblasti p-typu vodivosti, sloužící jako řídicí elektrody 11 a 11' tranzistoru řízeného elektrickým polem sběrné elektrody 10 a 10' tranzistoru 2 řízeného elektrickým polem. Na těchto oblastech jsou vytvořeny kovové kontakty, spojené se vstupními elektrodami 3 a 3'. Vedle toho jsou v substrátu vytvořeny dvě oblasti n-typu vodivosti, z nichž jedna částečně překrývá oblast p — typu vodivosti, plní funkci sběrné

elektrody 12 tranzistoru 1 řízeného elektrickým polem a je opatřena kovovým kontaktem, spojeným s výstupní elektrodou 4, druhá pak vytváří ohmický kontakt se substrátem a je spojena s uzemněnou elektrodou 6.

Varianta integrovaného logického obvodu, která je uvedena na obr. 4, zahrnuje, na rozdíl od varianty uvedené na obr. 1, dva doplňkové tranzistory 13 řízené elektrickým polem, mající doplňující typ vodivosti ke spínacímu tranzistoru 1 řízenému elektrickým polem spojené mezi sebou do série a zapojené mezi sběrnou elektrodou 10 tranzistoru 2 řízeného elektrickým polem a řídicí elektrodou 11 tranzistoru 1, řízeného elektrickým polem. Zdrojová elektroda druhého doplňkového tranzistoru 13 řízeného elektrickým polem je spojena s doplňkovou vstupní elektrodou 3".

Varianta integrovaného obvodu, uvedeného na obr. 5 zahrnuje na rozdíl od varianty uvedené na obr. 4 ještě tranzistor 2' se dvěma sběrnými elektrodami 10 a 10', mezi nimiž na jedné straně a řídicí elektrodou 11 na druhé straně jsou zapojeny dva paralelně mezi sebou zapojené doplňkové tranzistory 13 řízené elektrickým polem, mající doplňující typ vodivosti k vodivosti spínacího tranzistoru 1 řízeného elektrickým polem. K řídicí elektrodě 11 je připojena doplňková vstupní elektroda 3".

Na obr. 6 je schematicky znázorněna polovodičová struktura logického obvodu — invertoru, jehož základní elektrické schéma bylo uvedeno na obr. 1. Spínací tranzistor 1 řízený elektrickým polem je realizován v podobě planární struktury s řídicím p-n přechodem 14, s vertikálním kanálem n-typu vodivosti 15, řídicí elektrodou 11 p-typu vodivosti, zdrojovou elektrodou 8, společnou se substrátem n (p)-typu vodivosti integrovaného obvodu. Proudový generátor je proveden jako polem řízená struktura s řídicím p-n přechodem 16 a horizontálním kanálem 17 p-typu vodivosti, jehož oblast sběrné elektrody 10 je společná se závěrnou oblastí řídicí elektrody 11 a závěrná oblast řídicí elektrody 7 je společná s oblastí zdrojové elektrody, zdrojovou elektrodou 8 a se substrátem 5 integrovaného obvodu.

Tato varianta obvodu může být též realizována na substrátu n⁺-typu vodivosti (na výkresech není uvedeno), na níž je uložena vysokoohmová n-vrstva. V tomto případě je spínací prvek vyřešen jako paralelně zapojený tranzistor řízený elektrickým polem s bipolárním tranzistorem v inverzním zapojení.

Polovodičová struktura, uvedená na obr. 7, je realizací téhož invertoru jako u struktury na obr. 6, ale vyznačuje se větší hustotou skladby. Na rozdíl od předcházející varianty má ve struktuře podle obr. 7 substrát vodivosti typu p, tj. opačný typ vodivosti než oblast zdrojové elektrody 8 spínacího tranzistoru, řízeného elektrickým polem, společně se závěrnou oblastí 7. Proudový generátor je proveden jako polem řízená struktura s vertikálním kanálem 18 a zdrojovou elektrodou 9,

společnou se substrátem p (n)-typu vodivosti integrovaného obvodu. Umístění zdrojové elektrody 9 do substrátu umožnilo vyvést elektrodu 5 napájecího obvodu na opačnou stranu struktury, což poskytlo možnost zmenšit plochu, zaujímanou integrovaným obvodem.

Integrovaný logický obvod, znázorněný na obr. 1, 6 a 7 pracuje následujícím způsobem.

Na elektrodu 6 a tím též na zdrojovou elektrodu 8 tranzistoru 1 řízeného elektrickým polem a řídicí elektrodu 7 tranzistoru 2 řízeného elektrickým polem je přiveden potenciál, rovnající se 0 voltů, na elektrodu 5 a tím též na zdrojovou elektrodu 9 tranzistoru 2 řízeného elektrickým polem je přivedeno nevelké kladné napětí 0,2 až 0,5 V. Při tom protéká přes kanál 17 od zdrojové elektrody 9 k sběrné elektrodě 10 tranzistoru 1 řízeného elektrickým polem této struktury na obr. 6 napájecí proud. Tranzistor 2 řízený elektrickým polem pracuje v režimu proudového generátoru. Jestliže je na vstupní elektrodě 3 napětí rovnající se nule, což odpovídá logické „0“, pak je napájecí proud veden přes vnější obvod (připojovaný k elektrodě 3 a neuvedený na obr. 1) na „zem“. Přitom je na řídicí elektrodě 11 tranzistoru 1 řízeného elektrickým polem napětí, rovnající se OV a řídicí p-n přechod 14 je uzavřen, zatímco kanál 15 je překryt vrstvou prostorového náboje tohoto p-n přechodu. V tom případě je tranzistor 1 řízený elektrickým polem zavřen a na výstupní elektrodě 4 integrovaného obvodu je napětí poněkud menší (0,1 až 0,4 V) než napětí na elektrodě 5 (jestliže se k výstupu 4 připojí vstup analogového prvku), tj. napětí, odpovídající logické „1“. Jestliže na vstupní elektrodě 3 bude napětí logické „1“, pak napájecí proud, tekoucí přes kanál 17 tranzistoru 2 řízeného elektrickým polem se uzavírá přes řídicí p-n přechod 14 tranzistoru 1 řízeného elektrickým polem. Na řídicí elektrodě 11 bude při tom napětí logické „1“ a tranzistor 1 řízený elektrickým polem bude otevřen, zatímco na výstupní elektrodě 4 logického obvodu bude napětí, odpovídající logické „0“.

Takovýmto způsobem dává jednodušší varianta logického obvodu podle vynálezu obvod, plnící logickou operaci „inverze“. Integrovaný obvod, popisovaný v daném případě, tvoří jednoduchý prvek pro sestavování velkých integrovaných obvodů logických a paměťových zařízení, přičemž všechny zdrojové elektrody jednoduchých prvků jsou sloučeny ve společném substrátu. U takového zařízení není nezbytné provádět mimořádná opatření k izolování jednotlivých prvků. Velké integrované obvody, sestavené z velkého počtu invertorů výše uvedeného typu mohou být realizovány na monokrystalickém polovodičovém substrátu bez epitaxní vrstvy.

V polovodičové struktuře na obr. 7 je tranzistor 2 řízený elektrickým polem (proudový generátor) proveden s vertikálním kanálem 18, což umožňuje přivést napájecí proud integrovaného obvodu ke spodnímu povrchu

destičky metalizaci napájecího obvodu, z čehož pak vyplývá usnadnění provedení třecích vazeb ve velkém integrovaném obvodu a v konečném důsledku se zvyšuje hustota skladby.

Složitější varianta provedení podle vynálezu, integrovaný obvod logického ventilu podle znázornění na obr. 2, 3 pracuje následujícím způsobem. Tak jako u invertoru se u logického ventilu přivádí na elektrody 5 a 6 těmto elektrodám odpovídající kladný potenciál (řádově 0,3 až 0,5 V) nebo nulový potenciál. Přes kanály 13 a 13' při tom protékají napájecí proudy od zdrojové elektrody 9 ke sběrným elektrodám 10 a 10'. Jestliže je na vstupních elektrodách 3 a 3' napětí logické „0“, pak se napájecí proudy, které protékají přes kanály 13 a 13' uzavírají na „zem“ přes vnější obvody, připojené ke vstupům 3 a 3'. (Vnější obvody nejsou na obr. 3 uvedeny). Přitom je na řídicích elektrodách 11 a 11' napětí blízké nule a oblast n-typu vodivosti, umístěná mezi závěrnými oblastmi 11 a 11' je zcela překryta vrstvami prostorových nábojů. V daném případě je spínací tranzistor 1 řízený elektrickým polem zavřen a na výstupní elektrodě 4 integrovaného obvodu je napětí, odpovídající logické „1“.

Jestliže je na jednu ze vstupních elektrod 3, 3' — například na elektrodu 3 — přivedeno napětí logické „1“, pak se napájecí proud, protékající přes kanál 13 proudového generátoru, uzavírá přes řídicí p-n přechod závěrné oblasti 11. Přitom se část oblasti, umístěná mezi závěrnými oblastmi 11 a 11' a přiléhající k závěrné oblasti 11, od prostorového náboje uvolňuje, tranzistor 1 řízený elektrickým polem se otevírá a na výstupní elektrodě 5 integrovaného logického obvodu je napětí, odpovídající logické „0“. Takovýmto způsobem tedy v případě, kdy vzdálenost mezi závěrnými oblastmi 11 a 11' je rovna dvojnásobku tloušťky vrstvy prostorového náboje řídicího p-n přechodu řídicí elektroda-zdrojová elektroda plní logický ventil logickou funkci „NE-BO-NE“.

Jestliže je vzdálenost mezi závěrnými oblastmi 11 a 11' menší nebo rovna tloušťce vrstvy prostorového náboje p-n přechodu řídicí elektroda-zdrojová elektroda, pak logický ventil plní logickou funkci „A-NE“. Spínací tranzistor 1 řízený elektrickým polem bude otevřen a na výstupní elektrodě 4 integrovaného obvodu bude napětí logické „0“ pouze tehdy, když na obou vstupních elektrodách 3 a 3' bude napětí logické „1“. Při libovolné jiné kombinaci napětí logické „0“ a „1“ na vstupních elektrodách 3 a 3' bude oblast n-typu vodivosti, umístěná mezi závěrnými oblastmi 11 a 11' překryta vrstvou prostorového náboje.

Varianta logického ventilu, která je uvedena na obr. 4, bude plnit logickou funkci „A-NE“ pro dvě vstupní proměnné. Napětí logické „0“ se objeví na výstupu 4 daného ventilu pouze v případě, kdy napětí logické „1“ bude přivedeno na oba vstupy 3 a 3'. Při libovolné jiné kombinaci napětí na vstupech 3 a 3' bude na výstupu ventilu (na elektrodě 4) napětí logické „1“. Jestliže například na vstupu 3 bude napětí logické „0“ a na vstupu 3' bude napětí logické „1“, pak se napájecí proud, protékající přes oblast sběrné elektrody 10 tranzistoru řízeného elektrickým polem uzavírá přes vnější obvody (nejsou na obr. 4 znázorněny) na zem a nedostává se k řídicí elektrodě 11 spínacího tranzistoru 1 řízeného elektrickým polem. V důsledku toho je tranzistor 1 řízený elektrickým polem zavřen a na oblasti jeho sběrné elektrody 12 a tím též i na výstupní elektrodě 4 logického ventilu je napětí logické „1“. Napájecí proud se nedostane k závěrné oblasti 11 tranzistoru 1 řízeného elektrickým polem rovněž ani v případě, kdy je napětí logické „0“ třeba jen na vstupu 3' nebo dokonce na obou vstupech 3 a 3'.

Varianta logického ventilu, která je uvedena na obr. 5, plní logickou funkci $C = a(b + d)$, kde C je logická proměnná na výstupní elektrodě 4 ventilu, zatímco a , b a d jsou odpovídající logické proměnné na vstupech 3'', 3' a 3. Napětí logické „0“ se objeví na výstupní elektrodě 4, tzn. logická proměnná C nabývá hodnoty „0“ pouze tehdy, jestliže za prvé — logická proměnná „ a “ nabývá hodnoty „1“, nebo za druhé, nejméně jedna z logických proměnných „ b “ a „ d “ nabývá hodnota „1“. Při ostatních kombinacích hodnot proměnných „ a “, „ b “ a „ d “ má proměnná „ C “ hodnotu logické „1“.

Všechny výše popsané logické ventily mohou být využity při sestavování složitých číselových logických a paměťových zařízení s použitím bezprostředních vazeb. Nejvýraznější efekt využití daného vynálezu může být dosažen při jeho využití k sestavení velkých integrovaných obvodů.

Integrovaný obvod podle vynálezu může být vyroben podle jednoduché technologie s použitím dvou operací difuze příměsí s pomocí tří až čtyř fotošablon. Takovýto obvod, vytvořený například v monokrystalické podložce bez epitaxní vrstvy s měrným odporem řádově 10 ohm . cm při využití obyčejných fotošablon s minimálními rozměry okének kolem 4 až 5 μm , zaujímá na krystalu plochu řádově několika stovek čtverečních μm a je charakterizován násobkem zpoždění signálu a rozptýleného výkonu (prací přepínání) řádově 10^{-2} pJ.

PŘEDMĚT VYNÁLEZU

1. Integrovaný logický obvod se spínacím tranzistorem řízeným elektrickým polem, k němuž je připojen proudový generátor,

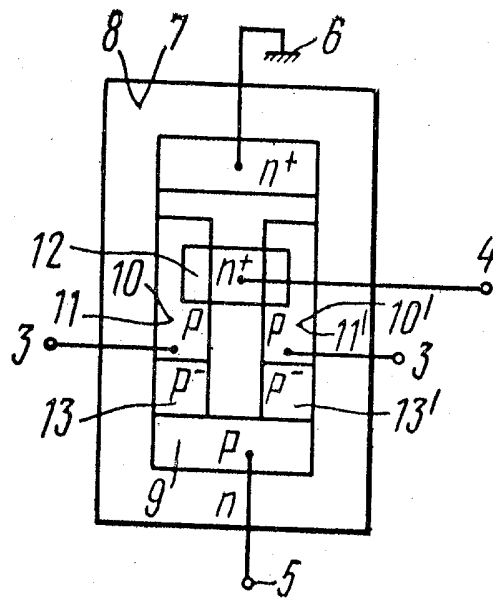
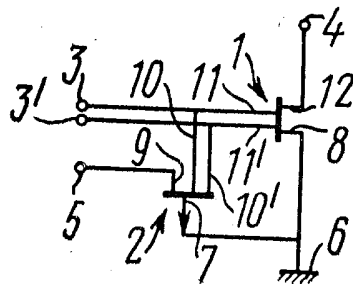
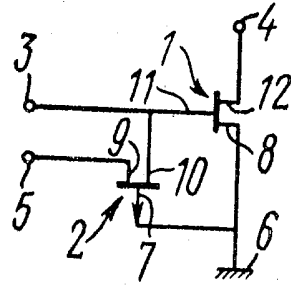
vstupní a výstupní elektrody, připojené k řídicí elektrodě a sběrné elektrodě tranzistoru řízeného elektrickým polem a elek-

trody napájecího obvodu, z nichž jedna je připojena k proudovému generátoru a druhá ke zdrojové elektrodě tranzistoru řízeného elektrickým polem, vyznačující se tím, že proudový generátor tvoří tranzistor (2) řízený elektrickým polem s doplňkovým typem vodivosti, jeho řídicí elektroda (7) je spojena se zdrojovou elektrodou (8) spínacího tranzistoru (1) řízeného elektrickým polem, přičemž zdrojová elektroda (9) je připojena k jedné z elektrod (5) napájecího obvodu a sběrná elektroda (10) k řídicí elektrodě (11) spínacího tranzistoru (1) řízeného elektrickým polem.

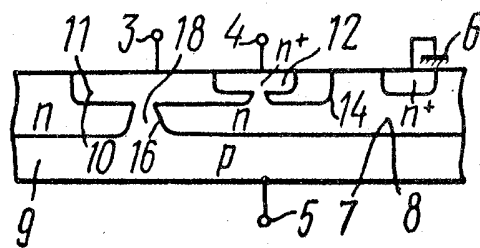
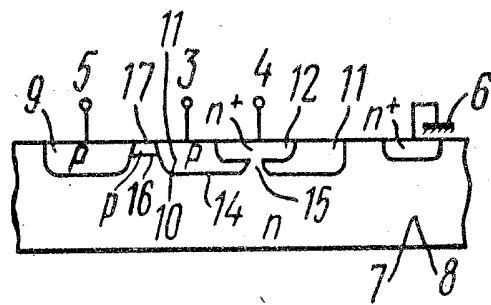
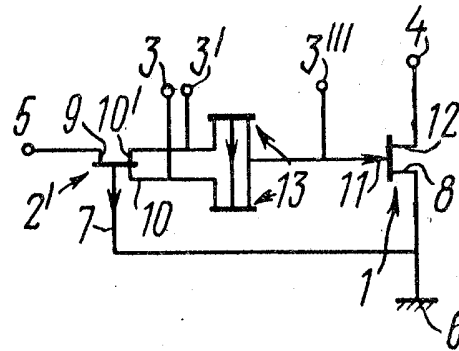
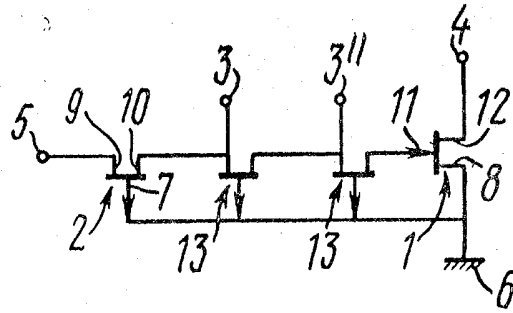
2. Integrovaný logický obvod podle bodu 1, vyznačující se tím, že spínací tranzistor (1) řízený elektrickým polem je opatřen nejméně jednou doplňkovou řídicí elektrodou (11'), připojenou k doplňkové vstupní elektrodě (3') a tranzistor (2) řízený elektrickým polem s doplňkovým typem vodivosti je opatřen doplňkovými sběrnými elektrodami (10') podle počtu doplňkových řídicích elektrod (11') spínacího tranzistoru (1) řízeného elektrickým polem.
3. Integrovaný logický obvod podle bodů 1 a 2, vyznačující se tím, že mezi sběrnou elektrodou (10) tranzistoru (2) řízeného elektrickým polem s doplňkovým typem vodivosti a řídicí elektrodou (11) spínacího

tranzistoru (1) řízeného elektrickým polem je připojen nejméně jeden doplňkový tranzistor (13) řízený elektrickým polem s doplňkovým typem vodivosti a řídicí elektrodou spojenou se zdrojovou elektrodou (8) spínacího tranzistoru (1) řízeného elektrickým polem.

4. Integrovaný logický obvod podle bodu 1 se spínacím tranzistorem řízeným elektrickým polem v podobě planárního tranzistoru s řídicím p-n přechodem a vertikálním kanálem n případně p typu vodivosti, vyznačující se tím, že proudový generátor je proveden v podobě polem řízené struktury s řídicím p-n přechodem (16) a horizontálním kanálem (17) p případně n typu vodivosti v případě, je-li zdrojová elektroda (8) spínacího tranzistoru (1) řízeného elektrickým polem provedena jako substrát integrovaného obvodu n případně p typu vodivosti, nebo s vertikálním kanálem (18) p případně n typu vodivosti v případě, je-li substrát integrovaného obvodu p případně n typu vodivosti, přičemž oblasti sběrné elektrody (10) a zdrojové elektrody (9) polem řízené struktury jsou společné se závěrnou oblastí řídicí elektrody (11) spínacího tranzistoru (1) řízeného elektrickým polem a substrátem integrovaného obvodu.



Obr. 1-3



Obr. 4-7