

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年5月5日(05.05.2022)



(10) 国際公開番号

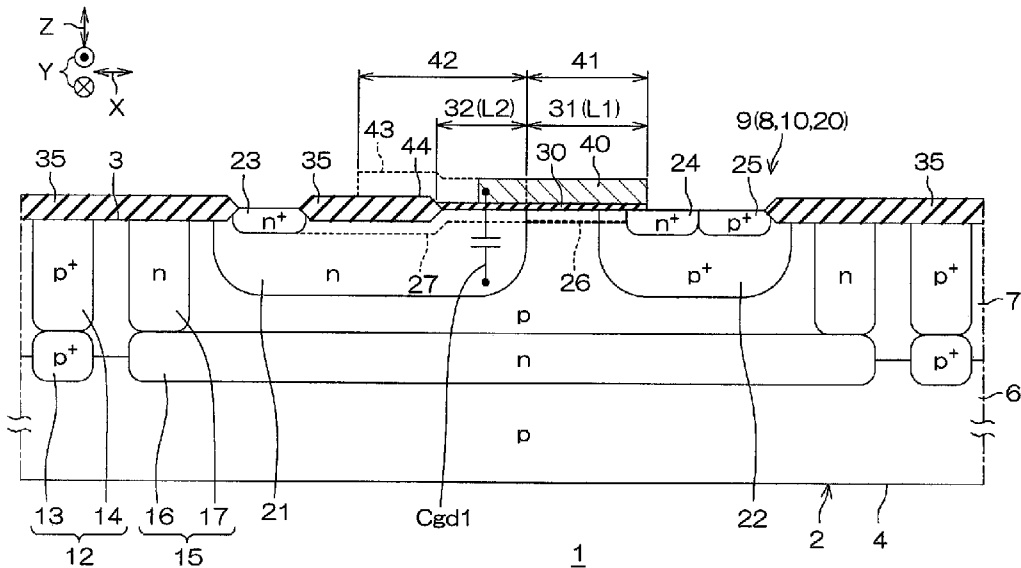
WO 2022/092035 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
- (21) 国際出願番号: PCT/JP2021/039336
- (22) 国際出願日: 2021年10月25日(25.10.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-181367 2020年10月29日(29.10.2020) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 濱澤 靖史 (HAMAZAWA, Yasushi);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 あい 特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410054 大阪府大阪市中央区南本町二丁目 6 番 1 2 号 サンマリオン N B F タワー 2 1 階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図4]



(57) Abstract: This semiconductor device comprises: a chip having a main surface; a drain region formed in an upper-layer portion of the main surface; a source region formed in the upper-layer portion of the main surface at an interval from the drain region; a channel inversion region formed on the source region side between the drain region and the source region in the upper-layer portion of the main surface; a drift region formed in a region between the drain region and the channel inversion region in the upper-layer portion of the main surface; a gate insulating film including a first part coating the

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

channel inversion region on the main surface and a second part coating the drift region on the main surface; and a gate electrode including a first electrode part coating the first part and a second electrode part leading out of the first electrode part onto the second part so as to partially expose the second part.

(57) 要約：半導体装置は、主面を有するチップと、前記主面の表層部に形成されたドレイン領域と、前記ドレイン領域から間隔を空けて前記主面の表層部に形成されたソース領域と、前記主面の表層部における前記ドレイン領域および前記ソース領域の間において前記ソース領域側に形成されるチャンネル反転領域と、前記主面の表層部において前記ドレイン領域および前記チャンネル反転領域の間の領域に形成されるドリフト領域と、前記主面の上で前記チャンネル反転領域を被覆する第1部分、および、前記主面の上で前記ドリフト領域を被覆する第2部分を有するゲート絶縁膜と、前記第1部分を被覆する第1電極部、および、前記第2部分を部分的に露出させるように前記第1電極部から前記第2部分の上に引き出された第2電極部を有するゲート電極と、を含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この出願は、2020年10月29日に日本国特許庁に提出された特願2020-181367号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明は、半導体装置に関する。

背景技術

[0002] 特許文献1は、p基板、pウェル、n型低濃度拡散層、ソース、ドレイン。ゲート絶縁膜およびゲート電極を含む半導体装置を開示している。pウェルは、p基板に形成されている。n型低濃度拡散層は、pウェル内に形成されている。ソースは、n型低濃度拡散層から間隔を空けてpウェル内に形成されている。ドレインは、ソースから間隔を空けてn型低濃度拡散層内に形成されている。ゲート絶縁膜は、ソースおよびドレインの間のチャネル領域を被覆している。ゲート電極は、ゲート絶縁膜の上に形成されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2007/215949号明細書

発明の概要

発明が解決しようとする課題

[0004] 本発明の一実施形態は、電気的特性を向上できる半導体装置を提供する。

課題を解決するための手段

[0005] 本発明の一実施形態は、主面を有するチップと、前記主面の表層部に形成されたドレイン領域と、前記ドレイン領域から間隔を空けて前記主面の表層部に形成されたソース領域と、前記主面の表層部における前記ドレイン領域および前記ソース領域の間において前記ソース領域側に形成されるチャネル反転領域と、前記主面の表層部において前記ドレイン領域および前記チャネル反転領域の間の領域に形成されるドリフト領域と、前記主面の上で前記チ

チャネル反転領域を被覆する第1部分、および、前記主面の上で前記ドリフト領域を被覆する第2部分を有するゲート絶縁膜と、前記第1部分を被覆する第1電極部、および、前記第2部分を部分的に露出させるように前記第1電極部から前記第2部分の上に引き出された第2電極部を有するゲート電極と、を含む、半導体装置を提供する。

[0006] 上述のまたはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0007] [図1]図1は、本発明の第1実施形態に係る半導体装置を示す模式図である。

[図2]図2は、図1に示す領域IIを第1形態例に係るゲート電極と共に示す拡大図である。

[図3]図3は、図2に示すIII-III線に沿う断面図である。

[図4]図4は、図2に示すIV-IV線に沿う断面図である。

[図5]図5は、図2に示すV-V線に沿う断面図である。

[図6]図6は、図2に示すVI-VI線に沿う断面図である。

[図7A]図7Aは、図1に示す領域IIを第2形態例に係るゲート電極と共に示す拡大図である。

[図7B]図7Bは、図1に示す領域IIを第3形態例に係るゲート電極と共に示す拡大図である。

[図7C]図7Cは、図1に示す領域IIを第4形態例に係るゲート電極と共に示す拡大図である。

[図7D]図7Dは、図1に示す領域IIを第5形態例に係るゲート電極と共に示す拡大図である。

[図7E]図7Eは、図1に示す領域IIを第6形態例に係るゲート電極と共に示す拡大図である。

[図8]図8は、本発明の第2実施形態に係る半導体装置を示す模式図である。

[図9]図9は、図8に示す領域IXを第1形態例に係るゲート電極と共に示す拡大図である。

[図10]図10は、図9に示すX-X線に沿う断面図である。

[図11]図11は、図9に示すXI-XI線に沿う断面図である。

発明を実施するための形態

- [0008] 図1は、本発明の第1実施形態に係る半導体装置1を示す模式図である。
- 図1を参照して、半導体装置1は、直方体形状の半導体チップ2（チップ）を含む。半導体チップ2は、この形態（this embodiment）では、シリコンチップからなる。半導体チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。
- [0009] 第1主面3および第2主面4は、それらの法線方向Zから見た平面視において四角形状に形成されている。法線方向Zは、半導体チップ2の厚さ方向でもある。第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1方向Xに交差（具体的には直交）する第2方向Yに対向している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。
- [0010] 半導体装置1は、半導体チップ2の第2主面4の表層部に形成されたp型（第1導電型）の第1半導体領域6を含む。第1半導体領域6は、第2主面4の表層部の全域に形成され、第2主面4および第1～第4側面5A～5Dから露出している。つまり、第1半導体領域6は、第2主面4および第1～第4側面5A～5Dの一部を有している。
- [0011] 第1半導体領域6は、厚さ方向にほぼ一定のp型不純物濃度を有しているもよい。第1半導体領域6のp型不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{15} \text{ cm}^{-3}$ 以下であってもよい。第1半導体領域6の厚さは、 $50 \mu\text{m}$ 以上 $800 \mu\text{m}$ 以下であってもよい。第1半導体領域6の厚さは、第2主面4の研削によって調整される。第1半導体領域6は、この形態では、p型の半導体基板によって形成されている。
- [0012] 半導体装置1は、半導体チップ2の第1主面3の表層部に形成されたp型の第2半導体領域7（半導体領域）を含む。第2半導体領域7は、第1主面

3の表層部の全域に形成され、第1主面3および第1～第4側面5A～5Dから露出している。つまり、第2半導体領域7は、第1主面3および第1～第4側面5A～5Dの一部を有している。第2半導体領域7のp型不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{15} \text{ cm}^{-3}$ 以下であってもよい。第2半導体領域7の厚さは、 $5 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下であってもよい。第2半導体領域7は、この形態では、p型のエピタキシャル層によって形成されている。

[0013] 半導体装置1は、第2半導体領域7に設けられた複数のデバイス領域8を含む。複数のデバイス領域8は、種々の機能デバイスがそれぞれ形成された領域である。複数のデバイス領域8は、平面視において第1～第4側面5A～5Dから間隔を空けて第1主面3の内方部にそれぞれ区画されている。デバイス領域8の個数、配置および形状は任意であり、特定の個数、配置および形状に限定されない。複数の機能デバイスは、半導体スイッチングデバイス、半導体整流デバイスおよび受動デバイスのうちの少なくとも1つをそれぞれ含んでもよい。

[0014] 半導体スイッチングデバイスは、JFET (Junction Field Effect Transistor: 接合型トランジスタ)、トランジスタ (Metal Insulator Semiconductor Field Effect Transistor)、BJT (Bipolar Junction Transistor: バイポーラトランジスタ)、および、IGBT (Insulated Gate Bipolar Junction Transistor: 絶縁ゲート型バイポーラトランジスタ)のうちの少なくとも1つを含んでもよい。半導体整流デバイスは、pn接合ダイオード、pin接合ダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファストリカバリーダイオードのうちの少なくとも1つを含んでもよい。受動デバイスは、抵抗、コンデンサ、インダクタおよびヒューズのうちの少なくとも1つを含んでもよい。

[0015] 複数のデバイス領域8は、この形態では、少なくとも1つのMISFET領域9を含む。MISFET領域9はプレーナゲート構造型のMISFET10を含む領域である。以下、MISFET領域9 (MISFET10) 側

の具体的な構造が説明される。

[0016] 図2は、図1に示す領域IIを第1形態例に係るゲート電極40と共に示す拡大図である。図3は、図2に示すIII-III線に沿う断面図である。図4は、図2に示すIV-IV線に沿う断面図である。図5は、図2に示すV-V線に沿う断面図である。図6は、図2に示すVI-VI線に沿う断面図である。

[0017] 図2～図6を参照して、半導体装置1は、第2半導体領域7においてMISFET領域9を他の領域から電氣的に分離する領域分離構造11 (a region separation structure) を含む。領域分離構造11は、平面視において第1主面3の一部を取り囲む環状に形成され、所定形状のMISFET領域9を区画している。領域分離構造11は、この形態では、平面視において四角環状（この形態では第1方向Xに延びる長方形環状）に形成され、内周縁によって四角形状（この形態では第1方向Xに延びる長方形形状）のMISFET領域9を区画している。領域分離構造11の平面形状（MISFET領域9の平面形状）は、任意である。

[0018] 領域分離構造11は、p型の第1分離構造12を含む。第1分離構造12には、グランド電位が付与されてもよい。第1分離構造12は、平面視において第1主面3の一部を取り囲む環状に形成されている。第1分離構造12は、第2半導体領域7を横切るように第1主面3から第1半導体領域6に向けて壁状に延び、第1半導体領域6に電氣的に接続されている。

[0019] 第1分離構造12は、この形態では、p型の第1埋設領域13およびp型の第1分離領域14を含む。第1埋設領域13は、第1半導体領域6および第2半導体領域7の間の境界部に形成されている。第1埋設領域13は、法線方向Zに関して第1主面3および第2主面4から間隔を空けて形成され、第1半導体領域6および第2半導体領域7に電氣的に接続されている。第1埋設領域13は、第1半導体領域6のp型不純物濃度を超えるp型不純物濃度を有している。第1埋設領域13のp型不純物濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0020] 第1分離領域14は、第2半導体領域7において第1主面3および第1埋

設領域 1 3 の間の領域に形成され、第 1 埋設領域 1 3 に電氣的に接続されている。この形態では、1 つの第 1 分離領域 1 4 が形成されているが、第 1 埋設領域 1 3 に電氣的に接続される限り、第 1 分離領域 1 4 の積層数は任意である。複数の第 1 分離領域 1 4 が第 1 埋設領域 1 3 側から第 1 主面 3 側に積層されていてもよい。第 1 分離領域 1 4 の p 型不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。第 1 分離領域 1 4 は、第 1 埋設領域 1 3 の p 型不純物濃度以下の p 型不純物濃度を有していてもよい。

[0021] 領域分離構造 1 1 は、n 型（第 2 導電型）の第 2 分離構造 1 5 を含む。第 2 分離構造 1 5 には、電源電位が付与されてもよい。第 2 分離構造 1 5 は、平面視において第 1 分離構造 1 2 の内周縁から内方に間隔を空けて形成され、第 1 分離構造 1 2 によって取り囲まれた領域内において M I S F E T 領域 9 を区画している。第 2 分離構造 1 5 は、具体的には、第 2 半導体領域 7 の底部側から第 1 主面 3 側に向けて第 2 半導体領域 7 の一部を取り囲む筒状に形成されている。第 2 分離構造 1 5 は、第 2 半導体領域 7 の一部を電氣的にフローティング状態に固定すると同時に、当該第 2 半導体領域 7 の一部を M I S F E T 領域 9 として区画している。

[0022] 第 2 分離構造 1 5 は、この形態では、n 型の第 2 埋設領域 1 6 および n 型の第 2 分離領域 1 7 を含む。第 2 埋設領域 1 6 は、第 1 分離構造 1 2 によって取り囲まれた領域内において第 1 半導体領域 6 および第 2 半導体領域 7 の境界部に形成されている。第 2 埋設領域 1 6 の n 型不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。

[0023] 第 2 埋設領域 1 6 は、第 1 分離構造 1 2 の内周縁から内方に間隔を空けて形成され、第 1 分離構造 1 2 との間において第 1 半導体領域 6 の一部を露出させている。第 2 埋設領域 1 6 は、法線方向 Z に関して第 1 主面 3 および第 2 主面 4 から間隔を空けて形成され、第 1 半導体領域 6 および第 2 半導体領域 7 に電氣的に接続されている。第 2 埋設領域 1 6 は、この形態では、平面視において第 1 分離構造 1 2 の内周縁に沿う四角形状（具体的には第 1 方向 X に延びる長方形状）に形成されている。

[0024] 第2分離領域17は、第2半導体領域7において第1主面3および第2埋設領域16の周縁部の間の領域に形成され、第2埋設領域16に電氣的に接続されている。この形態では、1つの第2分離領域17が形成されているが、第2埋設領域16に電氣的に接続される限り、第2分離領域17の積層数は任意である。複数の第2分離領域17が第2埋設領域16の周縁部側から第1主面3側に積層されていてもよい。第2分離領域17のn型不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。

[0025] 半導体装置1は、MISFET領域9に形成されたMISFET10を含む。MISFET10は、MISFET領域9に形成された少なくとも1つのMISFETセル20を含む。MISFET10が複数のMISFETセル20を含む場合、複数のMISFETセル20は第1方向Xに間隔を空けてMISFET領域9に形成されていてもよい。MISFET10は、この形態では、単一のMISFETセル20によって構成されている。以下、MISFETセル20の具体的な構造について説明される。

[0026] MISFETセル20は、MISFET領域9において第2半導体領域7の表層部に形成されたn型のドレインウェル領域21を含む。ドレインウェル領域21は、MISFET領域9の一端部側（第3側面5C側）に形成されている。ドレインウェル領域21は、第2半導体領域7のp型不純物濃度を超えるn型不純物濃度を有している。ドレインウェル領域21のn型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0027] ドレインウェル領域21は、平面視において第2分離構造15（第2分離領域17）からMISFET領域9の内方に間隔を空けて形成され、MISFET領域9の周縁部において第2半導体領域7の一部を露出させている。ドレインウェル領域21は、この形態では、平面視において第2分離構造15（第2分離領域17）の内周縁（第2埋設領域16の周縁）に沿う四角形状に形成されている。ドレインウェル領域21は、法線方向Zに関して第2埋設領域16から第1主面3側に間隔を空けて形成され、第2半導体領域7の一部を挟んで第2埋設領域16に対向している。つまり、ドレインウェル

領域 21 は、第 2 半導体領域 7 に電氣的に接続された側部および底部を有している。

[0028] MISFETセル 20 は、MISFET領域 9 においてドレインウェル領域 21 から間隔を空けて第 2 半導体領域 7 の表層部に形成された p 型のソースウェル領域 22 を含む。ソースウェル領域 22 は、ドレインウェル領域 21 から第 1 方向 X に間隔を空けて MISFET領域 9 の他端部側（第 4 側面 5D 側）に形成されている。ソースウェル領域 22 は、第 2 半導体領域 7 の p 型不純物濃度を超える n 型不純物濃度を有している。ソースウェル領域 22 の p 型不純物濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0029] ソースウェル領域 22 は、平面視において第 2 分離構造 15（第 2 分離領域 17）から MISFET領域 9 の内方に間隔を空けて形成され、MISFET領域 9 の周縁部において第 2 半導体領域 7 の一部を露出させている。ソースウェル領域 22 は、この形態では、平面視において第 2 分離構造 15（第 2 分離領域 17）の内周縁（第 2 埋設領域 16 の周縁）に沿う四角形状に形成されている。ソースウェル領域 22 は、法線方向 Z に関して第 2 埋設領域 16 から第 1 主面 3 側に間隔を空けて形成され、第 2 半導体領域 7 の一部を挟んで第 2 埋設領域 16 に対向している。つまり、ソースウェル領域 22 は、第 2 半導体領域 7 に電氣的に接続された側部および底部を有している。

[0030] MISFETセル 20 は、MISFET領域 9 においてドレインウェル領域 21 の表層部に形成された n 型のドレイン領域 23 を含む。ドレイン領域 23 は、ドレインウェル領域 21 の n 型不純物濃度を超える n 型不純物濃度を有している。ドレイン領域 23 の n 型不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $2 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

[0031] ドレイン領域 23 は、平面視においてドレインウェル領域 21 の周縁から内方に間隔を空けて形成され、一方方向（第 2 方向 Y）に延びる帯状に形成されている。ドレイン領域 23 の平面形状は任意であり、正形状、六角形状または円形状に形成されていてもよい。ドレイン領域 23 は、法線方向 Z

に関してドレインウェル領域 21 の底部から第 1 主面 3 側に間隔を空けて形成され、ドレインウェル領域 21 の一部を挟んで第 2 半導体領域 7 に対向している。

[0032] MISFETセル 20 は、MISFET領域 9 においてソースウェル領域 22 の表層部に形成された n 型のソース領域 24 を含む。ソース領域 24 は、ソースウェル領域 22 の一端部側（第 3 側面 5 C 側）に形成されている。ソース領域 24 は、ドレインウェル領域 21 の n 型不純物濃度を超える n 型不純物濃度を有している。ソース領域 24 の n 型不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $2 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。ソース領域 24 の n 型不純物濃度は、ドレイン領域 23 の n 型不純物濃度とほぼ等しいことが好ましい。

[0033] ソース領域 24 は、平面視においてソースウェル領域 22 の周縁から内方に間隔を空けて形成され、一方方向（第 2 方向 Y）に延びる帯状に形成されている。ソース領域 24 の平面形状は任意であり、正形状、六角形状または円形状に形成されていてもよい。ソース領域 24 は、法線方向 Z に関してソースウェル領域 22 の底部から第 1 主面 3 側に間隔を空けて形成され、ソースウェル領域 22 の一部を挟んで第 2 半導体領域 7 に対向している。

[0034] MISFETセル 20 は、MISFET領域 9 においてソースウェル領域 22 の表層部に形成された p 型のコンタクト領域 25 を含む。コンタクト領域 25 は、ソースウェル領域 22 の他端部側（第 4 側面 5 D 側）に形成されている。コンタクト領域 25 は、ソースウェル領域 22 の p 型不純物濃度を超える p 型不純物濃度を有している。コンタクト領域 25 の p 型不純物濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0035] コンタクト領域 25 は、ソース領域 24 に接続されるようにソースウェル領域 22 の表層部に形成されている。コンタクト領域 25 は、平面視においてソースウェル領域 22 の周縁から内方に間隔を空けて形成され、一方方向（この形態では第 2 方向 Y）に延びる帯状に形成されている。コンタクト領域 25 の平面形状は任意であり、正形状、六角形状または円形状に形成さ

れていてもよい。コンタクト領域 25 は、法線方向 Z に関してソースウェル領域 22 の底部から第 1 主面 3 側に間隔を空けて形成され、ソースウェル領域 22 の一部を挟んで第 2 半導体領域 7 に対向している。

[0036] MISFETセル 20 は、第 1 主面 3 の表層部においてド레인領域 23 およびソース領域 24 の間の領域に形成されるチャネル反転領域 26（チャネル領域）を含む。図 3 および図 4 では、チャネル反転領域 26 が太い破線によって示されている。チャネル反転領域 26 は、ド레인領域 23 およびソース領域 24 の間に形成される電流経路の導通および遮断が制御される領域である。ド레인領域 23 およびソース領域 24 の間を流れる電流は、ドレインソース電流である。

[0037] チャネル反転領域 26 は、ド레인領域 23 およびソース領域 24 の間の領域においてソース領域 24 側に形成される。チャネル反転領域 26 は、具体的には、第 1 主面 3 の表層部においてド레인ウェル領域 21 およびソース領域 24 の間の領域に形成される。チャネル反転領域 26 は、さらに具体的には、ド레인ウェル領域 21 およびソース領域 24 の間の領域において第 2 半導体領域 7 の表層部およびソースウェル領域 22 の表層部に形成される。チャネル反転領域 26 は、この形態では、平面視においてド레인ウェル領域 21 およびソース領域 24 の間の対向領域の全域に第 2 方向 Y に延びる帯状に形成される。

[0038] MISFETセル 20 は、第 1 主面 3 の表層部においてド레인領域 23 およびチャネル反転領域 26 の間の領域に形成されるドレインドリフト領域 27（ドリフト領域）を含む。図 3～図 6 では、ドレインドリフト領域 27 が細い破線によって示されている。ドレインドリフト領域 27 は、ド레인領域 23 およびソース領域 24（チャネル反転領域 26）の間の電流経路となる領域である。ド레인領域 23 およびソース領域 24（チャネル反転領域 26）の間を流れる電流は、ドレインソース電流である。

[0039] ドレインドリフト領域 27 は、ド레인ウェル領域 21 に形成される。ドレインドリフト領域 27 は、具体的には、ド레인ウェル領域 21 において

ドレイン領域 23 およびチャネル反転領域 26 の間の領域に形成される。ドレインドリフト領域 27 は、この形態では、平面視においてドレイン領域 23 およびチャネル反転領域 26 の間の対向領域の全域に第 2 方向 Y に延びる帯状に形成される。第 1 方向 X に関して、ドレインドリフト領域 27 の長さは、チャネル反転領域 26 の長さ以上であってもよいし、チャネル反転領域 26 の長さ未満であってもよい。以下の説明においてドレインドリフト領域 27 の文言には、ドレインウェル領域 21 が含まれる。

[0040] MISFET セル 20 は、MISFET 領域 9 において第 1 主面 3 の上に形成されたゲート絶縁膜 30 を含む。ゲート絶縁膜 30 は、この形態では、酸化シリコンを含む。ゲート絶縁膜 30 は、具体的には、半導体チップ 2（第 2 半導体領域 7 等）の酸化物からなる酸化シリコンを含む。ゲート絶縁膜 30 の厚さは、3 nm 以上 100 nm 以下であってもよい。

[0041] ゲート絶縁膜 30 は、第 1 主面 3 の上でドレイン領域 23 およびソース領域 24 の間の領域を膜状に被覆している。ゲート絶縁膜 30 は、具体的には、第 1 主面 3 の上においてソース領域 24 およびドレインドリフト領域 27（ドレインウェル領域 21）に跨って形成され、ソース領域 24、チャネル反転領域 26 およびドレインドリフト領域 27 を被覆している。

[0042] ゲート絶縁膜 30 は、第 1 部分 31 および第 2 部分 32 を含む。第 1 部分 31 は、第 1 主面 3 の上で第 2 半導体領域 7、ソースウェル領域 22 およびソース領域 24 の一部を被覆している。つまり、第 1 部分 31 は、第 1 主面 3 の上でチャネル反転領域 26 を被覆している。第 1 部分 31 は、チャネル反転領域 26 の全域を被覆していることが好ましい。第 1 部分 31 は、平面視においてコンタクト領域 25 からドレイン領域 23 側に間隔を空けて形成され、ソース領域 24 およびコンタクト領域 25 を露出させている。第 1 部分 31 は、この形態では、ソース領域 24 の一部およびコンタクト領域 25 の全域を露出させている。第 1 部分 31 は、第 1 方向 X に関して第 1 長さ L1 を有している。

[0043] 第 2 部分 32 は、第 1 部分 31 からドレイン領域 23 側に引き出され、第

1 主面 3 の上でドレインウェル領域 2 1 を被覆している。つまり、第 2 部分 3 2 は、第 1 主面 3 の上でドレインドリフト領域 2 7 を被覆している。第 2 部分 3 2 は、具体的には、平面視においてドレイン領域 2 3 からソース領域 2 4 側に間隔を空けて形成され、ドレインドリフト領域 2 7 の一部（具体的には第 4 側面 5 D 側の端部）およびドレイン領域 2 3 の全域を露出させ、ドレインドリフト領域 2 7 を部分的に被覆している。

[0044] 第 2 部分 3 2 の平面積は、ドレインドリフト領域 2 7 において第 2 部分 3 2 から露出した部分の平面積以上であってもよいし、当該平面積未満であってもよい。第 2 部分 3 2 は、第 1 方向 X に関して第 2 長さ L 2 を有している。第 2 長さ L 2 は、第 1 長さ L 1 以上であってもよいし、第 1 長さ L 1 未満であってもよい。

[0045] MISFET セル 2 0 は、MISFET 領域 9 において第 1 主面 3 の上に形成されたフィールド絶縁膜 3 5 を含む。図 2 では、フィールド絶縁膜 3 5 の端部（開口部）が太い破線によって示されている。フィールド絶縁膜 3 5 は、MISFET 領域 9 の内外に形成され、MISFET 領域 9 内においてゲート絶縁膜 3 0 外の領域を被覆している。フィールド絶縁膜 3 5 は、この形態では、酸化シリコンを含む。

[0046] フィールド絶縁膜 3 5 は、具体的には、半導体チップ 2（第 2 半導体領域 7 等）の酸化物からなる酸化シリコンを含む。フィールド絶縁膜 3 5 は、LOCOS 膜（local oxidation of silicon film）であってもよい。フィールド絶縁膜 3 5 は、ゲート絶縁膜 3 0 の厚さとは異なる厚さを有している。フィールド絶縁膜 3 5 の厚さは、具体的には、ゲート絶縁膜 3 0 の厚さを超えている。フィールド絶縁膜 3 5 の厚さは、50 nm 以上 500 nm 以下であってもよい。

[0047] フィールド絶縁膜 3 5 は、ドレイン領域 2 3、ソース領域 2 4 およびコンタクト領域 2 5 を露出させるように、MISFET 領域 9 において第 2 半導体領域 7、ドレインウェル領域 2 1 およびソースウェル領域 2 2 を被覆している。フィールド絶縁膜 3 5 は、平面視においてゲート絶縁膜 3 0 を取り囲

み、ゲート絶縁膜 30 の第 1 部分 31 および第 2 部分 32 に連なっている。フィールド絶縁膜 35 は、ドレイン領域 23 およびゲート絶縁膜 30 の第 2 部分 32 の間の領域でドレインドリフト領域 27 を被覆し、第 2 部分 32 に連なっている。

[0048] この形態では、フィールド絶縁膜 35 が、ゲート絶縁膜 30 とは別体からなる例について説明された。しかし、フィールド絶縁膜 35 は、ゲート絶縁膜 30 の一部（つまり厚膜部）からなっているてもよい。また、フィールド絶縁膜 35 は、ゲート絶縁膜 30 よりも厚い別のゲート絶縁膜の一部からなっているてもよい。むろん、M I S F E T セル 20 は、フィールド絶縁膜 35 に代えて、S T I (Sallow Trench Isolation) 構造を含んでいてもよい。S T I 構造は、第 1 主面 3 に形成されたトレンチ、および、トレンチに埋設された絶縁体を含む。絶縁体は、酸化シリコンおよび窒化シリコンのうちの少なくとも 1 つを含んでいてもよい。

[0049] M I S F E T セル 20 は、ゲート絶縁膜 30 の上に形成されたゲート電極 40 を含む。図 2 では、ゲート電極 40 がハッチングによって示されている。ゲート電極 40 は、ゲート絶縁膜 30 と共にプレーナゲート構造を形成している。ゲート電極 40 は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、n 型ポリシリコンおよび p 型ポリシリコンのうちの少なくとも 1 つを含む。

[0050] ゲート電極 40 は、ゲート絶縁膜 30 の上でドレイン領域 23 およびソース領域 24 の間の領域を膜状に被覆している。ゲート電極 40 は、具体的には、ゲート絶縁膜 30 の上においてソース領域 24 およびドレインドリフト領域 27（ドレインウェル領域 21）に跨って形成され、ゲート絶縁膜 30 を挟んでドレインドリフト領域 27、チャネル反転領域 26 およびソース領域 24 を被覆している。ゲート電極 40 は、ゲート絶縁膜 30 の平面形状とは異なる平面形状を有している。

[0051] ゲート電極 40 は、具体的には、ゲート絶縁膜 30 の上で相異なる領域に相異なる平面形状で形成された第 1 電極部 41 および第 2 電極部 42 を含む

。第1電極部41は、ゲート絶縁膜30の第1部分31の上に形成され、ゲート絶縁膜30の第1部分31を挟んで第2半導体領域7、ソースウェル領域22およびソース領域24の一部に対向している。つまり、第1電極部41は、第1部分31を挟んでチャネル反転領域26に対向している。

[0052] 第1電極部41は、第1部分31を挟んでチャネル反転領域26の全域に対向していることが好ましい。ゲート電極40（第1電極部41）は、平面視においてチャネル反転領域26の周縁を第2方向Yに横切ってチャネル反転領域26外の領域（フィールド絶縁膜35の上）に引き出されていることが好ましい。ゲート電極40においてチャネル反転領域26外の領域に至るように第2方向Yに引き出された部分は、ゲートコンタクト電極（図示せず）の接続部として形成されていてもよい。第1電極部41は、平面視においてコンタクト領域25からソース領域24側に間隔を空けて形成され、ソース領域24およびコンタクト領域25を露出させている。

[0053] 第2電極部42は、ゲート絶縁膜30の第2部分32の上に形成されている。第2電極部42は、具体的には、第2部分32を部分的に露出させるように第1電極部41から第2部分32の上に引き出され、第2部分32を挟んでドレインドリフト領域27の一部に対向している。第2電極部42は、さらに、フィールド絶縁膜35を部分的に露出させるように第2部分32の上からフィールド絶縁膜35の上に引き出され、フィールド絶縁膜35を挟んでドレインドリフト領域27に対向している。

[0054] 第2電極部42は、ドレインドリフト領域27との間でゲートドレイン容量 C_{gd} を形成している。ゲートドレイン容量 C_{gd} は、帰還容量 C_{rss} （feedback capacitance C_{rss} ）とも称される。ゲートドレイン容量 C_{gd} は、第1ゲートドレイン容量 C_{gd1} 、および、第1ゲートドレイン容量 C_{gd1} に並列接続された第2ゲートドレイン容量 C_{gd2} を含む。

[0055] 第1ゲートドレイン容量 C_{gd1} は、第2電極部42においてゲート絶縁膜30を挟んでドレインドリフト領域27に対向する部分に形成されている。第2ゲートドレイン容量 C_{gd2} は、第2電極部42においてフィールド

絶縁膜 35 を挟んでドレインドリフト領域 27 に対向する部分に形成されている。ゲートドレイン容量 C_{gd} は、第 1 ゲートドレイン容量 C_{gd1} および第 2 ゲートドレイン容量 C_{gd2} の合成容量を含む。第 2 ゲートドレイン容量 C_{gd2} は、第 1 ゲートドレイン容量 C_{gd1} 以下であってもよいし、第 1 ゲートドレイン容量 C_{gd1} を超えていてもよい。

[0056] 第 2 電極部 42 は、第 2 部分 32 を部分的に露出させるように第 1 電極部 41 から第 2 部分 32 の上に引き出された少なくとも 1 つ（この形態では複数）の引き出し部 43 を有している。引き出し部 43 の個数は、ゲート電極 40（ゲート絶縁膜 30）の第 2 方向 Y の長さに応じて適宜調整される。

[0057] 複数の引き出し部 43 は、平面視において第 1 電極部 41 から第 2 部分 32 の上にドレイン領域 23 側に向けて帯状にそれぞれ引き出され、第 2 方向 Y に間隔を空けて配列されている。つまり、第 2 電極部 42（複数の引き出し部 43）は、平面視において第 1 電極部 41 からドレイン領域 23 側に向けて櫛歯状に引き出されている。また、第 2 電極部 42（複数の引き出し部 43）は、平面視において第 2 方向 Y に一列に間隔を空けて第 2 部分 32 の複数の個所を被覆している。複数の引き出し部 43 は、第 2 方向 Y に等間隔に配列されていることが好ましい。

[0058] 複数の引き出し部 43 は、平面視において第 1 部分 31（チャンネル反転領域 26）からドレイン領域 23 側に間隔を空けて第 2 部分 32 をそれぞれ被覆している。つまり、複数の引き出し部 43 は、ゲート絶縁膜 30 に関して第 2 部分 32 のみを被覆し、第 1 部分 31 を被覆していない。複数の引き出し部 43 は、平面視においてドレイン領域 23 から第 1 部分 31（チャンネル反転領域 26）側に間隔を空けて第 2 部分 32 をそれぞれ被覆している。複数の引き出し部 43 は、平面視において第 1 方向 X の一方側にドレイン領域 23 に対向し、第 1 方向 X の他方側にソース領域 24（チャンネル反転領域 26）に対向している。

[0059] 複数の引き出し部 43 は、この形態では、第 2 方向 Y の両端に配置された 2 つの外側引き出し部 43A、および、2 つの外側引き出し部 43A によっ

て挟まれた複数の内側引き出し部43Bを含む。外側引き出し部43Aは、平面視においてドレインドリフト領域27の周縁を第2方向Yに横切ってドレインドリフト領域27外の領域（フィールド絶縁膜35の上）に引き出されている。また、外側引き出し部43Aは、平面視においてドレインウェル領域21の周縁によって取り囲まれた領域内にのみ形成されている。

[0060] この場合、ゲート電極40（外側引き出し部43A）においてチャネル反転領域26外の領域に引き出された部分は、ゲートコンタクト電極（図示せず）の接続部として形成されている。また、外側引き出し部43Aは、平面視においてドレインウェル領域21の周縁によって取り囲まれた領域内にのみ形成されている。

[0061] 複数の内側引き出し部43Bは、この形態では、平面視においてドレインウェル領域21の周縁によって取り囲まれた領域内にのみ形成されている。また、複数の内側引き出し部43Bの全てが、平面視において第1方向Xの一方側にドレイン領域23に対向していることが好ましい。また、複数の内側引き出し部43Bの全てが、平面視において第1方向Xの他方側にソース領域24（チャネル反転領域26）に対向していることが好ましい。

[0062] 複数の引き出し部43は、さらに、ゲート絶縁膜30の第2部分32の上からドレイン領域23側に向けてフィールド絶縁膜35の上に帯状に引き出されている。つまり、複数の引き出し部43は、第2部分32およびフィールド絶縁膜35の一部を連続的にそれぞれ被覆している。また、複数の引き出し部43は、フィールド絶縁膜35の上において第2方向Yに間隔を空けて形成されている。つまり、第2電極部42（複数の引き出し部43）は、平面視において第2方向Yに一行に間隔を空けてフィールド絶縁膜35の複数の箇所を被覆している。

[0063] 複数の引き出し部43（少なくとも複数の内側引き出し部43B）は、第2方向Yに一定の第1幅W1をそれぞれ有していることが好ましい。第1幅W1は、0.1 μm 以上5 μm 以下であってもよい。また、複数の引き出し部43は、互いに異なる第1幅W1を有している。また、複数の引き出し部43は、互いに異なる第1幅W1を有している。

[0064] このように、複数の引き出し部43は、ゲート絶縁膜30（第2部分32

）を挟んでドレインドリフト領域 27 に対向し、フィールド絶縁膜 35 を挟んでドレインドリフト領域 27 に対向している。つまり、複数の引き出し部 43 は、ゲート絶縁膜 30（第 2 部分 32）を被覆する部分において第 1 ゲートドレイン容量 C_{gd1} を形成し、フィールド絶縁膜 35 を被覆する部分において第 2 ゲートドレイン容量 C_{gd2} を形成している。

[0065] 第 2 電極部 42 は、少なくとも 1 つ（この形態では複数）の引き出し部 43 によって区画された少なくとも 1 つ（この形態では複数）の露出部 44 を有している。露出部 44 は、第 2 部分 32 を部分的に露出させるように第 2 電極部 42（ゲート電極 40）が部分的に除去された部分であり、除去部と称されてもよい。露出部 44 の個数は、引き出し部 43 の個数やゲート電極 40（ゲート絶縁膜 30）の第 2 方向 Y の長さに応じて適宜調整される。

[0066] 複数の露出部 44 は、近接する 2 つの引き出し部 43 の間にそれぞれ区画されている。複数の露出部 44 は、第 2 部分 32 の上においてドレイン領域 23 およびソース領域 24 の対向方向（第 1 方向 X）に延びる少なくとも 1 つ（この形態では複数）の辺によってそれぞれ区画されている。複数の露出部 44 は、具体的には、第 2 電極部 42 において互いに交差する方向に延びる少なくとも 2 つの辺によってそれぞれ区画されている。複数の露出部 44 は、この形態では、第 2 方向 Y に延びる辺、および、第 1 方向 X に延びる辺によってそれぞれ区画されている。

[0067] 第 1 方向 X に延びる辺は、複数の引き出し部 43 によってそれぞれ形成されている。第 2 方向 Y に延びる辺は、複数の引き出し部 43 の基端部によってそれぞれ形成されている。つまり、複数の露出部 44 は、複数の引き出し部 43 の複数の辺によってそれぞれ区画されている。ここでいう「辺」は必ずしも平面視において直線状に延びている必要はなく湾曲していてもよい。

[0068] 複数の露出部 44 は、平面視において第 2 部分 32 からドレイン領域 23 側に向けて帯状にそれぞれ延び、第 2 方向 Y に間隔を空けて配列されている。つまり、複数の露出部 44 は、この形態では、第 2 電極部 42 の開領域（切欠き部）からそれぞれなり、平面視において全体として第 1 方向 X に延び

るストライプ状に区画されている。複数の露出部 4 4 は、第 2 方向 Y に等間隔に配列されていることが好ましい。

[0069] 複数の露出部 4 4 は、複数の引き出し部 4 3 を第 2 方向 Y に結ぶラインを設定した時、当該ライン上に位置している。つまり、複数の露出部 4 4 は、1 つの引き出し部 4 3 を挟み込む態様で複数の引き出し部 4 3 と交互に第 2 方向 Y に間隔を空けて配列されている。これにより、第 2 電極部 4 2（複数の露出部 4 4）は、平面視において第 2 部分 3 2 の複数の個所を第 2 方向 Y に一列に間隔を空けて露出させている。

[0070] 複数の露出部 4 4 は、平面視において第 1 部分 3 1 からドレイン領域 2 3 側に間隔を空けて第 2 部分 3 2 をそれぞれ露出させている。つまり、複数の露出部 4 4 は、ゲート絶縁膜 3 0 に関しては第 2 部分 3 2 のみをそれぞれ露出させ、第 1 部分 3 1 を露出させていない。複数の露出部 4 4 は、平面視においてドレイン領域 2 3 から第 2 部分 3 2 側に間隔を空けて第 2 部分 3 2 をそれぞれ露出させている。複数の露出部 4 4 は、平面視においてドレインウェル領域 2 1 の周縁によって取り囲まれた領域内のみに形成されていることが好ましい。

[0071] 複数の露出部 4 4 は、平面視において第 1 方向 X の一方側にドレイン領域 2 3 に対向し、第 1 方向 X の他方側にソース領域 2 4（チャンネル反転領域 2 6）に対向している。複数の露出部 4 4 の全てが、平面視において第 1 方向 X の一方側にドレイン領域 2 3 に対向していることが好ましい。複数の露出部 4 4 の全てが、平面視において第 1 方向 X の他方側にソース領域 2 4（チャンネル反転領域 2 6）に対向していることが好ましい。

[0072] 複数の露出部 4 4 は、さらに、複数の引き出し部 4 3 の間の領域においてフィールド絶縁膜 3 5 の一部をそれぞれ部分的に露出させている。つまり、複数の露出部 4 4 は、ゲート絶縁膜 3 0 の第 2 部分 3 2 およびフィールド絶縁膜 3 5 の一部を連続的にそれぞれ露出させている。この場合、複数の露出部 4 4 は、フィールド絶縁膜 3 5 の上においてドレイン領域 2 3 およびソース領域 2 4 の対向方向（第 1 方向 X）に延びる少なくとも 1 つ（この形態で

は複数)の辺によってそれぞれ区画されている。前記対向方向(第1方向X)は、ドレインソース電流が流れる方向でもある。対向方向に延びる辺は、複数の引き出し部43によってそれぞれ形成されている。ここでいう「辺」は必ずしも平面視において直線状に延びている必要はなく湾曲していてもよい。

[0073] 複数の露出部44は、第2部分32からフィールド絶縁膜35に向けて第1方向Xに連続的に延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて形成されている。複数の露出部44は、フィールド絶縁膜35の上において複数の引き出し部43を第2方向Yに結ぶラインを設定した時、当該ライン上に位置している。つまり、複数の露出部44は、フィールド絶縁膜35の上においても第2方向Yに1つの引き出し部43を挟み込む態様で複数の引き出し部43と交互に形成されている。また、第2電極部42(複数の露出部44)は、平面視においてフィールド絶縁膜35の複数の個所を第2方向Yに一行に間隔を空けて露出させている。

[0074] 複数の露出部44は、第2方向Yに一定の第2幅W2をそれぞれ有していることが好ましい。第2幅W2は、 $0.1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。むろん、複数の露出部44は、互いに異なる第2幅W2を有していてもよい。第2幅W2は、第1幅W1以上($W1 \leq W2$)であってもよいし、第1幅W1未満($W1 > W2$)であってもよい。

[0075] このように、複数の露出部44は、ゲート絶縁膜30(第2部分32)を部分的に露出させ、フィールド絶縁膜35を部分的に露出させている。複数の露出部44は、具体的には、第2方向Yから引き出し部43に隣接する部分においてゲート絶縁膜30(第2部分32)およびフィールド絶縁膜35をそれぞれ部分的に露出させている。複数の露出部44は、ゲート絶縁膜30(第2部分32)を露出させる部分において第1ゲートドレイン容量 C_{gd1} を低下させ、フィールド絶縁膜35を露出させる部分において第2ゲートドレイン容量 C_{gd2} を低下させている。

[0076] 複数の露出部44の平面積(総平面積)は、複数の引き出し部43の平面

積（総平面積）以上であってもよいし、複数の引き出し部43の平面積（総平面積）未満であってもよい。複数の露出部44においてフィールド絶縁膜35に位置する部分の平面積（総平面積）は、複数の露出部44においてゲート絶縁膜30に位置する部分の平面積（総平面積）以上であってもよいし、複数の露出部44においてゲート絶縁膜30に位置する部分の平面積（総平面積）未満であってもよい。

[0077] 引き出し部43は半導体チップ2側で生じた電界を遮蔽する一方、露出部44は半導体チップ2側で生じた電界を通過させる。これにより、ゲート電極40に付与される電界が間引かれ、ゲート電極40に対する電界が緩和される。引き出し部43の第1幅 $W1$ （露出部44の第2幅 $W2$ ）を増減させると、ゲート電極40に対する電界の遮蔽効果変動する。一例として、同一個数の引き出し部43（たとえば単一の引き出し部43）を想定した場合、引き出し部43の第1幅 $W1$ を狭めると、露出部44の第2幅 $W2$ が広がる。

[0078] この場合、第1ゲートドレイン容量 C_{gd1} および第2ゲートドレイン容量 C_{gd2} が低下する。第1幅 $W1$ を狭め過ぎると、露出部44を通過する電界が増加する結果、チャネル反転領域26の近傍においてゲート電極40に電界が集中する可能性がある。ゲート電極40の性質を鑑みると、複数の引き出し部43の第1幅 $W1$ は、少なくとも $0.5\mu m$ （つまり $0.5\mu m$ 以上）にそれぞれ設定されることが好ましい。また、複数の露出部44の第2幅 $W2$ は、最大でも $1\mu m$ （つまり $1\mu m$ 以下）にそれぞれ設定されることが好ましい。

[0079] このように、引き出し部43の個数、平面形状、第1幅 $W1$ 等は、半導体チップ2側で生じる電界に応じて適宜調整される。また、露出部44の個数、平面形状、第2幅 $W2$ 等は、半導体チップ2側で生じる電界に応じて適宜調整される。以下、図7A～図7Eを参照して、第2～第5形態例に係るゲート電極40について説明する。

[0080] 図7Aは、図1に示す領域IIを第2形態例に係るゲート電極40と共に示

す拡大図である。図 7 A において、図 1 ～図 6 に示された構造については同一の参照符号が付され、それらの説明は省略される。

[0081] 図 7 A を参照して、第 2 形態例に係るゲート電極 4 0 の第 2 部分 3 2 は、フィールド絶縁膜 3 5 の上において第 2 方向 Y に延びる延部 4 5 を含む。延部 4 5 は、複数の引き出し部 4 3 に接続されている。これにより、第 2 部分 3 2 は、平面視において複数の引き出し部 4 3 および延部 4 5 によって区画された複数の露出部 4 4 を含む。複数の露出部 4 4 は、この形態例では、第 2 電極部 4 2 の閉領域（開口）からそれぞれなる。第 2 形態例に係るゲート電極 4 0 では、平面視において格子状の第 2 電極部 4 2 が第 1 電極部 4 1 から引き出されているとみなせる。

[0082] 図 7 B は、図 1 に示す領域 II を第 3 形態例に係るゲート電極 4 0 と共に示す拡大図である。図 7 B において、図 1 ～図 6 に示された構造については同一の参照符号が付され、それらの説明は省略される。

[0083] 図 7 B を参照して、第 3 形態例に係るゲート電極 4 0 の第 2 部分 3 2 は、2 つの引き出し部 4 3 および 1 つの延部 4 5 を含む。この形態例では、2 つの引き出し部 4 3 として外側引き出し部 4 3 A が形成された例が示されているが、2 つの引き出し部 4 3 は内側引き出し部 4 3 B であってもよい。2 つの引き出し部 4 3 は、ゲート電極 4 0 の第 1 部分 3 1 の第 2 方向 Y の両端部からドレイン領域 2 3 側に向けて引き出されている。1 つの延部 4 5 は、第 2 方向 Y に延びる帯状に形成され、2 つの引き出し部 4 3 に接続されている。

[0084] これにより、第 2 部分 3 2 は、平面視において 2 つの引き出し部 4 3 および 1 つの延部 4 5 によって区画された単一の露出部 4 4 を含む。単一の露出部 4 4 は、この形態例では、第 2 電極部 4 2 の閉領域（開口）かられなり、第 2 方向 Y に延びる帯状に形成されている。第 3 形態例に係るゲート電極 4 0 では、平面視において環状（この形態例では四角環状）の第 2 電極部 4 2 が第 1 電極部 4 1 から引き出されているとみなせる。

[0085] 図 7 C は、図 1 に示す領域 II を第 4 形態例に係るゲート電極 4 0 と共に示

す拡大図である。図 7 C において、図 1 ～図 6 に示された構造については同一の参照符号が付され、それらの説明は省略される。

[0086] 図 7 C を参照して、第 4 形態例に係るゲート電極 4 0 の第 2 部分 3 2 は、2 つの引き出し部 4 3 および複数の延部 4 5 を含む。この形態例では、2 つの引き出し部 4 3 として外側引き出し部 4 3 A が形成された例が示されているが、2 つの引き出し部 4 3 は内側引き出し部 4 3 B であってもよい。2 つの引き出し部 4 3 は、ゲート電極 4 0 の第 1 部分 3 1 の第 2 方向 Y の両端部からドレイン領域 2 3 側に向けて引き出されている。複数の延部 4 5 は、第 1 方向 X に間隔を空けて第 2 方向 Y に延びる帯状にそれぞれ形成され、2 つの引き出し部 4 3 にそれぞれ接続されている。

[0087] これにより、第 2 部分 3 2 は、平面視において 2 つの引き出し部 4 3 および複数の延部 4 5 によって区画された複数の露出部 4 4 を含む。複数の露出部 4 4 は、この形態例では、第 2 電極部 4 2 の閉領域（開口）からそれぞれなり、第 1 方向 X に間隔を空けて第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数の露出部 4 4 は、平面視において第 2 方向 Y に延びるストライプ状に形成されている。複数の露出部 4 4 のうちの少なくとも 1 つは、少なくともフィールド絶縁膜 3 5 を露出させている。第 4 形態例に係るゲート電極 4 0 では、平面視において梯子状の第 2 電極部 4 2 が第 1 電極部 4 1 から引き出されているとみなせる。

[0088] 図 7 D は、図 1 に示す領域 II を第 5 形態例に係るゲート電極 4 0 と共に示す拡大図である。図 7 D において、図 1 ～図 6 に示された構造については同一の参照符号が付され、それらの説明は省略される。

[0089] 図 7 D を参照して、第 5 形態例に係るゲート電極 4 0 の第 2 部分 3 2 は、複数の引き出し部 4 3 および複数の延部 4 5 を含む。複数の引き出し部 4 3 は、第 1 形態例の場合と同様に、ゲート電極 4 0 の第 1 部分 3 1 からドレイン領域 2 3 側に向けて引き出されている。複数の延部 4 5 は、第 1 方向 X に間隔を空けて第 2 方向 Y に延びる帯状にそれぞれ形成され、複数の引き出し部 4 3 にそれぞれ接続されている。

- [0090] これにより、第2部分32は、平面視において複数の引き出し部43および複数の延部45によって区画された複数の露出部44を含む。複数の露出部44は、この形態例では、第2電極部42の閉領域（開口）からそれぞれなり、第1方向Xおよび第2方向Yに間隔を空けて行列状に配列されている。複数の露出部44のうちの少なくとも1つは、少なくともフィールド絶縁膜35を露出させている。第5形態例に係るゲート電極40では、平面視において複数の十字路を有する格子状の第2電極部42が第1電極部41から引き出されているとみなせる。
- [0091] 図7Eは、図1に示す領域IIを第6形態例に係るゲート電極40と共に示す拡大図である。図7Eにおいて、図1～図6に示された構造については同一の参照符号が付され、それらの説明は省略される。
- [0092] 図7Eを参照して、第6形態例に係るゲート電極40の第2部分32は、複数の引き出し部43および複数の延部45を含む。複数の引き出し部43は、平面視においてゲート電極40の第1部分31からドレイン領域23側に向けて帯状にそれぞれ引き出されている。複数の引き出し部43は、この形態例では、平面視において第2方向Yの一方側および他方側に屈曲しながら葛折り状（ジグザグ状）に形成されている。
- [0093] 複数の延部45は、第1方向Xに間隔を空けて第2方向Yに延びる帯状にそれぞれ形成され、複数の引き出し部43にそれぞれ接続されている。これにより、第2部分32は、平面視において複数の引き出し部43および複数の延部45によって区画された複数の露出部44を含む。複数の露出部44は、この形態例では、第2電極部42の閉領域（開口）からそれぞれなり、第1方向Xおよび第2方向Yに間隔を空けて千鳥状に配列されている。複数の露出部44のうちの少なくとも1つは、少なくともフィールド絶縁膜35を露出させている。
- [0094] 第6形態例に係るゲート電極40では、第5形態例に係るゲート電極40において複数の露出部44を第1方向Xおよび第2方向Yに間隔を空けて千鳥状に配列させた形態を有しているとみなせる。また、第6形態例に係るゲ

ート電極40では、平面視において複数のT字路を有する格子状の第2電極部42が第1電極部41から引き出されているとみなせる。

[0095] 第1～第6形態例に係るゲート電極40の特徴は、それらの間で任意の態様で組み合わせられることができる。つまり、半導体装置1は、第1～第6形態例に係るゲート電極40の特徴のうちの少なくとも2つの特徴を同時に含むゲート電極40を有していてもよい。

[0096] 以上、半導体装置1は、半導体チップ2、n型のドレイン領域23、n型のソース領域24、チャネル反転領域26、ドレインドリフト領域27、ゲート絶縁膜30およびゲート電極40を含む。半導体チップ2は、第1主面3を有している。ドレイン領域23は、第1主面3の表層部に形成されている。ソース領域24は、ドレイン領域23から間隔を空けて第1主面3の表層部に形成されている。チャネル反転領域26は、第1主面3の表層部におけるドレイン領域23およびソース領域24の間においてソース領域24側に形成される。ドレインドリフト領域27は、第1主面3の表層部においてドレイン領域23およびチャネル反転領域26の間の領域に形成される。

[0097] ゲート絶縁膜30は、第1部分31および第2部分32を含む。第1部分31は、第1主面3の上でチャネル反転領域26を被覆している。第2部分32は、第1主面3の上でドレインドリフト領域27を被覆している。ゲート電極40は、第1電極部41および第2電極部42を含む。第1電極部41は、ゲート絶縁膜30の第1部分31を被覆している。第2電極部42は、第2部分32を部分的に露出させるように第1電極部41から第2部分32の上に引き出されている。

[0098] この構造によれば、第2電極部42は、第2部分32を被覆する部分においてドレインドリフト領域27との間でゲートドレイン容量 C_{gd} を形成する。第2電極部42は第2部分32を部分的に露出させているので、これによってドレインドリフト領域27に対する第2電極部42の対向面積を低下させることができる。これにより、ゲートドレイン容量 C_{gd} を低下させることができる。その結果、MISFET10のスイッチング遅延を抑制でき

るから、スイッチング損失を抑制できる。よって、電気的特性を向上できる半導体装置 1 を提供できる。

[0099] この場合、第 2 電極部 4 2 は、ドレイン領域 2 3 およびソース領域 2 4 の対向方向（第 1 方向 X）に延び、第 2 部分 3 2 を部分的に露出させる辺を有していることが好ましい。第 2 電極部 4 2 は、平面視において互いに交差する方向に延び、第 2 部分 3 2 を部分的に露出させる少なくとも 2 つの辺を有していることが好ましい。第 2 電極部 4 2 は、平面視において第 2 部分 3 2 の上において一方方向（第 1 方向 X）に延びる辺、および、一方方向に交差する交差方向（第 2 方向 Y）に延びる辺を有していることが好ましい。

[0100] 第 1 電極部 4 1 は、平面視において第 1 部分 3 1 の全域を被覆していることが好ましい。この構造によれば、チャネル反転領域 2 6 を適切に制御できる。第 2 電極部 4 2 は、平面視において第 1 部分 3 1 から間隔を空けて第 2 部分 3 2 を露出させていることが好ましい。この構造によれば、チャネル反転領域 2 6 を適切に制御できる。第 2 電極部 4 2 は、平面視においてドレインウェル領域 2 1 の周縁によって取り囲まれた領域内のみにおいて第 2 部分 3 2 を露出させていることが好ましい。この構造によれば、ゲートドレイン容量 C_{gd} を適切に低下させることができる。第 2 電極部 4 2 は、ゲート絶縁膜 3 0 において第 2 部分 3 2 のみを露出させていることが特に好ましい。

[0101] 第 1 部分 3 1 は平面視においてチャネル反転領域 2 6 の全域を被覆し、第 2 部分 3 2 は平面視においてドレインドリフト領域 2 7 の全域を被覆していないことが好ましい。つまり、第 2 部分 3 2 は、ドレインドリフト領域 2 7 を部分的に露出させ、ドレインドリフト領域 2 7 を部分的に被覆していることが好ましい。この構造によれば、チャネル反転領域 2 6 を適切に制御でき、ゲートドレイン容量 C_{gd} を適切に低下させることができる。

[0102] 第 2 電極部 4 2 は、第 2 部分 3 2 の複数の個所を露出させていることが好ましい。この構造によれば、第 2 部分 3 2 の複数の個所によってゲート電極 4 0 に付与される電界を間引くことができる。これにより、ゲート電極 4 0 に対する電界集中を緩和し、耐圧（たとえばブレイクダウン電圧）を向上で

きる。この場合、第2電極部42は、図2、図7A～図7Eに示されるように、平面視において規則的に配列されていることが好ましい。第2電極部42は、第2部分32の複数の個所を第1方向Xおよび第2方向Yのいずれか一方または双方に一行に間隔を空けて露出させていてもよい。

[0103] 半導体装置1は、フィールド絶縁膜35を含むことが好ましい。フィールド絶縁膜35は、ゲート絶縁膜30とは異なる厚さを有していることが好ましい。この場合、フィールド絶縁膜35は、ゲート絶縁膜30の厚さを超える厚さを有していることが特に好ましい。この構造によれば、フィールド絶縁膜35による耐圧向上効果を得ることができる。フィールド絶縁膜35は、少なくとも第2部分32に連なるように第1主面3の上でドレインドリフト領域27を被覆していることが好ましい。フィールド絶縁膜35は、第1部分31および第2部分32に連なっていることが特に好ましい。

[0104] 第2電極部42は、第2部分32の上からフィールド絶縁膜35の上に引き出され、フィールド絶縁膜35を挟んでドレインドリフト領域27に対向していることが好ましい。この構造によれば、フィールド絶縁膜35を有する構造において、ゲートドレイン容量 C_{gd} を低下させることができる。この場合、第2電極部42は、フィールド絶縁膜35を部分的に露出させていることが好ましい。

[0105] 第2電極部42は、フィールド絶縁膜35を被覆する部分においてドレインドリフト領域27との間でゲートドレイン容量 C_{gd} を形成する。この構造によれば、第2電極部42はフィールド絶縁膜35を部分的に露出させているので、これによってドレインドリフト領域27に対する第2電極部42の対向面積を低下させることができる。これにより、第2電極部42においてフィールド絶縁膜35を被覆する部分においても、ゲートドレイン容量 C_{gd} を低下させることができる。

[0106] 第2電極部42は、第2部分32を部分的に露出させる部分からフィールド絶縁膜35を連続的に露出させるように第2部分32の上からフィールド絶縁膜35の上に引き出されていてもよい。第2電極部42は、平面視にお

いて少なくともドレイン領域 23 およびソース領域 24 の対向方向（第 1 方向 X）に延び、フィールド絶縁膜 35 を部分的に露出させる辺を有していることが好ましい。

[0107] 第 2 電極部 42 は、フィールド絶縁膜 35 の複数の個所を露出させていることが好ましい。この構造によれば、フィールド絶縁膜 35 の複数の個所によってゲート電極 40 に付与される電界を間引くことができる。これにより、ゲート電極 40 に対する電界集中を緩和し、耐圧（たとえばブレークダウン電圧）を向上できる。この場合、第 2 電極部 42 は、図 2、図 7A～図 7E に示されるように、平面視においてフィールド絶縁膜 35 の上で規則的に配列されていることが好ましい。第 2 電極部 42 は、フィールド絶縁膜 35 の複数の箇所を第 1 方向 X および第 2 方向 Y のいずれか一方または双方に一直列に間隔を空けて露出させていてもよい。

[0108] 半導体装置 1 は、この形態では、p 型の第 2 半導体領域 7 および n 型のドレインウェル領域 21 を含む。第 2 半導体領域 7 は、第 1 主面 3 の表層部に形成されている。ドレインウェル領域 21 は、第 2 半導体領域 7 の表層部に形成されている。この構造において、ドレイン領域 23 はドレインウェル領域 21 の表層部に形成されている。ソース領域 24 はドレインウェル領域 21 から間隔を空けて第 2 半導体領域 7 の表層部に形成されている。チャンネル反転領域 26 は、ドレインウェル領域 21 およびソース領域 24 の間の領域に形成される。ドレインドリフト領域 27 は、前記ドレインウェル領域 21 に形成される。

[0109] 半導体装置 1 は、ドレインウェル領域 21 から間隔を空けて第 2 半導体領域 7 の表層部に形成されたソースウェル領域 22 を含んでもよい。この場合、ソース領域 24 は、ソースウェル領域 22 の表層部に形成されていてもよい。この構造において、半導体装置 1 は、ソースウェル領域 22 の表層部に形成されたコンタクト領域 25 を含んでもよい。

[0110] 図 8 は、本発明の第 2 実施形態に係る半導体装置 51 を示す模式図である。図 9 は、図 8 に示す領域 IX を第 1 形態例に係るゲート電極 40 と共に示す

拡大図である。図10は、図9に示すX-X線に沿う断面図である。図11は、図9に示すXI-XI線に沿う断面図である。以下、半導体装置1に対して述べた構造に対応する構造については同一の参照符号が付され、それらの説明が省略される。

[0111] 図8～図11を参照して、半導体装置51は、第1実施形態に係る半導体装置1と同様に、半導体チップ2、第1半導体領域6、第2半導体領域7、複数のデバイス領域8および領域分離構造11を含む。第2半導体領域7の導電型は、この形態では、p型（第1導電型）からn型（第2導電型）に変更されている。第2半導体領域7のn型不純物濃度は、 $5 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{15} \text{ cm}^{-3}$ 以下であってもよい。第2半導体領域7の厚さは、 $3 \mu\text{m}$ 以上 $15 \mu\text{m}$ 以下であってもよい。第2半導体領域7は、この形態では、n型のエピタキシャル層によって形成されている。

[0112] 領域分離構造11は、p型の第1分離構造12およびn型の第2分離構造15を含む。第2分離構造15は、この形態では、n型の第2埋設領域16を含み、n型の第2分離領域17を含まない。

[0113] 半導体装置51は、第1実施形態に係る半導体装置1と同様に、MISFET領域9に形成された少なくとも1つのMISFETセル20を含む。MISFETセル20は、ドレインウェル領域21、ソースウェル領域22、ドレイン領域23、ソース領域24、コンタクト領域25、チャネル反転領域26およびドレインドリフト領域27を含む。ドレインウェル領域21、ソースウェル領域22、ドレイン領域23、ソース領域24およびコンタクト領域25は、第1実施形態に係る半導体装置1と同様の態様でそれぞれ形成されている。

[0114] MISFETセル20は、第1主面3の表層部においてドレイン領域23およびソース領域24の間の領域に形成されるチャネル反転領域26を含む。図10および図11では、チャネル反転領域26が太い破線によって示されている。チャネル反転領域26は、ドレイン領域23およびソース領域24の間に形成される電流経路の導通および遮断が制御される領域である。ド

レイン領域 23 およびソース領域 24 の間を流れる電流は、ドレインソース電流である。

[0115] チャネル反転領域 26 は、ドレイン領域 23 およびソース領域 24 の間の領域においてソース領域 24 側に形成される。チャネル反転領域 26 は、この形態では、ソースウェル領域 22 の表層部において第 2 半導体領域 7 およびソース領域 24 の間に形成される。チャネル反転領域 26 は、この形態では、平面視においてソースウェル領域 22 の周縁およびソース領域 24 の間の全域に第 2 方向 Y に延びる帯状に形成される。

[0116] MISFETセル 20 は、第 1 主面 3 の表層部においてドレイン領域 23 およびチャネル反転領域 26 の間の領域に形成されるドレインドリフト領域 27 を含む。図 10 および図 11 では、ドレインドリフト領域 27 が細い破線によって示されている。ドレインドリフト領域 27 は、ドレイン領域 23 およびソース領域 24 の間の電流経路となる領域である。ドレイン領域 23 およびソース領域 24 の間を流れる電流は、ドレインソース電流である。

[0117] ドレインドリフト領域 27 は、具体的には、ソースウェル領域 22 およびドレイン領域 23 の間の領域に形成される。つまり、ドレインドリフト領域 27 は、この形態では、ソースウェル領域 22 およびドレイン領域 23 の間の領域に位置する第 2 半導体領域 7 およびドレインウェル領域 21 に形成される。ドレインドリフト領域 27 は、平面視においてドレイン領域 23 およびソースウェル領域 22 の間の対向領域の全域に第 2 方向 Y に延びる帯状に形成される。

[0118] MISFETセル 20 は、第 1 実施形態に係る半導体装置 1 と同様に、MISFET領域 9 において第 1 主面 3 の上に形成されたゲート絶縁膜 30、フィールド絶縁膜 35 およびゲート電極 40 を含む。図 9 では、フィールド絶縁膜 35 の端部が太い破線によって示され、ゲート電極 40 がハッチングによって示されている。この形態では、MISFETセル 20 が、第 1 形態例に係るゲート電極 40 を含む例が示されている（図 2 等も併せて参照）。

[0119] ゲート絶縁膜 30 は、第 1 主面 3 の上でドレイン領域 23 およびソース領

域 2 4 の間の領域を膜状に被覆している。ゲート絶縁膜 3 0 は、具体的には、第 1 主面 3 の上においてソース領域 2 4 およびドレインドリフト領域 2 7（ドレインウェル領域 2 1）に跨って形成され、第 2 半導体領域 7、ソース領域 2 4、チャネル反転領域 2 6 およびドレインドリフト領域 2 7 を被覆している。

[0120] ゲート絶縁膜 3 0 は、具体的には、第 1 部分 3 1 および第 2 部分 3 2 を含む。第 1 部分 3 1 は、第 1 主面 3 の上でソースウェル領域 2 2 およびソース領域 2 4 の一部を被覆している。つまり、第 1 部分 3 1 は、第 1 主面 3 の上でチャネル反転領域 2 6 を被覆している。第 1 部分 3 1 は、チャネル反転領域 2 6 の全域を被覆していることが好ましい。第 1 部分 3 1 は、平面視においてコンタクト領域 2 5 からソース領域 2 4 側に間隔を空けて形成され、ソース領域 2 4 の一部およびコンタクト領域 2 5 の全域を露出させている。第 1 部分 3 1 は、第 1 方向 X に関して第 1 長さ L 1 を有している。

[0121] 第 2 部分 3 2 は、第 1 部分 3 1 からドレイン領域 2 3 側に引き出され、第 1 主面 3 の上で第 2 半導体領域 7 およびドレインウェル領域 2 1 を被覆している。つまり、第 2 部分 3 2 は、第 1 主面 3 の上でドレインドリフト領域 2 7 を被覆している。第 2 部分 3 2 は、具体的には、平面視においてドレイン領域 2 3 からソース領域 2 4 側に間隔を空けて形成され、ドレインウェル領域 2 1 の一部（具体的には第 4 側面 5 D 側の端部）およびドレイン領域 2 3 の全域を露出させ、ドレインドリフト領域 2 7 を部分的に被覆している。

[0122] 第 2 部分 3 2 の平面積は、ドレインドリフト領域 2 7 において第 2 部分 3 2 から露出した部分の平面積未満であることが好ましい。第 2 部分 3 2 は、第 1 方向 X に関して第 2 長さ L 2 を有している。第 2 長さ L 2 は、第 1 長さ L 1 を超えている（ $L 1 < L 2$ ）ことが好ましい。

[0123] ゲート電極 4 0 は、この形態では、ゲート絶縁膜 3 0 の上においてソース領域 2 4 およびドレインドリフト領域 2 7（ドレインウェル領域 2 1）に跨って形成され、ゲート絶縁膜 3 0 を挟んで第 2 半導体領域 7、ドレインドリフト領域 2 7、チャネル反転領域 2 6 およびソース領域 2 4 を被覆している

。ゲート電極40は、ゲート絶縁膜30の平面形状とは異なる平面形状を有している。

[0124] ゲート電極40は、第1実施形態に係る半導体装置1と同様に、ゲート絶縁膜30の上で相異なる領域に相異なる平面形状で形成された第1電極部41および第2電極部42を含む。第1電極部41は、この形態では、ゲート絶縁膜30の第1部分31の上に形成され、第1部分31を挟んでソースウェル領域22およびソース領域24の一部に対向している。つまり、第1電極部41は、第1部分31を挟んでチャネル反転領域26に対向している。

[0125] 第1電極部41は、第1部分31を挟んでチャネル反転領域26の全域に対向していることが好ましい。ゲート電極40（第1電極部41）は、平面視においてチャネル反転領域26の周縁を第2方向Yに横切ってチャネル反転領域26外の領域に引き出されていることが好ましい。ゲート電極40においてチャネル反転領域26外の領域に引き出された部分は、ゲートコンタクト電極（図示せず）の接続部として形成されていてもよい。第1電極部41は、平面視においてコンタクト領域25からソース領域24側に間隔を空けて形成され、ソース領域24およびコンタクト領域25を露出させている。

[0126] 第2電極部42は、ゲート絶縁膜30の第2部分32の上に形成されている。第2電極部42は、具体的には、第2部分32を部分的に露出させるように第1電極部41から第2部分32の上に引き出され、第2部分32を挟んでドレインドリフト領域27の一部に対向している。第2電極部42は、さらに、第2部分32の上からフィールド絶縁膜35の上に引き出され、フィールド絶縁膜35を挟んでドレインドリフト領域27に対向している。

[0127] 第2電極部42は、ドレインドリフト領域27との間でゲートドレイン容量 C_{gd} を形成している。ゲートドレイン容量 C_{gd} は、第1ゲートドレイン容量 C_{gd1} 、および、第1ゲートドレイン容量 C_{gd1} に並列接続された第2ゲートドレイン容量 C_{gd2} を含む。第1ゲートドレイン容量 C_{gd1} は、この形態では、第2電極部42においてゲート絶縁膜30を挟んで第

2半導体領域7およびドレインウェル領域21に対向する部分に形成されている。第2ゲートドレイン容量 C_{gd2} は、この形態では、第2電極部42においてフィールド絶縁膜35を挟んでドレインウェル領域21に対向する部分に形成されている。

[0128] 第2電極部42は、第1実施形態に係る半導体装置1と同様に、第1電極部41との間で第2部分32を部分的に露出させるように第1電極部41から第2部分32の上に引き出された少なくとも1つ（この形態では複数）の引き出し部43を有している。複数の引き出し部43は、この形態では、平面視においてドレインウェル領域21およびソースウェル領域22の間の領域からドレイン領域23側に向けて引き出されている。複数の引き出し部43は、ソースウェル領域22からドレインウェル領域21側に間隔を空けた位置から引き出されている。

[0129] 複数の引き出し部43は、この形態では、ゲート絶縁膜30（第2部分32）を挟んで第2半導体領域7およびドレインウェル領域21に対向し、フィールド絶縁膜35を挟んで第2半導体領域7およびドレインウェル領域21に対向している。つまり、複数の引き出し部43は、ゲート絶縁膜30（第2部分32）を被覆する部分においてドレインドリフト領域27と第1ゲートドレイン容量 C_{gd1} を形成している。また、複数の引き出し部43は、フィールド絶縁膜35を被覆する部分においてドレインドリフト領域27と第2ゲートドレイン容量 C_{gd2} を形成している。

[0130] この形態では、複数の引き出し部43が第2部分32を挟んで第2半導体領域7に対向する例について説明した。しかし、複数の引き出し部43は必ずしも第2半導体領域7に対向している必要はない。つまり、複数の引き出し部43は第2半導体領域7からドレインウェル領域21側に間隔を空けた位置から引き出され、第2部分32を挟んでドレインウェル領域21を被覆していてもよい。この場合、第2電極部42は、第2部分32において第2半導体領域7を被覆する部分の全域を被覆していてもよい。

[0131] 第2電極部42は、第1実施形態に係る半導体装置1と同様に、第2部分

3 2 を部分的に露出させるように少なくとも1つ（この形態では複数）の引き出し部4 3によって区画された少なくとも1つ（この形態では複数）の露出部4 4を有している。複数の露出部4 4は、この形態では、平面視においてドレインウェル領域2 1およびソースウェル領域2 2の間の領域からドレイン領域2 3側に向けて延びている。

[0132] 複数の露出部4 4は、この形態では、第2部分3 2において第2半導体領域7およびドレインウェル領域2 1を被覆する部分を部分的に露出させ、フィールド絶縁膜3 5を部分的に露出させている。つまり、複数の露出部4 4は、第2半導体領域7およびドレインウェル領域2 1を露出させる部分において第1ゲートドレイン容量 C_{gd1} を低下させ、フィールド絶縁膜3 5を露出させる部分において第2ゲートドレイン容量 C_{gd2} を低下させている。

[0133] 以上、半導体装置5 1によっても半導体装置1に対して述べた効果と同様の効果を奏することができる。この形態では、半導体装置5 1が前述の第1形態例に係るゲート電極4 0を含む例について説明した。むろん、半導体装置5 1は、第1形態例に係るゲート電極4 0に代えて、第2～第6形態例に係るゲート電極4 0のうちのいずれか1つを含んでいてもよい。また、半導体装置5 1は、前述の第1～第6形態例に係るゲート電極4 0の特徴のうちの少なくとも2つの特徴を同時に含むゲート電極4 0を有していてもよい。

[0134] 本発明は、さらに他の形態で実施できる。

[0135] 前述の第1実施形態において、ソースウェル領域2 2およびコンタクト領域2 5が取り除かれた形態が採用されてもよい。この場合、チャネル反転領域2 6は、ドレインウェル領域2 1およびソース領域2 4の間の領域において第2半導体領域7の表層部に形成される。

[0136] 前述の第2実施形態において、ドレインウェル領域2 1が取り除かれた形態が採用されてもよい。この場合、ドレインドリフト領域2 7は、第2半導体領域7に形成される。つまり、第2電極部4 2は、ゲート絶縁膜3 0を挟んで第2半導体領域7に対向する部分において第1ゲートドレイン容量 C_g

d 1 を形成し、フィールド絶縁膜 3 5 を挟んで第 2 半導体領域 7 に対向する部分において第 2 ゲートドレイン容量 C g d 2 を形成してもよい。

[0137] 前述の各実施形態では、第 1 導電型が p 型、第 2 導電型が n 型である例について説明したが、第 1 導電型が n 型、第 2 導電型が p 型であってもよい。この場合の具体的な構成は、前述の説明および添付図面において n 型領域を p 型領域に置き換え、p 型領域を n 型領域に置き換えることによって得られる。前述の各実施形態では、p 型が第 1 導電型と表現され、n 型が第 2 導電型と表現された例について説明したが、これらは説明の順序を明確にするための用語に過ぎず、p 型が第 2 導電型と表現され、n 型が第 1 導電型と表現されてもよい。

[0138] 以下、この明細書および図面から抽出される特徴の例を示す。以下の [A 1] ~ [A 2 0]、[B 1] ~ [B 5]、ならびに、[C 1] ~ [C 5] は、電気的特性を向上できる半導体装置を提供する。以下、括弧内の英数字は前述の実施形態における対応構成要素等を表すが、各項目の範囲を実施形態に限定する趣旨ではない。

[0139] [A 1] 主面 (3) を有するチップ (2) と、前記主面 (3) の表層部に形成されたドレイン領域 (2 3) と、前記ドレイン領域 (2 3) から間隔を空けて前記主面 (3) の表層部に形成されたソース領域 (2 4) と、前記主面 (3) の表層部における前記ドレイン領域 (2 3) および前記ソース領域 (2 4) の間において前記ソース領域 (2 4) 側に形成されるチャネル反転領域 (2 6) と、前記主面 (3) の表層部において前記ドレイン領域 (2 3) および前記チャネル反転領域 (2 6) の間の領域に形成されるドリフト領域と、前記主面 (3) の上で前記チャネル反転領域 (2 6) を被覆する第 1 部分 (3 1)、および、前記主面 (3) の上で前記ドリフト領域を被覆する第 2 部分 (3 2) を有するゲート絶縁膜 (3 0) と、前記第 1 部分 (3 1) を被覆する第 1 電極部 (4 1)、および、前記第 2 部分 (3 2) を部分的に露出させるように前記第 1 電極部 (4 1) から前記第 2 部分 (3 2) の上に引き出された第 2 電極部 (4 2) を有するゲート電極 (4 0) と、を含む、

半導体装置（１、５１）。

[0140] [A 2] 前記第２電極部（４２）は、前記ドレイン領域（２３）および前記ソース領域（２４）の対向方向（X）に延び、前記第２部分を部分的に露出させる辺を有している、A 1に記載の半導体装置（１、５１）。

[0141] [A 3] 前記第１電極部（４１）は、平面視において前記第１部分（３１）の全域を被覆している、A 1またはA 2に記載の半導体装置（１、５１）。

[0142] [A 4] 前記第２電極部（４２）は、平面視において前記第１部分（３１）から間隔を空けて前記第２部分（３２）を露出させている、A 1～A 3のいずれか一つに記載の半導体装置（１、５１）。

[0143] [A 5] 前記第２電極部（４２）は、前記ゲート絶縁膜（３０）に関して前記第２部分（３２）のみを露出させている、A 1～A 4のいずれか一つに記載の半導体装置（１、５１）。

[0144] [A 6] 前記第１部分（３１）は、平面視において前記チャネル反転領域（２６）の全域を被覆し、前記第２部分（３２）は、平面視において前記ドリフト領域を部分的に露出させるように前記ドリフト領域を部分的に被覆している、A 1～A 5のいずれか一つに記載の半導体装置（１、５１）。

[0145] [A 7] 前記第２電極部（４２）は、前記第２部分（３２）の複数の個所を露出させている、A 1～A 6のいずれか一つに記載の半導体装置（１、５１）。

[0146] [A 8] 前記第２電極部（４２）は、平面視において前記第２部分（３２）の複数の箇所を一行に間隔を空けて露出させている、A 1～A 7のいずれか一つに記載の半導体装置（１、５１）。

[0147] [A 9] 前記主面（３）の上で前記ドリフト領域を被覆し、前記ゲート絶縁膜（３０）の厚さとは異なる厚さを有するフィールド絶縁膜（３５）をさらに含む、A 1～A 8のいずれか一つに記載の半導体装置（１、５１）。

[0148] [A 10] 前記フィールド絶縁膜（３５）は、前記第２部分（３２）に連なり、前記第２電極部（４２）は、前記第２部分（３２）の上から前記フィ

ールド絶縁膜（３５）の上に引き出され、前記フィールド絶縁膜（３５）を挟んで前記ドリフト領域に対向している、Ａ９に記載の半導体装置（１、５１）。

[0149] [A 1 1] 前記第２電極部（４２）は、前記フィールド絶縁膜（３５）を部分的に露出させている、Ａ１０に記載の半導体装置（１、５１）。

[0150] [A 1 2] 前記第２電極部（４２）は、前記ドレイン領域（２３）および前記ソース領域（２４）の対向方向（Ｘ）に延び、前記フィールド絶縁膜（３５）を部分的に露出させる辺を有している、Ａ１１に記載の半導体装置（１、５１）。

[0151] [A 1 3] 前記第２電極部（４２）は、前記フィールド絶縁膜（３５）の複数の個所を露出させている、Ａ１１またはＡ１２に記載の半導体装置（１、５１）。

[0152] [A 1 4] 前記第２電極部（４２）は、平面視において前記フィールド絶縁膜（３５）の複数の箇所を一行に露出させている、Ａ１１～Ａ１３のいずれか一つに記載の半導体装置（１、５１）。

[0153] [A 1 5] 前記主面（３）の表層部に形成された第１導電型（ｐ型）の半導体領域と、前記半導体領域の表層部に形成された第２導電型（ｎ型）のドレインウェル領域（２１）と、をさらに含み、第２導電型（ｎ型）の前記ドレイン領域（２３）が、前記ドレインウェル領域（２１）の表層部に形成され、第２導電型（ｎ型）の前記ソース領域（２４）が、前記ドレインウェル領域（２１）から間隔を空けて前記半導体領域の表層部に形成され、前記チャンネル反転領域（２６）は、前記ドレインウェル領域（２１）および前記ソース領域（２４）の間の領域に形成され、前記ドリフト領域は、前記ドレインウェル領域（２１）に形成される、Ａ１～Ａ１４のいずれか一つに記載の半導体装置（１）。

[0154] [A 1 6] 前記ドレインウェル領域（２１）から間隔を空けて前記半導体領域の表層部に形成された第１導電型（ｐ型）のソースウェル領域（２２）をさらに含み、前記ソース領域（２４）は、前記ソースウェル領域（２２）

の表層部に形成されている、A 1 5 に記載の半導体装置（1）。

[0155] [A 1 7] 前記ソースウェル領域（2 2）の表層部に形成された第1導電型（p型）のコンタクト領域（2 5）をさらに含む、A 1 6 に記載の半導体装置（1）。

[0156] [A 1 8] 前記主面（3）の表層部に形成された第1導電型（n型）の半導体領域と、前記半導体領域の表層部に形成された第2導電型（p型）のソースウェル領域（2 2）と、をさらに含み、第1導電型（n型）の前記ドレイン領域（2 3）が、前記ソースウェル領域（2 2）から間隔を空けて前記半導体領域の表層部に形成され、第1導電型（n型）の前記ソース領域（2 4）が、前記ソースウェル領域（2 2）の表層部に形成され、前記チャネル反転領域（2 6）は、前記ソースウェル領域（2 2）の表層部において前記半導体領域および前記ソース領域（2 4）の間に形成され、前記ドリフト領域は、前記ソースウェル領域（2 2）および前記ドレイン領域（2 3）の間の領域に形成される、A 1 ～A 1 4 のいずれか一つに記載の半導体装置（5 1）。

[0157] [A 1 9] 前記ソースウェル領域（2 2）から間隔を空けて前記半導体領域の表層部に形成された第1導電型（n型）のドレインウェル領域（2 1）をさらに含み、前記ドレイン領域（2 3）は、前記ドレインウェル領域（2 1）の表層部に形成されている、A 1 8 に記載の半導体装置（5 1）。

[0158] [A 2 0] 前記ソースウェル領域（2 2）の表層部に形成された第2導電型（p型）のコンタクト領域（2 5）をさらに含む、A 1 8 またはA 1 9 に記載の半導体装置（5 1）。

[0159] [B 1] 主面（3）を有するチップ（2）と、前記主面（3）の表層部に形成された第1導電型（p型）の半導体領域と、前記半導体領域の表層部に形成された第2導電型（n型）のドレインウェル領域（2 1）と、前記ドレインウェル領域（2 1）の表層部に形成された第2導電型（n型）のドレイン領域（2 3）と、前記ドレインウェル領域（2 1）から間隔を空けて前記半導体領域の表層部に形成され、前記半導体領域の表層部において前記ドレ

インウェル領域（２１）との間でチャネル反転領域（２６）を形成する第２導電型（ｎ型）のソース領域（２４）と、前記主面（３）の上で前記チャネル反転領域（２６）を被覆する第１部分（３１）、および、前記主面（３）の上で前記ドレインウェル領域（２１）を被覆する第２部分（３２）を有するゲート絶縁膜（３０）と、前記第１部分（３１）を被覆する第１電極部（４１）、および、前記第２部分（３２）を部分的に露出させるように前記第１電極部（４１）から前記第２部分（３２）の上に引き出された第２電極部（４２）を有するゲート電極（４０）と、を含む、半導体装置（１）。

[0160] [B 2] 前記ドレインウェル領域（２１）から間隔を空けて前記半導体領域の表層部に形成された第１導電型（ｐ型）のソースウェル領域（２２）をさらに含み、前記ソース領域（２４）は、前記ソースウェル領域（２２）の表層部に形成されている、Ｂ１に記載の半導体装置（１）。

[0161] [B 3] 前記ソースウェル領域（２２）の表層部に形成された第１導電型（ｐ型）のコンタクト領域（２５）をさらに含み、Ｂ２に記載の半導体装置（１）。

[0162] [B 4] 前記主面（３）の上で前記ドレインウェル領域（２１）を被覆し、前記ゲート絶縁膜（３０）の厚さとは異なる厚さを有するフィールド絶縁膜（３５）をさらに含み、Ｂ１～Ｂ３のいずれか一つに記載の半導体装置（１）。

[0163] [B 5] 前記フィールド絶縁膜（３５）は、前記第２部分（３２）に連なり、前記第２電極部（４２）は、前記第２部分（３２）の上から前記フィールド絶縁膜（３５）の上に引き出され、前記フィールド絶縁膜（３５）を挟んで前記ドリフト領域に対向している、Ｂ４に記載の半導体装置（１）。

[0164] [C 1] 主面（３）を有するチップ（２）と、前記主面（３）の表層部に形成された第１導電型（ｎ型）の半導体領域と、前記半導体領域の表層部に形成された第２導電型（ｐ型）のソースウェル領域（２２）と、前記ソースウェル領域（２２）から間隔を空けて前記半導体領域の表層部に形成された第１導電型（ｎ型）のドレイン領域（２３）と、前記ソースウェル領域（２

2) の表層部に形成され、前記ソースウェル領域 (22) の表層部において前記半導体領域との間でチャネル反転領域 (26) を形成する第1導電型 (n型) のソース領域 (24) と、前記主面 (3) の上で前記チャネル反転領域 (26) を被覆する第1部分 (31)、ならびに、前記主面 (3) の上で前記ソースウェル領域 (22) および前記ドレイン領域 (23) の間の領域を被覆する第2部分 (32) を有するゲート絶縁膜 (30) と、前記第1部分 (31) を被覆する第1電極部 (41)、および、前記第2部分 (32) を部分的に露出させるように前記第1電極部 (41) から前記第2部分 (32) の上に引き出された第2電極部 (42) を有するゲート電極 (40) と、を含む、半導体装置 (51)。

[0165] [C2] 前記ソースウェル領域 (22) から間隔を空けて前記半導体領域の表層部に形成された第1導電型 (n型) のドレインウェル領域 (21) をさらに含み、前記ドレイン領域 (23) は、前記ドレインウェル領域 (21) の表層部に形成されている、C1に記載の半導体装置 (51)。

[0166] [C3] 前記ソースウェル領域 (22) の表層部に形成された第2導電型 (p型) のコンタクト領域 (25) をさらに含み、C1またはC2に記載の半導体装置 (51)。

[0167] [C4] 前記主面 (3) の上で前記ドレインウェル領域 (21) を被覆し、前記ゲート絶縁膜 (30) の厚さとは異なる厚さを有するフィールド絶縁膜 (35) をさらに含み、C1～C3のいずれか一つに記載の半導体装置 (51)。

[0168] [C5] 前記フィールド絶縁膜 (35) は、前記第2部分 (32) に連なり、前記第2電極部 (42) は、前記第2部分 (32) の上から前記フィールド絶縁膜 (35) の上に引き出され、前記フィールド絶縁膜 (35) を挟んで前記ドリフト領域に対向している、C4に記載の半導体装置 (51)。

[0169] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範

図によって限定される。

符号の説明

- [0170] 1 半導体装置
- 2 半導体チップ
- 3 第1主面
- 2 1 ドレインウェル領域
- 2 2 ソースウェル領域
- 2 3 ドレイン領域
- 2 4 ソース領域
- 2 5 コンタクト領域
- 2 6 チャネル反転領域
- 3 0 ゲート絶縁膜
- 3 1 第1部分
- 3 2 第2部分
- 3 5 フィールド絶縁膜
- 4 0 ゲート電極
- 4 1 第1電極部
- 4 2 第2電極部
- 5 1 半導体装置

請求の範囲

- [請求項1] 主面を有するチップと、
前記主面の表層部に形成されたドレイン領域と、
前記ドレイン領域から間隔を空けて前記主面の表層部に形成されたソース領域と、
前記主面の表層部における前記ドレイン領域および前記ソース領域の間において前記ソース領域側に形成されるチャネル反転領域と、
前記主面の表層部において前記ドレイン領域および前記チャネル反転領域の間の領域に形成されるドリフト領域と、
前記主面の上で前記チャネル反転領域を被覆する第1部分、および、前記主面の上で前記ドリフト領域を被覆する第2部分を有するゲート絶縁膜と、
前記第1部分を被覆する第1電極部、および、前記第2部分を部分的に露出させるように前記第1電極部から前記第2部分の上に引き出された第2電極部を有するゲート電極と、を含む、半導体装置。
- [請求項2] 前記第2電極部は、前記ドレイン領域および前記ソース領域の対向方向に延び、前記第2部分を部分的に露出させる辺を有している、請求項1に記載の半導体装置。
- [請求項3] 前記第1電極部は、平面視において前記第1部分の全域を被覆している、請求項1または2に記載の半導体装置。
- [請求項4] 前記第2電極部は、平面視において前記第1部分から間隔を空けて前記第2部分を露出させている、請求項1～3のいずれか一項に記載の半導体装置。
- [請求項5] 前記第2電極部は、前記ゲート絶縁膜に関して前記第2部分のみを露出させている、請求項1～4のいずれか一項に記載の半導体装置。
- [請求項6] 前記第1部分は、平面視において前記チャネル反転領域の全域を被覆し、
前記第2部分は、平面視において前記ドリフト領域を部分的に露出

させるように前記ドリフト領域を部分的に被覆している、請求項 1 ～ 5 のいずれか一項に記載の半導体装置。

[請求項7] 前記第 2 電極部は、前記第 2 部分の複数の個所を露出させている、請求項 1 ～ 6 のいずれか一項に記載の半導体装置。

[請求項8] 前記第 2 電極部は、平面視において前記第 2 部分の複数の箇所を一行に間隔を空けて露出させている、請求項 1 ～ 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記主面の上で前記ドリフト領域を被覆し、前記ゲート絶縁膜の厚さとは異なる厚さを有するフィールド絶縁膜をさらに含む、請求項 1 ～ 8 のいずれか一項に記載の半導体装置。

[請求項10] 前記フィールド絶縁膜は、前記第 2 部分に連なり、
前記第 2 電極部は、前記第 2 部分の上から前記フィールド絶縁膜の上に引き出され、前記フィールド絶縁膜を挟んで前記ドリフト領域に対向している、請求項 9 に記載の半導体装置。

[請求項11] 前記第 2 電極部は、前記フィールド絶縁膜を部分的に露出させている、請求項 10 に記載の半導体装置。

[請求項12] 前記第 2 電極部は、前記ドレイン領域および前記ソース領域の対向方向に延び、前記フィールド絶縁膜を部分的に露出させる辺を有している、請求項 11 に記載の半導体装置。

[請求項13] 前記第 2 電極部は、前記フィールド絶縁膜の複数の個所を露出させている、請求項 11 または 12 に記載の半導体装置。

[請求項14] 前記第 2 電極部は、平面視において前記フィールド絶縁膜の複数の箇所を一行に露出させている、請求項 11 ～ 13 のいずれか一項に記載の半導体装置。

[請求項15] 前記主面の表層部に形成された第 1 導電型の半導体領域と、
前記半導体領域の表層部に形成された第 2 導電型のドレインウェル領域と、をさらに含み、

第 2 導電型の前記ドレイン領域が、前記ドレインウェル領域の表層

部に形成され、

第2導電型の前記ソース領域が、前記ドレインウェル領域から間隔を空けて前記半導体領域の表層部に形成され、

前記チャネル反転領域は、前記ドレインウェル領域および前記ソース領域の間の領域に形成され、

前記ドリフト領域は、前記ドレインウェル領域に形成される、請求項1～14のいずれか一項に記載の半導体装置。

[請求項16] 前記ドレインウェル領域から間隔を空けて前記半導体領域の表層部に形成された第1導電型のソースウェル領域をさらに含み、

前記ソース領域は、前記ソースウェル領域の表層部に形成されている、請求項15に記載の半導体装置。

[請求項17] 前記ソースウェル領域の表層部に形成された第1導電型のコンタクト領域をさらに含む、請求項16に記載の半導体装置。

[請求項18] 前記主面の表層部に形成された第1導電型の半導体領域と、
前記半導体領域の表層部に形成された第2導電型のソースウェル領域と、をさらに含み、

第1導電型の前記ドレイン領域が、前記ソースウェル領域から間隔を空けて前記半導体領域の表層部に形成され、

第1導電型の前記ソース領域が、前記ソースウェル領域の表層部に形成され、

前記チャネル反転領域は、前記ソースウェル領域の表層部において前記半導体領域および前記ソース領域の間に形成され、

前記ドリフト領域は、前記ソースウェル領域および前記ドレイン領域の間の領域に形成される、請求項1～14のいずれか一項に記載の半導体装置。

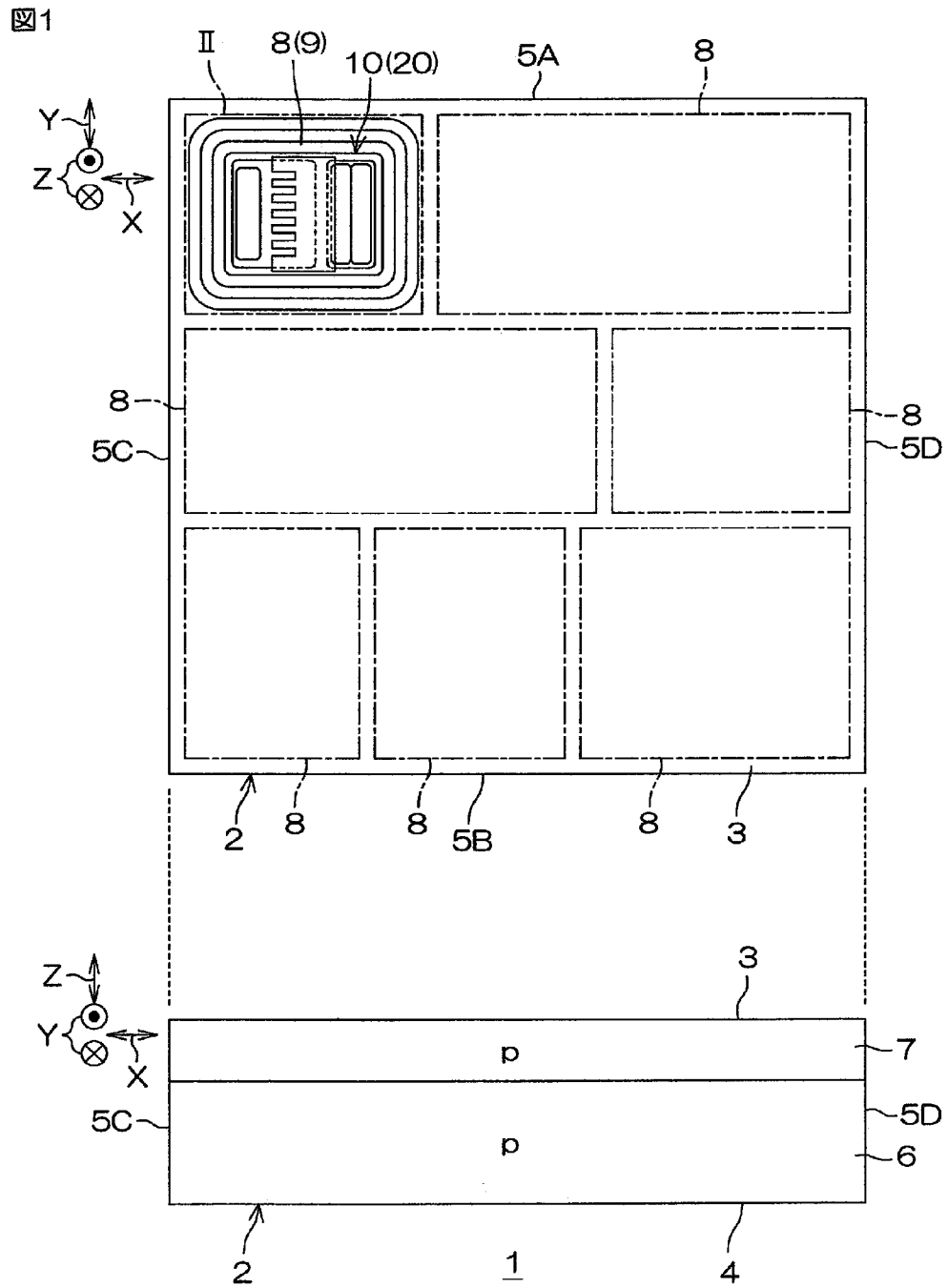
[請求項19] 前記ソースウェル領域から間隔を空けて前記半導体領域の表層部に形成された第1導電型のドレインウェル領域をさらに含み、

前記ドレイン領域は、前記ドレインウェル領域の表層部に形成され

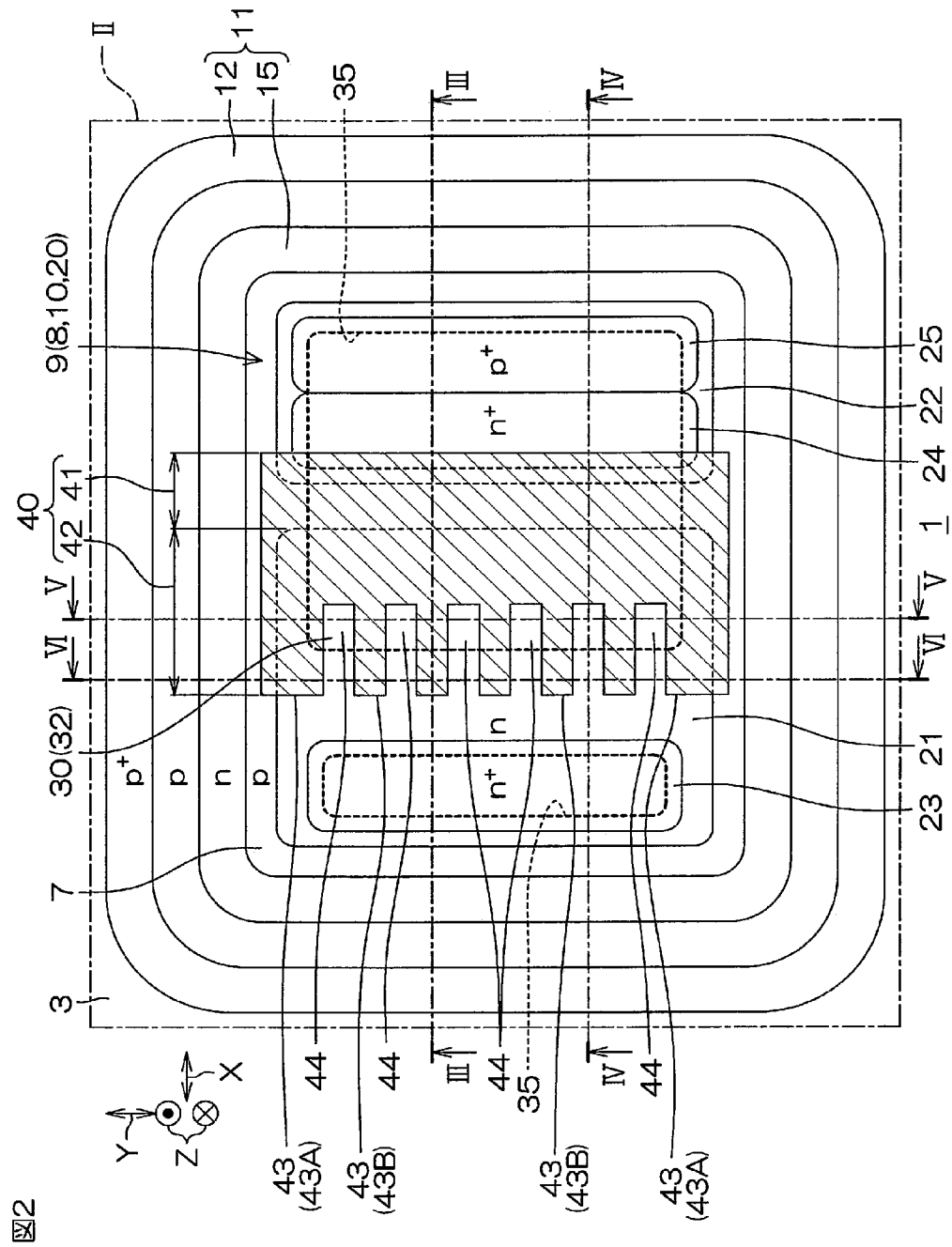
ている、請求項 18 に記載の半導体装置。

[請求項20] 前記ソースウェル領域の表層部に形成された第2導電型のコンタクト領域をさらに含む、請求項 18 または 19 に記載の半導体装置。

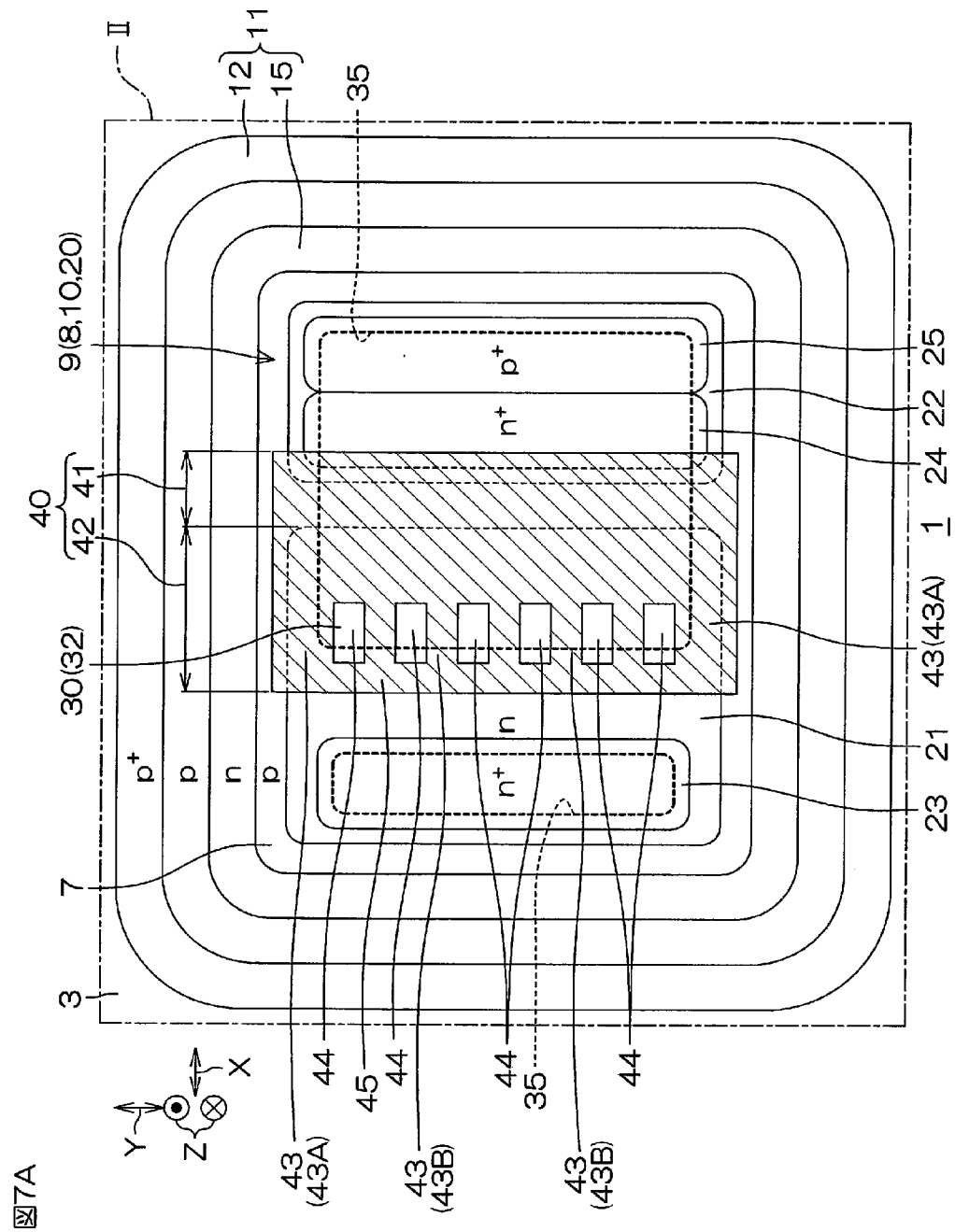
[図1]



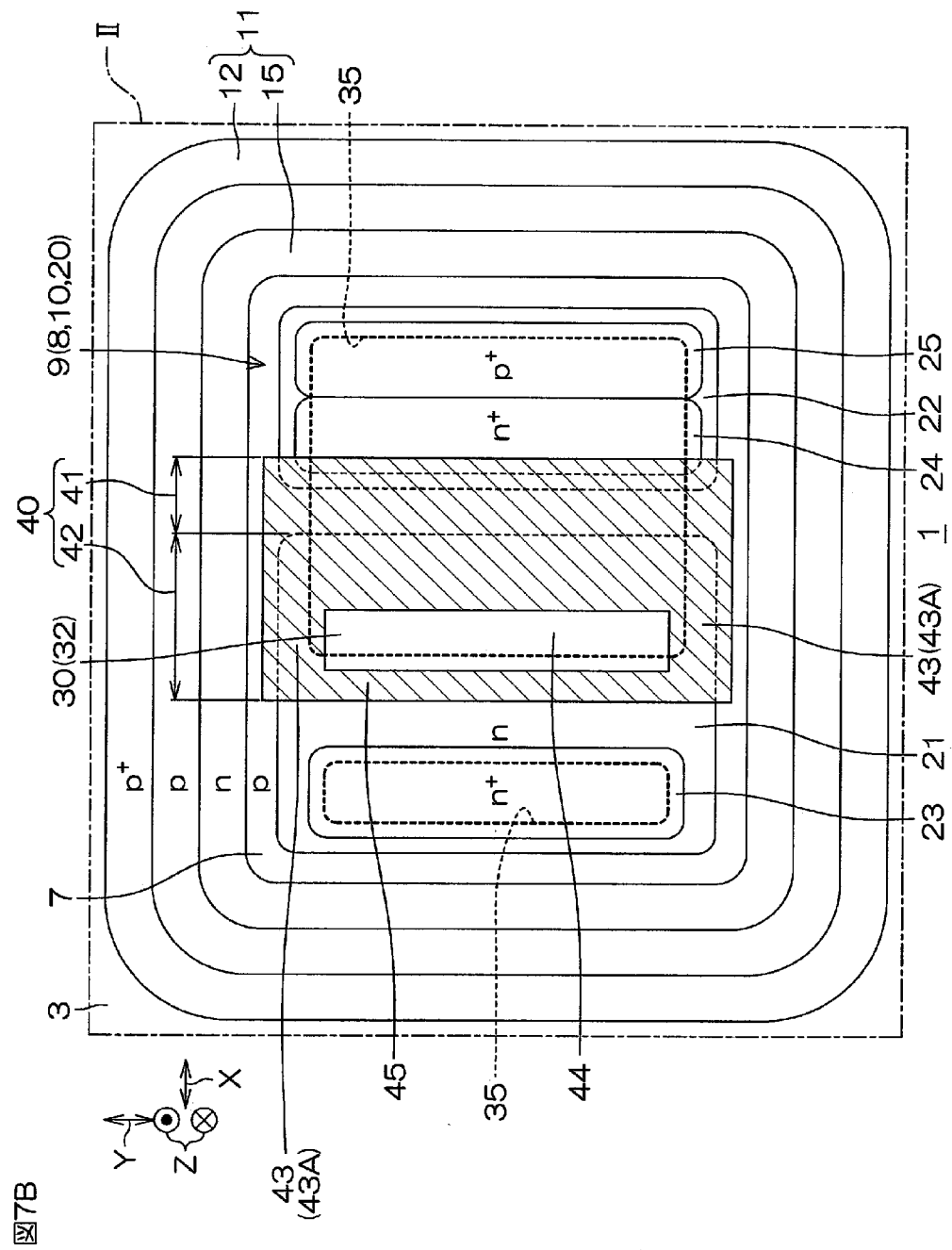
[図2]



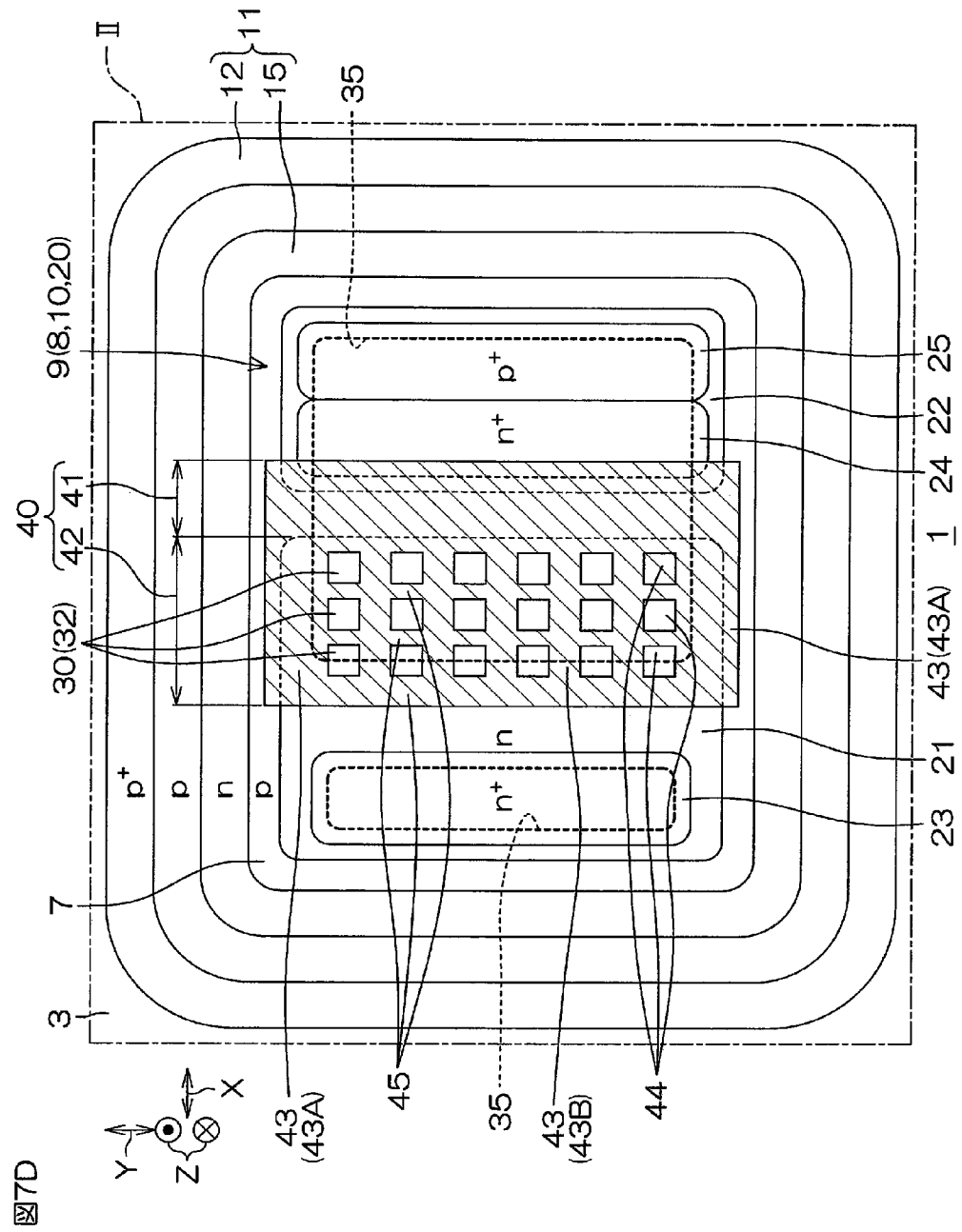
[図7A]



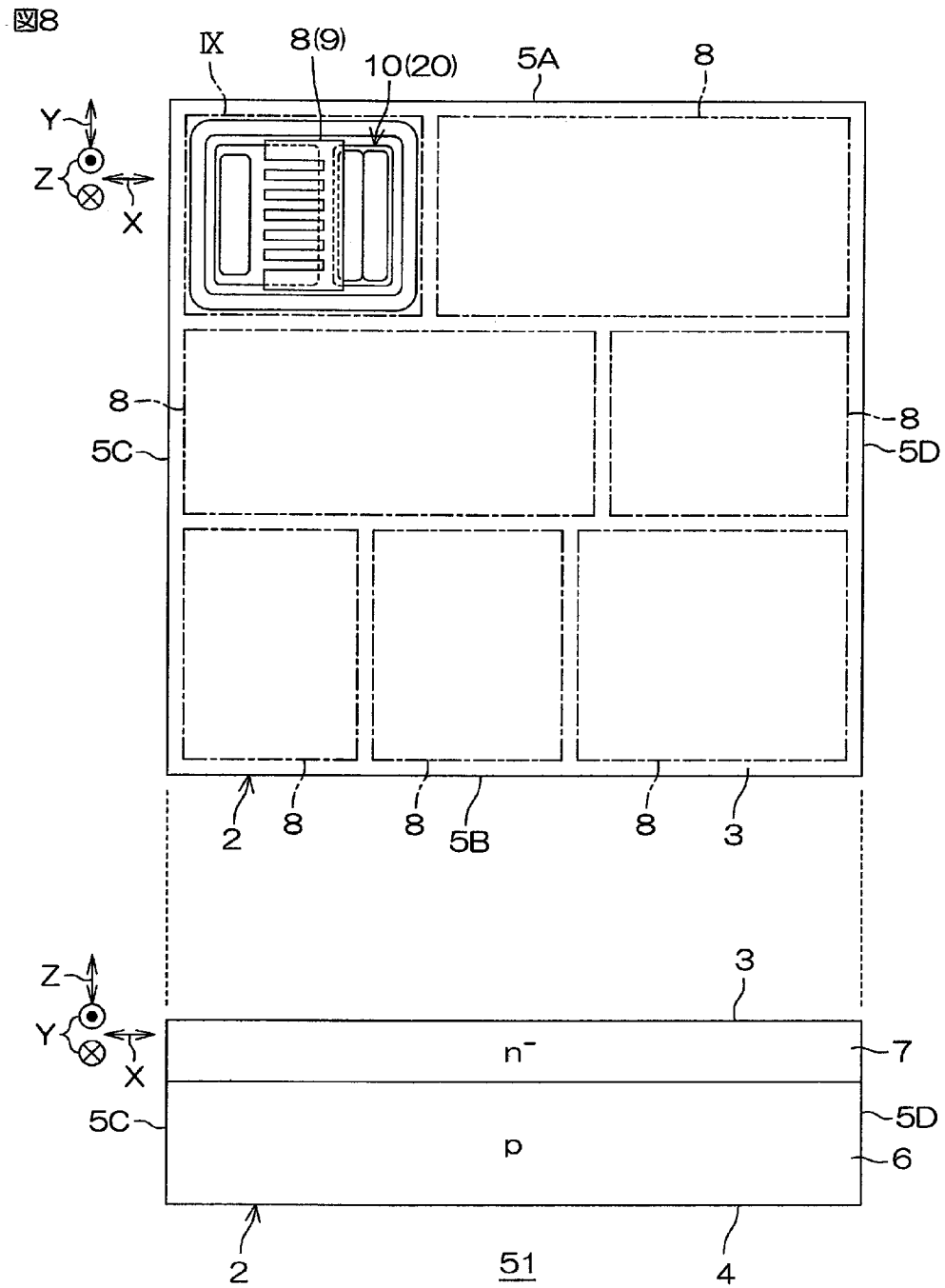
[図7B]



[図7D]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/039336

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/78**(2006.01)i; **H01L 21/336**(2006.01)i

FI: H01L29/78 301D; H01L29/78 301G

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-216218 A (RENESAS ELECTRONICS CORP) 03 December 2015 (2015-12-03) paragraphs [0011]-[0034], [0051]-[0053], [0076], FIG. 1-4, 16, 26	1-20
X	JP 2019-165094 A (TOSHIBA CORP) 26 September 2019 (2019-09-26) paragraphs [0045]-[0048], fig. 12	1-20
X	US 2017/0194489 A1 (SK HYNIX INC.) 06 July 2017 (2017-07-06) paragraphs [0112]-[0131], fig. 17-20	1-20
X	US 2016/0172486 A1 (SAMSUNG ELECTRONICS CO., LTD.) 16 June 2016 (2016-06-16) paragraphs [0063]-[0084], fig. 1-4	1-20
X	US 2013/0341714 A1 (SAMSUNG ELECTRONICS CO., LTD.) 26 December 2013 (2013-12-26) paragraphs [0044]-[0066], fig. 1-3	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

22 December 2021

Date of mailing of the international search report

11 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/039336

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-216218	A	03 December 2015	US 2015/0325693 A1 paragraphs [0040]-[0063], [0080]-[0082], [0105], FIG. 1- 4, 16, 26 KR 10-2015-0128563 A TW 201543671 A CN 105895691 A	
JP	2019-165094	A	26 September 2019	US 2019/0288063 A1 paragraphs [0080]-[0086], fig. 12A, 12B	
US	2017/0194489	A1	06 July 2017	KR 10-2017-0079984 A KR 10-2017-0080966 A CN 106935647 A TW 201724512 A	
US	2016/0172486	A1	16 June 2016	KR 10-2016-0071856 A	
US	2013/0341714	A1	26 December 2013	KR 10-2013-0142789 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 301D; H01L29/78 301G		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-216218 A (ルネサスエレクトロニクス株式会社) 03.12.2015 (2015 - 12 - 03) 段落0011-0034, 0051-0053, 0076, 図1-4, 16, 26	1-20
X	JP 2019-165094 A (株式会社東芝) 26.09.2019 (2019 - 09 - 26) 段落0045-0048, 図12	1-20
X	US 2017/0194489 A1 (SK HYNIX INC.) 06.07.2017 (2017 - 07 - 06) 段落0112-0131, 図17-20	1-20
X	US 2016/0172486 A1 (SAMSUNG ELECTRONICS CO., LTD.) 16.06.2016 (2016 - 06 - 16) 段落0063-0084, 図1-4	1-20
X	US 2013/0341714 A1 (SAMSUNG ELECTRONICS CO., LTD.) 26.12.2013 (2013 - 12 - 26) 段落0044-0066, 図1-3	1-20
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 22.12.2021		国際調査報告の発送日 11.01.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/039336

引用文献			公表日	パテントファミリー文献			公表日
JP	2015-216218	A	03.12.2015	US	2015/0325693	A1	
				段落0040-0063, 0080-0082, 0105、図1-4, 16, 26			
				KR	10-2015-0128563	A	
				TW	201543671	A	
				CN	105895691	A	
JP	2019-165094	A	26.09.2019	US	2019/0288063	A1	
				段落0080-0086、図12A, 12B			
US	2017/0194489	A1	06.07.2017	KR	10-2017-0079984	A	
				KR	10-2017-0080966	A	
				CN	106935647	A	
				TW	201724512	A	
US	2016/0172486	A1	16.06.2016	KR	10-2016-0071856	A	
US	2013/0341714	A1	26.12.2013	KR	10-2013-0142789	A	