



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0116375
(43) 공개일자 2020년10월12일

(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2018.01) G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 12/0292 (2013.01)
G06F 12/0246 (2013.01)
(21) 출원번호 10-2019-0038090
(22) 출원일자 2019년04월01일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
최형필
경기도 수원시 영통구 광교마을로 156 광교마을4
0단지 4014동 102호
(74) 대리인
특허법인(유한)유일하이스트

전체 청구항 수 : 총 17 항

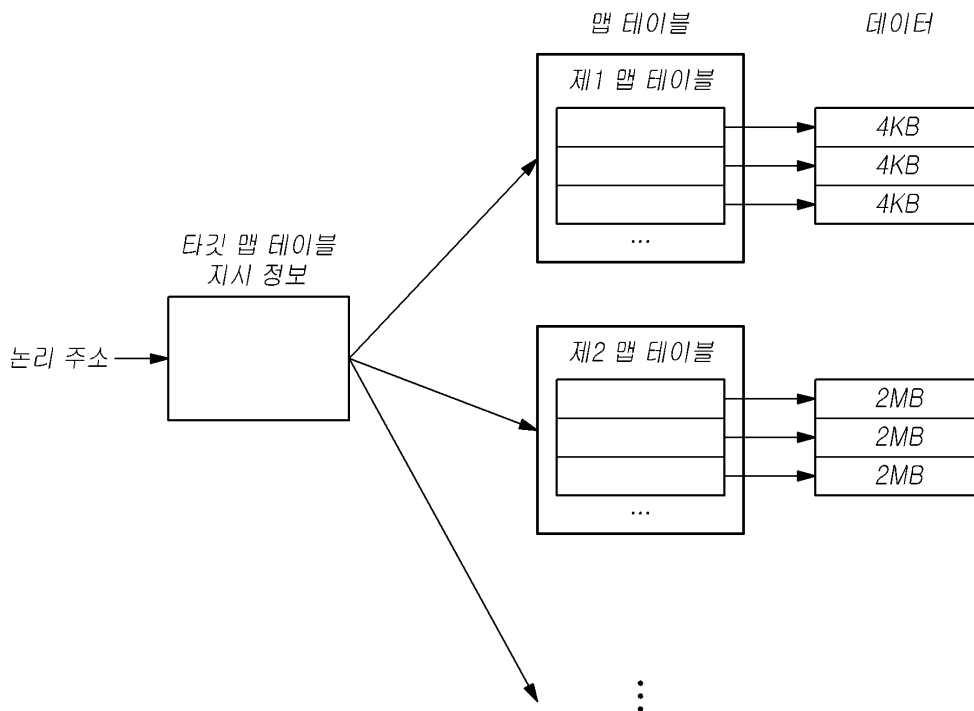
(54) 발명의 명칭 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법

(57) 요약

본 발명의 실시예들은 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법에 관한 것으로서, 일 측면에서, 본 발명의 실시예들에서 설명하는 메모리 시스템은, 다수의 메모리 블록을 포함하는 메모리 장치 및 메모리 장치를 제어하는 메모리 컨트롤러를 포함할 수 있다. 메모리 장치는, 복수의 맵 테이블을 저장하고 복수의 맵 테이블은 제1

(뒷면에 계속)

대표도 - 도3



맵 테이블 및 제2 맵 테이블을 포함할 수 있고, 복수의 맵 테이블 각각은 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함할 수 있고, 제2 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는 제1 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N배(N은 2 이상의 자연수)일 수 있다. 메모리 컨트롤러는, 제1 맵 테이블에 포함된 맵 엔트리 중에서, 서로 연속인 N개의 물리 주소 영역에 각각 대응하는 N개의 맵 엔트리가 존재하는 경우, N개의 맵 엔트리에 대응하도록 서로 연속인 N개의 물리 주소 영역 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 제2 맵 테이블에 추가할 수 있다.

(52) CPC특허분류

G06F 3/0658 (2013.01)

G06F 2212/7201 (2013.01)

명세서

청구범위

청구항 1

다수의 메모리 블록을 포함하고, 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함하는 제1 맵 테이블 및 제2 맵 테이블을 포함하는 복수의 맵 테이블을 저장하는 메모리 장치; 및

상기 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고,

상기 제2 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기는, 상기 제1 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N 배(N 은 2 이상의 자연수)이고,

상기 메모리 컨트롤러는,

상기 제1 맵 테이블에 포함된 맵 엔트리 중에서, 서로 연속인 N 개의 물리 주소 영역에 각각 대응하는 N 개의 맵 엔트리가 존재하는 경우,

상기 N 개의 맵 엔트리에 대응하도록 상기 서로 연속인 N 개의 물리 주소 영역 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를, 상기 제2 맵 테이블에 추가하는 메모리 시스템.

청구항 2

제1항에 있어서,

상기 메모리 컨트롤러는,

상기 N 개의 맵 엔트리를 상기 제1 맵 테이블에서 삭제하는 메모리 시스템.

청구항 3

제1항에 있어서,

상기 메모리 컨트롤러는,

상기 제1 맵 테이블에 포함된 맵 엔트리를 제1 맵 쓰기 세그먼트 단위로 업데이트하고, 상기 제2 맵 테이블에 포함된 맵 엔트리를 제2 맵 쓰기 세그먼트 단위로 업데이트하는 메모리 시스템.

청구항 4

제1항에 있어서,

상기 메모리 컨트롤러는,

상기 복수의 맵 테이블에 포함된 맵 엔트리의 일부를 맵 캐시에 로드하며, 상기 제1 맵 테이블에 포함된 맵 엔트리의 일부는 제1 맵 읽기 세그먼트 단위로 상기 맵 캐시에 로드되고, 상기 제2 맵 테이블에 포함된 맵 엔트리의 일부는 제2 맵 읽기 세그먼트 단위로 상기 맵 캐시에 로드되는 메모리 시스템.

청구항 5

제4항에 있어서,

상기 메모리 컨트롤러는,

타깃 논리 주소에 대응하는 타깃 물리 주소의 매핑 정보를 상기 맵 캐시에서 탐색하는 경우,

상기 타깃 논리 주소에 대응하는 맵 테이블을 지시하는 타깃 맵 테이블 지시 정보를 기초로, 상기 복수의 맵 테이블 중 상기 타깃 논리 주소에 대응하는 맵 테이블인 타깃 맵 테이블을 결정하고,

상기 맵 캐시에 포함되는 맵 캐시 엔트리들 중 상기 타깃 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에서, 상기 타깃 물리 주소의 매핑 정보를 탐색하는 메모리 시스템.

청구항 6

제5항에 있어서,

상기 타깃 맵 테이블 지시 정보는,

상기 타깃 논리 주소에 대응하는 비트맵으로 저장되는 메모리 시스템.

청구항 7

제5항에 있어서,

상기 메모리 컨트롤러는,

상기 타깃 논리 주소와 상기 타깃 논리 주소에 대응하는 매핑 정보에 포함된 시작 논리 주소 간의 오프셋을 기초로, 상기 타깃 논리 주소에 대응하는 타깃 물리 주소를 결정하는 메모리 시스템.

청구항 8

제1항에 있어서,

상기 복수의 맵 테이블 각각은,

복수의 L1 테이블 엔트리를 포함하는 L1 테이블 및 하나 이상의 L2 테이블을 포함하고,

상기 하나 이상의 L2 테이블 각각은, 상기 복수의 맵 엔트리 중 일부를 포함하며 상기 복수의 L1 테이블 엔트리 중 하나에 대응하는 메모리 시스템.

청구항 9

제8항에 있어서,

상기 메모리 컨트롤러는,

상기 복수의 맵 테이블 각각의 상기 L1 테이블에 포함된 모든 L1 테이블 엔트리를 맵 캐시에 캐싱하는 메모리 시스템.

청구항 10

제8항에 있어서,

상기 메모리 컨트롤러는,

타깃 논리 주소에 대응하는 타깃 물리 주소의 매핑 정보가 상기 제1 맵 테이블에 포함되고 상기 매핑 정보를 포함하는 L2 테이블에 대응하는 L1 테이블 엔트리가 맵 캐시에 캐싱되지 않은 경우,

상기 매핑 정보를, 맵 캐시에 포함된 맵 캐시 엔트리 중 상기 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리 및 상기 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에서 탐색하는 메모리

시스템.

청구항 11

제10항에 있어서,

상기 메모리 컨트롤러는,

상기 맵 캐시에 포함된 맵 캐시 엔트리 중에서, 상기 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리를 상기 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리보다 높은 우선 순위로 탐색하는 메모리 시스템.

청구항 12

다수의 메모리 블록을 포함하고, 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함하는 제1 맵 테이블 및 제2 맵 테이블을 포함하는 복수의 맵 테이블을 저장하는 메모리 장치와 통신하기 위한 메모리 인터페이스;

상기 복수의 맵 테이블에 포함된 맵 엔트리 중 일부를 캐싱하는 맵 캐시를 저장하는 워킹 메모리; 및

상기 메모리 장치를 제어하기 위한 제어 회로를 포함하고,

상기 제2 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기는, 상기 제1 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N배(N은 2 이상의 자연수)이고,

상기 제어 회로는,

상기 제1 맵 테이블에 포함된 엔트리 중에서, 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하는 경우, 상기 N개의 맵 엔트리에 대응하도록 상기 서로 연속인 N개의 물리 주소 영역들 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 상기 제2 맵 테이블에 추가하는 메모리 컨트롤러.

청구항 13

제12항에 있어서,

상기 제어 회로는,

상기 제1 맵 테이블 및 상기 제2 맵 테이블에 포함된 맵 엔트리의 일부를 상기 맵 캐시에 로드하며,

타깃 논리 주소에 대응하는 타깃 물리 주소의 매핑 정보를 상기 맵 캐시에서 탐색하는 경우,

상기 타깃 논리 주소에 대응하는 맵 테이블을 지시하는 타깃 맵 테이블 지시 정보를 기초로, 상기 복수의 맵 테이블 중 상기 타깃 논리 주소에 대응하는 맵 테이블인 타깃 맵 테이블을 결정하고,

상기 맵 캐시의 맵 캐시 엔트리들 중 상기 타깃 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에서 상기 타깃 물리 주소의 매핑 정보를 탐색하는 메모리 컨트롤러.

청구항 14

제11항에 있어서,

상기 복수의 맵 테이블 각각은,

복수의 L1 테이블 엔트리를 포함하는 L1 테이블 및 하나 이상의 L2 테이블을 포함하고,

상기 하나 이상의 L2 테이블 각각은,

상기 복수의 맵 엔트리 중 일부를 포함하며 상기 복수의 L1 테이블 엔트리 중 하나에 대응하는 메모리

컨트롤러.

청구항 15

제14항에 있어서,

상기 제어 회로는,

상기 복수의 맵 테이블 각각의 상기 L1 테이블에 포함된 모든 L1 테이블 엔트리를 맵 캐시에 캐싱하는 메모리 컨트롤러.

청구항 16

제14항에 있어서,

상기 제어 회로는,

타깃 논리 주소에 대응하는 타깃 물리 주소의 매핑 정보가 상기 제1 맵 테이블에 포함되고, 상기 매핑 정보를 포함하는 L2 테이블에 대응하는 L1 테이블 엔트리가 맵 캐시에 캐싱되지 않은 경우,

상기 타깃 논리 주소에 대응하는 상기 매핑 정보를, 상기 맵 캐시에 포함된 맵 캐시 엔트리들 중에서 상기 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리 및 상기 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에서 탐색하는 메모리 컨트롤러.

청구항 17

메모리 장치를 제어하는 메모리 컨트롤러의 동작 방법에 있어서,

상기 메모리 장치는, 다수의 메모리 블록을 포함하며, 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함하는 제1 맵 테이블 및 제2 맵 테이블을 저장하고,

상기 제2 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기는, 상기 제1 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N배(N은 2 이상의 자연수)이고,

상기 제1 맵 테이블에 포함된 맵 엔트리 중에서, 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하는지 여부를 판단하는 단계; 및

상기 N개의 맵 엔트리가 존재하면, 상기 N개의 맵 엔트리에 대응하도록 상기 서로 연속인 N개의 물리 주소 영역 들 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 상기 제2 맵 테이블에 추가하는 단계를 포함하는 메모리 컨트롤러의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 메모리 시스템, 메모리 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 저장 장치에 해당하는 메모리 시스템은 컴퓨터와, 스마트 폰, 태블릿 등의 모바일 단말, 또는 각종 전자 기기와 같은 호스트(host)의 요청을 기초로 데이터를 저장하는 장치이다. 메모리 시스템은 하드 디스크 드라이브(HDD: Hard Disk Drive)와 같이 자기 디스크에 데이터를 저장하는 장치뿐 아니라, 솔리드 스테이트 드라이브(SSD: Solid State Drive), UFS(Universal Flash Storage) 장치, eMMC(embedded MMC) 장치 등과 같이 비휘발성 메모리에 데이터를 저장하는 장치 등을 포함할 수 있다.

- [0003] 메모리 시스템은 메모리 장치를 제어하기 위한 메모리 컨트롤러를 더 포함할 수 있으며, 이러한 메모리 컨트롤러는, 부팅 시 메모리 컨트롤러의 제반 동작을 제어하고 논리 연산을 수행하기 위한 펌웨어를 구동할 수 있다.
- [0004] 메모리 시스템은 호스트가 제공한 논리 주소를 물리 주소로 변환하는 기능을 제공하기 위해 맵 테이블을 사용한다. 그리고 메모리 시스템은 맵 테이블을 빠르게 액세스하기 위해 맵 테이블의 일부를 맵 캐시에 캐싱한다.
- [0005] 한편, 메모리 시스템의 데이터 저장 용량이 증가하면서, 맵 테이블의 크기 또한 증가하고, 맵 캐시의 크기 또한 증가하고 있다. 따라서, 맵 테이블 및 맵 캐시를 관리하기 위한 비용이 계속 증가하는 실정이다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 실시예들은, 맵 테이블을 저장하기 위한 저장 용량을 줄일 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공한다.
- [0007] 또한, 본 발명의 실시예들은, 맵 캐시가 캐싱 가능한 주소 영역의 크기를 증가시킬 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공한다.
- [0008] 또한, 본 발명의 실시예들은, 논리 주소와 물리 주소 간의 매핑 정보를 효율적으로 캐싱하여 리드/프로그램 성능을 향상시킬 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공한다.

과제의 해결 수단

- [0009] 일 측면에서, 본 발명의 실시예들에서 설명하는 메모리 시스템은, 다수의 메모리 블록을 포함하는 메모리 장치 및 메모리 장치를 제어하는 메모리 컨트롤러를 포함할 수 있다.
- [0010] 메모리 장치는, 복수의 맵 테이블을 저장하고, 복수의 맵 테이블은 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 제1 맵 테이블 및 제2 맵 테이블을 포함할 수 있다.
- [0011] 복수의 맵 테이블 각각은, 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함할 수 있다.
- [0012] 제2 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기는, 제1 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N배(N은 2 이상의 자연수)일 수 있다.
- [0013] 메모리 컨트롤러는, 제1 맵 테이블에 포함된 맵 엔트리 중에서 서로 연속인 N개의 물리 주소 영역에 각각 대응하는 N개의 맵 엔트리가 존재하는 경우, 전술한 N개의 맵 엔트리에 대응하도록 서로 연속인 N개의 물리 주소 영역 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 제2 맵 테이블에 추가할 수 있다.
- [0014] 이후 메모리 컨트롤러는 전술한 N개의 맵 엔트리를 제1 맵 테이블에서 삭제할 수 있다.
- [0015] 메모리 컨트롤러는 제1 맵 테이블에 포함된 맵 엔트리를 제1 맵 쓰기 세그먼트 단위로 업데이트하고, 제2 맵 테이블에 포함된 맵 엔트리를 제2 맵 쓰기 세그먼트 단위로 업데이트할 수 있다.
- [0016] 메모리 컨트롤러는 제1 맵 테이블 또는 제2 맵 테이블에 포함된 맵 엔트리의 일부를 맵 캐시에 로드할 수 있다. 이때, 제1 맵 테이블에 포함된 맵 엔트리의 일부는 제1 맵 읽기 세그먼트 단위로 맵 캐시에 로드되고, 제2 맵 테이블에 포함된 맵 엔트리의 일부는 제2 맵 읽기 세그먼트 단위로 맵 캐시에 로드될 수 있다.
- [0017] 메모리 컨트롤러는 타깃 논리 주소에 대응하는 매핑 정보를 맵 캐시에서 탐색하는 경우, 타깃 논리 주소에 대응하는 맵 테이블을 지시하는 타깃 맵 테이블 지시 정보를 기초로, 복수의 맵 테이블 중 타깃 논리 주소에 대응하는 맵 테이블인 타깃 맵 테이블을 결정할 수 있다. 그리고 메모리 컨트롤러는 맵 캐시에 포함되는 맵 캐시 엔트리들 중 타깃 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에서 타깃 물리 주소의 매핑 정보를 탐색할 수 있다.
- [0018] 타깃 맵 테이블 지시 정보는, 타깃 논리 주소에 대응하는 비트맵으로 저장될 수 있다.
- [0019] 메모리 컨트롤러는, 타깃 논리 주소와 타깃 논리 주소에 대응하는 매핑 정보에 포함된 시작 논리 주소 간의 오프셋을 기초로, 타깃 논리 주소에 대응하는 타깃 물리 주소를 결정할 수 있다.
- [0020] 복수의 맵 테이블 각각은, 복수의 L1 테이블 엔트리를 포함하는 L1 테이블 및 하나 이상의 L2 테이블을 포함하

고, 하나 이상의 L2 테이블 각각은 복수의 맵 엔트리 중 일부를 포함하며 복수의 L1 테이블 엔트리 중 하나에 대응될 수 있다.

- [0021] 메모리 컨트롤러는, 복수의 맵 테이블 각각의 L1 테이블에 포함된 모든 L1 테이블 엔트리를 맵 캐시에 캐싱할 수 있다.
- [0022] 메모리 컨트롤러는, 타깃 논리 주소에 대응하는 타깃 물리 주소의 매핑 정보가 제1 맵 테이블에 포함되고 매핑 정보를 포함하는 L2 테이블에 대응하는 L1 테이블 엔트리가 캐싱되지 않은 경우, 매핑 정보를 맵 캐시에 포함된 맵 캐시 엔트리 중 상기 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리 및 상기 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에서 탐색할 수 있다.
- [0023] 이때, 메모리 컨트롤러는 맵 캐시에 포함된 맵 캐시 엔트리 중에서, 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리를 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리보다 높은 우선 순위로 탐색할 수 있다.
- [0024] 다른 측면에서, 본 발명의 실시예들에서 설명하는 메모리 컨트롤러는, 다수의 메모리 블록을 포함하고, 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함하는 제1 맵 테이블 및 제2 맵 테이블을 포함하는 복수의 맵 테이블을 저장하는 메모리 장치와 통신하기 위한 메모리 인터페이스, 복수의 맵 테이블에 포함된 맵 엔트리 중 일부를 캐싱하는 맵 캐시를 저장하는 워킹 메모리 및 메모리 장치를 제어하기 위한 제어 회로를 포함할 수 있다.
- [0025] 제2 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는, 제1 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N배(N은 2 이상의 자연수)일 수 있다.
- [0026] 제어 회로는, 제1 맵 테이블에 포함된 엔트리 중에서, 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하는 경우, 전술한 N개의 맵 엔트리에 대응하도록 서로 연속인 N개의 물리 주소 영역 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 제2 맵 테이블에 추가할 수 있다.
- [0027] 제어 회로는 제1 맵 테이블 및 상기 제2 맵 테이블에 포함된 맵 엔트리의 일부를 맵 캐시에 로드할 수 있다.
- [0028] 그리고 제어 회로는 타깃 논리 주소에 대응하는 타깃 물리 주소의 매핑 정보를 맵 캐시에서 탐색하는 경우, 타깃 논리 주소에 대응하는 맵 테이블을 지시하는 타깃 맵 테이블 지시 정보를 기초로, 타깃 논리 주소에 대응하는 맵 테이블인 타깃 맵 테이블을 결정할 수 있다.
- [0029] 그리고 제어 회로는, 맵 캐시의 맵 캐시 엔트리들 중 상기 타깃 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에서 타깃 논리 주소에 대한 매핑 정보를 탐색할 수 있다.
- [0030] 복수의 맵 테이블 각각은, 복수의 L1 테이블 엔트리를 포함하는 L1 테이블 및 하나 이상의 L2 테이블을 포함하고, 하나 이상의 L2 테이블 각각은 복수의 맵 엔트리 중 일부를 포함하며, 복수의 L1 테이블 엔트리 중 하나에 대응할 수 있다.
- [0031] 제어 회로는, 복수의 맵 테이블 각각의 L1 테이블에 포함된 모든 L1 테이블 엔트리를 맵 캐시에 캐싱할 수 있다.
- [0032] 제어 회로는, 타깃 논리 주소에 대응하는 타깃 물리 주소의 매핑 정보가 제1 맵 테이블에 포함되고, 매핑 정보를 포함하는 L2 테이블에 대응하는 L1 테이블 엔트리가 맵 캐시에 캐싱되지 않은 경우, 맵 캐시에 포함된 맵 캐시 엔트리들 중에서 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리 및 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에서 탐색할 수 있다.
- [0033] 또 다른 측면에서, 본 발명의 실시예들에서 설명하는 메모리 장치를 제어하는 메모리 컨트롤러의 동작 방법은, 제1 맵 테이블에 포함된 맵 엔트리 중에서, 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하는지 여부를 판단하는 단계를 포함할 수 있다.
- [0034] 이때, 메모리 장치는 다수의 메모리 블록을 포함하며, 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함하는 제1 맵 테이블 및 제2 맵 테이블을 저장할 수 있다.
- [0035] 그리고 제2 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기는, 제1 맵 테이블에 포함된 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N배(N은 2 이상의 자연수)일 수 있다.
- [0036] 메모리 컨트롤러의 동작 방법은, 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하면, 서로 연

속인 N개의 물리 주소 영역들 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 제2 맵 테이블에 추가하는 단계를 포함할 수 있다.

발명의 효과

- [0037] 본 발명의 실시예들은, 맵 테이블을 저장하기 위한 저장 용량을 줄일 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공할 수 있다.
- [0038] 또한, 본 발명의 실시예들은, 맵 캐시가 캐싱 가능한 주소 영역의 크기를 증가시킬 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공할 수 있다.
- [0039] 또한, 본 발명의 실시예들은, 논리 주소와 물리 주소 간의 매핑 정보를 효율적으로 캐싱하여 리드/프로그램 성능을 향상시킬 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공할 수 있다.

도면의 간단한 설명

- [0040] 도 1은 본 발명의 실시예들에 따른 메모리 시스템을 개략적으로 나타낸 블록도이다.
- 도 2는 본 발명의 실시예들에 따른 메모리 장치를 개략적으로 나타낸 블록도이다.
- 도 3은 본 발명의 실시예들에 따른 맵 테이블의 구조의 일 예를 나타낸 도면이다.
- 도 4는 본 발명의 실시예들에 따른 제1 맵 테이블에서 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하는 일 예를 나타낸 도면이다.
- 도 5는 도 4의 서로 연속인 N개의 물리 주소 영역들 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 제2 맵 테이블에 추가하는 일 예를 나타낸 도면이다.
- 도 6은 도 4 내지 도 5에서 설명한 동작을 실행하는 방법에 대한 흐름도이다.
- 도 7은 본 발명의 실시예들에 따른 맵 엔트리를 맵 캐시에 로드하는 일 예를 나타낸 도면이다.
- 도 8은 본 발명의 실시예들에 따른 맵 캐시에서 매핑 정보를 탐색하는 일 예를 나타낸 도면이다.
- 도 9는 본 발명의 실시예들에 따른 맵 캐시에서 매핑 정보를 탐색하는 다른 예를 나타낸 도면이다.
- 도 10은 본 발명의 실시예들에 따른 맵 캐시에서 탐색된 매핑 정보를 기초로 타깃 논리 주소에 대한 물리 주소를 결정하는 일 예를 나타낸 도면이다.
- 도 11은 도 7 내지 도 10에서 설명한 동작을 실행하는 방법에 대한 흐름도이다.
- 도 12는 본 발명의 실시예들에 따른 맵 테이블의 구조의 다른 예를 나타낸 도면이다.
- 도 13은 도 12의 맵 테이블에 포함된 L1 테이블이 풀-캐싱(full-caching)된 경우에, 맵 캐시에서 매핑 정보를 탐색하는 일 예를 나타낸 도면이다.
- 도 14는 도 12의 맵 테이블에 포함된 L1 테이블이 부분-캐싱(partial-caching)된 경우에, 맵 캐시에서 매핑 정보를 탐색하는 일 예를 나타낸 도면이다.
- 도 15는 도 13 내지 도 14에서 설명한 동작을 실행하는 방법에 대한 흐름도이다.
- 도 16은 본 발명의 실시예들에 따른 메모리 컨트롤러의 동작 방법을 나타낸 흐름도이다.
- 도 17은 본 발명의 실시예들에 따른 컴퓨팅 시스템을 개략적으로 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0041] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0042] 또한, 본 발명의 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로

로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.

- [0043] 또한, 본 발명의 실시예들에서의 구성 요소들을 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석되어야 할 것이다.
- [0044] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0045] 또한, 본 발명의 실시예들에서의 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것일 뿐이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.
- [0046] 또한, 본 발명의 실시예들에서의 특징들(구성들)이 부분적으로 또는 전체적으로 서로 결합 또는 조합 또는 분리 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예는 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0047] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
- [0048] 도 1은 본 발명의 실시예들에 따른 메모리 시스템(100)을 개략적으로 나타낸 블록도이다.
- [0049] 도 1을 참조하면, 본 발명의 실시예들에 따른 메모리 시스템(100)은 데이터를 저장하는 메모리 장치(110)와, 메모리 장치(110)를 제어하는 메모리 컨트롤러(120) 등을 포함할 수 있다.
- [0050] 메모리 장치(110)는 다수의 메모리 블록을 포함하며, 메모리 컨트롤러(120)의 제어에 응답하여 동작한다. 여기서, 메모리 장치(110)의 동작은 일 예로, 리드 동작(Read Operation), 프로그램 동작(Program Operation, Write Operation이라고도 함) 및 소거 동작(Erase Operation) 등을 포함할 수 있다.
- [0051] 메모리 장치(110)는 데이터를 저장하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이를 포함할 수 있다. 이러한 메모리 셀 어레이는 메모리 블록 내에 존재할 수 있다.
- [0052] 예를 들어, 메모리 장치(110)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory), 낸드 플래시 메모리(NAND Flash Memory), 수직형 낸드 플래시 메모리(Vertical NAND), 노아 플래시 메모리(NOR Flash memory), 저항성 램(Resistive Random Access Memory: RRAM), 상변화 메모리(Phase-Change Memory: PRAM), 자기저항 메모리(Magnetoresistive Random Access Memory: MRAM), 강유전체 메모리(Ferroelectric Random Access Memory: FRAM), 스핀주입 자화반전 메모리(Spin Transfer Torque Random Access Memory: STT-RAM) 등으로 구현될 수 있다.
- [0053] 한편, 메모리 장치(110)는 3차원 어레이 구조(three-dimensional array structure)로 구현될 수 있다. 본 발명의 실시예들은 전하 저장층이 전도성 부유 게이트(Floating Gate)로 구성된 플래시 메모리 장치는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(Charge Trap Flash; CTF)에도 적용될 수 있다.
- [0054] 메모리 장치(110)는 메모리 컨트롤러(120)로부터 커맨드 및 어드레스를 수신하고, 메모리 셀 어레이 중 어드레스에 의해 선택된 영역을 액세스하도록 구성된다. 즉, 메모리 장치(110)는 어드레스에 의해 선택된 영역에 대해 커맨드에 해당하는 동작을 수행할 수 있다.
- [0055] 예를 들면, 메모리 장치(110)는 프로그램 동작, 리드 동작 및 소거 동작 등을 실행할 수 있다. 이와 관련하여, 프로그램 동작 시, 메모리 장치(110)는 어드레스에 의해 선택된 영역에 데이터를 프로그램할 것이다. 리드 동작

시, 메모리 장치(110)는 어드레스에 의해 선택된 영역으로부터 데이터를 리드할 것이다. 소거 동작 시, 메모리 장치(110)는 어드레스에 의해 선택된 영역에 저장된 데이터를 소거할 것이다.

- [0056] 메모리 컨트롤러(120)는 호스트(50)의 요청에 따라 또는 호스트(50)의 요청과 무관하게 메모리 장치(110)의 동작을 제어할 수 있다.
- [0057] 예를 들면, 메모리 컨트롤러(120)는 메모리 장치(110)에 대한 라이트(프로그램), 리드, 소거 및 백그라운드(background) 동작을 제어할 수 있다. 여기서, 백그라운드 동작은 일 예로 가비지 컬렉션(GC, Garbage Collection), 웨어 레벨링(WL, Wear Leveling), 배드 블록 관리(BBM, Bad Block Management) 동작 등이 될 수 있다.
- [0058] 도 1을 참조하면, 메모리 컨트롤러(120)는 호스트 인터페이스(121), 메모리 인터페이스(122), 제어 회로(123) 등을 포함할 수 있다.
- [0059] 호스트 인터페이스(121)는 호스트(50)와의 통신을 위한 인터페이스를 제공한다. 제어 회로(123)는 호스트(50)로부터 커맨드를 수신할 때, 호스트 인터페이스(121)를 통해서 커맨드를 수신하여, 수신된 커맨드를 처리하는 동작을 실행할 수 있다.
- [0060] 메모리 인터페이스(122)는, 메모리 장치(110)와 연결되어 메모리 장치(110)와의 통신을 위한 인터페이스를 제공한다. 즉, 메모리 인터페이스(122)는 제어 회로(123)의 제어에 응답하여 메모리 장치(110)와 메모리 컨트롤러(120)를 인터페이스를 제공하도록 구성될 수 있다.
- [0061] 제어 회로(123)는 메모리 컨트롤러(120)의 전반적인 제어 동작을 실행하여 메모리 장치(110)의 동작을 제어할 수 있다. 이를 위해, 일 예로, 제어 회로(123)는 프로세서(124), 워킹 메모리(125) 등 중 하나 이상을 포함할 수 있으며, 경우에 따라서, 에러 검출 및 정정 회로(ECC Circuit, 126) 등을 더 포함할 수 있다.
- [0062] 프로세서(124)는 메모리 컨트롤러(120)의 제반 동작을 제어하고, 논리 연산을 실행할 수 있다. 프로세서(124)는 호스트 인터페이스(121)를 통해 호스트(50)와 통신하고, 메모리 인터페이스(122)를 통해 메모리 장치(110)와 통신할 수 있다.
- [0063] 프로세서(124)는 플래시 변환 레이어(FTL: Flash Translation Layer)의 기능을 실행할 수 있다. 프로세서(124)는 플래시 변환 계층(FTL)을 통해 호스트가 제공한 논리 블록 주소(LBA, logical block address)를 물리 블록 주소(PBA, physical block address)로 변환할 수 있다. 플래시 변환 계층(FTL)은 맵 테이블을 이용하여 논리 블록 주소(LBA)를 입력 받아, 물리 블록 주소(PBA)로 변환시킬 수 있다.
- [0064] 플래시 변환 계층의 주소 맵핑 방법에는 맵핑 단위에 따라 여러 가지가 있다. 대표적인 어드레스 맵핑 방법에는 페이지 맵핑 방법(Page mapping method), 블록 맵핑 방법(Block mapping method), 그리고 혼합 맵핑 방법(Hybrid mapping method)이 있다.
- [0065] 프로세서(124)는 호스트(50)로부터 수신된 데이터를 랜더마이즈하도록 구성된다. 예를 들면, 프로세서(124)는 랜더마이즈 시드(seed)를 이용하여 호스트로부터 수신된 데이터를 랜더마이즈할 것이다. 랜더마이즈된 데이터는 저장될 데이터로서 메모리 장치(110)에 제공되어 메모리 셀 어레이에 프로그램된다.
- [0066] 프로세서(124)는 리드 동작 시 메모리 장치로부터 수신된 데이터를 디랜더마이즈하도록 구성된다. 예를 들면, 프로세서(124)는 디랜더마이즈 시드를 이용하여 메모리 장치(110)로부터 수신된 데이터를 디랜더마이즈할 것이다. 디랜더마이즈된 데이터는 호스트(50)로 출력될 것이다.
- [0067] 프로세서(124)는 펌웨어(FW, FirmWare)를 실행하여 메모리 컨트롤러(120)의 동작을 제어할 수 있다. 다시 말해, 프로세서(124)는, 메모리 컨트롤러(120)의 제반 동작을 제어하고, 논리 연산을 실행하기 위하여, 부팅 시 워킹 메모리(125)에 로딩된 펌웨어를 실행(구동)할 수 있다. 일 예로, 펌웨어는 메모리 장치(110)에 저장되어 있다가 워킹 메모리(125)에 로딩 될 수 있다.
- [0068] 펌웨어(FirmWare)는 메모리 시스템(100) 내에서 실행되는 프로그램으로서, 일 예로, 호스트(50)에서 메모리 시스템(100)에 요구하는 논리 주소(Logical Address)와 메모리 장치(110)의 물리주소(Physical Address) 간의 변환 기능을 하는 플래시 변환 레이어(FTL: Flash Translation Layer), 호스트(50)에서 저장 장치인 메모리 시스템(100)에 요구하는 커맨드를 해석하여 플래시 변환 레이어(FTL)에 전달하는 역할을 하는 호스트 인터페이스 레이어(HIL: Host Interface Layer), 플래시 변환 레이어(FTL)에서 지시하는 커맨드를 메모리 장치(110)로 전달하는 플래시 인터페이스 레이어(FIL: Flash Interface Layer) 등을 포함할 수 있다.

- [0069] 워킹 메모리(125)는 메모리 컨트롤러(120)를 구동하기 위해 필요한 펌웨어, 프로그램 코드, 커맨드 또는 데이터들을 저장할 수 있다.
- [0070] 이러한 워킹 메모리(125)는, 일 예로, 휘발성 메모리로서, SRAM (Static RAM), DRAM (Dynamic RAM) 및 SDRAM(Synchronous DRAM) 등 중 하나 이상을 포함할 수 있다.
- [0071] 에러 검출 및 정정 회로(126)는 에러 정정 코드(Error Correction Code)를 이용하여 워킹 메모리(125)에 저장된 데이터(즉, 메모리 장치(110)로부터 전달된 리드 데이터)의 에러 비트를 검출하고, 검출된 에러 비트를 정정하도록 구성될 수 있다.
- [0072] 에러 검출 및 정정 회로(126)는 에러 정정 코드로 데이터를 디코딩하도록 구현될 수 있다. 에러 검출 및 정정 회로(126)는 다양한 코드 디코더로 구현될 수 있다. 예를 들어, 비체계적 코드 디코딩을 실행하는 디코더 또는 체계적 코드 디코딩을 실행하는 디코더가 이용될 수 있다.
- [0073] 예를 들면, 에러 검출 및 정정 회로(126)는 리드 데이터들 각각에 대해 섹터 단위로 에러 비트를 검출할 수 있다. 즉, 각각의 리드 데이터는 복수의 섹터(sector)로 구성될 수 있다. 섹터(sector)는 플래시 메모리의 리드 단위인 페이지(page)보다 더 작은 데이터 단위를 의미할 수 있다. 각각의 리드 데이터를 구성하는 섹터들은 어드레스를 매개로 서로 대응될 수 있다.
- [0074] 에러 검출 및 정정 회로(126)는 비트 에러율(Bit Error Rate, BER)을 산출하고, 섹터 단위로 정정 가능 여부를 판단할 수 있다. 에러 검출 및 정정 회로(126)는 예를 들어, 비트 에러율(BER)이 기준값(reference value)보다 높은 경우 해당 섹터를 정정 불가능(Uncorrectable or Fail)으로 판단할 것이다. 반면에, 비트 에러율(BER)이 기준값보다 낮은 경우 에러 검출 및 정정 회로(126)는 해당 섹터를 정정 가능(Correctable or Pass)으로 판단할 것이다.
- [0075] 에러 검출 및 정정 회로(126)는 모든 리드 데이터들에 대해 순차적으로 에러 검출 및 정정 동작을 실행할 수 있다. 에러 검출 및 정정 회로(126)는 리드 데이터에 포함된 섹터가 정정 가능한 경우 다음 리드 데이터에 대해서는 해당 섹터에 대한 에러 검출 및 정정 동작을 생략할 수 있다. 이렇게 모든 리드 데이터들에 대한 에러 검출 및 정정 동작이 종료되면, 에러 검출 및 정정 회로(126)는 마지막까지 정정 불가능으로 판단된 섹터를 검출할 수 있다. 정정 불가능한 것으로 판단된 섹터는 하나 또는 그 이상일 수 있다. 에러 검출 및 정정 회로(126)는 정정 불가능으로 판단된 섹터에 대한 정보(ex. 어드레스 정보)를 프로세서(124)로 전달할 수 있다.
- [0076] 버스(127)는 메모리 컨트롤러(120)의 구성 요소들(121, 122, 124, 125, 126) 사이의 채널을 제공하도록 구성될 수 있다. 이러한 버스(127)는, 일 예로, 각종 제어 신호, 커맨드 등을 전달하기 위한 제어 버스와, 각종 데이터를 전달하기 위한 데이터 버스 등을 포함할 수 있다.
- [0077] 메모리 컨트롤러(120)의 전술한 구성 요소들(121, 122, 124, 125, 126)은 예시일 뿐, 위에서 언급된 구성 요소들(121, 122, 124, 125, 126) 중 일부의 구성 요소는 삭제되거나, 위에서 언급된 구성 요소들(121, 122, 124, 125, 126) 중 몇몇 구성 요소들이 하나로 통합되거나, 하나 이상의 구성 요소가 추가될 수도 있다.
- [0078] 한편, 메모리 시스템(100)은 호스트(50)의 외부에 존재하는 모듈이거나 호스트(50)의 내부에 포함된 모듈일 수 있다.
- [0079] 아래에서는, 도 2를 참조하며 메모리 장치(110)에 대하여 더욱 상세하게 설명한다.
- [0080] 도 2는 본 발명의 실시예들에 따른 메모리 장치(110)를 개략적으로 나타낸 블록도이다.
- [0081] 도 2를 참조하면, 본 발명의 실시예들에 따른 메모리 장치(110)는, 메모리 셀 어레이(Memory Cell Array, 210), 어드레스 디코더(Address Decoder, 220), 리드 앤 라이트 회로(Read and Write Circuit, 230), 제어 로직(Control Logic, 240) 및 전압 생성 회로(Voltage Generation Circuit, 250) 등을 포함할 수 있다.
- [0082] 메모리 셀 어레이(210)는 다수의 메모리 블록(BLK1~BLKz, z는 2 이상의 자연수)을 포함할 수 있다.
- [0083] 다수의 메모리 블록(BLK1~BLKz)에는, 다수의 워드 라인(WL)과 다수의 비트 라인(BL)이 배치되며 다수의 메모리 셀(MC)이 배열될 수 있다.
- [0084] 다수의 메모리 블록(BLK1~BLKz)은 다수의 워드 라인(WL)을 통해 어드레스 디코더(220)에 연결될 수 있다. 다수의 메모리 블록(BLK1~BLKz)은 다수의 비트 라인(BL)을 통해 리드 앤 라이트 회로(230)에 연결될 수 있다.
- [0085] 다수의 메모리 블록(BLK1~BLKz) 각각은 다수의 메모리 셀을 포함할 수 있다. 예를 들어, 다수의 메모리 셀은 불

휘발성 메모리 셀들이며, 수직 채널 구조를 갖는 불휘발성 메모리 셀들로 구성될 수 있다. 메모리 셀 어레이(210)는 2차원 구조의 메모리 셀 어레이로 구성될 수 있으며, 경우에 따라서는, 3차원 구조의 메모리 셀 어레이로 구성될 수도 있다.

- [0086] 한편, 메모리 셀 어레이에 포함되는 복수의 메모리 셀 각각은 적어도 1비트의 데이터를 저장할 수 있다. 일 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 1비트의 데이터를 저장하는 싱글-레벨 셀(SLC: Single-Level Cell)일 수 있다. 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 2비트의 데이터를 저장하는 멀티-레벨 셀(MLC: Multi-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 3비트의 데이터를 저장하는 트리플-레벨 셀(TLC: Triple-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 4비트의 데이터를 저장하는 쿼드-레벨 셀(QLC: Quad-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)는 5비트 이상의 데이터를 각각 저장하는 복수의 메모리 셀을 포함할 수도 있다.
- [0087] 한편, 도 1에서 설명한 펌웨어는 전술한 다수의 메모리 블록 중 적어도 하나에 저장될 수 있다. 또한, 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 맵 테이블 역시 전술한 다수의 메모리 블록 중 적어도 하나에 저장될 수 있다.
- [0088] 도 2를 참조하면, 어드레스 디코더(220), 리드 앤 라이트 회로(230), 제어 로직(240) 및 전압 생성 회로(250) 등은 메모리 셀 어레이(210)를 구동하는 주변 회로로서 동작할 수 있다.
- [0089] 어드레스 디코더(220)는 다수의 워드 라인(WL)을 통해 메모리 셀 어레이(210)에 연결될 수 있다. 어드레스 디코더(220)는 제어 로직(240)의 제어에 응답하여 동작하도록 구성될 수 있다. 어드레스 디코더(220)는 메모리 장치(110) 내부의 입출력 버퍼를 통해 어드레스(Address)를 수신할 수 있다.
- [0090] 어드레스 디코더(220)는 수신된 어드레스 중 블록 주소(Block Address)를 디코딩 하도록 구성될 수 있다. 어드레스 디코더(220)는 디코딩된 블록 주소에 따라 적어도 하나의 메모리 블록을 선택할 수 있다. 또한 어드레스 디코더(220)는 리드 동작 중 리드 전압 인가 동작 시 선택된 메모리 블록 중 선택된 워드 라인에 전압 생성 회로(250)에서 발생된 리드 전압(Vread)를 선택된 워드 라인에 인가하고, 나머지 비 선택된 워드 라인들에는 패스 전압(Vpass)을 인가할 수 있다. 또한 프로그램 검증 동작 시에는 선택된 메모리 블록 중 선택된 워드 라인에 전압 생성 회로(250)에서 발생된 검증 전압을 선택된 워드 라인에 인가하고, 나머지 비 선택된 워드 라인들에는 패스 전압(Vpass)을 인가할 수 있다.
- [0091] 어드레스 디코더(220)는 수신된 어드레스 중 열 어드레스를 디코딩 하도록 구성될 수 있다. 어드레스 디코더(220)는 디코딩 된 열 어드레스를 리드 앤 라이트 회로(230)에 전송할 수 있다.
- [0092] 메모리 장치(110)의 리드 동작 및 프로그램 동작은 페이지 단위로 수행될 수 있다. 리드 동작 및 프로그램 동작 요청 시에 수신되는 어드레스는 블록 주소, 행 어드레스 및 열 어드레스를 포함할 수 있다.
- [0093] 어드레스 디코더(220)는 블록 주소 및 행 어드레스에 따라 하나의 메모리 블록 및 하나의 워드 라인을 선택할 수 있다. 열 어드레스는 어드레스 디코더(220)에 의해 디코딩되어 리드 앤 라이트 회로(230)에 제공될 수 있다.
- [0094] 어드레스 디코더(220)는 블록 디코더, 행 디코더, 열 디코더 및 어드레스 버퍼 등 중 하나 이상을 포함할 수 있다.
- [0095] 리드 앤 라이트 회로(230)는 다수의 페이지 버퍼(PB)를 포함할 수 있다. 리드 앤 라이트 회로(230)는 메모리 셀 어레이(210)의 리드 동작(Read Operation) 시에는 "리드 회로(read circuit)"로 동작하고, 라이트 동작(Write Operation) 시에는 "라이트 회로(write circuit)"로 동작할 수 있다.
- [0096] 전술한 리드 앤 라이트 회로(230)는 페이지 버퍼 회로(Page Buffer Circuit) 또는 데이터 레지스터 회로(Data Register Circuit)를 포함할 수 있다. 예를 들어, 데이터 레지스터 회로는 데이터 처리 기능을 담당하는 데이터 버퍼(Data Buffer)를 포함할 수 있고, 경우에 따라서, 캐싱 기능을 담당하는 캐쉬 버퍼(Cache Buffer)를 추가로 더 포함할 수 있다.
- [0097] 다수의 페이지 버퍼(PB)는 다수의 비트 라인(BL)을 통해 메모리 셀 어레이(210)에 연결될 수 있다. 다수의 페이지 버퍼(PB)는 리드 동작 및 프로그램 검증 동작 시 메모리 셀들의 문턱전압(Vth)을 센싱하기 위하여 메모리 셀들과 연결된 비트라인들에 센싱 전류를 계속적으로 공급하면서 대응하는 메모리 셀의 프로그램 상태에 따라 흐르는 전류량이 변화되는 것 센싱 노드를 통해 감지하여 센싱 데이터로 래치할 수 있다. 리드 앤 라이트 회로

(230)는 제어 로직(240)에서 출력되는 페이지 버퍼 제어 신호들에 응답하여 동작할 수 있다.

- [0098] 리드 앤 라이트 회로(230)는 리드 동작시 메모리 셀의 데이터를 센싱하여 독출 데이터를 임시 저장한 후 메모리 장치(110)의 입출력 버퍼로 데이터(DATA)를 출력한다. 예시적인 실시 예로서, 리드 앤 라이트 회로(230)는 페이지 버퍼들(또는 페이지 레지스터들) 이외에도 열 선택 회로 등을 포함할 수 있다.
- [0099] 제어 로직(240)은 어드레스 디코더(220), 리드 앤 라이트 회로(230), 및 전압 생성 회로(250) 등과 연결될 수 있다. 제어 로직(240)은 메모리 장치(110)의 입출력 버퍼를 통해 커맨드(CMD) 및 제어 신호(CTRL)를 수신할 수 있다.
- [0100] 제어 로직(240)은 제어 신호(CTRL)에 응답하여 메모리 장치(110)의 제반 동작을 제어하도록 구성될 수 있다. 또한 제어 로직(240)은 다수의 페이지 버퍼(PB)의 센싱 노드 프리차지 전위 레벨을 조절하기 위한 제어 신호를 출력할 수 있다.
- [0101] 제어 로직(240)은 메모리 셀 어레이(210)의 리드 동작을 수행하도록 리드 앤 라이트 회로(230)를 제어할 수 있다.
- [0102] 전압 생성 회로(250)는 제어 로직(240)에서 출력되는 전압 생성 회로 제어 신호에 응답하여 리드 동작 시 리드 전압(Vread) 및 패스 전압(Vpass)을 생성할 수 있다.
- [0103] 도 3은 본 발명의 실시예들에 따른 맵 테이블의 구조의 일 예를 나타낸 도면이다.
- [0104] 본 발명의 실시예들에서, 메모리 장치(110)는 복수의 맵 테이블을 저장할 수 있다.
- [0105] 복수의 맵 테이블 각각은, 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함할 수 있다.
- [0106] 논리 주소와 물리 주소 간의 매핑 정보는, 논리 주소 영역과 해당 논리 주소 영역에 매핑되는 물리 주소 영역의 정보를 지시한다. 이때, 논리 주소 영역과 해당 논리 주소 영역에 매핑되는 물리 주소 영역의 크기는 동일하게 결정될 수 있다.
- [0107] 맵 테이블에 포함되는 맵 엔트리는 시작 논리 주소 및 시작 물리 주소의 정보를 포함할 수 있다. 그리고 맵 엔트리의 매핑 정보에 대응하는 논리 주소 영역의 크기 및 물리 주소 영역의 크기는 맵 엔트리마다 미리 설정된 값(e.g. 4KB)일 수 있다. 이때, 논리 주소 영역의 크기 및 물리 주소 영역의 최소 크기는 페이지 사이즈(e.g. 4KB 또는 8KB)일 수 있다.
- [0108] 맵 엔트리의 매핑 정보에 대응하는 논리 주소 영역은, 시작 논리 주소 및 해당 맵 엔트리가 지시 가능한 논리 주소 영역의 크기에 의해 결정될 수 있다. 그리고 맵 엔트리의 매핑 정보에 대응하는 물리 주소 영역은, 시작 물리 주소 및 물리 주소 영역의 크기에 의해 결정될 수 있다.
- [0109] 일 예로, 맵 엔트리가 지시하는 시작 논리 주소가 0이고, 시작 물리 주소가 100이고, 맵 엔트리의 매핑 정보에 대응하는 논리 주소 영역 및 물리 주소 영역의 크기가 4KB라고 가정한다.
- [0110] 이 경우, 해당 맵 엔트리는 논리 주소 0부터 시작하는 4KB 크기의 논리 주소 영역이, 물리 주소 100부터 시작하는 4KB 크기의 물리 주소 영역에 매핑된다는 정보를 지시한다.
- [0111] 다른 예로, 맵 엔트리가 지시하는 시작 논리 주소가 100이고, 시작 물리 주소가 300이고, 맵 엔트리의 매핑 정보에 대응하는 논리 주소 영역 및 물리 주소 영역의 크기가 4MB라고 가정한다.
- [0112] 이 경우, 해당 맵 엔트리는 논리 주소 100부터 시작하는 4MB 크기의 논리 주소 영역이, 물리 주소 300부터 시작하는 4MB 크기의 물리 주소 영역에 매핑된다는 정보를 지시한다.
- [0113] 도 3을 참조하면, 메모리 장치(110)에 저장된 복수의 맵 테이블은 제1 맵 테이블 및 제2 맵 테이블을 포함할 수 있다.
- [0114] 이때, 제1 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기와, 제2 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는 서로 다를 수 있다. 구체적으로 제2 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는 제1 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N배(N은 2 이상의 자연수)일 수 있다.
- [0115] 일 예로, 도 3에서, 제2 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는 4KB이고,

제2 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는 $2MB = 512 * 4KB$ 일 수 있다.

- [0116] 도 3과 같이 맵 테이블이 구성되는 경우, 제1 맵 테이블에 포함된 맵 엔트리는 4KB 크기의 물리 주소 영역에 대응하고, 제2 맵 테이블에 포함된 맵 엔트리는 2MB 크기의 물리 주소 영역에 대응될 수 있다.
- [0117] 따라서, 동일한 물리 주소 영역에 대응하는 매핑 정보를 저장하기 위해서, 제1 맵 테이블은 제2 맵 테이블보다 512배의 맵 엔트리가 필요하다. 즉, 제2 맵 테이블은 제1 맵 테이블보다 적은 맵 엔트리로 동일한 물리 주소 영역에 대응하는 매핑 정보를 효율적으로 저장할 수 있다.
- [0118] 단, 제2 맵 테이블에 매핑 정보를 저장하기 위해서는, 2MB의 연속된 논리 주소 영역이 2MB의 연속된 물리 주소 영역과 매핑되어야 한다는 조건이 있다. 이와 같이 2MB의 연속된 논리 주소 영역이 2MB의 연속된 물리 주소 영역과 매핑되는 경우는, 일 예로, 호스트가 서로 연속된 논리 주소의 데이터에 대한 순차(sequential) 쓰기를 메모리 시스템(100)에 요청할 때 발생할 수 있다.
- [0119] 따라서, 메모리 컨트롤러(120)는 우선 제1 맵 테이블의 맵 엔트리에 매핑 정보를 저장한다. 단, 메모리 컨트롤러(120)는 제1 맵 테이블에 포함된 맵 엔트리 중 서로 연속인 N개(N은 2 이상의 자연수)의 물리 주소 영역에 각각 대응하는 N개의 맵 엔트리가 존재하는 경우, N개의 물리 주소 영역 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 생성하여 제2 맵 테이블에 추가하고 전술한 N개의 맵 엔트리를 제1 맵 테이블에서 삭제할 수 있다.
- [0120] 이때, N개의 물리 주소 영역이 서로 연속이라는 것은 N개의 물리 주소 영역 모두를 합친 전체 물리 주소 영역을 하나의 (시작 물리 주소, 길이) 또는 하나의 (시작 물리 주소, 종료 물리 주소) 형태로 표현할 수 있다는 것을 의미한다.
- [0121] 예를 들어, 4개의 물리 주소 영역 100~101, 101~102, 102~103, 103~104가 있으면, 4개의 물리 주소 영역을 100~104로 표현할 수 있으므로 4개의 물리 주소 영역은 서로 연속이다.
- [0122] 반면, 4개의 물리 주소 영역 100~101, 101~103, 104~105, 105~106이 있으면, 103~104 영역은 4개의 물리 주소 영역 중 어디에도 속하지 않으므로 4개의 물리 주소 영역은 서로 연속이 아니다.
- [0123] 한편, 전술한 바와 같이 복수의 맵 테이블이 존재하는 경우, 하나의 타깃 논리 주소에 대응하는 매핑 정보를 탐색하기 위해서 복수의 맵 테이블 중 해당 매핑 정보를 지시하는 타깃 맵 테이블이 먼저 결정되어야 한다.
- [0124] 메모리 컨트롤러(120)는 타깃 논리 주소에 대응하는 맵 테이블을 지시하는 타깃 맵 테이블 지시 정보를 기초로, 타깃 논리 주소에 대응하는 맵 테이블인 타깃 맵 테이블을 결정할 수 있다.
- [0125] 타깃 맵 테이블 지시 정보는 타깃 논리 주소에 대응하는 맵 테이블을 지시한다.
- [0126] 타깃 맵 테이블 지시 정보는, 일 예로, 타깃 논리 주소 0에 대응하는 매핑 정보는 제1 맵 테이블에 저장되어 있다는 정보를 지시할 수 있다. 타깃 맵 테이블 지시 정보는, 다른 예로, 타깃 논리 주소 1000에 대응하는 매핑 정보는 제2 맵 테이블에 저장되어 있다는 정보를 지시할 수 있다.
- [0127] 타깃 맵 테이블 지시 정보는 다양한 포맷으로 구성될 수 있다.
- [0128] 일 예로, 타깃 맵 테이블 지시 정보는 타깃 논리 주소에 대응하는 비트맵일 수 있다. 메모리 컨트롤러(120)는 논리 주소에 대응하는 비트맵에서, 타깃 논리 주소에 대응하는 비트를 탐색하여 탐색된 비트의 값을 기초로 타깃 맵 테이블을 결정할 수 있다.
- [0129] 이하, 타깃 맵 테이블 지시 정보는 논리 주소 0~511로 표현되는 논리 주소 영역에 각각 대응하는 512개의 물리 주소 영역이 서로 연속인지 여부를 지시하는 비트맵 정보(e.g. 1이면 서로 연속, 0이면 서로 연속이 아님)를 포함한다고 가정한다. 그리고, 논리 주소 130에 대한 타깃 맵 테이블을 탐색하는 경우를 가정한다.
- [0130] 이때, 비트맵 정보 값이 1이라면, 512개의 물리 주소 영역이 서로 연속이므로 해당 물리 주소 영역 전체에 대응하는 맵 엔트리는 제2 맵 테이블에 포함될 것이다. 따라서, 논리 주소 130에 대한 타깃 맵 테이블은 제2 맵 테이블로 결정될 수 있다.
- [0131] 반면, 비트맵 정보 값이 0이라면, 512개의 물리 주소 영역이 서로 연속이 아니므로 각 물리 주소 영역에 대응하는 맵 엔트리는 제1 맵 테이블에 포함될 것이다. 따라서, 논리 주소 130에 대한 타깃 맵 테이블은 제1 맵 테이블로 결정될 수 있다.
- [0132] 다른 예로, 타깃 맵 테이블 지시 정보는 논리 주소에 대응하는 해시(hash) 테이블 또는 트리(tree)일 수 있다.

- [0133] 타깃 맵 테이블 지시 정보는, 맵 테이블과 유사하게 메모리 장치(110) 내에 저장될 수 있다. 그리고 메모리 컨트롤러(120)는 메모리 장치(100) 내에 저장된 타깃 맵 테이블 지시 정보를 워킹 메모리(125)에 로드할 수 있다.
- [0134] 이하, 도 4 내지 도 5에서 전술한 방법에 대해 보다 자세히 설명한다.
- [0135] 도 4는 본 발명의 실시예들에 따른 제1 맵 테이블에서 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하는 일 예를 나타낸 도면이다.
- [0136] 도 4를 참조하면, 제1 맵 테이블은 논리 주소 0,1,2, ... , 510, 511에 각각 대응하는 512개의 맵 엔트리를 포함하고 있다. 그리고 512개의 맵 엔트리 각각은 4KB 크기의 서로 다른 물리 주소 영역에 대응된다. 그리고 512개의 맵 엔트리 각각에 대응하는 512개의 물리 주소 영역은 서로 연속되고, 512개의 물리 주소 영역 전체의 크기는 $4KB * 512 = 2MB$ 가 된다.
- [0137] 이때, 논리 주소 0에 대응하는 맵 엔트리가 제1 맵 테이블에 존재하므로, 타깃 논리 주소 0에 대한 타깃 맵 테이블은 제1 맵 테이블이 된다. 그리고, 타깃 맵 테이블 지시 정보는 타깃 논리 주소 0에 대응하는 타깃 맵 테이블이 제1 맵 테이블이라는 것을 지시할 수 있다.
- [0138] 한편, 도 4에서 전술한 512개의 맵 엔트리는 하나의 제1 맵 쓰기 세그먼트(WSEG)를 구성할 수 있다. 제1 맵 쓰기 세그먼트(WSEG)는 제1 맵 테이블에 변경 사항이 발생할 때, 메모리 장치(110)에 저장된 제1 맵 테이블이 업데이트되는 단위가 될 수 있다. 즉, 메모리 컨트롤러(120)는 제1 맵 테이블에 포함된 맵 엔트리를 제1 맵 쓰기 세그먼트(WSEG) 단위로 업데이트할 수 있다.
- [0139] 도 5는 도 4의 서로 연속인 N개의 물리 주소 영역들 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를 제2 맵 테이블에 추가하는 일 예를 나타낸 도면이다.
- [0140] 도 5를 참조하면, 도 4에서 512개의 맵 엔트리에 대응하도록 512개의 물리 주소 영역 전체에 대응하는 맵 엔트리가 제2 맵 테이블에 새로 추가되었다.
- [0141] 제2 맵 테이블에 추가된 맵 엔트리는 시작 논리 주소가 0으로 설정된다. 즉, 제2 맵 테이블에 추가된 맵 엔트리는 시작 논리 주소가 0이고 크기가 2MB인 논리 주소 영역이 크기가 2MB인 물리 주소 영역에 매핑된다는 정보를 지시한다.
- [0142] 이 경우, 도 4에서 제1 맵 테이블의 512개의 맵 엔트리에 매핑된 전체 물리 주소 영역은 제2 맵 테이블을 통해 접근 가능하다. 따라서, 전술한 512개의 맵 엔트리는 더 이상 제1 맵 테이블에 저장될 필요가 없다. 따라서, 메모리 컨트롤러(120)는 전술한 512개의 맵 엔트리를 제1 맵 테이블에서 삭제할 수 있다.
- [0143] 이때, 도 4와 달리, 논리 주소 0에 대응하는 맵 엔트리는 이제 제2 맵 테이블에 존재하므로 타깃 논리 주소 0에 대한 타깃 맵 테이블은 제2 맵 테이블이 된다. 그리고, 타깃 맵 테이블 지시 정보는 타깃 논리 주소 0에 대응하는 타깃 맵 테이블이 제2 맵 테이블이라는 것을 지시할 수 있다.
- [0144] 도 4에서 도 5로 맵 테이블이 변경되면, 제1 맵 테이블에서 512개의 맵 엔트리가 삭제되고, 제2 맵 테이블에서 하나의 맵 엔트리가 추가된다. 따라서, 전체 맵 테이블에 포함된 맵 엔트리의 개수는 감소하므로 메모리 장치(110)에서 전체 맵 테이블을 저장하기 위해 사용되는 공간이 줄어드는 효과가 있다.
- [0145] 그리고, 동일한 물리 주소 영역을 지시하는데 드는 맵 엔트리의 개수가 감소하므로, 동일한 크기의 맵 캐시가 더 큰 물리 주소 영역을 커버할 수 있다는 효과가 있다.
- [0146] 또한, 동일한 물리 주소 영역을 지시하는 매핑 정보를 접근하기 위해 맵 캐시에 로드해야 하는 맵 엔트리의 개수가 감소하므로, 메모리 시스템(100)의 리드 성능이 향상되는 효과가 있다. 특히, 메모리 시스템(100)이 호스트(50)로부터 수신된 순차 리드 요청을 수행하는 경우, 연속된 물리 주소 영역에 대한 정보를 획득하기 위해 참조해야 하는 맵 엔트리의 개수가 크게 감소하므로 메모리 시스템(100)의 리드 성능이 향상될 수 있다.
- [0147] 한편, 제1 맵 테이블과 유사하게, 제2 맵 테이블 역시 제2 맵 쓰기 세그먼트(WSEG') 단위로 업데이트될 수 있다. 즉, 메모리 컨트롤러(120)는 제1 맵 테이블에 포함된 맵 엔트리를 제1 맵 쓰기 세그먼트(WSEG) 단위로 업데이트할 수 있다.
- [0148] 이때, 전술한 제1 맵 쓰기 세그먼트(WSEG)와 제2 맵 쓰기 세그먼트(WSEG')의 크기는 서로 동일하거나 또는 상이할 수 있다.
- [0149] 도 6은 도 4 내지 도 5에서 설명한 동작을 실행하는 방법에 대한 흐름도이다.

- [0150] 우선, 메모리 컨트롤러(120)는 제1 맵 테이블에 포함된 맵 엔트리 중, 서로 연속인 물리 주소 영역에 대응하는 N개(N은 2 이상의 자연수)의 맵 엔트리가 존재하는지 확인한다(S610).
- [0151] 만약, S610 단계에서 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하면(S620-Y), 우선 메모리 컨트롤러(120)는 N개의 맵 엔트리가 각각 지시하는 N개의 물리 주소 영역 전체에 대응하는 신규 매핑 정보를 생성한다(S630).
- [0152] 그리고 메모리 컨트롤러(120)는 S630 단계에서 생성된 맵 엔트리를 제2 맵 테이블에 추가한다(S640).
- [0153] 그리고 메모리 컨트롤러(120)는 제1 맵 테이블에서 전술한 N개의 맵 엔트리를 제1 맵 테이블에서 삭제한다(S650).
- [0154] 단, S610 단계에서 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하지 않으면(S620-N), 메모리 컨트롤러(120)는 제1 맵 테이블 및 제2 맵 테이블을 그대로 유지한다(S660).
- [0155] 도 7은 본 발명의 실시예들에 따른 맵 엔트리를 맵 캐시에 로드하는 일 예를 나타낸 도면이다.
- [0156] 메모리 컨트롤러(120)는 맵 테이블에 포함된 맵 엔트리의 일부를 맵 캐시에 로드할 수 있다. 메모리 컨트롤러(120)는 워킹 메모리(125)의 일부 영역을 맵 캐시로 사용할 수 있다.
- [0157] 맵 캐시는 하나 이상의 맵 캐시 엔트리를 포함할 수 있다. 그리고 맵 캐시 엔트리는 하나 이상의 맵 엔트리를 포함할 수 있다.
- [0158] 이때, 하나의 맵 캐시에 서로 다른 맵 테이블에 포함된 맵 엔트리가 로드될 수 있어서 종래의 맵 캐시 구조를 그대로 사용할 수 있다.
- [0159] 도 7에서, 제1 맵 테이블에 포함된 맵 엔트리 중에서, 시작 논리 주소 1024, 1026, 1027에 대응하는 맵 엔트리가 맵 캐시에 로드된다.
- [0160] 그리고 제2 맵 테이블에 포함된 맵 엔트리 중에서, 시작 논리 주소 0, 2048에 대응하는 맵 엔트리가 맵 캐시에 로드된다.
- [0161] 맵 테이블에 저장된 맵 엔트리의 일부는 특정한 맵 읽기 세그먼트 단위로 맵 캐시에 로드될 수 있다.
- [0162] 일 예로, 제1 맵 테이블에 저장된 맵 엔트리의 일부는 제1 맵 읽기 세그먼트(RSEG) 단위로 맵 캐시에 로드될 수 있다.
- [0163] 다른 예로, 제2 맵 테이블에 저장된 맵 엔트리의 일부는 제2 맵 읽기 세그먼트(RSEG') 단위로 맵 캐시에 로드될 수 있다.
- [0164] 전술한 제1 맵 읽기 세그먼트(RSEG)와 제2 맵 읽기 세그먼트(RSEG')의 크기는 서로 동일하거나 또는 상이할 수 있다.
- [0165] 한편, 도 4에서 설명한 제1 맵 쓰기 세그먼트(WSEG)의 크기는 제1 맵 읽기 세그먼트(RSEG) 이상의 크기일 수 있다. 그리고 도 5에서 설명한 제2 맵 쓰기 세그먼트(WSEG')의 크기는 제2 맵 읽기 세그먼트(RSEG') 이상의 크기일 수 있다.
- [0166] 만약, 맵 쓰기 세그먼트의 크기가 맵 읽기 세그먼트의 크기보다 작다면, 서로 연속된 N개의 물리 주소 영역에 각각 대응하는 N개의 맵 엔트리(N개의 맵 엔트리가 하나의 맵 쓰기 세그먼트를 구성한다)가 하나의 맵 엔트리로 통합되더라도, 전술한 N개의 맵 엔트리와 다른 맵 엔트리가 추가로 맵 캐시에 같이 로드될 수 있다. 따라서, 맵 캐시에 맵 엔트리를 로드하는 효율이 낮아질 수 있다.
- [0167] 단, 맵 쓰기 세그먼트의 크기가 지나치게 증가하면, 서로 연속된 N개의 물리 주소 영역에 각각 대응하는 N개의 맵 엔트리가 존재할 확률이 낮아지는 문제가 있다. 따라서, 맵 쓰기 세그먼트의 크기는 맵 읽기 세그먼트의 크기 이상으로, 적절한 값으로 설정될 수 있다.
- [0168] 이하, 도 8 내지 도 10에서는 도 7에서 설명한 맵 테이블의 맵 엔트리가 맵 캐시에 로드되는 경우를 설명한다.
- [0169] 도 8은 본 발명의 실시예들에 따른 맵 캐시에서 매핑 정보를 탐색하는 일 예를 나타낸 도면이다.
- [0170] 도 8에서는, 논리 주소 1024에 대응하는 타깃 물리 주소의 매핑 정보를 맵 캐시에서 탐색하는 경우를 가정한다. 도 7을 참조하면, 논리 주소 1024에 대응하는 타깃 물리 주소의 매핑 정보는 제1 맵 테이블의 맵 엔트리에 존재

한다.

- [0171] 메모리 컨트롤러(120)는 타깃 맵 테이블 지시 정보를 기초로 논리 주소 1024에 대응하는 타깃 맵 테이블이 제1 맵 테이블이라는 것을 확인할 수 있다.
- [0172] 따라서, 메모리 컨트롤러(120)는 맵 캐시에 포함되는 맵 캐시 엔트리들 중 제1 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리에서, 논리 주소 1024에 대한 타깃 물리 주소의 매핑 정보를 탐색한다.
- [0173] 도 7에서, 제1 맵 테이블의 맵 엔트리는 제1 맵 읽기 세그먼트(RSEG) 단위로 맵 캐시에 로드된다. 따라서, 메모리 컨트롤러(120)는, 맵 캐시에 로드된 맵 캐시 엔트리 중 제1 맵 읽기 세그먼트(RSEG) 단위로 로드된 맵 캐시 엔트리에서 논리 주소 1024에 대한 매핑 정보를 탐색할 수 있다.
- [0174] 도 9는 본 발명의 실시예들에 따른 맵 캐시에서 매핑 정보를 탐색하는 다른 예를 나타낸 도면이다.
- [0175] 도 9에서, 논리 주소 2048에 대응하는 매핑 정보를 맵 캐시에서 탐색하는 경우를 가정한다. 도 7을 참조하면, 논리 주소 2048에 대응하는 매핑 정보는 제2 맵 테이블의 맵 엔트리에 존재한다.
- [0176] 메모리 컨트롤러(120)는 타깃 맵 테이블 지시 정보를 기초로, 논리 주소 2048에 대응하는 타깃 맵 테이블이 제2 맵 테이블이라는 것을 확인할 수 있다.
- [0177] 따라서, 메모리 컨트롤러(120)는 맵 캐시에 포함되는 맵 캐시 엔트리들 중 제2 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리에서, 논리 주소 2048에 대한 매핑 정보를 탐색한다.
- [0178] 도 7에서, 제2 맵 테이블의 맵 엔트리는 제2 맵 읽기 세그먼트(RSEG') 단위로 맵 캐시에 로드된다. 따라서, 메모리 컨트롤러(120)는 맵 캐시에 로드된 맵 캐시 엔트리 중, 제2 맵 읽기 세그먼트(RSEG') 단위의 맵 캐시 엔트리 중에서 논리 주소 2048에 대한 매핑 정보를 탐색한다.
- [0179] 도 10은 본 발명의 실시예들에 따른 맵 캐시에서 탐색된 매핑 정보를 기초로 타깃 논리 주소에 대한 물리 주소를 결정하는 일 예를 나타낸 도면이다.
- [0180] 도 10에서는, 논리 주소 2051에 대응하는 매핑 정보를 맵 캐시에서 탐색하는 경우를 가정한다.
- [0181] 메모리 컨트롤러(120)는 타깃 맵 테이블 지시 정보를 기초로, 논리 주소 2051에 대응하는 타깃 맵 테이블이 제2 맵 테이블이라는 것을 확인할 수 있다.
- [0182] 따라서, 메모리 컨트롤러(120)는 제2 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 중에서, 논리 주소 2051에 대한 매핑 정보를 탐색한다.
- [0183] 이때, 맵 캐시에 로드된 맵 엔트리 중, 논리 주소 2051에 대한 매핑 정보를 포함하는 맵 엔트리가 지시하는 시작 논리 주소는 2048이다. 해당 맵 엔트리는, 시작 논리 주소 2048로부터 $512 * 4KB = 2MB$ 만큼의 논리 주소 영역에 매핑되는 물리 주소 영역을 지시하고, 논리 주소 2051은 이 논리 주소 영역에 포함된다.
- [0184] 따라서, 메모리 컨트롤러(120)는 논리 주소 2051과, 논리 주소 2051에 대응하는 매핑 정보에 포함된 시작 논리 주소 2048 간의 오프셋을 기초로, 논리 주소 2051에 대응하는 물리 주소를 결정할 수 있다.
- [0185] 일 예로, 논리 주소 2051에 대한 매핑 정보를 포함하는 맵 엔트리에 대응하는 물리 주소 영역의 시작 물리 주소 PA'가 10000이라고 가정한다.
- [0186] 이 경우, 논리 주소 2051에 대응하는 물리 주소 $PA = 10000 + (2051 - 2048) = 10003$ 이 된다.
- [0187] 도 11은 도 7 내지 도 10에서 설명한 동작을 실행하는 방법에 대한 흐름도이다.
- [0188] 메모리 컨트롤러(120)는 타깃 논리 주소에 대응하는 타깃 맵 테이블을 결정한다(S1110).
- [0189] 만약 S1110 단계에서 결정된 타깃 맵 테이블이 제1 맵 테이블이면(S1120-Y), 메모리 컨트롤러(120)는 맵 캐시에 포함된 맵 캐시 엔트리들 중 제1 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리에서 매핑 정보를 탐색한다(S1130).
- [0190] 반면, S1110 단계에서 결정된 타깃 맵 테이블이 제1 맵 테이블이 아니면(S1120-N), 메모리 컨트롤러(120)는 타깃 맵 테이블이 제2 맵 테이블인지 판단한다(S1140).
- [0191] 만약 타깃 맵 테이블이 제2 맵 테이블이면(S1140-Y), 메모리 컨트롤러(120)는 맵 캐시에 포함된 맵 캐시 엔트리들 중 제2 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리에서 매핑 정보를 탐색한다(S1150).

- [0192] 그리고 메모리 컨트롤러(120)는, 도 10에서 설명한 바와 같이, 타깃 논리 주소와 시작 논리 주소의 오프셋을 기초로, 타깃 논리 주소에 대응하는 물리 주소를 결정한다(S1160).
- [0193] 도 12는 본 발명의 실시예들에 따른 맵 테이블의 구조의 다른 예를 나타낸 도면이다.
- [0194] 메모리 장치(110)에 저장되는 복수의 맵 테이블은 각각 L1 테이블 및 하나 이상의 L2 테이블을 포함할 수 있다.
- [0195] L1 테이블은 복수의 L1 테이블 엔트리를 포함할 수 있다. 각 L1 테이블 엔트리는 소정의 논리 주소 영역에 대응하고, 해당 논리 주소 영역에 대응하는 L2 테이블을 지시할 수 있다.
- [0196] L2 테이블은 맵 테이블에 포함되는 복수의 맵 엔트리 주 일부를 포함할 수 있다. 그리고 맵 테이블에 포함된 각 L2 테이블은, 해당 맵 테이블에 포함된 L1 테이블의 L1 테이블 엔트리 중 하나에 대응될 수 있다.
- [0197] 메모리 장치(110)에 저장되는 복수의 맵 테이블 중, 제1 맵 테이블 및 제2 맵 테이블은 각각 L1 테이블 및 하나 이상의 L2 테이블을 포함한다.
- [0198] 그리고, 도 3과 마찬가지로 제1 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는 4KB 이고, 제2 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는 2MB = 512 * 4KB일 수 있다.
- [0199] 이와 같이, 하나의 맵 테이블을 L1 테이블 및 L2 테이블의 두 레이어로 분리하는 이유는, 타깃 논리 주소에 대응하는 맵 엔트리를 더 빠르게 탐색하기 위함이다.
- [0200] L1 테이블의 정보를 이용하면, 맵 테이블의 전체 맵 엔트리 중 타깃 논리 주소에 대응될 수 있는 후보 맵 엔트리를 빠르게 탐색할 수 있다. 그리고 후보 맵 엔트리에서 타깃 논리 주소에 대응하는 맵 엔트리를 탐색하는 것이, 맵 테이블의 전체 맵 엔트리에서 타깃 논리 주소에 대응하는 맵 엔트리를 탐색하는 것보다 빠르다.
- [0201] 도 13은 도 12의 맵 테이블에 포함된 L1 테이블이 풀-캐싱(full-caching)된 경우에, 맵 캐시에서 매핑 정보를 탐색하는 일 예를 나타낸 도면이다.
- [0202] L1 테이블이 풀-캐싱(full-caching)되었다는 것은, 각 맵 테이블에 포함된 L1 테이블의 모든 L1 테이블 엔트리가 캐싱되었다는 것을 의미한다.
- [0203] 이때, 일 예로, 각 맵 테이블에 포함된 L1 테이블은 맵 캐시와 별도로 존재하는 L1 캐시에 저장될 수 있다. 그리고 L1 캐시는 메모리 컨트롤러(120)의 워킹 메모리(125)에 포함될 수 있다.
- [0204] 도 13을 참조하면, 메모리 컨트롤러(120)는 타깃 맵 테이블 지시 정보를 이용하여, 타깃 논리 주소에 대응하는 타깃 맵 테이블을 결정한다. 일 예로, 타깃 논리 주소 LA에 대한 타깃 맵 테이블은 제1 맵 테이블이고, 타깃 논리 주소 LA'에 대한 타깃 맵 테이블은 제2 맵 테이블이라고 가정한다.
- [0205] 타깃 맵 테이블이 결정되면, 메모리 컨트롤러(120)는 L1 캐시에 저장된, 타깃 맵 테이블의 L1 테이블을 탐색한다. 이때, L1 테이블이 풀-캐싱되어 있으므로, 타깃 논리 주소에 대응하는 L1 테이블 엔트리는 L1 캐시에서 항상 탐색된다. 메모리 컨트롤러(120)는 탐색된 L1 테이블 엔트리의 정보를 기초로, 맵 캐시에서 타깃 논리 주소에 대응하는 맵 엔트리를 탐색하여, 타깃 논리 주소에 대응하는 물리 주소를 결정할 수 있다.
- [0206] 만약, 타깃 맵 테이블이 제1 맵 테이블인 경우, 도 8과 마찬가지로, 메모리 컨트롤러(120)는 제1 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 중에서, 타깃 논리 주소에 대한 매핑 정보를 탐색할 수 있다.
- [0207] 도 7과 유사하게, 제1 맵 테이블의 맵 엔트리는 제1 맵 읽기 세그먼트(RSEG) 단위로 맵 캐시에 로드될 수 있다. 따라서, 메모리 컨트롤러(120)는 제1 맵 읽기 세그먼트(RSEG) 단위의 맵 캐시 엔트리 중에서 타깃 논리 주소에 대한 매핑 정보를 탐색할 수 있다.
- [0208] 만약, 타깃 맵 테이블이 제2 맵 테이블인 경우, 도 9와 마찬가지로, 메모리 컨트롤러(120)는 제2 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 중에서, 타깃 논리 주소에 대한 매핑 정보를 탐색할 수 있다.
- [0209] 도 7과 유사하게, 제2 맵 테이블의 맵 엔트리는 제2 맵 읽기 세그먼트(RSEG') 단위로 맵 캐시에 로드될 수 있다. 따라서, 메모리 컨트롤러(120)는 제2 맵 읽기 세그먼트(RSEG') 단위의 맵 캐시 엔트리 중에서 타깃 논리 주소에 대한 매핑 정보를 탐색할 수 있다.
- [0210] 도 14는 도 12의 맵 테이블에 포함된 L1 테이블이 부분-캐싱(partial-caching)된 경우에, 맵 캐시에서 매핑 정보를 탐색하는 일 예를 나타낸 도면이다.

- [0211] L1 테이블이 부분-캐싱(partial-caching)되었다는 것은, 각 맵 테이블에 포함된 L1 테이블 중 일부만 캐싱될 수 있다는 것을 의미한다. 즉, 타깃 논리 주소 LA에 대응하는 L1 테이블 엔트리가 L1 캐시에 존재하지 않을 수 있다는 것을 의미한다. 이 경우 타깃 논리 주소에 대응하는 L1 테이블 엔트리가 탐색되지 않을 수 있다.
- [0212] 만약, 타깃 논리 주소에 대응하는 L1 테이블 엔트리가 L1 캐시에 존재하지 않는 경우, 메모리 컨트롤러(120)는 L1 테이블 엔트리의 정보를 이용하여, 타깃 논리 주소에 대응 가능한 맵 엔트리를 한정할 수 없다. 따라서, 메모리 컨트롤러(120)는 맵 캐시에 로드된 맵 캐시 엔트리 전체에서, 타깃 논리 주소에 대응하는 맵 엔트리를 탐색할 수 있다.
- [0213] 즉, 메모리 컨트롤러(120)는 타깃 논리 주소에 대응하는 타깃 물리 주소의 매핑 정보를, 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리 및 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에 서 탐색할 수 있다.
- [0214] 이때, 메모리 컨트롤러(120)는 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리를, 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리보다 높은 우선 순위로 탐색할 수 있다.
- [0215] 논리 주소에 대한 매핑 정보는 우선 제1 맵 테이블 상에 저장되고, 일정한 조건(e.g. 서로 연속인 N개의 물리 주소 영역에 각각 대응하는 N개의 맵 엔트리가 존재)이 만족되는 경우, 해당 논리 주소에 대한 매핑 정보가 제2 맵 테이블 상에 저장된다. 따라서, 논리 주소에 대응하는 매핑 정보를 지시하는 맵 엔트리는 제1 맵 테이블에 존재할 가능성이 높다. 따라서, 메모리 컨트롤러(120)는 제1 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리를 먼저 탐색할 수 있다.
- [0216] 한편, L1 테이블 엔트리가 L1 캐시에서 축출(evict)되는 경우에는, 메모리 컨트롤러(120)는 제1 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 및 제2 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 모두에 대해 축출 여부를 결정한다.
- [0217] 도 15는 도 13 내지 도 14에서 설명한 동작을 실행하는 방법에 대한 흐름도이다.
- [0218] 도 15를 참조하면, 메모리 컨트롤러(120)는 타깃 논리 주소에 대응하는 타깃 맵 테이블을, 타깃 맵 테이블 지시 정보를 기초로 결정할 수 있다(S1510).
- [0219] 그리고, 메모리 컨트롤러(120)는 타깃 논리 주소에 대응하는 L1 테이블 엔트리를 L1 캐시에서 탐색한다(S1520).
- [0220] 만약 타깃 논리 주소에 대응하는 L1 테이블 엔트리가 L1 캐시에서 탐색되면(S1530-Y), 메모리 컨트롤러(120)는 탐색된 L1 테이블 엔트리가 제1 맵 테이블의 L1 테이블 엔트리, 즉 제1 맵 테이블의 L1 테이블에 포함된 L1 테이블 엔트린이지 판단한다(S1540).
- [0221] 만약 탐색된 L1 테이블 엔트리가 제1 맵 테이블의 L1 테이블 엔트리에(S1540-Y), 메모리 컨트롤러(120)는 제1 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 중에서, 타깃 논리 주소에 대한 매핑 정보를 탐색한다(S1550).
- [0222] 만약 탐색된 L1 테이블 엔트리가 제1 맵 테이블의 L1 테이블 엔트리가 아니면(S1540-N), 메모리 컨트롤러(120)는 제1 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 중에서, 타깃 논리 주소에 대한 매핑 정보를 탐색한다(S1560).
- [0223] 만약 타깃 논리 주소에 대응하는 L1 테이블 엔트리가 L1 캐시에서 탐색되지 않으면(S1530-N), 메모리 컨트롤러(120)는 타깃 논리 주소에 대응하는 매핑 정보를, 맵 캐시에 포함된 맵 캐시 엔트리 중 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리 및 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리에 서 탐색한다.
- [0224] 이때, 도 14에서 전술한 바와 같이 메모리 컨트롤러(120)는 맵 캐시에 포함된 맵 캐시 엔트리 중 제1 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리를, 제2 맵 테이블의 맵 엔트리 중 일부를 포함하는 맵 캐시 엔트리보다 높은 우선 순위로 탐색할 수 있다.
- [0225] 즉, 메모리 컨트롤러(120)는 제1 맵 테이블의 맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 중에서, 타깃 논리 주소에 대한 매핑 정보를 탐색한다(S1570). 만약, 타깃 논리 주소에 대한 매핑 정보 탐색이 성공하면(S1580-Y), 메모리 컨트롤러(120)는 탐색된 매핑 정보를 기초로 타깃 논리 주소에 대응하는 물리 주소를 결정할 수 있다.
- [0226] 반면, 타깃 논리 주소에 대한 매핑 정보 탐색이 실패하면(S1580-N), 메모리 컨트롤러(120)는 제2 맵 테이블의

맵 엔트리 중 일부로 구성된 맵 캐시 엔트리 중에서, 타깃 논리 주소에 대한 매핑 정보를 탐색한다(S1590).

- [0227] 도 16은 본 발명의 실시예들에 따른 메모리 컨트롤러(120)의 동작 방법을 나타낸 흐름도이다.
- [0228] 이하, 도 1 내지 도 15에서 설명한 메모리 컨트롤러(120)에 의해 본 방법이 동작하는 것을 예시로 설명한다.
- [0229] 도 16을 참조하면, 복수의 맵 테이블을 저장하는 메모리 장치를 제어하는 메모리 컨트롤러(120)의 동작 방법은, 제1 맵 테이블에 포함된 맵 엔트리 중에서, 서로 연속인 물리 주소 영역에 대응하는 N개(N은 2 이상의 자연수)의 맵 엔트리가 존재하는지 여부를 판단하는 단계(S1610)를 포함할 수 있다.
- [0230] 이때, 복수의 맵 테이블은 제1 맵 테이블 및 제2 맵 테이블을 포함하고, 복수의 맵 테이블 각각은 논리 주소와 물리 주소 간의 매핑 정보를 지시하는 복수의 맵 엔트리를 포함할 수 있다. 그리고, 제2 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기는, 제1 맵 테이블에 포함된 하나의 맵 엔트리에 대응하는 물리 주소 영역의 크기의 N배일 수 있다.
- [0231] 그리고 메모리 컨트롤러(120)의 동작 방법은, 제1 맵 테이블에 포함된 맵 엔트리 중에서, 서로 연속인 물리 주소 영역에 대응하는 N개의 맵 엔트리가 존재하면, N개의 맵 엔트리 각각에 대응하는 물리 주소 영역들 전체에 대응하는 매핑 정보를 지시하는 맵 엔트리를, 제2 맵 테이블에 추가하는 단계(S1620)를 포함할 수 있다.
- [0232] 메모리 컨트롤러(120)의 동작 방법은, 전술한 N개의 맵 엔트리를, 제1 맵 테이블에서 삭제하는 단계를 추가로 포함할 수 있다.
- [0233] 한편, 도 3 내지 도 16을 통해 설명한 메모리 컨트롤러(120)의 동작은, 메모리 컨트롤러(120)에 포함된 제어 회로(123)에 의해 수행될 수 있다.
- [0234] 도 17은 본 발명의 실시예들에 따른 컴퓨팅 시스템을 개략적으로 나타낸 블록도이다.
- [0235] 도 17을 참조하면, 본 발명의 실시예들에 따른 컴퓨팅 시스템(1700)은 시스템 버스(1760)에 전기적으로 연결된 메모리 시스템(100), 중앙처리장치(CPU, 1710), 램(RAM, 1720), UI/UX(User Interface/User Experience) 모듈(1730), 하나 이상의 통신 방식의 통신 모듈(1740), 파워 관리 모듈(1750) 등을 포함할 수 있다.
- [0236] 본 발명의 실시예들에 따른 컴퓨팅 시스템(1700)은 PC(Personal Computer)이거나, 스마트 폰, 태블릿 등의 모바일 단말, 또는 각종 전자 기기 등을 포함할 수 있다.
- [0237] 본 발명의 실시예들에 따른 컴퓨팅 시스템(1700)은, 동작 전압을 공급하기 위한 배터리를 더 포함할 수 있으며, 응용 칩셋(Application Chipset), 그래픽 관련 모듈, 카메라 이미지 프로세서(Camera Image Processor: CIS), 디램(DRAM) 등을 더 포함할 수도 있다. 이외에도, 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0238] 한편, 이상에서 설명한 메모리 시스템(100)은, 하드 디스크 드라이브(HDD: Hard Disk Drive)와 같이 자기 디스크에 데이터를 저장하는 장치뿐 아니라, 솔리드 스테이트 드라이브(SSD: Solid State Drive), UFS(Universal Flash Storage) 장치, eMMC(embedded MMC) 장치 등과 같이 비휘발성 메모리에 데이터를 저장하는 장치 등을 포함할 수 있다.
- [0239] 비휘발성 메모리는 ROM(Read Only Memory), PROM(Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등을 포함할 수 있다.
- [0240] 이뿐만 아니라, 메모리 시스템(100)은 다양한 형태의 저장 장치로 구현되어, 다양한 전자 기기 내에 탑재될 수 있다. 일 예로, 메모리 시스템(100)은 메모리 사용량을 최소화할 필요가 있는 IoT 디바이스 또는 소형 가전제품에도 탑재될 수 있다.
- [0241] 이상에서 전술한 본 발명의 실시예들을 통해, 맵 테이블저장하기 위한 저장 용량을 줄일 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공할 수 있다.
- [0242] 또한, 본 발명의 실시예들은, 맵 캐시가 캐싱 가능한 주소 영역의 크기를 증가시킬 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공할 수 있다.
- [0243] 또한, 본 발명의 실시예들은, 논리 주소와 물리 주소 간의 매핑 정보를 효율적으로 캐싱하여 리드/프로그램 성능을 향상시킬 수 있는 메모리 시스템, 메모리 컨트롤러 및 그 동작 방법을 제공할 수 있다.
- [0244] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이

속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

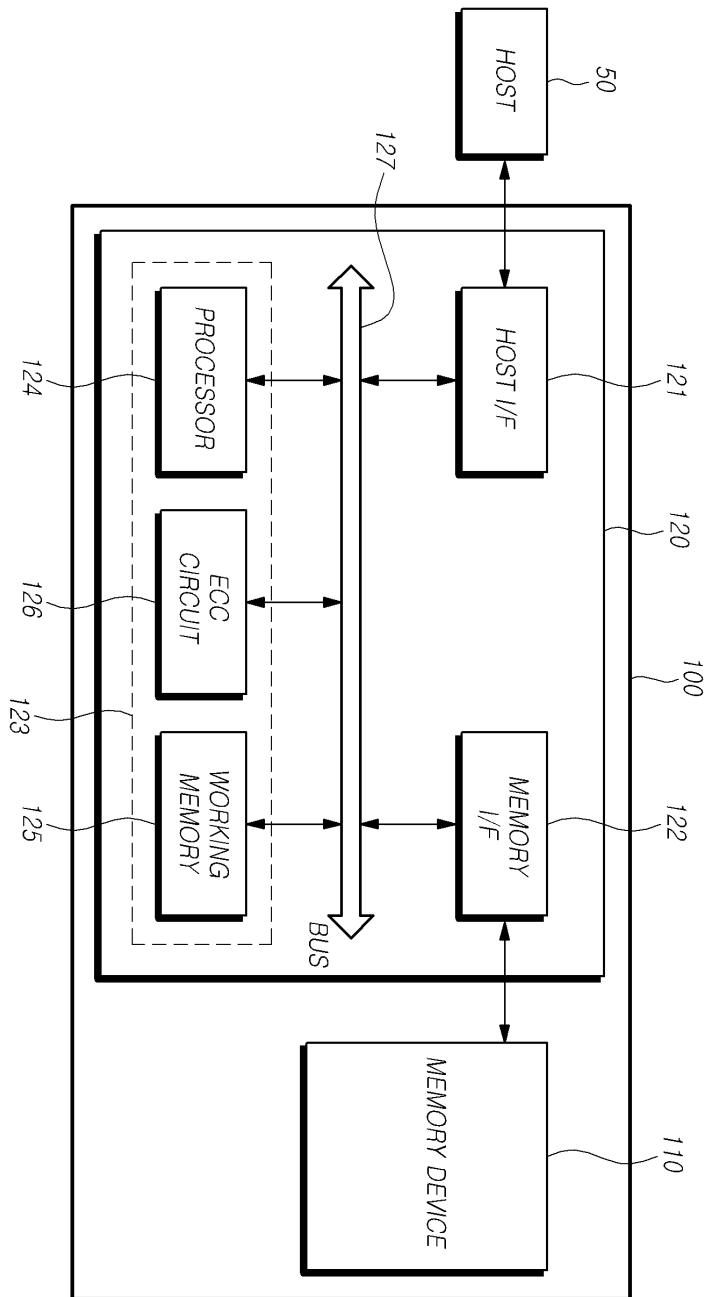
부호의 설명

[0245]

- 100: 메모리 시스템
- 110: 메모리 장치
- 120: 메모리 컨트롤러
- 121: 호스트 인터페이스
- 122: 메모리 인터페이스
- 123: 제어 회로
- 124: 프로세서
- 125: 워킹 메모리
- 126: 에러 검출 및 정정 회로
- 210: 메모리 셀 어레이
- 220: 어드레스 디코더
- 230: 리드 앤 라이트 회로
- 240: 컨트롤 로직
- 250: 전압 생성 회로

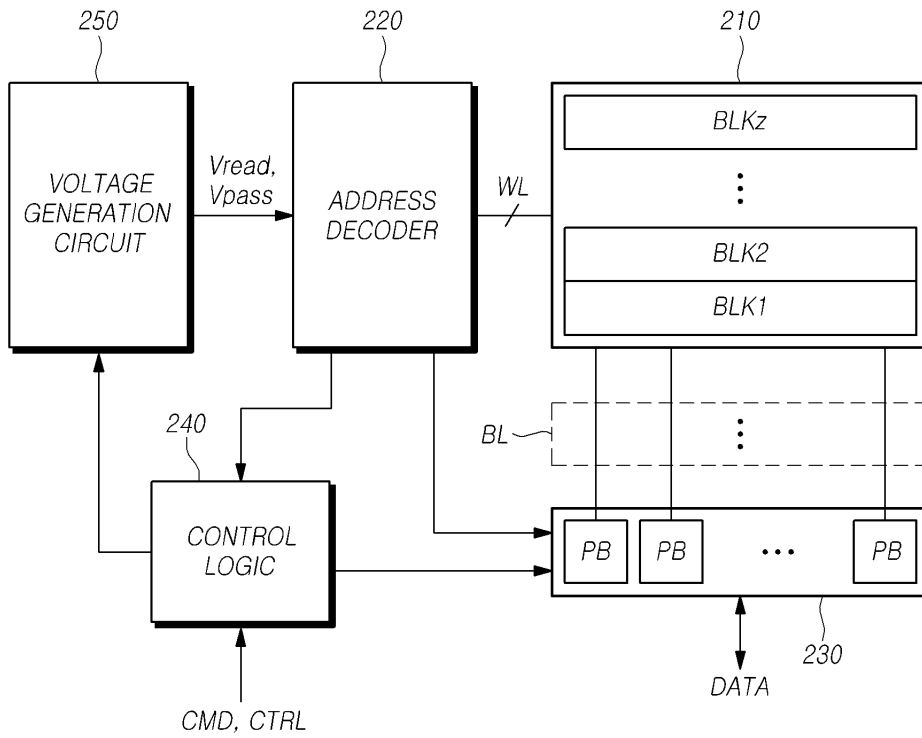
도면

도면1

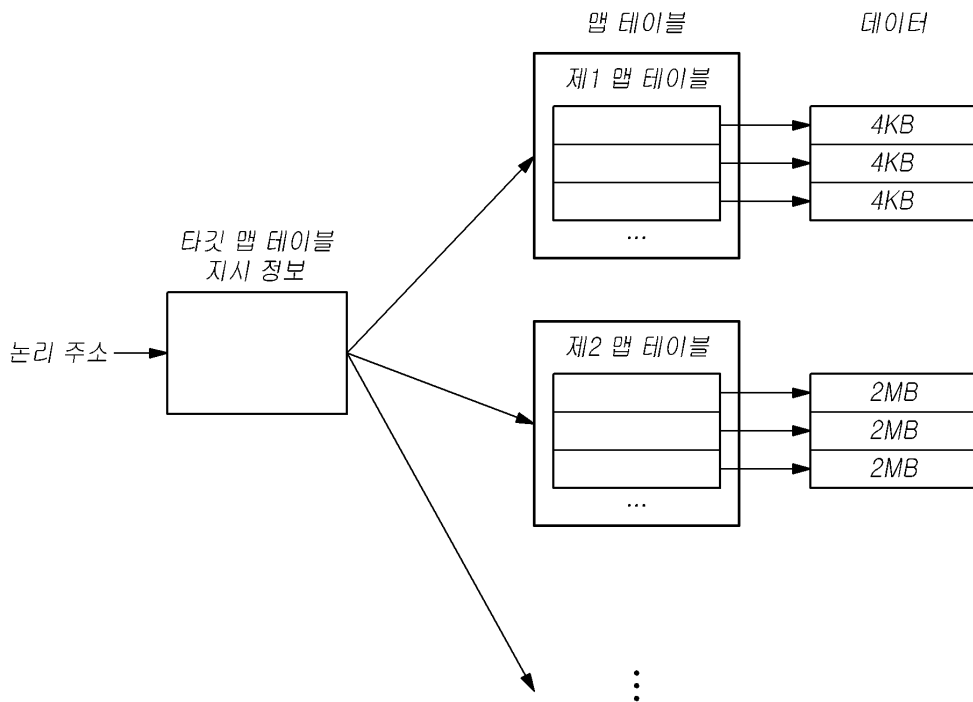


도면2

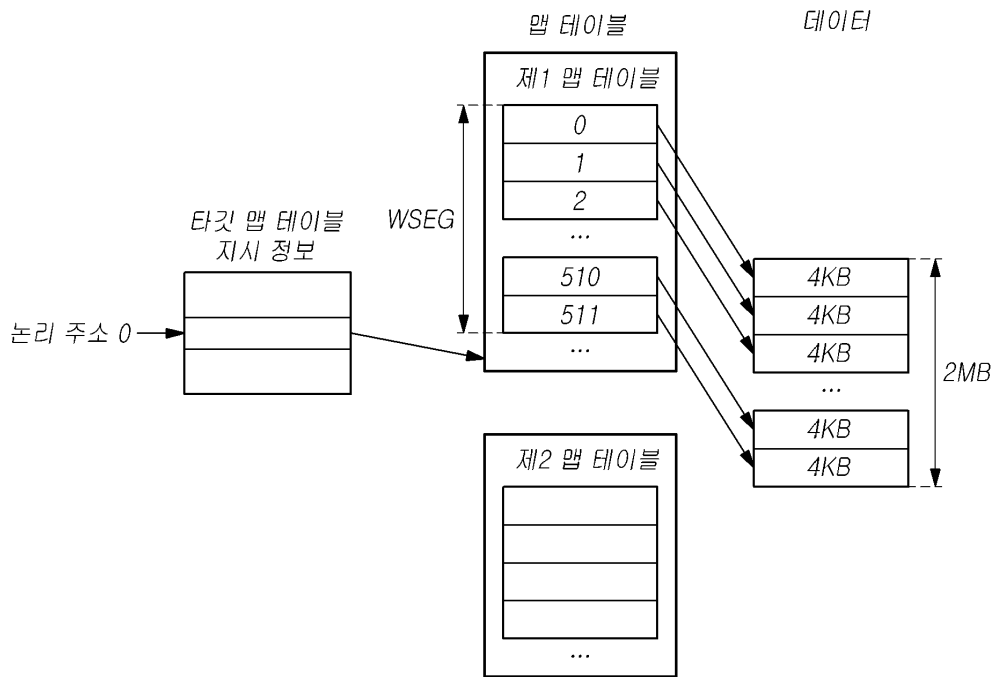
110



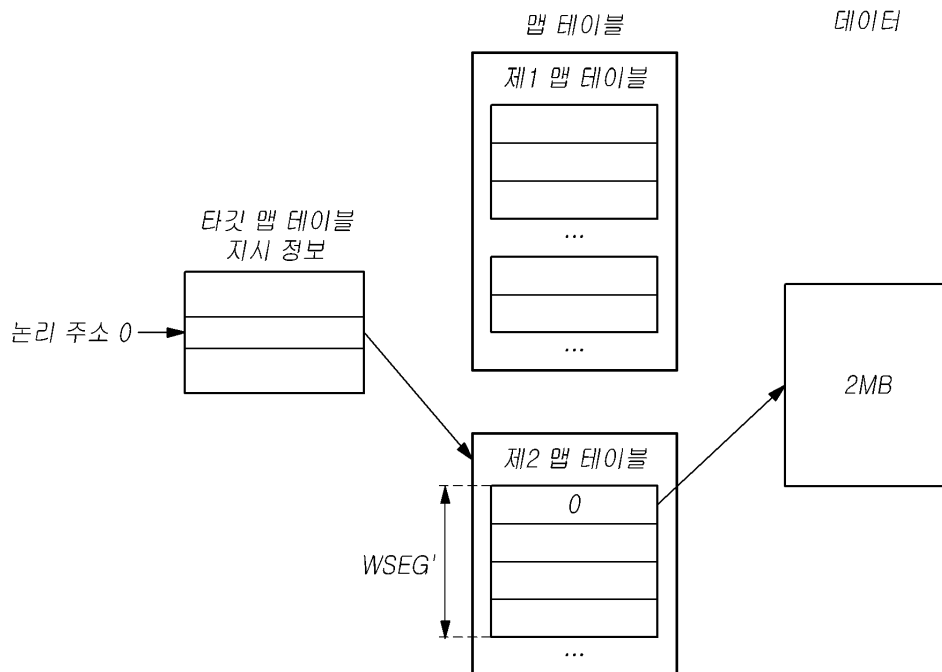
도면3



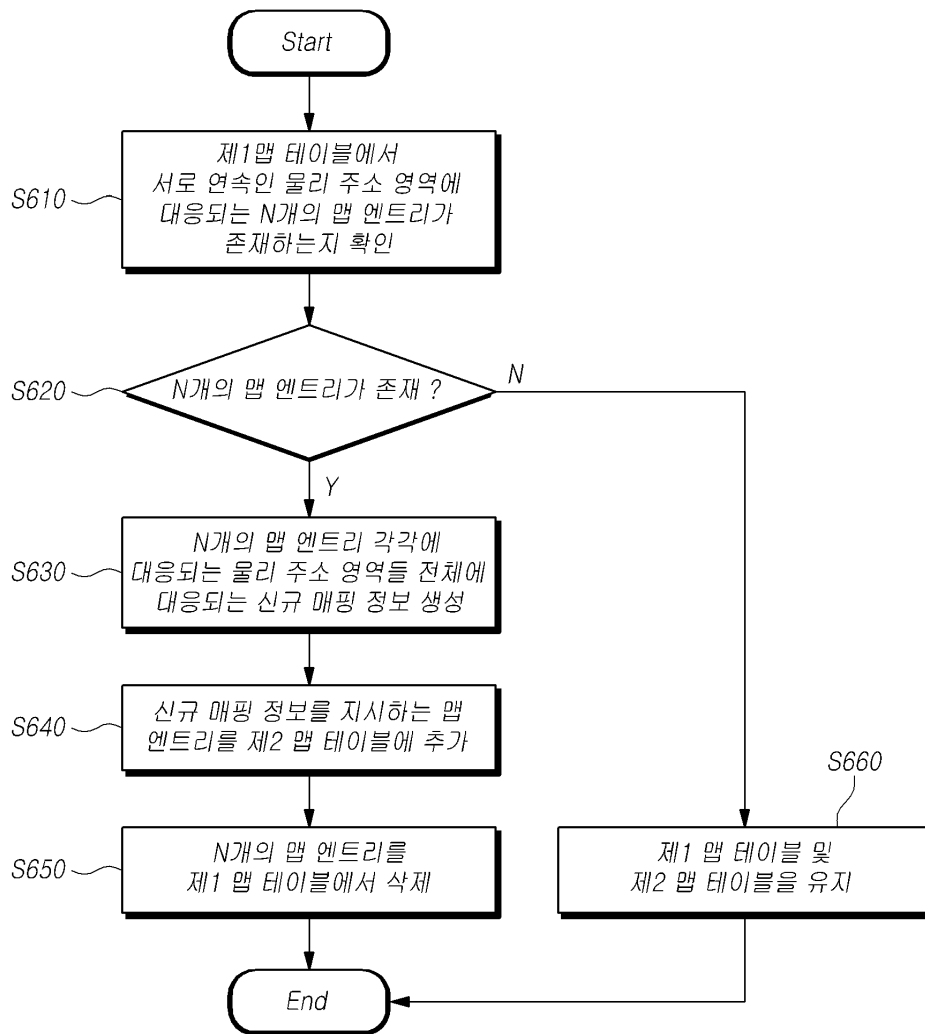
도면4



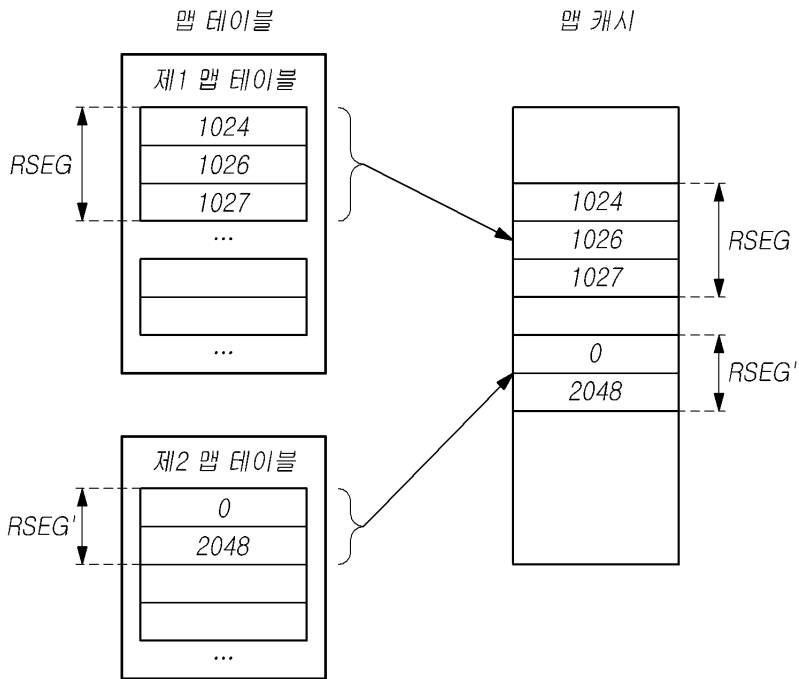
도면5



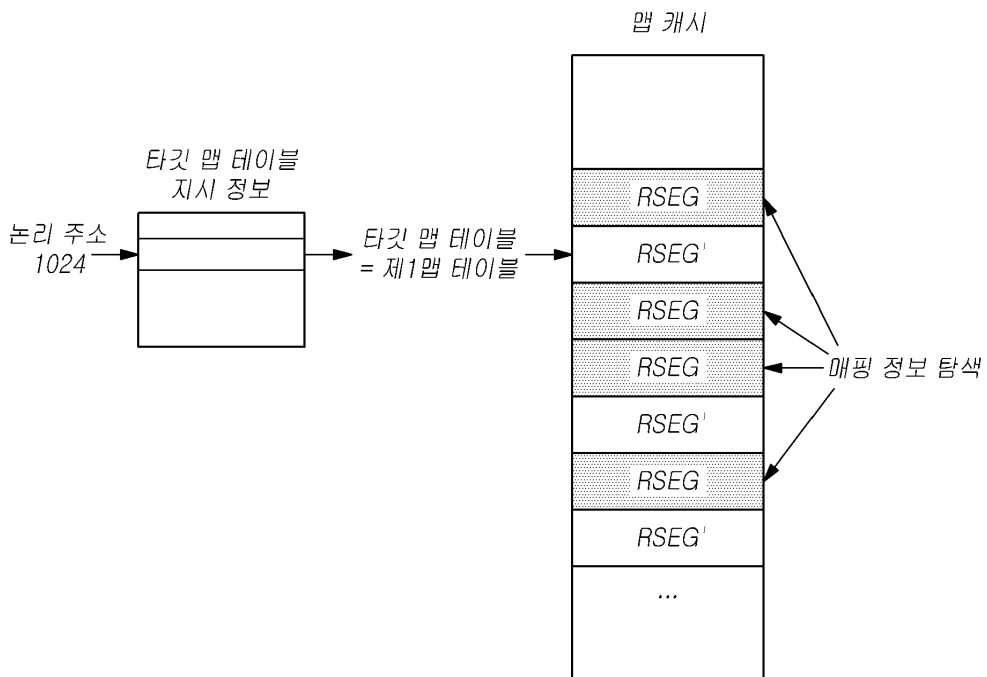
도면6



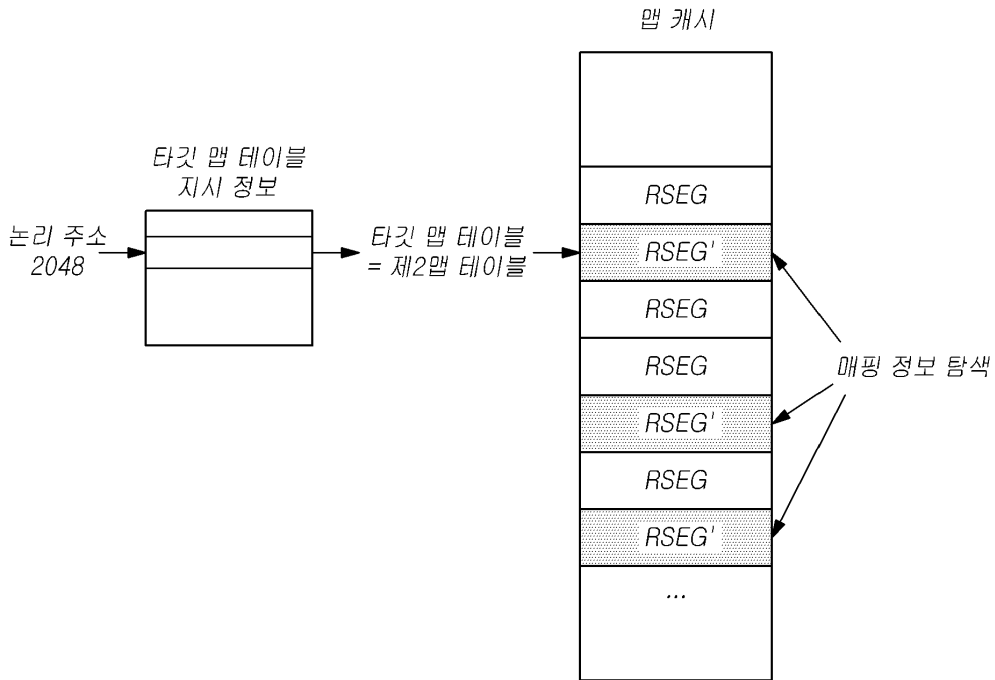
도면7



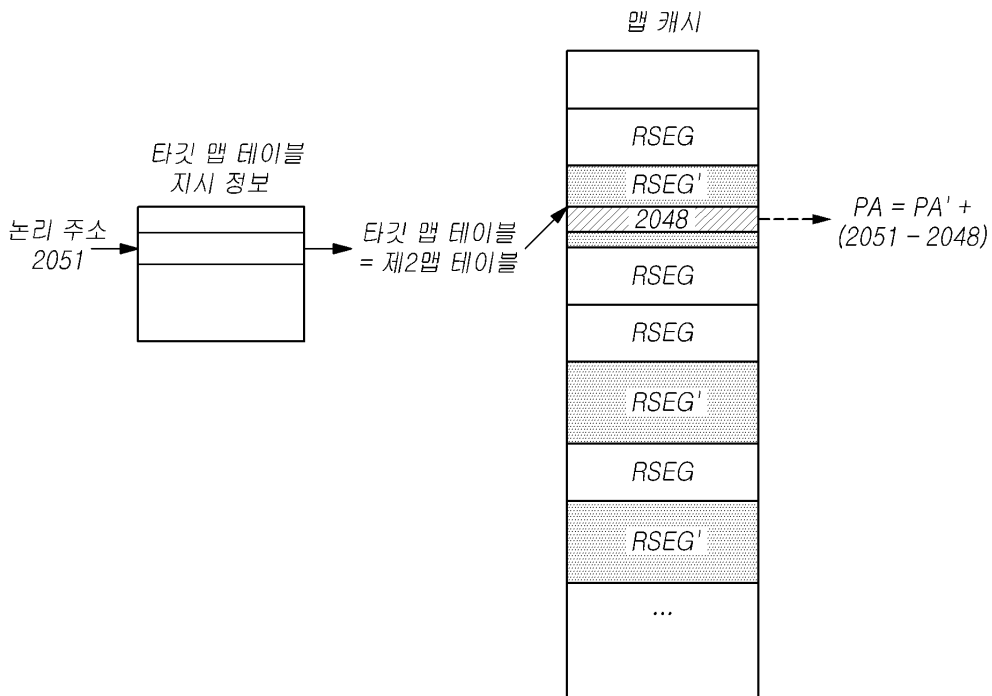
도면8



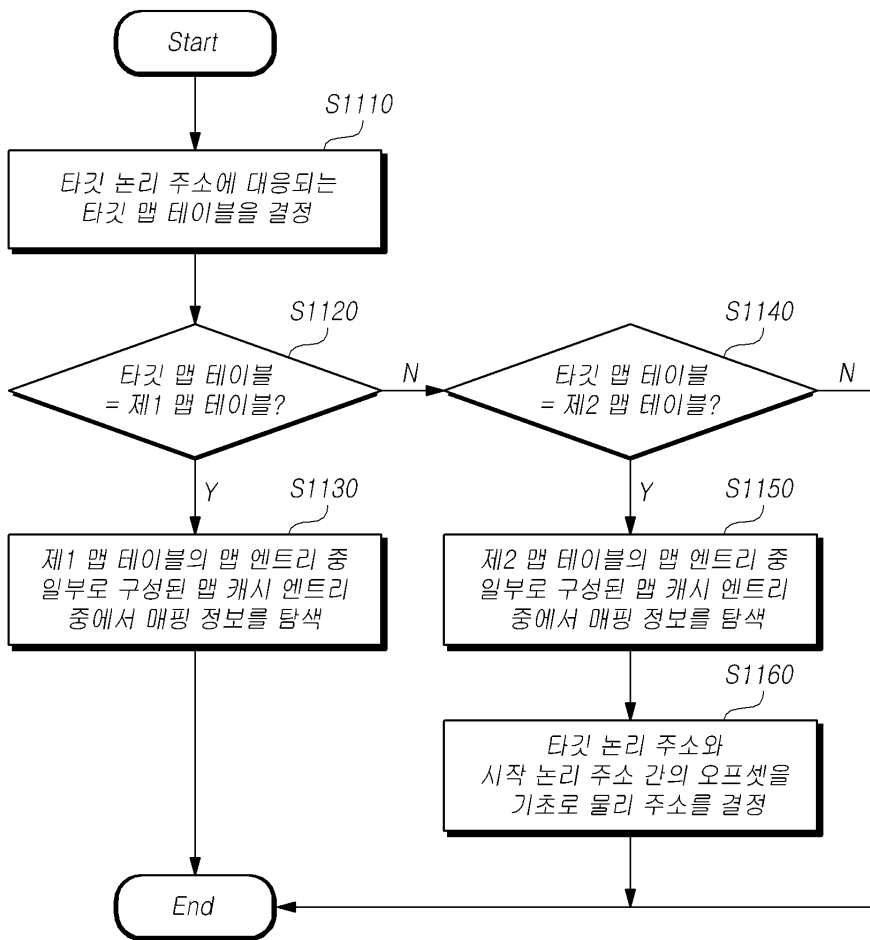
도면9



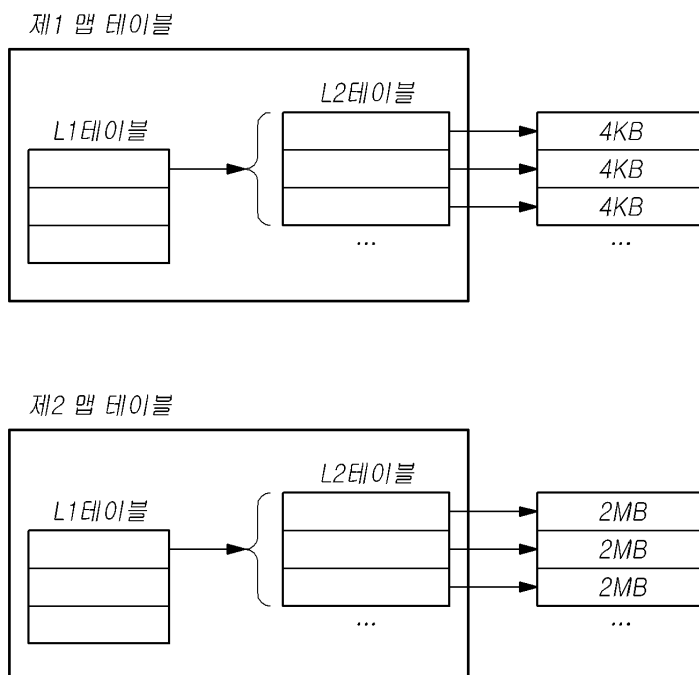
도면10



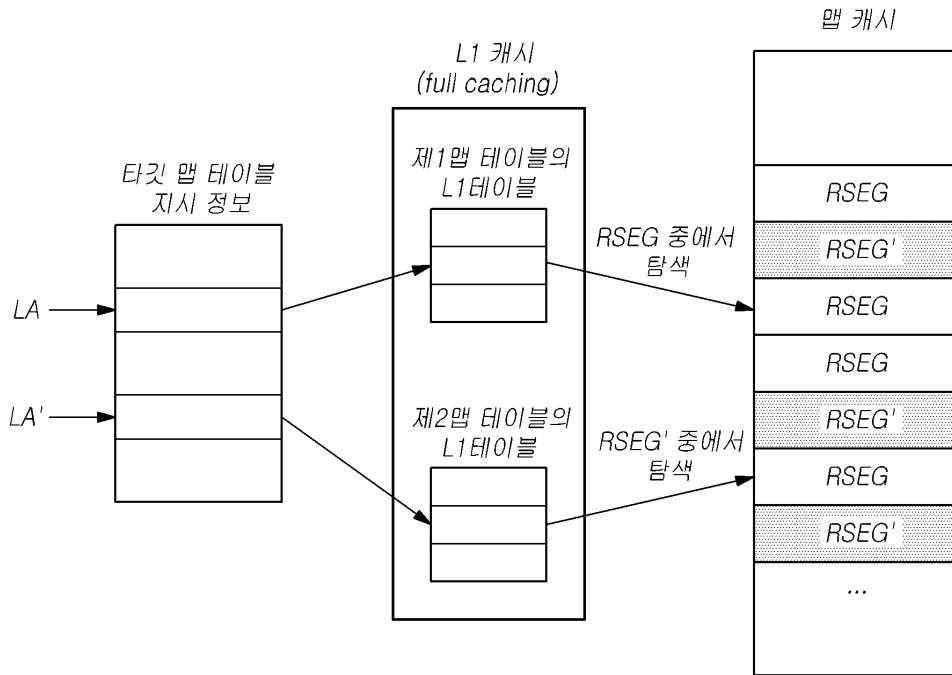
도면11



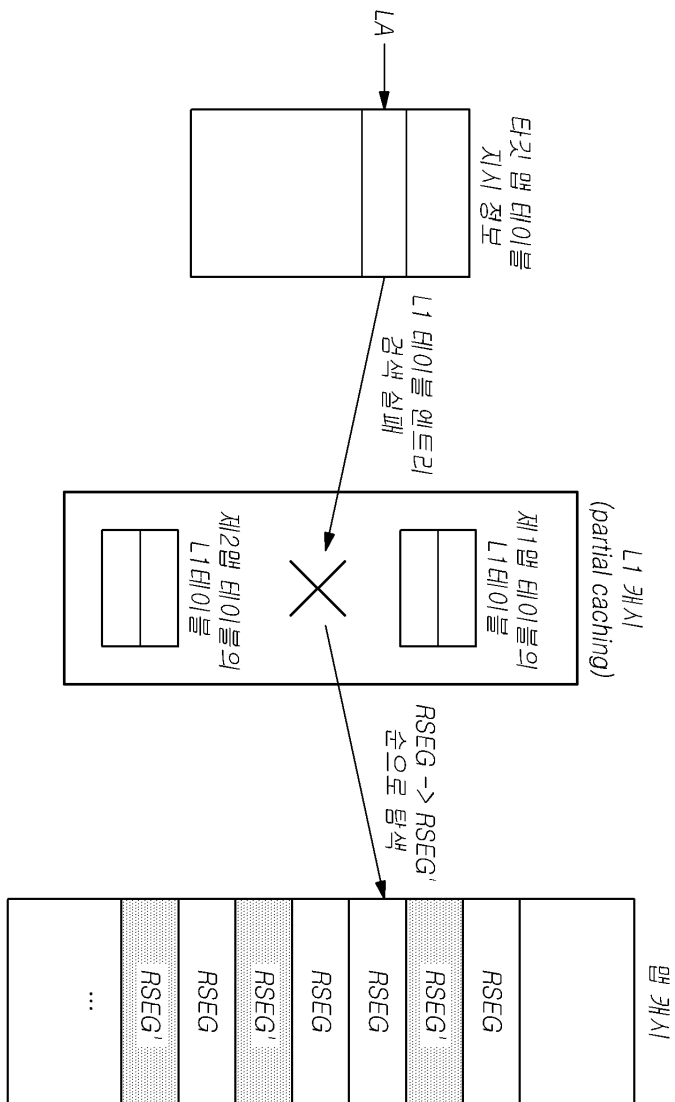
도면12



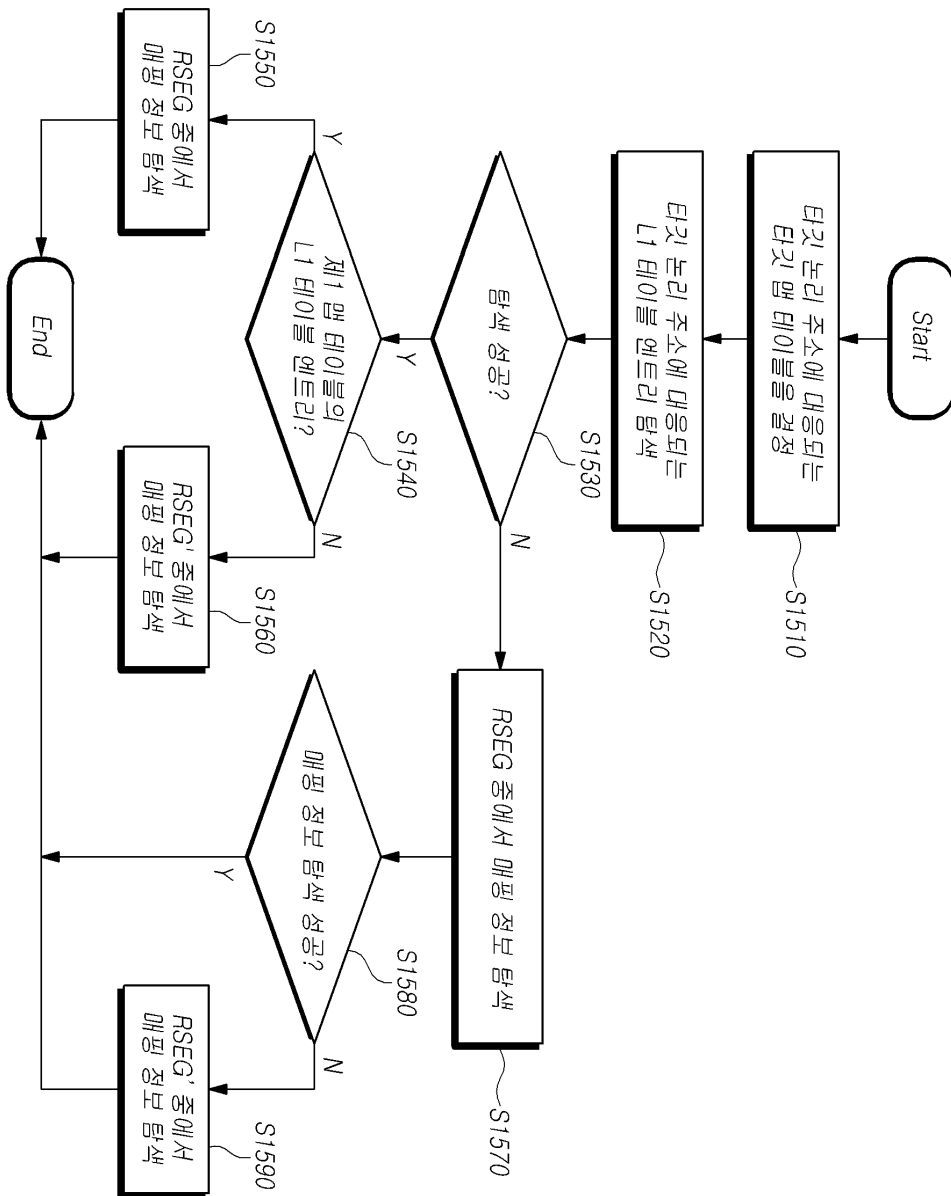
도면13



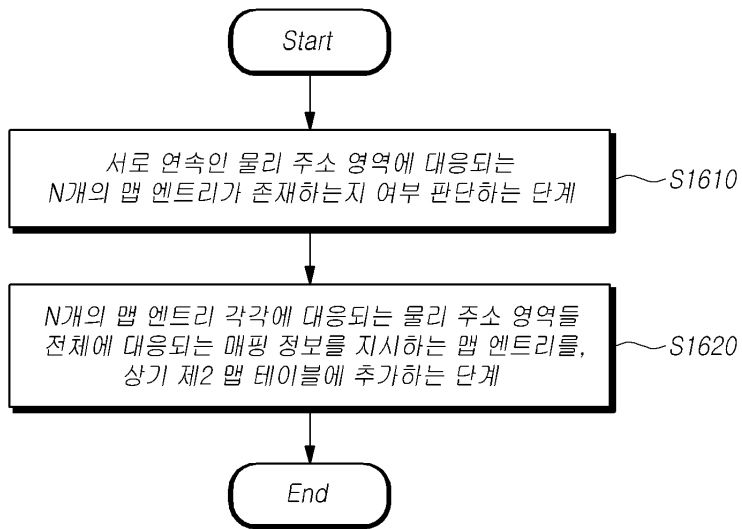
도면14



도면15



도면16



도면17

