



(12) 发明专利

(10) 授权公告号 CN 102301473 B

(45) 授权公告日 2014. 04. 23

(21) 申请号 201080006217. 3

代理人 康建忠

(22) 申请日 2010. 01. 26

(51) Int. Cl.

(30) 优先权数据

2009-026696 2009. 02. 06 JP

2010-010370 2010. 01. 20 JP

H01L 27/146 (2006. 01)

(85) PCT国际申请进入国家阶段日

2011. 08. 02

(86) PCT国际申请的申请数据

PCT/JP2010/051309 2010. 01. 26

(56) 对比文件

CN 1819236 A, 2006. 08. 16,

CN 101312205 A, 2008. 11. 26,

US 2002/0050593 A1, 2002. 05. 02,

US 2006/0043519 A1, 2006. 03. 02,

CN 1471311 A, 2004. 01. 28,

(87) PCT国际申请的公布数据

W02010/090149 EN 2010. 08. 12

审查员 李惟芬

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 渡边高典

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

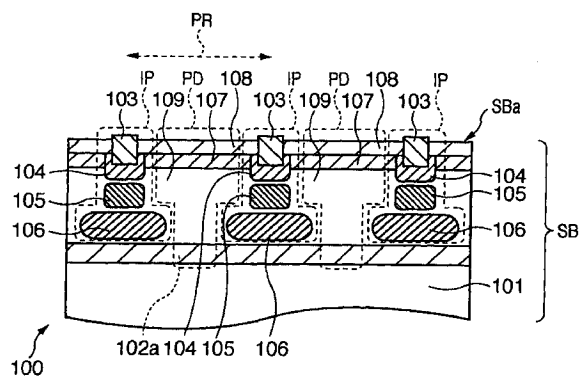
权利要求书2页 说明书8页 附图8页

(54) 发明名称

光电转换装置和光电转换装置的制造方法

(57) 摘要

一种光电转换装置(100)包括:被设置在半导体基板(SB)中的多个光电转换单元(PD);和被设置在半导体基板中的隔离部(103、104、105、106)。各光电转换单元包含:第二半导体区域(107);被设置在第二半导体区域之下的第三半导体区域(109)和被设置在第三半导体区域之下的第四半导体区域(102),并且,各隔离部包含:被设置在比半导体基板的表面更深的位置并且至少在第二半导体区域的侧方延伸的包含第一导电类型杂质的第五半导体区域(104);和被设置在第五半导体区域之下并且至少在第三半导体区域的侧方延伸的包含第一导电类型杂质的第六半导体区域(105),并且,包含于第五半导体区域中的杂质的扩散系数比包含于第六半导体区域中的杂质的扩散系数低。



1. 一种光电转换装置,包括:

被设置在半导体基板 (SB) 中的多个光电转换单元 (PD);和

被设置在所述半导体基板中以将所述多个光电转换单元相互隔离的隔离部 (IP),

其中,各光电转换单元包含:

第一半导体区域 (108),包含第一导电类型的杂质;

第二半导体区域 (107),被设置在第一半导体区域 (108) 之下,包含导电类型与第一导电类型相反的第二导电类型的杂质;

第三半导体区域 (109),被设置在第二半导体区域 (107) 之下,包含浓度比第二半导体区域 (107) 低的第二导电类型的杂质;以及

第四半导体区域 (102),被设置在第三半导体区域 (109) 之下,包含第一导电类型的杂质,并且,

各隔离部 (IP) 包含:

第五半导体区域 (104),被设置在比所述半导体基板的表面更深的位置并且至少在第二半导体区域 (107) 的侧方延伸,包含第一导电类型的杂质;

第六半导体区域 (105),被设置在第五半导体区域 (104) 之下并且至少在第三半导体区域 (109) 的侧方延伸,包含第一导电类型的杂质;以及

元件隔离部,被设置在第五半导体区域上,并且,

包含于第一半导体区域和第五半导体区域中的杂质的扩散系数比包含于第六半导体区域中的杂质的扩散系数低。

2. 根据权利要求 1 的光电转换装置,

其中,包含于第五半导体区域中的杂质的质量比包含于第六半导体区域中的杂质的质量大。

3. 根据权利要求 1 的光电转换装置,

其中,各隔离部包含设置在第五半导体区域上并且由绝缘体形成的元件隔离部。

4. 根据权利要求 1 的光电转换装置,

其中,第一导电类型为 N 型,

包含于第一半导体区域和第五半导体区域中的杂质的主要成分是砷,并且,

包含于第六半导体区域中的杂质的主要成分是磷。

5. 根据权利要求 1 的光电转换装置,

其中,所述装置被设置成使得成像光从半导体基板的背面侧进入。

6. 一种成像系统,包括:

根据权利要求 1 的光电转换装置;

在所述光电转换装置的成像区域上形成图像的光学系统;以及

通过处理从所述光电转换装置输出的信号产生图像数据的信号处理单元。

7. 一种包括半导体基板的光电转换装置的制造方法,该方法包括:

第一步骤,用于在半导体基板 (SB) 中的要使多个光电转换单元 (PD) 相互隔离的区域中形成元件隔离部 (103);

第二步骤,用于通过使用形成为使得露出元件隔离部 (103) 的第一抗蚀剂图案作为掩模在半导体基板 (SB) 中注入第一导电类型的第一杂质,在半导体基板 (SB) 中的元件隔离

部 (103) 之下形成第一半导体区域 (104') ;

第三步骤, 用于通过使用第一抗蚀剂图案作为掩模在半导体基板 (SB) 中注入第一导电类型的第二杂质, 在半导体基板 (SB) 中的第一半导体区域 (104') 之下形成第二半导体区域 (105') ;

第四步骤, 用于通过使用形成为使得露出多个元件隔离部之间的区域的第二抗蚀剂图案作为掩模在半导体基板中注入导电类型与第一导电类型相反的第二导电类型的杂质, 在半导体基板 (SB) 中的多个元件隔离部 (103) 之间形成光电转换单元 (PD) 中的电荷存储区域 (107) ; 以及

第五步骤, 用于通过使用第二抗蚀剂图案作为掩模在半导体基板中注入第一导电类型的第三杂质, 在电荷存储区域 (107) 上形成表面区域 (108),

其中, 第一杂质和第三杂质的扩散系数比第二杂质的扩散系数低。

光电转换装置和光电转换装置的制造方法

技术领域

[0001] 本发明涉及光电转换装置和光电转换装置的制造方法。

背景技术

[0002] 在诸如 CMOS 传感器的光电转换装置中,需要像素小型化和像素灵敏度提高。

[0003] 对于在日本专利特开 No. 2004-193547 中公开的固态成像装置中,在光电二极管中在 N 型外延层和 N 型浮置扩散区域 (FD) 之间设置 P 型分离层和 P 型阱层。还在该光电二极管的 N 型外延层和相邻像素的光电二极管的 N 型外延层之间设置 P 型分离层和 P 型阱层。因此,根据日本专利特开 No. 2004-193547,由于围绕 N 型外延层的各种势垒,由光电二极管产生的电子确定地被存储于 N 型外延层中,这被描述为提高像素灵敏度。

[0004] 日本专利特开 No. 2004-193547 公开了通过在 N 型硅基板中注入硼离子分别形成 P 型分离层和 P 型阱层。作为此工艺的条件的具体例子,通过以 1200Kev 的能量向基板注入剂量为 $6 \times 10^{11}/\text{cm}^2$ 的硼离子以形成 P 型分离层。同时,通过以 500Kev 的能量向基板注入剂量为 $10^{12}/\text{cm}^2$ 的硼离子以形成 P 型阱层。

[0005] 如果在形成 P 型分离层和 P 型阱层之后实施热处理,那么硼趋于扩散,由此存在用作光电二极管的阴极的 N 型外延区域的体积减小的可能性。这减少了光电二极管的 N 型外延区域中可存储的电荷量,从而导致了将在像素中出现光电二极管的灵敏度下降的可能性。换句话说,存在这样一种可能性,即,如果相邻的光电二极管(光电转换单元)之间的距离减小,那么光电二极管(光电转换单元)的灵敏度将下降。

发明内容

[0006] 本发明的一个目的是抑制在相邻的光电转换单元之间的距离减小时光电转换单元的灵敏度下降。

[0007] 根据本发明的第一方面的光电转换装置包括:被设置在半导体基板中的多个光电转换单元;和被设置在所述半导体基板中以将所述多个光电转换单元相互隔离的隔离部,其中,各光电转换单元包含:第二半导体区域,包含导电类型与第一导电类型相反的第二导电类型杂质;第三半导体区域,被设置在第二半导体区域之下,包含浓度比第二半导体区域低的第二导电类型杂质;以及第四半导体区域,被设置在第三半导体区域之下,包含第一导电类型杂质,并且,各隔离部包含:第五半导体区域,被设置在比所述半导体基板的表面更深的位置并且至少在第二半导体区域的侧方延伸,包含第一导电类型杂质;以及第六半导体区域,被设置在第五半导体区域之下并且至少在第三半导体区域的侧方延伸,包含第一导电类型杂质,并且,包含于第五半导体区域中的杂质的扩散系数比包含于第六半导体区域中的杂质的扩散系数低。

[0008] 根据本发明的第二方面的成像系统包括:根据本发明的第一方面的光电转换装置;在光电转换装置的成像区域上形成图像的光学系统;和通过处理从光电转换装置输出的信号产生图像数据的信号处理单元。

[0009] 根据本发明的第三方面的包括半导体基板的光电转换装置的制造方法包括以下的步骤：在半导体基板中的要使多个光电转换单元相互隔离的区域中形成元件隔离部；通过使用形成为使得露出元件隔离部的第一抗蚀剂图案作为掩模在半导体基板中注入第一导电类型的第一杂质，在半导体基板中的元件隔离部之下形成第一半导体区域；通过使用第一抗蚀剂图案作为掩模在半导体基板中注入第一导电类型的第二杂质，在半导体基板中的第一半导体区域之下形成第二半导体区域；以及通过使用形成为使得露出多个元件隔离部之间的区域的第二抗蚀剂图案作为掩模在半导体基板中注入导电类型与第一导电类型相反的第二导电类型杂质，在半导体基板中的多个元件隔离部之间形成光电转换单元中的电荷存储区域。第一杂质的扩散系数比第二杂质的扩散系数低。

[0010] 根据本发明，可以抑制在相邻的光电转换单元之间的距离减小时光电转换单元的灵敏度下降。

[0011] 从参照附图的示例性实施例的以下描述，本发明的其它特征将变得清晰。

附图说明

[0012] 图 1 是示出根据本发明的实施例的光电转换装置 100 的截面结构的示图。

[0013] 图 2A 和图 2B 是示出根据本发明的实施例的光电转换装置制造方法的步骤的截面图。

[0014] 图 3A ~ 3C 是示出根据本发明的实施例的光电转换装置制造方法的步骤的截面图。

[0015] 图 4A ~ 4C 是示出根据本发明的实施例的光电转换装置制造方法的步骤的截面图。

[0016] 图 5 是示出砷的横向扩散轮廓的模拟结果的示图。

[0017] 图 6 是示出磷的横向扩散轮廓的模拟结果的示图。

[0018] 图 7 是示出根据本发明的另一实施例的光电转换装置 100 的截面结构的示图。

[0019] 图 8 是示出应用根据本发明的实施例的光电转换装置的成像系统的配置的示图。

具体实施方式

[0020] 通过使用图 1 描述根据本发明的实施例的光电转换装置 100。图 1 是示出根据本发明的实施例的光电转换装置 100 的截面结构的示图。在图 1 中示出与单个像素对应的像素区域 PR。

[0021] 光电转换装置 100 包含多个光电转换单元 PD 和隔离部 IP。

[0022] 多个光电转换单元 PD 被设置在半导体基板 SB 中。半导体基板 SB 主要由例如硅形成。虽然图 1 没有示出，但是，当从上面观察时，多个光电转换单元 PD 以一维阵列或二维阵列的形式被设置。接地区域 101 和埋置 N 层 102 被在最远离表面 SBa 的位置设置在半导体基板 SB 中，跨整个像素区域 PR 延伸。接地区域 101 是半导体基板 SB 的没有注入杂质的区域。接地区域 101 包含第二导电类型（例如，P 型）杂质。埋置 N 层 102 被设置在接地区域 101 之上。埋置 N 层 102 包含第一导电类型（例如，N 型）杂质，该第一导电类型杂质的浓度比包含于接地区域 101 中的第二导电类型杂质的浓度高。第二导电类型是与第一导电类型相反的导电类型。可通过例如磷的高能量注入来形成埋置 N 层 102。

[0023] 各光电转换单元 PD 产生基于光的电荷对,并且存储电荷中的一个(例如,空穴)。各光电转换单元 PD 为例如光电二极管。各光电转换单元 PD 包含电荷存储区域(第二半导体区域)107、有效灵敏度区域(第三半导体区域)109 和埋置区域(第四半导体区域)102。102a 表示有效灵敏度区域 109 和埋置区域 102 之间的 P-N 结边界。为了抑制绝缘膜边界处的暗电流,可通过提供表面区域(第一半导体区域)108 实现埋置光电二极管。

[0024] 电荷存储区域 107 被设置在表面区域 108 之下。电荷存储区域 107 包含浓度比接地区域 101 的浓度高的第二导电类型(例如, P 型)杂质。通过例如硼离子注入形成电荷存储区域 107。当包含 P 型杂质时,电荷存储区域 107 存储空穴。

[0025] 表面区域 108 包含浓度比有效灵敏度区域 109 的浓度高的第一导电类型(例如, N 型)杂质。例如,通过砷离子注入形成表面区域 108。作为光电转换单元的光电二极管由于表面区域 108 而变为埋置光电二极管,并因此可以抑制半导体基板 SB 的表面 SBa 处悬挂键(dangling bond)所导致的暗电流的产生。

[0026] 有效灵敏度区域 109 被设置在电荷存储区域 107 之下。有效灵敏度区域 109 包含浓度比电荷存储区域 107 的浓度低的第一导电类型(例如, P 型)杂质。虽然能够通过硼离子注入形成有效灵敏度区域 109,但也能够使用半导体基板 SB 的没有注入杂质的区域作为有效灵敏度区域 109。

[0027] 边界区域 102a 是埋置 N 层 102 中的与设置在有效灵敏度区域 109 之下的区域对应的区域。

[0028] 隔离部 IP 被设置在半导体基板 SB 中,以使多个光电转换单元 PD 相互隔离。这里使用的“隔离”指的是至少使电荷存储区域 107 相互电气隔离。但是,还优选地,有效灵敏度区域 109 也被相互电气隔离。

[0029] 与此相反,表面区域 108 和埋置区域 102 不需要被隔离。隔离部 IP 以条带形式或网格形式在多个光电转换单元 PD 之间延伸,以使多个光电转换单元 PD 相互隔离。各隔离部 IP 包含元件隔离部 103、第一隔离区域(第五半导体区域)104、第二隔离区域(第六半导体区域)105 和第三隔离区域(第六半导体区域)106。

[0030] 元件隔离部 103 被设置在第一隔离区域 104 上。元件隔离部 103 被设置在光电转换单元 PD 中的表面区域 108 的侧方。元件隔离部 103 由诸如硅氧化物的绝缘体形成。元件隔离部 103 可具有例如 STI(浅沟槽隔离)结构,或者可具有 LOCOS(硅的局部氧化)结构。作为替代方案,可以使用扩散隔离。

[0031] 第一隔离区域 104 被设置在元件隔离部 103 之下,以便覆盖元件隔离部 103 的基底。第一隔离区域 104 被设置在比半导体基板 SB 的表面 SBa 深的位置,并且至少在电荷存储区域 107 的侧方延伸。第一隔离区域 104 可被设置为延伸到有效灵敏度区域 109 的侧面。第一隔离区域 104 包含第一导电类型杂质。包含于第一隔离区域 104 中的杂质具有例如作为 N 型杂质的砷作为其主要成分。第一隔离区域 104 由例如砷离子注入形成。

[0032] 第二隔离区域 105 被设置在第一隔离区域 104 之下。第二隔离区域 105 至少被设置在有效灵敏度区域 109 的侧方。第二隔离区域 105 可进一步被设置到电荷存储区域 107 的侧方。包含于第二隔离区域 105 中的杂质具有例如作为 N 型杂质的磷作为其主要成分。第二隔离区域 105 通过例如磷离子注入形成。

[0033] 第三隔离区域 106 被设置在第二隔离区域 105 之下。第三隔离区域 106 被设置在

第一隔离区域 104 之下以及在有效灵敏度区域 109 的侧方。第三隔离区域 106 可进一步被设置在电荷存储区域 107 的侧方。包含于第三隔离区域 106 中的杂质具有例如作为 N 型杂质的磷作为其主要成分。第三隔离区域 106 由例如磷离子注入形成。

[0034] 这里,包含于第一隔离区域 104 中的杂质(例如,砷)的质量大于包含于第二隔离区域 105 或第三隔离区域 106 中的杂质(例如,磷)的质量。因此,包含于第一隔离区域 104 中的杂质的扩散系数比包含于第二隔离区域 105 或第三隔离区域 106 中的杂质的扩散系数低。作为结果,可以减少包含于第一隔离区域 104 中的杂质向电荷存储区域 107 的扩散,同时还防止在光电转换单元 PD 中产生的电荷泄漏到相邻的光电转换单元 PD 内。换句话说,可以在相邻的光电转换单元之间确定地形成针对电荷的势垒,并且可以抑制电荷存储区域 107 的体积的减小,这使得能够抑制当相邻的光电转换单元之间的距离减小时光电转换单元的灵敏度降低。

[0035] 根据本实施例,隔离区域形成为 N 型区域,并且,分别在浅的区域和深的区域中使用不同的离子类型。在砷离子注入的注入轮廓中,横向方向上的扩展少,并且,源自砷的热的扩散系数低。因此,从砷形成第一隔离区域 104 使得能够更窄地形成第一隔离区域。作为结果,可以更宽地布设光电转换单元 PD 的电荷存储区域 107。这进一步使得能够使用如下这样的方法,即,当设计光电转换单元 PD 使得在光电转换单元 PD 的电荷存储区域 107 和第一隔离区域 104 之间的布局中设置间隔时,降低接合(junction)区域处的浓度并且使电场缓和。在这种情况下,第一隔离区域 104 的横向扩展少,因此,可有效地降低接合区域处的杂质浓度。这限制了接合区域处的电场,由此使得能够实现暗电流低以及白色缺陷(white defect)的出现少的传感器。

[0036] 此外,通过由发明人执行的实验发现,在硅基板内的通过硼注入形成的 P 型半导体区域和通过磷注入形成的 N 型半导体区域之间的接合区域中,暗电流和白色缺陷的发生多。相反,发现在通过硼注入形成的 P 型半导体区域和通过砷注入形成的 N 型半导体区域之间的接合区域中,暗电流和白色缺陷的发生少。可以认为,这种差异的原因在于硅内的砷的离子半径比磷的离子半径大。砷的离子半径 r_a 仅比硅的离子半径稍大。砷的 r_a 为 $1.18\text{\AA}$,从而导致与硅的比为 1.00855。与此相对,磷的离子半径比硅的离子半径小。磷的 r_a 为 $1.1\text{\AA}$,从而导致与硅的比为 0.940171。基于此,可以认为磷导致光栅畸变。

[0037] 根据本实施例,光电转换单元 PD 的电荷存储区域 107 包含例如硼作为其杂质,而第一隔离区域 104 包含砷作为其杂质。因此,可以抑制电荷存储区域 107 和第一隔离区域 104 之间的接合区域中的暗电流和白色缺陷的出现。

[0038] 此时,在本实施例中,第三隔离区域 106 通过例如磷离子注入形成。以下将描述其效果。为了在光电转换单元 PD 中获得高的灵敏度、特别是对于长波长的入射光的高灵敏度,必须将光电转换单元 PD 形成为深入地延伸。因此,在本发明中,通过例如磷的高能量注入形成埋置 N 层 102。这是由于磷的质量比砷的质量低,因此,磷在相同的动能下更深入地侵入。如果当深入地形成埋置 N 层 102 时第三隔离区域 106 太浅,那么不能实现足够的与相邻的光电转换单元 PD 的隔离,从而导致颜色混合和绽渲(blooming)等。因此,必须深入地注入第三隔离区域 106,因此,以磷形成该区域在性能、生产率和成本上是有利的。虽然第二隔离区域 105 在本实施例中由磷形成,但应注意,也可选择砷。

[0039] 以下将讨论根据本实施例的结构中的注入用动能。

[0040] 可通过以约 500Kev ~ 10Mev 的动能注入磷来形成埋置 N 层 102。考虑到生产成本, 进一步希望以约 3 ~ 5Mev 的动能形成该层。可通过以约 300Kev ~ 2Mev 的动能注入砷以形成第一隔离区域 104。进一步希望以 500Kev ~ 900Kev 形成该区域。可通过以约 500Kev ~ 3Mev 的动能注入磷来形成第二隔离区域 105。进一步希望以 800Kev ~ 1.5Mev 的动能形成该区域。虽然第二隔离区域 105 在本实施例中由磷形成, 但该区域也可由砷形成。可通过以约 1Mev ~ 9Mev 的动能注入磷来形成第三隔离区域 106。进一步希望以约 1Mev ~ 2Mev 的动能形成该区域。可通过以 50 ~ 200Kev 的动能注入硼来形成光电转换单元 PD 的电荷存储区域 107。最后, 可通过以约 30 ~ 120Kev 的动能注入砷来形成光电转换单元 PD 的表面区域 108。

[0041] 下面, 通过使用图 2A ~ 4C 描述根据本发明的实施例的光电转换装置的制造方法。图 2A ~ 4C 是示出根据本发明的实施例的光电转换装置制造方法的步骤的截面图。

[0042] 在图 2A 所示的步骤中, 通过在半导体基板 SB 中注入第一导电类型杂质的离子来形成埋置 N 层 102。该步骤中的第一导电类型杂质为例如作为 N 型杂质的磷。

[0043] 在图 2B 所示的步骤 (第一步骤) 中, 通过首先在半导体基板 SB 中的多个光电转换单元要被相互隔离的区域中形成沟道、并然后在这些沟道中嵌入绝缘体, 来形成 STI 元件隔离部 103。

[0044] 在图 3A 所示的步骤 (第二步骤) 中, 施加抗蚀剂, 并然后通过曝光处理将其构图, 由此形成露出元件隔离部的第一抗蚀剂图案 110。然后, 通过使用第一抗蚀剂图案 110 作为掩模在半导体基板 SB 中注入第一导电类型的第一杂质, 在元件隔离部 103 之下在半导体基板 SB 中形成第一隔离区域 104'。该步骤中的第一导电类型的第一杂质为例如作为 N 型杂质的砷。

[0045] 在图 3B 所示的步骤 (第三步骤) 中, 通过使用第一抗蚀剂图案 110 作为掩模在半导体基板 SB 中注入第一导电类型的第二杂质, 在第一隔离区域 104' 之下在半导体基板 SB 中形成第二隔离区域 105'。此外, 通过使用第一抗蚀剂图案 110 作为掩模在半导体基板 SB 中注入第一导电类型的第二杂质, 在第一隔离区域 104' 之下在半导体基板 SB 中形成第三隔离区域 106'。该步骤中的第一导电类型的第二杂质为例如作为 N 型杂质的磷。

[0046] 这里, 可以使用上述的条件作为用于注入的各实例的条件。并且, 在本实施例中, 可使用相同的抗蚀剂图案形成第一隔离区域 104'、第二隔离区域 105' 和第三隔离区域 106'。这使得能够在不增加处理步骤数量的情况下实现低成本制造。还使得能够抑制由于不对准导致的制造中出现的性能的变化。

[0047] 在图 3C 所示的步骤中, 去除第一抗蚀剂图案 110。

[0048] 在图 4A 所示的步骤中, 通过施加抗蚀剂并然后通过曝光处理将抗蚀剂构图以露出多个隔离部之间的区域, 形成第二抗蚀剂图案 (未示出)。然后, 通过通过使用第二抗蚀剂图案作为掩模在半导体基板 SB 中注入第二导电类型杂质, 在半导体基板 SB 中在多个元件隔离部 103 之间形成光电转换单元 PD 的电荷存储区域 107。该步骤中的第二导电类型杂质为例如作为 P 型杂质的硼。

[0049] 在图 4B 所示的步骤中, 通过使用第二抗蚀剂图案作为掩模在半导体基板 SB 中注入第一导电类型杂质, 在半导体基板 SB 中在多个元件隔离部 103 之间形成光电转换单元 PD 的表面区域 108。该步骤中的第一导电类型杂质为例如作为 N 型杂质的砷。

[0050] 在图 4C 所示的步骤中,通过热扩散(热处理)将第一隔离区域 104、第二隔离区域 105 和第三隔离区域 106 稳定化。当执行该热扩散时,包含于第一隔离区域 104' 中的砷具有低的扩散系数,并由此相对于紧接在注入之后的轮廓表现很少的扩散。

[0051] 图 5 和图 6 中示出在例如 900℃ 下执行约 1 小时的热扩散的影响的模拟结果。图 5 是示出砷的横向扩散轮廓的模拟结果的示图。同时,图 6 是示出磷的横向扩散轮廓的模拟结果的示图。在图 5 和图 6 中,纵轴表示浓度的量,而横轴表示距基准位置的在横向方向上的距离。并且,在图 5 和图 6 中,黑色绘制点表示热扩散之前的轮廓,而白色绘制点表示热扩散之后的轮廓。

[0052] 如图 6 所示,当使用磷作为包含于第一隔离区域 104 中的杂质时,由于注入后的处理的热,磷明显地扩散,在光电转换单元 PD 的电荷存储区域 107 上施加压力,并由此减少可存储于光电转换单元 PD 的电荷存储区域 107 中的电荷量。另外,在光电转换单元 PD 的电荷存储区域 107 和第一隔离区域 104 之间形成高浓度接合,从而导致电场集中并且导致出现暗电流和白色缺陷。

[0053] 此时,从图 5 可以看出,当使用砷作为包含于第一隔离区域 104 中的杂质时,砷经历小的由注入后的处理的热导致的扩散。因此,难以在光电转换单元 PD 的电荷存储区域 107 上施加压力,并且进一步难以在光电转换单元 PD 的电荷存储区域 107 和第一隔离区域 104 之间形成高浓度接合。因此,可以抑制存储于光电转换单元 PD 的电荷存储区域 107 中的电荷量的减少,并且可以抑制电场在电荷存储区域 107 和第一隔离区域 104 之间的接合区域中集中,从而使得能够减少暗电流和白色缺陷的出现。

[0054] 在本发明的实施例中,可通过调整在第一到第三隔离区域的注入之后施加的热处理的温度和长度,来调整第二隔离区域 105 和第三隔离区域 106 的宽度。由此可通过调整热处理实现如下这样的设计,即该设计抑制在相邻的像素之间出现的串扰并且抑制沿基板的方向泄漏的电荷量。

[0055] 如上所述,元素的质量越大,它们的扩散系数越低,因此,在第一隔离区域 104 的形成中,具有更大的质量的元素是所希望的。并且,由于在相同动能下具有较低质量的元素在离子注入期间更深地侵入,因此,优选地使用低质量的元素作为用于形成第三隔离区域 106 的杂质。作为结果,可以实现具有高的灵敏度和高的饱和功率的像素,同时还使像素的尺寸小型化。还可实现表现出很少的暗电流和很少的白色缺陷的像素。因此,能够提供具有高分辨率和高 S/N 比的具有宽的动态范围的光电转换装置。

[0056] 图 7 是示出根据本发明的另一实施例的光电转换装置 100 的截面图。功能与上述的实施例相同的构成元件将被给予相同的附图标记,并且,其详细描述将被省略。本实施例和上述的实施例之间的不同之处在于成像光进入装置的方向。在本实施例中,光电转换装置 100 具有所谓的后照明结构,在后照明结构中,成像光从自表面向下的方向、即从与设置布线的一侧相反的方向进入。

[0057] 附图标记 801 是在其中形成诸如光电转换单元和晶体管等的半导体区域的基板(以下,为了简化,称为“PD 形成基板”)。布线层 802 被设置在 PD 形成基板 801 的第一主面侧(正面侧)。主要为了保持基板的强度,支撑基板 803 被设置在布线层 802 之上,或者换句话说,被设置在 PD 形成基板 801 的相对侧。必要时在 PD 形成基板 801 的第二主面侧(背面侧)、或者换句话说,在布线层 802 的相对侧,在保护膜 805 上形成光学功能单元 806,

该保护膜 805 继而被设置在氧化物膜 804 上。光学功能单元 806 包含例如滤色器、微透镜或平面电介质膜等。

[0058] 这样,本实施例描述了具有已知为后照明结构的固态成像装置的结构,由此,成像光从布线层的设置侧的相对侧、或者换句话说,从背面侧,进入装置。

[0059] 图 7 中的截面结构示出像素区域 807 和周边电路区域 808。多个光电转换单元被设置在像素区域 807 中。周边电路晶体管 810 被设置在周边电路区域 808 中,并且,形成驱动本实施例的固态成像装置所需的有源电路。周边电路包含例如由移位寄存器和解码器等配置成的扫描电路。周边电路还可包含对从光电转换单元输出的信号执行诸如放大的信号处理的读出电路。

[0060] 高浓度的 N 型半导体区域 809 被设置在 PD 形成基板 801 的第二主面(背面侧)的边界处。N 型半导体区域 809 用于抑制在 PD 形成基板 801 和氧化物膜 804 之间的边界出现暗电流。虽然在图 7 中 N 型半导体区域 809 几乎跨 PD 形成基板 801 的整个表面设置,但是作为替代,其可仅设置在像素区域 807 上。

[0061] 如在上述的实施例中那样,设置隔离部 IP,并且,这里,包含于第一隔离区域 104 中的杂质(例如,砷)的质量比包含于第二隔离区域 105 或第三隔离区域 106 中的杂质(例如,磷)的质量大。因此,包含于第一隔离区域 104 中的杂质的扩散系数比包含于第二隔离区域 105 或第三隔离区域 106 中的杂质的扩散系数低。作为结果,可以减少包含于第一隔离区域 104 中的杂质向电荷存储区域 107 的扩散,同时还防止在光电转换单元中产生的电荷泄漏到相邻的光电转换单元 PD 内。换句话说,可以在相邻的光电转换单元之间确定地形成针对电荷的势垒,并且可以抑制电荷存储区域 107 的体积的减小,这使得能够抑制当相邻的光电转换单元之间的距离减小时抑制光电转换单元的灵敏度的降低。这与上述的实施例相同。

[0062] 下面,图 8 示出应用本发明的光电转换装置的成像系统的例子。如图 8 所示,成像系统 90 包含光学系统、成像装置 86 和信号处理单元作为其主要部件。光学系统包括快门 91、透镜 92 和光圈 93 作为其主要部件。成像装置 86 包括光电转换装置 100。信号处理单元包括成像信号处理电路 95、A/D 转换器 96、图像信号处理单元 97、存储器单元 87、外部 I/F 单元 89、定时产生单元 98、中央控制/计算单元 99、记录介质 88 和记录介质控制 I/F 单元 94 作为其主要部件。信号处理单元不必包含记录介质 88。

[0063] 快门 91 在光路中被设置在透镜 92 的前方,并且控制曝光。

[0064] 透镜 92 折射入射光,使得在成像装置 86 的光电转换装置 100 中的成像区域上形成被照体的图像。

[0065] 光圈 93 在光路中被设置在透镜 92 和光电转换装置 100 之间,并且,调整在穿过透镜 92 之后被引入光电转换装置 100 中的光量。

[0066] 成像装置 86 的光电转换装置 100 将在光电转换装置 100 的成像区域上形成的被照体的图像转换成图像信号。成像装置 86 从光电转换装置 100 读出该图像信号并且输出该图像信号。

[0067] 成像信号处理电路 95 与成像装置 86 连接,并且,处理从成像装置 86 输出的图像信号。

[0068] A/D 转换器 96 与成像信号处理电路 95 连接,并且将从成像信号处理电路 95 输出

的处理后的模拟图像信号转换成数字图像信号。

[0069] 图像信号处理单元 97 与 A/D 转换器 96 连接,并且对从 A/D 转换器 96 输出的数字图像信号执行诸如校正的各种计算处理,由此产生图像数据。该图像数据然后被供给到存储器单元 87、外部 I/F 单元 89、中央控制 / 计算单元 99 和记录介质控制 I/F 单元 94 等。

[0070] 存储器单元 87 与图像信号处理单元 97 连接,并且存储从图像信号处理单元 97 输出的图像数据。

[0071] 外部 I/F 单元 89 与图像信号处理单元 97 连接。这使得能够将将从图像信号处理单元 97 输出的图像数据通过外部 I/F 单元 89 传送到外部设备(个人计算机等)。

[0072] 定时产生单元 98 与成像装置 86、成像信号处理电路 95、A/D 转换器 96 和图像信号处理单元 97 连接。定时信号由此被供给成像装置 86、成像信号处理电路 95、A/D 转换器 96 和图像信号处理单元 97。成像装置 86、成像信号处理电路 95、A/D 转换器 96 和图像信号处理单元 97 与定时信号同步地动作。

[0073] 中央控制 / 计算单元 99 与定时产生单元 98、图像信号处理单元 97 和记录介质控制 I/F 单元 94 连接,并且,执行定时产生单元 98、图像信号处理单元 97 和记录介质控制 I/F 单元 94 的总体控制。

[0074] 记录介质 88 以可去除的状态与记录介质控制 I/F 单元 94 连接。作为结果,从图像信号处理单元 97 输出的图像数据通过记录介质控制 I/F 单元 94 被记录到记录介质 88 内。

[0075] 通过迄今所述的配置,如果通过光电转换装置 100 获得有利的图像信号,那么也可获得有利的图像(图像数据)。

[0076] 虽然已参照示例性实施例描述了本发明,但应理解,本发明不限于公开的示例性实施例。以下的权利要求的范围应被赋予最宽泛的解释以包含所有的变型方式以及等同的结构和功能。

[0077] 本申请要求在 2009 年 2 月 6 日提交的日本专利申请 No. 2009-026696 和在 2010 年 1 月 20 日提交的日本专利申请 No. 2010-010370 的权益,通过引用将它们的全部内容并入此。

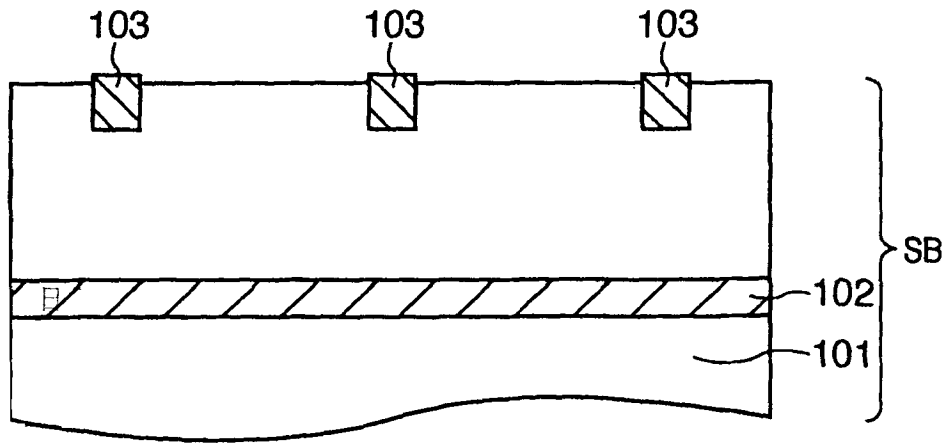


图 2B

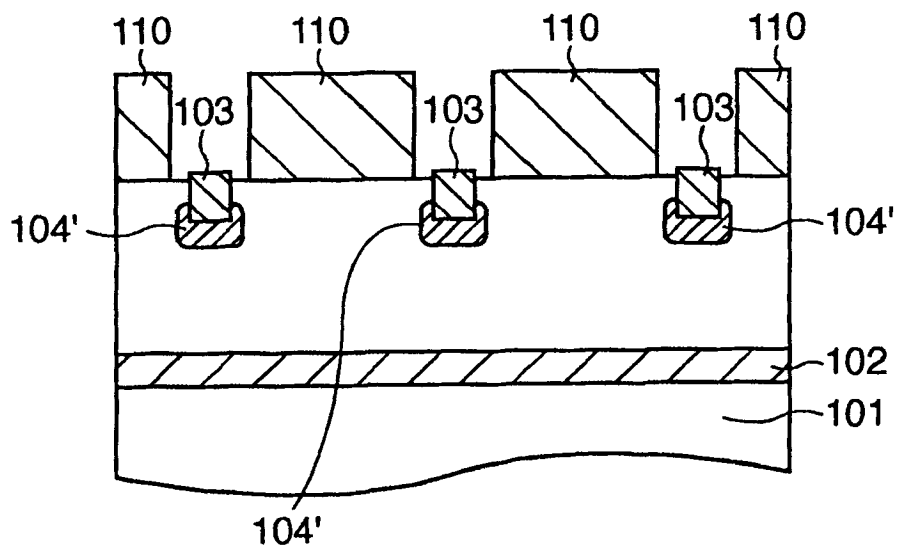


图 3A

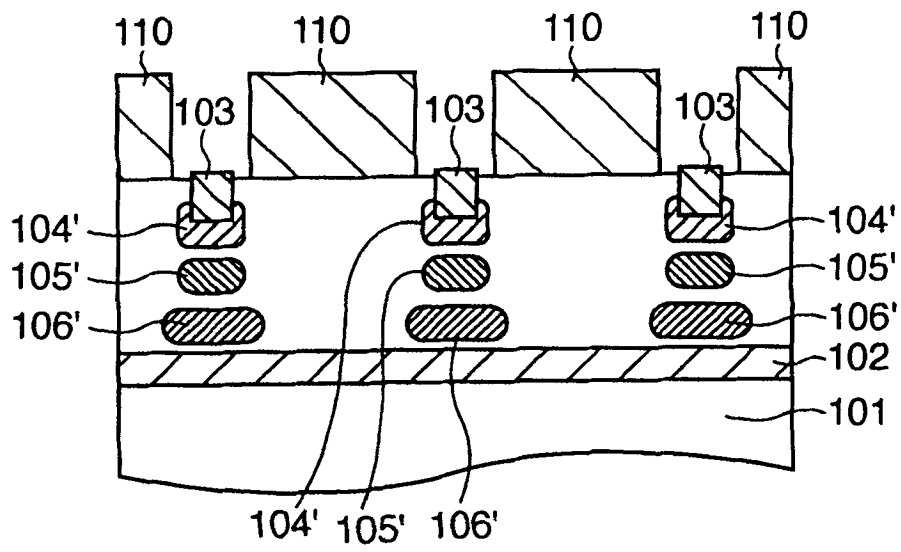


图 3B

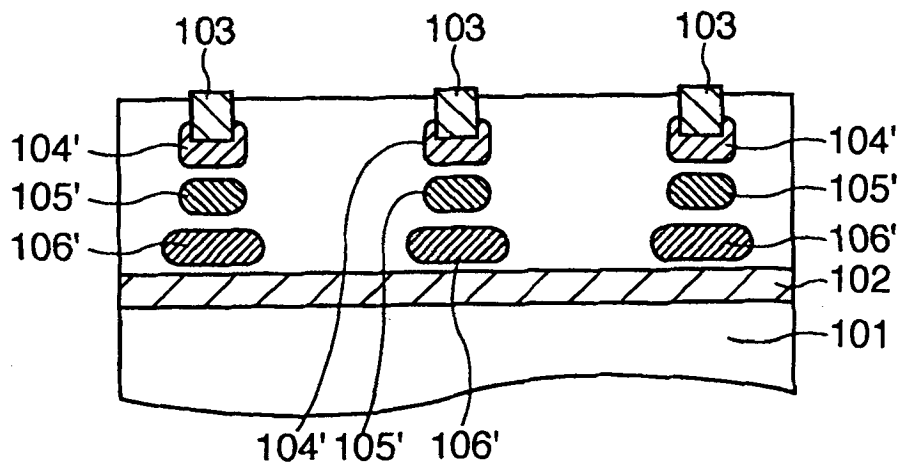


图 3C

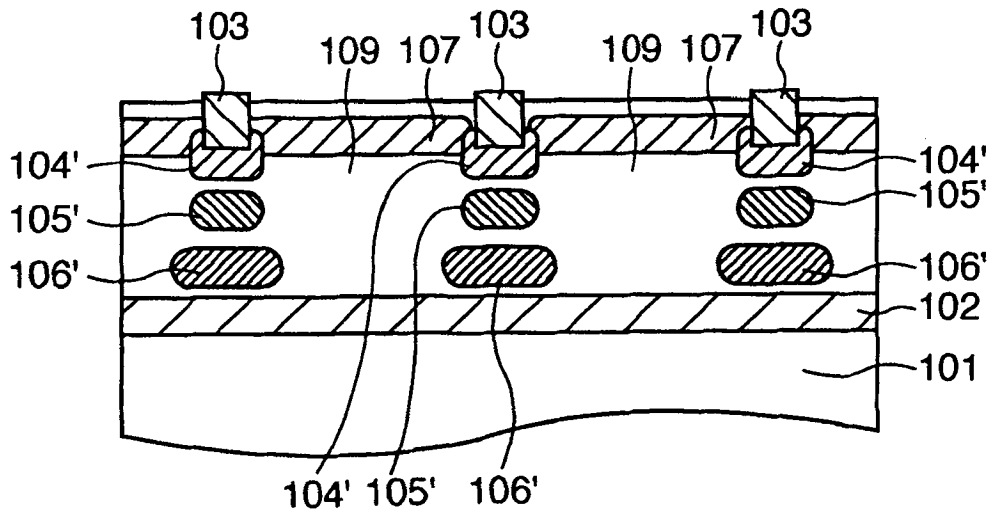


图 4A

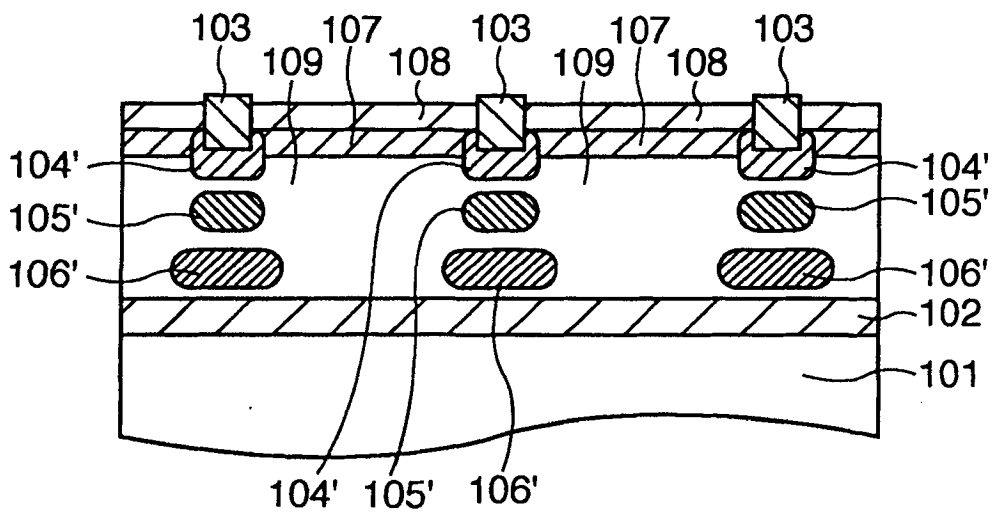


图 4B

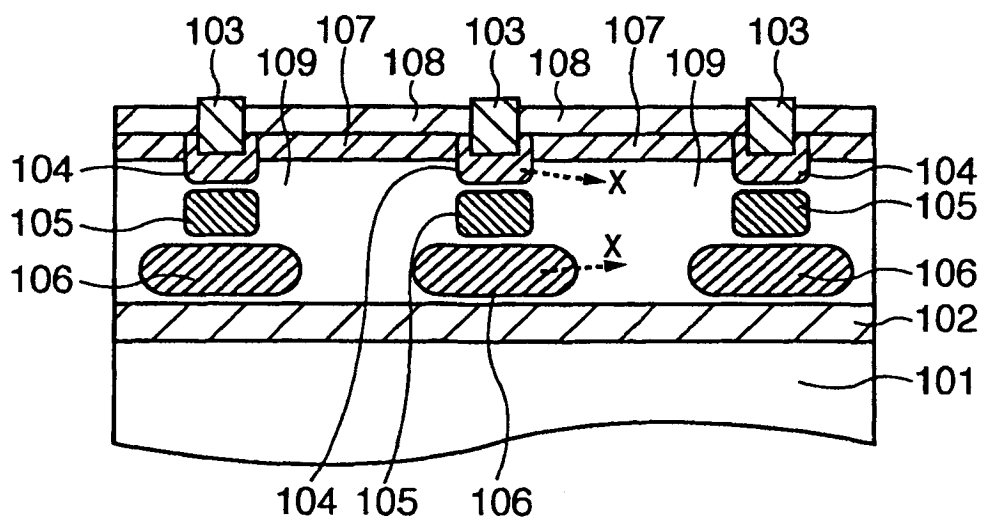


图 4C

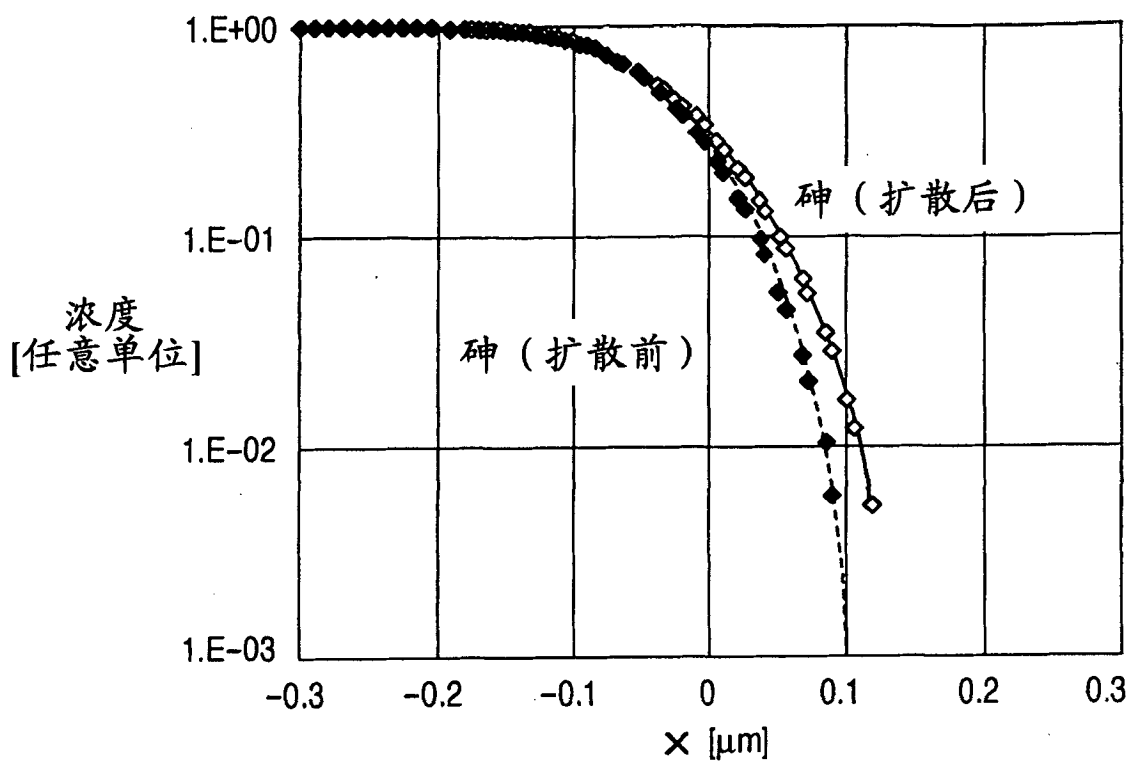


图 5

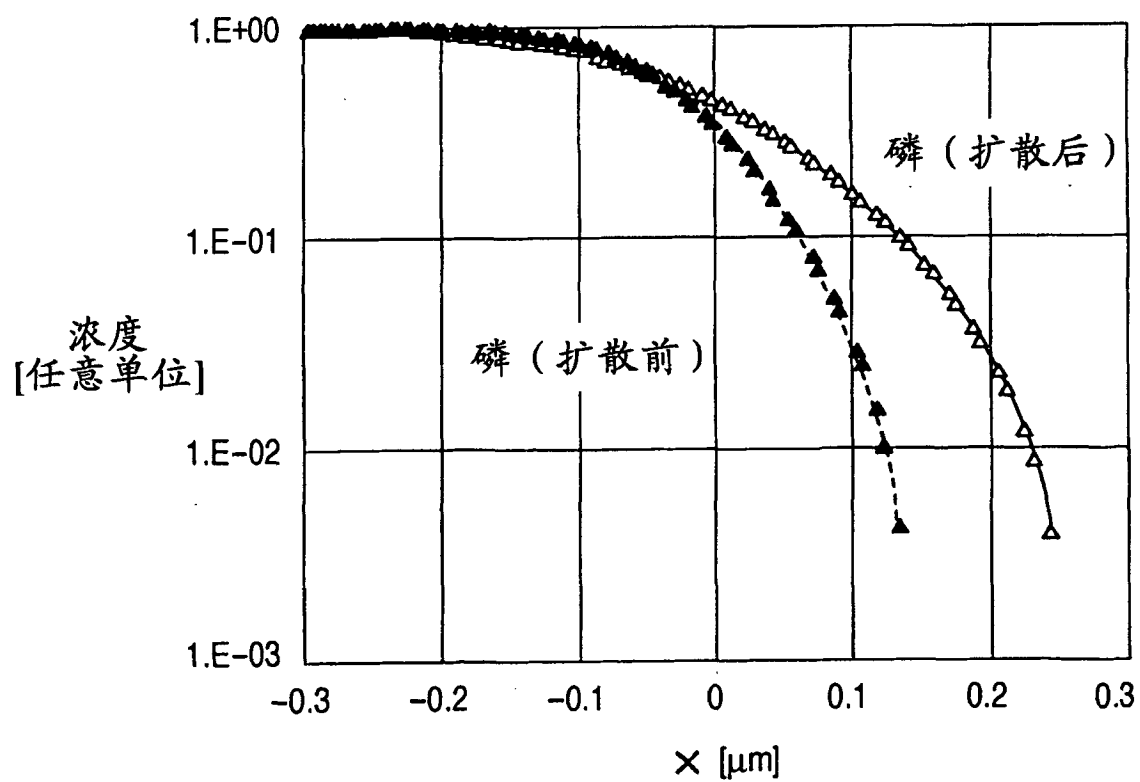


图 6

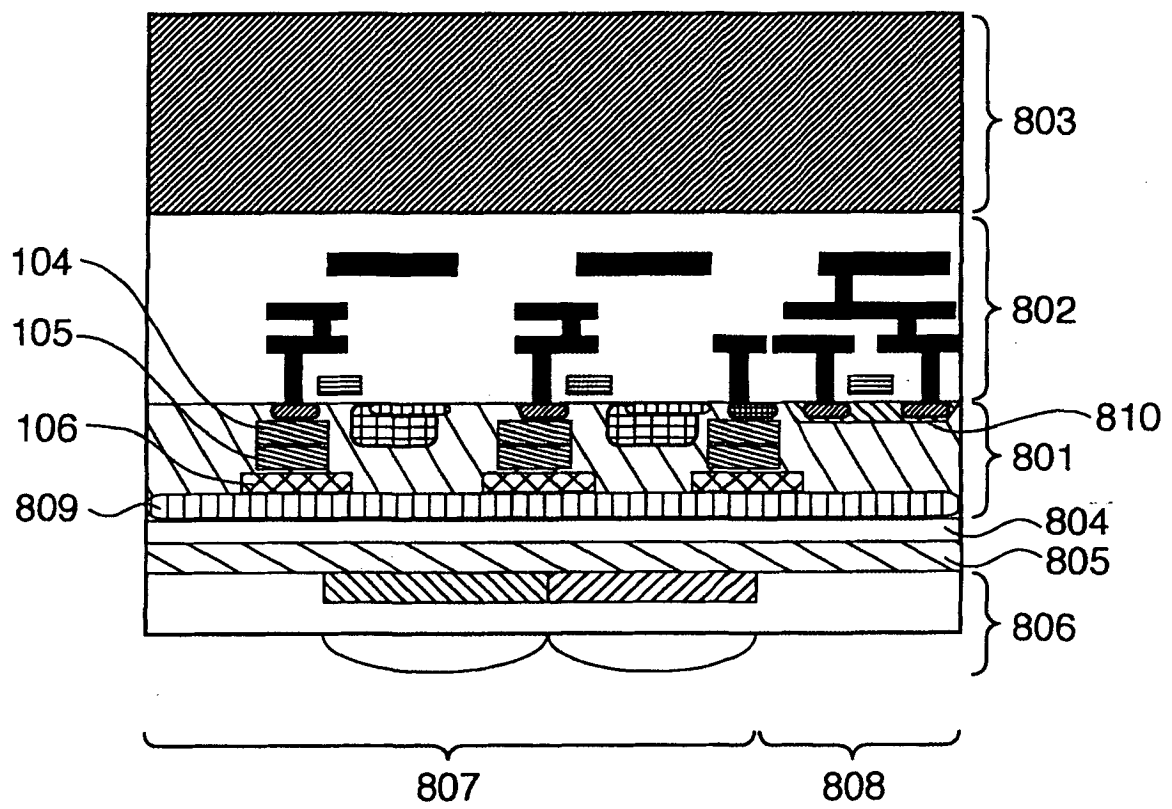


图 7

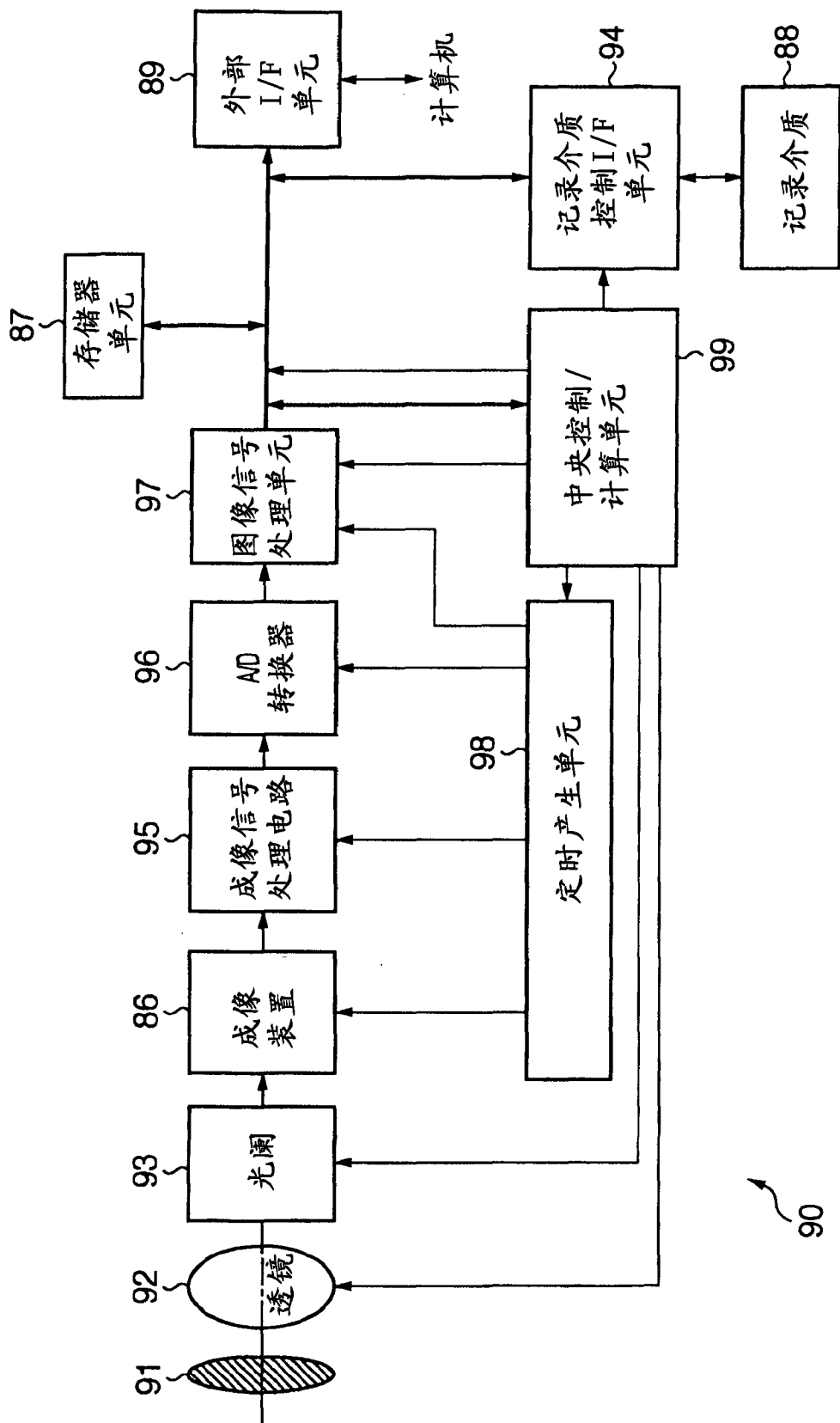


图 8