

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成22年4月22日(2010.4.22)

【公開番号】特開2007-295570(P2007-295570A)

【公開日】平成19年11月8日(2007.11.8)

【年通号数】公開・登録公報2007-043

【出願番号】特願2007-111232(P2007-111232)

【国際特許分類】

H 03K 5/08 (2006.01)

【F I】

H 03K 5/08 W

【手続補正書】

【提出日】平成22年3月10日(2010.3.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

信号一致検出回路であって、

第1の差動トランジスタ対と、

前記第1の差動トランジスタ対と結合される第2の差動トランジスタ対と、

前記第2の差動トランジスタ対と並列に前記第1の差動トランジスタ対と結合される第3の差動トランジスタ対と、

前記第1、第2および第3の差動トランジスタ対と結合され、動作時に、前記第1、第2および第3の差動トランジスタ対へ伝達される第1の入力信号を受け取る第1の入力信号端子と、

前記第1、第2および第3の差動トランジスタ対と結合され、動作時に、前記第1、第2および第3の差動トランジスタ対へ伝達される第2の入力信号を受け取る第2の入力信号端子と、

前記第1の差動トランジスタ対と結合される電流源と
を備え、

動作時に、前記第2および第3の差動トランジスタ対の複数の電流が組み合わされ、組み合わされた前記電流が、前記第1の入力信号と前記第2の入力信号との間に一致があるか否かを示す、

信号一致検出回路。

【請求項2】

請求項1に記載の信号一致検出回路であって、動作時に、

前記電流源が、前記第1の差動トランジスタ対へ第1のテール電流を供給し、

前記第1の差動トランジスタ対の第1のトランジスタが、前記第2の差動トランジスタ対へ第2のテール電流を供給し、

前記第1の差動トランジスタ対の第2のトランジスタが、前記第3の差動トランジスタ対へ第3のテール電流を供給する、

信号一致検出回路。

【請求項3】

請求項2に記載の信号一致検出回路であって、

前記第1の入力信号端子が、前記第1の差動トランジスタ対の前記第1のトランジスタ

のゲート端子と結合され、

前記第2の入力信号端子が、(i)前記第1の差動トランジスタ対の前記第2のトランジスタのゲート端子、および(ii)前記第2および第3の差動トランジスタ対のそれぞれの第1のトランジスタのそれぞれのゲート端子と結合され、

前記第1の入力信号端子が更に、前記第2および第3の差動トランジスタ対のそれぞれの第2のトランジスタのそれぞれのゲート端子と結合される、

信号一致検出回路。

【請求項4】

請求項3に記載の信号一致検出回路であって、前記第2の差動トランジスタ対の前記第2のトランジスタおよび前記第3の差動トランジスタ対の前記第1のトランジスタと結合される電流ミラーを更に含み、前記電流ミラーは、前記信号一致検出回路のプルアップ・デバイスとして動作し、動作時に、前記第1の入力信号と前記第2の入力信号との間に一致があるか否かを示すために、前記第2の差動トランジスタ対の前記第2のトランジスタと前記第2の差動トランジスタ対の前記第1のトランジスタとのそれぞれの電流が組み合わされて前記電流ミラーによってミラーリングされる、信号一致検出回路。

【請求項5】

請求項3に記載の信号一致検出回路であって、前記電流ミラーと結合されるスレッショルド調節デバイスを更に含み、前記スレッショルド調節デバイスの抵抗を変化させることにより電圧スレッショルドを確立し、前記電圧スレッショルドよりも下では、前記信号一致回路が前記第1の入力信号と前記第2の入力信号との一致を示さないようにする、信号一致検出回路。

【請求項6】

請求項5に記載の信号一致検出回路であって、前記スレッショルド調節デバイスがn型電界効果トランジスタを備える、信号一致検出回路。

【請求項7】

請求項3に記載の信号一致検出回路であって、

前記第2の差動トランジスタ対の前記第1のトランジスタおよび前記第3の差動トランジスタ対の前記第2のトランジスタと結合される第1の電流ミラーと、

前記第1の電流ミラーと結合され、前記信号一致検出回路のプルダウン・デバイスとして動作する第2の電流ミラーと

を更に備え、動作時に、

前記第2の差動トランジスタ対の前記第1のトランジスタと前記第3の差動トランジスタ対の前記第2のトランジスタとのそれぞれの電流が組み合わされて前記第1の電流ミラーによりミラーリングされ、

前記第1の入力信号と前記第2の入力信号との間に一致があるか否かを示すために、前記第1の電流ミラーの電流が前記第2の電流ミラーによりミラーリングされる、

信号一致検出回路。

【請求項8】

請求項1に記載の信号一致検出回路であって、

前記第2の差動トランジスタ対の前記第2のトランジスタおよび前記第3の差動トランジスタ対の前記第1のトランジスタと結合される第3の電流ミラーを更に備え、前記第3の電流ミラーは、前記信号一致検出回路のプルアップ・デバイスとして動作し、動作時に、前記第1の入力信号と前記第2の入力信号との間に一致があるか否かを示すために、前記第2の差動トランジスタ対の前記第2のトランジスタと前記第2の差動トランジスタ対の前記第1のトランジスタとのそれぞれの電流が組み合わされて前記第3の電流ミラーによってミラーリングされるものであり、かつ、

前記第2および第3の電流ミラーに結合された信号バッファを更に備え、動作時に、前記信号バッファは、前記第2および第3の電流ミラーの電流に基づいてデジタル信号を生成し、前記デジタル信号は、前記第1の入力信号と前記第2の入力信号との間に一致があるか否かを示すものである、

信号一致検出回路。

【請求項 9】

請求項 8 に記載の信号一致検出回路であって、前記信号バッファがインバータ回路を備える、信号一致検出回路。

【請求項 10】

請求項 1 に記載の信号一致検出回路であって、前記電流源が、第 1 および第 2 の n 型電界効果トランジスタ (FET) を備え、

前記第 1 の n 型 FET のソース端子が電気的接地と結合され、

前記第 1 の n 型 FET のドレイン端子が前記第 2 の n 型 FET のソース端子と結合され、

前記第 2 の n 型 FET のドレイン端子が、前記第 1 の差動トランジスタ対の第 1 および第 2 のトランジスタのそれぞれのソース端子と結合される、

信号一致検出回路。