(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11C 16/00

(45) 공고일자 2004년03월25일
(11) 등록번호 10-0377646
(24) 등록일자 2003년03월13일

(21) 출원번호 10-1994-0017351
(22) 출원일자 1994년07월19일

(65) 공개번호 10-1996-0005618
(43) 공개일자 1996년02월23일

(30) 우선권주장 93-203570 1993년07월26일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 사또히로시
일본국도꾜도오우메시가베마찌7-22-4

요시다게이이찌
일본국도꾜도오우메시노가미657-5

쯔지까와데쯔야
일본국도꾜도하무라시미도리가오까2-1-16

(74) 대리인 백남기

심사관 : 퇴-이철희

(54) 반도체기억장치

요약

반도체기억장치에 관한 것으로써, 고속인 데이타의 직렬 리드동작과 피크전류의 저감 및 인접 데이타선간에 있어서의 커플링의 영향을 경감시키기 위해, 기억정보에 따라서 높은 임계값전압 또는 낮은 임계값전압을 갖도록 된 기억트랜지스터가 매트릭스 배치되어 이루어지는 메모리어레이의 데이타선을 다수 블럭으로 분할하고, 시간적으로 분산되어 증폭동작을 실행하는 센스앰프에 의해서 신호증폭을 실행하고, 또, 인접해서 배치된 기수번째와 우수번째의 데이타선에 대응해서 제1군의 센스앰프와 제2군의 센스앰프로 분할하고, 한쪽의 센스앰프군의 출력신호를 직렬로 출력시키고 있는 동안에 워드선의 전환을 실행함과 동시에 다른쪽의 센스앰프군을 상기 전환된 워드선에 대응한 메모리셀로 부터의 리드신호의 증폭동작을 실행시킨다.
이러한 장치를 이용하는 것에 의해, 센스앰프가 시간적으로 분산해서 동작하므로 피크전류의 저감을 도모할 수 있고, 기수번째와 우수번째의 데이타선의 리드동작을 교대로 실행하도록 하는 것에 의해서 인접 데이타선간의 커플링잡음을 저감할 수 있어 고속으로 연속적인 직렬리드를 실행할 수 있다.

대표도

도 3

명세서

도면의 간단한 설명

제1도는 본 발명에 관한 일괄소거형 EEPROM의 1실시예를 도시한 블럭도.
제2도는 상기 메모리매트와 그 주변부의 1실시예를 도시한 개략회로도.
제3도는 본 발명에 관한 반도체기억장치의 데이타선과 센스앰프의 관계를 설명하기 위한 1실시예를 도시한 회로도.
제4도는 본 발명에 관한 반도체기억장치의 데이타선과 센스앰프의 관계를 설명하기 위한 다른 1실시예를 도시한 회로도.
제5도는 본 발명에 관한 반도체기억장치의 데이타선과 센스앰프의 관계를 설명하기 위한 또 다른 1실시예를 도시한 회로도.
제6도는 본 발명에 앞서서 검토된 데이타선과 센스앰프의 1예를 도시한 회로도.
제7도는 본 발명의 반도체기억장치의 내부회로의 리드동작을 설명하기 위한 기본적인 파형도.
제8도는 상기 제3도의 실시예에 대응한 리드동작의 1예를 설명하기 위한 파형도.
제9도는 본 발명에 관한 반도체기억장치에 있어서의 연속리드동작의 1실시예를 도시한 타이밍도.
제10도는 본 발명에 관한 반도체기억장치에 있어서의 연속리드동작의 다른 1실시예를 도시한 타이밍도.
제11도는 본 발명에 관한 반도체기억장치에 있어서의 연속리드동작의 또 다른 1실시예를 도시한 타이밍도.
제12도는 상기 제9도의 동작모드에 대응한 내부회로의 동각을 설명하기 위한 흐름도.
제13도는 상기 제10도의 동작모드에 대응한 내부회로의 동작을 설명하기 위한 일부의 흐름도.
제14도는 상기 제10도의 동작모드에 대응한 내부회로의 동작을 설명하기 위한 나머지 일부의 흐름도.
제15도는 상기 제11도의 동작모드에 대응한 내부회로의 동작을 설명하기 위한 일부의 흐름도.
제16도는 상기 제11도의 동작모드에 대응한 내부회로의 동작을 설명하기 위한 다른 일부의 흐름도.
제17도는 상기 제11도의 동작모드에 대응한 내부회로의 동작을 설명하기 위한 나머지 일부의 흐름도.
제18도는 본 발명에 관한 반도체기억장치의 다른 1실시예를 도시한 주요부 블럭도.
제19도는 본 발명에 관한 반도체기억장치에 있어서의 데이타선과 차동형 센스앰프의 관계를 설명하기 위한 1실시예를 도시한 회로도.
제20도는 본 발명에 관한 반도제기억장치에 있어서의 데이타선과 상기 차동형 센스앰프의 관계를 설명하기 위한 다른 1실시예를 도시한 회로도.
제21도는 상기 제20도의 실시예의 회로의 동작의 1예를 설명하기 위한 파형도.
제22도는 본 발명에 관한 반도체기억장치에 있어서의 데이타선과 상기 차동형 센스앰프의 관계를 설명하기 위한 또 다른 1실시예를 도시한 회로도.
제23도는 상기 제22도의 실시예의 회로의 동작의 1예를 설명하기 위한 파형도.
제24도는 본 발명에 관한 반도체기억장치의 리드계 회로의 다른 1실시예를 도시한 구성도.
제25도는 본 발명에 관한 반도체기억장치에 있어서의 데이타선과 센스앰프의 관계를 설명하기 위한 또 다른 1실시예를 도시한 회로도.
제26도는 본 발명에 관한 반도체기억장치를 사용한 마이크로컴퓨터등의 정보처리시스템의 1실시예를 도시한 블럭도.
제27도는 종래의 메모리셀의 1예를 도시한 개략 단면도.
제28도는 메모리셀의 다른 예를 도시한 개략 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체기억장치에 관한 것으로써, 예를들면 일괄소거형 EEPROM(Electrically Erasable amp; Programmable Read Only Memory)의 고속리드기술에 이용해서 유효한 기술에 관한 것이다.
전기적 일괄 소거형 EEPROM은 칩에 형성된 메모리셀의 전부를 일괄해서 또는 칩에 형성된 메모리셀중 어떤 그룹의 메모리셀군을 일괄해서 전기적으로 소거하는 기능을 갖는 불휘발성 기억장치이다.
이와 같은 일괄소거형 EEPROM에 관해서는 1980년의 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE의 pp. 152~153, 1987년의 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE의 pp. 76~77, IEEE,J.SOLID-STATE CIRCUITS,Vol.23(1988)pp. 1157~1163에 기재되어 있다.
제27도에는 1987년의 국제전자디바이스회의 (INTERNATIONAL ELECTRON DEVICE MEETING)에서 발표된 전기적 일괄소거형 EEPROM의 메모리셀의 단면구조의 개요도가 도시되어 있다. 동일 도면의 메모리셀은 통상의 EPROM의 메모리셀과 아주 유사한 구조를 갖고 있다. 즉 메모리셀은 2층게이트구조의 절연게이트형 전계효과 트랜지스터 (이하, MOSFET 또는 단지 트랜지스터라 한다) 로 구성되어 있다. 동일 도면에 있어서, (8)은 P형 실리콘기판, (11)은 상기 실리콘기판(8)에 형성된 P형 확산층, (10)은 상기 실리콘기판(8)에 형성된 저농도의 N형 확산층, (9)는 상기 P형 확산층(11) 및 상기 N형 확산층(10)의 각각에 형성된 N형 확산층이다. 또, (4)는 얇은 산화막(7)을 거쳐서 상기 P형 실리콘기판(8)상에 형성된 플로팅게이트, (6)은 산화막(7)을 거쳐서 상기 플로팅게이트(4)상에 형성된 컨트롤게이트, (3)은 드레인전극, (5)는 소오스전극이다. 즉, 동일도면의 메모리셀은 N채널형의 2층게이트구조 의 MOSFET로

구성되고, 이 트랜지스터에 정보가 기억된다. 여기에 있어서, 정보는 실질적으로 임계값전압의 변화로써 트랜지스터에 유지된다.
이하, 특별히 기술하지 않는한 메모리셀에 있어서 정보를 기억하는 트랜지스터(이하, 기억트랜지스터라 한다)가 N채널형인 경우에 대해서 기술한다. 제27도에 도시되어 있는 메모리셀로의 정보의 라이트동작은 EPROM의 그것과 동일하다. 즉, 라이트동작은 드레인전극(3)에 접속된 드레인영역(9)의 근방에서 발생시킨 핫 캐리어를 플로팅게이트(4)에 주입하는 것에 의해 실행된다. 이 라이트동작에 의해 기억트랜지스터는 그 컨트롤게이트(6)에서 본 임계값전압이 라이트동작을 실행하지 않았던 기억트랜지스터에 비해 높게 된다.
한편, 소거동작에 있어서는 컨트롤게이트(6)을 접지하고, 소오스전극(5)에 고전압을 인가하는 것에 의해 플로팅게이트(4)와 소오스전극(5)에 접속된 소오스영역(9)사이에 고전계가 발생되고, 얇은 산화막(7)을 통과한 터널전류를 이용해서 플로팅게이트(4)에 축적된 전자가 소오스영역(9)를 거쳐서 소오스전극(5)로 빼내진다. 이것에 의해 기억정보의 소거가 실행된다. 즉, 소거동작에 의해 기억트랜지스터는 그 컨트롤게이트(6)에서 본 임계값전압이 낮게 된다.
리드동작에 있어서는 상기 메모리셀에 대해서 약한 라이트, 즉 플로팅게이트(4)에 대해서 바람직하지 않은 캐리어의 주입이 실행되지 않도록 드레인전극(3) 및 컨트롤게이트(6)에 인가되는 전압이 비교적 낮은 값으로 제한된다. 예를들면 1V정도의 저전압이 드레인전극(3)에 인가됨과 동시에 컨트롤게이트(6)에 5V정도의 저전압이 인가된다. 이들 인가전압에 의해서 기억트랜지스터를 흐르는 채 널전류의 대소를 검출하는 것에 의해 메모리셀에 기억되어 있는 정보의 '0' , '1'을 판정한다.
상기와 같은 기억트랜지스터로 부터의 리드동작은 메모리사이클이 약1μs정도로 비교적 느리다. 본원 발명자들은 상기와 같은 기억트랜지스터를 사용한 것에서는 데이타의 출력을 실행하고 있는 동안에 다음의 어드레스신호를 입력할 수 있는 것에 착안하여 고속으로 연속해서 직렬로 데이타를 리드하는 것을 고려하였다.
본 발명의 목적은 고속인 데이타의 직렬 리드동작과 피크전류의 저감을 실현한 반도체기억장치를 제공하는 것이다.
본 발명의 다른 목적은 인접 데이타선간에 있어서의 커플링의 영향을 경감한 반도체기억장치를 제공하는 것이다.
본 발명의 상기 및 그외의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.
본원에서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉, 기억정보에 따라서 높은 임계값전압 또는 낮은임계값전압을 갖도록 된 기억트랜지스터가 매트릭스 배치되어 이루어지는 메모리어레이의 데이타선을 다수 블럭으로 분할하고, 시간적으로 분산된 활성화신호에 의해 증폭동작을 실행하는 센스앰프에 의해서 신호증폭을 실행한다. 또, 인접해서 배치되는 기수번째와 우수번째의 데이타선에 대응해서 제1군의 센스앰프와 제2군의 센스앰프로 분할하고, 한쪽의 센스앰프군의 출력신호를 직렬로 출력시키고 있는 동안에 워드선의 전환을 실행함과 동시에 다른쪽의 센스앰프군을 상기 전환된 워드선에 대응한 메모리셀로 부터의 리드신호의 증폭동작을 실행시킨다.
상기한 수단에 의하면 센스앰프가 시간적으로 분산해서 동작하므로 피크전류의 저감을 도모할 수 있어 기수번째와 우수번째의 데이타선의 리드동작을 교대로 실행하도록 하는 것에 의해서 인접데이타선간의 커플링잡음을 저감할 수 있어 고속으로 연속적인 직렬 리드를 실행할 수 있다.
제1도에는 본 발명에 관한 일괄 소거형 EEPROM의 1실시예의 블럭도가 도시되어 있다. 동일 도면의 각 회로블럭은 공지의 반도체집적회로의 제조기술에 의해서 특히 제한되지 않지만 단결정실리콘과 같은 1개의 반도체기판상에 형성된다.
이 실시예에서는 특히 제한되지 않지만 메모리어레이는 4개의 메모리매트MAT로 구성된다. 각각의 메모리매트MAT에는 워드선 WL의 선택신호를 형성하는 서브디코더SUB-DCR이 마련된다. 고집적화를 위해 워드선의 피치가 좁게 형성되므로 메모리매트MAT간에 마련된 서브디코더SUB-DCR은 양측의 메모리매트MAT에 대해서 워드선의 선택신호를 형성한다. 그러므로, 예시적으로 도시되어 있는 바와 같이 메모리매트MAT의 워드선은 그것을 사이에 두고 마련된 2개의 서브디코더SUB-DCR에 대해서 1개 건너 교대로 접속된다.
메인디코더MAN-DCR은 후술하는 바와 같이 여러개의 메모리셀을 선택하는 선택MOSFET의 선택신호 및 서브디코더SUB-DCR의 선택레벨과 비선택레벨을 형성하는 회로로 구성된다. 게이트디코더GDCR은 상기 메인디코더MAN-DCR에 의해서 선택된 1개의 메모리블럭중의 1개의 메모리셀을 선택하는 선택신호를 형성한다.
메모리매트MAT에 형성되는 기억트랜지스터는 특히 제한되지 않지만 소거 및 라이트동작도 모두 터널전류에 의해서 플로팅게이트에 전하의 주입과 방출을 실행하도록 하는 것이다. 이것 이외에 상기 제27도와 같이 소거동작을 터널전류에 의해서 실행하도록 해도 좋다.
센스앰프SA는 특히 제한되지 않지만 후술하는 바와 같이 2조로 분할되어 각각이 센스앰프제어회로SAC에 의해서 증폭동작의 제어가 실행된다. 특히 제한되지 않지만 최초의 리드사이클에서는 2조 모두 센스앰프가 활성화되고, 이후 워드선의 전환을 수반하는 연속리드일때에는 한쪽의 센스앰프군으로 부터의 리드신호가 종료해서 다른쪽의 센스앰프군으로 부터의 직렬리드신호의 출력을 실행하고 있는 동안에 워드선의 전환이 실행됨과 동시에 상기 한쪽의 센스앰프군이 증폭동작을 개시하게 된다.
상기 센스앰프SA는 레치기능을 갖고 있으며, 데이타선에서 증폭동작에 필요한 리드신호를 받으면 데이타선과는 분리되어 상기 폐치한 신호의 증폭을 실행해서 유지하고 있다. 그러므로, Y게이트회로 YG에 의해 선택된 신호를 데이타출력버퍼OB를 통해서 출력시킬 수 있고, 이와 같은 신호출력동작과 병행해서 상술한 바와 같이 다음의 어드레스에 대응한 워드선의 전환을 실행할 수 있다.
스테이터스레지스터SREG는 신호TS에 의해 스테이터스데이타를 받고, 필요에 따라서 데이타출력버퍼OB를 통해서 외부에서 동작상태를 모니터할 수 있다. 이 실시예에서는 연속액세스동작이나 상기와 같이 전기적으로 라이트와 소거동작이 실행되는 것이며, 각각의 동작의 도중에 내부의 상태를 외부에서 알 필요가 있으므로 상기와 같은 스테이터스레지스터SREG가 마련되는 것이다.

전압발생회로VG는 5V와 같은 전원전압VCC와 회로의 접지전위 VSS를 받고, 제어신호TV에 의해 라이트, 리드 및 소거의 각 동작에 필요한 각종 전압Vpw, Vpv, Vew, Ved, Vev 및 Vr을 형성하는 DC-DC컨버터로써의 역할을 하는 것이다.
어드레스버퍼ADB는 외부단자에서 공급되는 어드레스신호Ai의 페치를 실행하여 어드레스래치ALH에 어드레스신호를 유지시킨다.
신호TA는 상기 어드레스신호를 래치시키는 제어신호이고, TSC는 내부직렬클럭이다.
어드레스발생회로ADG는 외부에서 공급되는 클릭SC에 동기해서 발생된 내부직렬클럭TSC에 의해 어드레스스테핑 동작을 실행하여 기수번째의 데이타선에 대응한 센스앰프SA를 활성화하는 어드레스신호Ayo와 우수번째의 데이타선에 대응한 센스앰프SA를 활성화하는 어드레스신호Aye 및 워드선전환신호AC를 발생시킨다. 즉, 이 실시예의 반도체기억장치에서는 지정된 스타트어드레스를 입력하는 것만으로 그후의 연속엑세스를 위한 어드레스신호는 외부단자에서 공급되는 클럭SC에 대응해서 내부에서 발생된다. 상기 신호Ayo와 Aye 및 AC와 /AC는 센스앰프제어회로SAC에 공급된다. 여기에서 신호AC에 붙여진 /는 바신호인 것을 나타내는 것으로써, 이러한 신호/AC는 로우레벨이 엑티브레벨인 것을 나타내고 있다.
이것은 이하의 다른 신호에서도 동일하다.
Y게이트YG는 Y계의 어드레스신호Ay에 의해 리드동작일때에는 1개의 데이타선의 선택신호를 형성해서 그것에 대응된 센스앰프의 증폭신호를 선택해서 데이타출력버퍼OB에 전달한다. 라이트동작일때에는 1개의 데이타선이 선택신호를 형성해서 데이타입력버퍼IB에서 입력된 라이트데이타에 대응된 신호를 데이타선에 전달한다.
커맨드디코더CDCR은 데이타입력버퍼IB에서 입력된 커맨드를 해독해서 커맨드데이타Di를 다음에 설명하는 제어회로CONT에 전달한다. 신호TC는 커맨드디코더 제어신호로써, 커맨드의 페치나 디코더의 제어를 실행한다.
제어회로CONT는 외부단자에서 공급되는 칩인에이블신호/CE, 아웃풋인에이블신호/OE, 라이트인에이블신호/WE 및 클럭SC와 리세트신호RS를 받아서 내부회로의 동작에 필요한 각종 타이밍신호를 형성한다. 신호TXM은 메인디코더 제어신호이고, 프로그램-프로그램검증시에 정/부논리를 전환하는 신호이다. 신호TXG는 게이트디코더제어신호이다. 신호TV는 전원회로 제어신호이다.
신호TA는 어드레스버퍼제어신호로써, 어드레스의 레치등의 제어를 실행한다. 신호TI는 데이타입력버퍼 제어신호로써, 데이타나 커맨드의 페치등의 제어를 실행한다.
신호TO는 데이타출력버퍼 제어신호로써, 데이타의 출력등의 제어를 실행한다. 신호TC는 커맨드디코더 제어신호로써, 커맨드의 페치, 디코드등의 제어를 실행한다. 신호TS는 스테이터스레지스터 제어신호로써, 스테이터스제지스터SREG의 세트 또는 리세트등의 제어를 실행한다. 신호TSA는 센스앰프 제어신호로써, 활성화타이밍의 제어에 사용된다. 신호TSC는 내부 직렬클럭신호이다. 신호AC는 워드선의 전환신호이다.
이것 이외에 어드레스래치ALH에서 메인디코더MAN-DCR에 공급되는 신호Ax0은 상기 선택되어야할 메모리블럭을 지시하는 X계의 어드레스신호이고 어드레스래치ALH에서 게이트디코더GDCR에 공급되는 신호Ax1은 1개의 메모리블럭중의 1개의 워드선을 지시하는 X계의 어드레스신호이다. Y게이트YG에 공급되는 신호Ay는 Y계의 어드레스신호이다.
Vpw는 라이트시의 워드선 전압이다. Vpv는 라이트검증시의 워드선전압이다. Vev는 소거검증시의 워드선전압이다. Vew는 소거시의 워드선전압이다. Ved는 소거시의 데이타선 전압이다. Vr은 데이타선 프리차지전압이다.
신호 Oi는 데이타출력버퍼OB에서 출력되는 출력데이타이고, 신호Do는 스테이터스데이타이고, 신호Di는 커맨드데이타이다. 또, 신호RDY/BUSY는 칩의 상태를 출력하는 신호이다.
제28도에는 전기적 일괄소거형의 EEPROM의 다른 메모리셀의 단면구조의 개략도가 도시되어 있다.
동일 도면에 있어서, P-Sub는 P형 실리콘기판, SSL은 N^+형 확산층으로 형성된 서브 소오스선, SR은 메모리셀의 소오스영역, DR은 메모리셀의 드레인영역, DSL은 N형 확산층으로 형성되는 서브데이타선이다. 소오스영역SR은 P^+형 확산층 및 N^-형 확산층으로 형성되고, 드레인영역DR은 서브데이타선DSL과 동일한 N형 확산층으로 형성된다. 드레인영역DR은 소오스영역SR에 대해서 비대칭구조로 되어 있다. FG는 산화막(12)를 거쳐서 상기 P형 실리콘기판상에 형성된 플로팅게이트, CG는 산화막(13)을 거쳐서 상기 플로팅게이트상에 형성된 컨트롤게이트이다. 동일 도면에 있어서의 메모리셀에 대한 데이타의 라이트동작 및 소거동작은 플로팅게이트FG와 드 레인영역DR간의 얇은 산화막(12)를 거친 터널현상으로 실행된다. 소거동작에 있어서는 드레인영역DR에서 플로팅게이트FG에 전하를 주입시키고, 라이트동작에 있어서는 플로팅게이트FG에 주입된 전하를 드레인영역DR로 방출시킨다. 라이트동작 및 소거동작의 각각에 있어서 인가되는 게이트전압, 소오스전압 및 드레인전압에 대해서는 후술하는 표1을 참조하기 바란다. 또, 게이트전압은 컨트롤게이트CG에 인가되는 전압, 소오스전압은 소오스영역SR에 인가되는 전압, 드레인전압은 드레인영역DR에 인가되는 전압이다.
제2도에는 상기 메모리매트와 그 주변부의 1실시예의 개략 회로도가 도시되어 있다. 메모리셀은 상기 제28도의 스택게이트구조의 MOSFET 또는 상기 제27도와 유사한 스택게이트구조의 MOSFET로 된다. 이 실시예에서는 후술하는 바와 같이 라이트동작과 소거동작이 모두 얇은 산화막을 통과한 터널전류를 이용해서 실행된다.
상기 기억MOSFET는 여러개가 1블럭으로 되어 드레인과 소오스가 공통화된다. 기억MOSFET의 공통화된 드레인은 선택MOSFET를 통해서 데이타선DL에 접속된다. 기억MOSFET의 공통화된 소오스는 선택MOSFET를 통해서 회로의 접지전위가 부여된다. 기억MOSFET의 컨트롤게이트는 워드선WL에 접속된다. 상기 선택MOSFET는 상기 워드선WL과 평행하게 연장되는 선택선에 의해서 선텍된다. 즉, 상기 선택MOSFET는 메인디코더MAN-DCR에 의해서 선택되는 메인워드선이라 간주된다.
상기와 같이 메모리셀을 블럭으로 분할해서 각각에 선택MOSFET를 거쳐서 서브데이타선DSL이나 서브소오스선SSL에 회로의 접지전위를 부여하는 구성에 의해 비선택의 메모리셀에 대한 스트레스를 경감시킬 수 있다. 즉, 워드선이

선택되고, 데 이타선이 비선택상태로 된 메모리셀이나 역으로 워드선이 비선택상태로 되고, 데이타선이 선택상태로 되는 것에 의해서 라이트 또는 소거동작에 있어서 데이타를 유지해야할 메모리셀에 상기 라이트 또는 소거용의 전압이 인가되는 것을 방지하는 것이다. 이 구성에서는 상기 블럭내의 소수의 메모리셀에 있어서만 상기와 같은 스트레스가 걸리는 것으로 된다.

이 실시예에서는 인접하는 데이타선DL이 기수번째와 우수번째로 분할된다. 그리고, 각각에 대응해서 쇼트MOSFET가 마련된다. 이 쇼트MOSFET는 기수번째와 우수번째의 데이타선DL을 교대로 선택하도록 하고, 비선택상태에 놓여지는 데이타선DL을 회로의 접지전위의 고정레벨로 해서 인접데이타선DL에 있어서의 상호의 커플링 잡음을 저감하는 것이다. 이와 같은 데이타선DL의 구성에 대응해서 데이타선DL에 나타난 리드신호를 증폭하는 센스앰프SA에 대해서 Y게이트YG도 기수와 우수로 분할되어 선택된다. 이 Y게이트YG는 후술하는 바와 같은 트랜스퍼MOSFET에 의해 실현된다.

상기 메인디코더MAN-DCR에 의해서 선택되는 블럭내의 메모리셀은 서브디코더SUB-DCR에 의해서 1개가 선택된다. 서브디코더SUB-DCR은 상기 블럭내의 1개의 워드선WL을 선택한다. 이와 같은 1개의 워드선의 선택신호는 게이트디코더GDCR에 의해서 형성된다. 즉, 서브디코더SUB-DCR은 상기 게이트디코더GDCR에 의해서 형성된 워드선의 선택신호와 메인디코더MAN-DCR에 의해서 형성된 동작모드에 따라서 형성된 선택/비선텍레벨을 받아서 상기 블럭내의 워드선의 선택/비선택의 구동신호를 형성한다.

표 1

		read	program	erase
선택	Vg	Vcc	−10V	12V
	Vd	1V	4V	−4V
	Vs	0V	오픈	−4V
비선택	Vg	0V／오픈	Vcc／0V	0V／0V
	Vd	1V／오픈	0V／오픈	-4V／오픈
	Vs	0V／오픈	open／오픈	-4V／오픈

리드(read), 라이트(program) 및 소거(erase)의 각 동작모드에 있어서의 기억MOSFET의 게이트전압(워드선WL)Vg, 드레인전압Vd 및 소오스전압Vs는 상기 표1과 같은 전압이 부여된다. 상기와 같은 게이트전압Vg와 드레인전압Vd 및 각각 전압Vs의 상대적인 전위관계에 의해 얇은 게이트절연막을 거쳐서 터널전류를 발생시키고, 플로팅게이트에 대한 전하의 주입 또는 방출을 실행시키는 것에 의해 그 임계값전압을 변화시켜서 라이트동작과 소거동작이 실행된다. 표1에 있어서, 비선택에 있어서 /에 의해 분할되는 2개의 전압 또는 상태는 선택블럭/비선택블럭에 대응하고 있다.

제3도에는 데이타선과 센스앰프의 관계를 설명하기 위한 1실시예의 회로도가 도시되어 있다. 동일 도면에는 4개의 데이타선DL0 DL3과 그것에 대응한 4개의 센스앰프SA가 대표로써 예시적으로 도시되어 있다. 데이타선DL0 DL3은 우수번째의 데이타선DL0, DL2와 기수번째의 데이타선DL1, DL3으로 분할된다. 이들 우수번째의 데이타선DL0과 DL2에는 프리차지전압 Vr0을 받는 MOSFET가 마련되고, 기수번째의 데이타선DL1과 DL3에는 프리차지전압Vr1을 받는 MOSFET가 마련된다.

이와 같이 우수번째와 기수번째의 데이타선마다 독립해서 리드동작을 위한 프리차지가 가능하게 된다.

상기 우수번째의 데이타선DL0과 DL2는 선택신호F0에 의해 스위치제어되는 트랜스퍼MOSFET(TRMOS)를 거쳐서 센스앰프SA와 접속된다. 상기 기수번째의 데이타선DL1과 DL3은 선택신호F1에 의해 스위치제어되는 트랜스퍼MOSFET(TRMOS)를 거쳐서 센스앰프SA와 접속된다. 상기 센스앰프SA의 출력신호는 선텍신호Y0 Y3에 의해서 스위치제어되는 Y게이트YG를 거쳐서 출력된다. 이와 같이 메모리매트 또는 메모리어레이의 데이타선을 기수번째와 우수번째로 2분할하고, 선택신호F0과 F1에 의해 각각의 시간적으로 분산시켜서 메모리셀의 리드동작을 실행하도록 할 수 있다. 이와 같이 동일 메모리매트MAT내의 센스앰프SA나 데이타선DL을 동시에 활성화하지 않도록 한 이유는 다음과 같다.

센스앰프SA를 우수와 기수와 같이 지그재그형상으로 활성화시키는 것에 의해 메모리셀로 부터의 신호를 교대로 페치해서 증폭시킬 수 있다. 예를들면 동일도면에 사선으로 표시한 바와 같이 우수번째의 데이타선DL0과 DL2에 대응한 센스앰프SA에 의해 증폭된 리드신호를 출력하고 있는 동안에 이미 리드출력동작이 종료한 기수번째의 데이타선DL1과 DL3에 대응한 센스앰프SA에 있어서 워드선이 전환되어 다음에 출력해야할 메모리셀로 부터의 리드신호의 페치를 실행하도록 할 수 있다.

상기와 같은 센스앰프를 2개로 분할해서 시간적으로 분산시켜서 증폭동작을 실행시키도록 한 경우에는 센스앰프의

증폭동작에 따르는 피크전류가 시간적으로 분산되는 것에 의해 거의 반으로 저감할수 있다.
메모리매트측에서는 인접하는 데이타선에 있어서 메모리셀에서 동시에 리드신호가 나타나지 않는다. 즉, 제2도와 같은 쇼트MOSFET에 의해서 비활성상태의 데이타선을 회로의 접지전위와 같은 고정레벨로 해서 실드효과를 갖게 하는 것에 의해 커플링잡음을 실질적으로 없앨 수 있다. 이와 같은 커플링잡음의 저감에 의해 데이타선DL간의 기생용량을 무시할 수 있기 때문에 데이타선DL의 피치를 가능한 범위에서 극한까지 좁게 형성할 수 있어 메모리어레이의 고집적화가 가능하게 된다.
상기와 같이 비활성상태의 데이타선은 쇼트MOSFET를 마련해서 회로의 접지전위와 같은 고정레벨로 하는 것 대신에 플로팅상태로 해두는 것이라도 좋다. 이 경우에는 플로팅상태의 데이타선DL이 개재하게 되므로 활성화된 인접데이타선DL간의 기생용량을 대폭으로 저감할 수 있다. 또, 플로팅상태의 데이타선DL과 회로의 접지전위간에도 기생용량이 존재해서 잡음성분을 회로의 접지전위측으로 배출시키는 역할을 하므로 활성화되는 기수 또는 우수의 인접데이타선DL간에 발생하는 잡음을 실질적으로 무시할 수 있다.
제4도에는 데이타선과 센스앰프의 관계를 설명하기 위한 다른 1실시예의 회로도가 도시되어 있다. 동일 도면에는 인접하는 2개씩 DL0, DL1과 DL2, DL3으로 분할되어 프리차지전압Vr0과 Vr1을 각각 받는 MOSFET가 마련된다. 이와 같이 인접하는 2개씩의 데이타선마다 독립해서 리드동작을 위한 프리차지가 가능하게 된다.
상기와 같이 분할된 2개의 데이타선DL0과 DL1은 선택신호F0에 의해 스위치제어되는 트랜스퍼MOSFET(TRMOS)를 거쳐서 센스앰프SA와 접속되고, 나머지 2개의 데이타선DL2와 DL3은 선택신호F1에 의해 스위치제어되는 트랜스퍼MOSFET(TRMOS)를 거쳐서 센스앰프SA와 접속된다. 상기 센스앰프SA의 출력신호는 선택신호Y0~Y3에 의해서 스위치제어되는 Y게이트YG를 거쳐서 출력된다.
이 구성에서는 기본적으로는 제3도의 실시예와 동일하고, 데이타선의 분할방법이 제3도와 같은 기수와 우수의 지그재그형상으로 분할되는 것은 아니고, 인접한 2개씩으로 분할되어 있는 것이 다르다. 이 구성에서는 상기 제3도의 실시예와 마찬가지로 센스앰프의 활성화에 의한 피크전류를 거의 반으로 저감할 수 있음과 동시에 워드선의 전환을 수반하는 연속액세스를 고속으로 실행할 수 있다.
그리고, 데이타선간의 커플링도 서로 인접하는 2개의 데이타선간에서만 발생하므로 좌우에 인접하는 것으로 부터의 커플링잡음을 받는 경우에 비해서 실효적인 잡음의 영향도 저감할 수 있다.
제5도에는 데이타선과 센스앰프의 관계를 설명하기 위한 또 다른 1실시예의 회로도가 도시되어 있다. 동일 도면에는 데이타선DL0~DL3을 4분할하는 경우의 예가 도시되어 있다. 이들 4분할에 대응해서 프리차지전압도 Vr0 Vr3과 같이 4개 마련되고, 각각에 대응해서 프리차지MOSFET가 마련된다. 이와 같이 4분할하는 것에 의해 각 데이타선DL0 DL3마다 독립해서 리드동작을 위한 프리차지가 가능하게 된다.
상기와 같이 분할된 4개의 데이타선DL0~DL3은 선택신호F0~F3에 의해 스위치제어되는 트랜스퍼MOSFET(TRMOS)를 거쳐서 센스앰프SA와 접속된다. 상기 센스앰프SA의 출력신호는 선택신호Y0 Y3에 의해서 스위치제어되는 Y게이트YG를 거쳐서 출력된다.
이 실시예와 같이 4분할했을때에는 상기 Y게이트YG의 선택신호 Y0~Y4와 상기 선택신호F0~F3은 동일한 어드레스디코드신호에 의해 형성할 수 있다. 상기와 같은 데이타선DL의 4분할에 따라 동시에 동작하는 센스앰프SA의 수도 4분할할 수 있기 때문에 센스앰프의 활성화에 따르는 피크전류를 더욱 저감할 수 있다. 그리고, 비활성의 데이타선에 고정레벨을 공급하지 않고 플로팅상태로한 경우에도 동시에 활성화되는 데이타선간에는 3개의 플로팅상태로 되는 데이타선이 개재하게 되므로 커플링잡음을 쇼트MOSFET를 추가하는 일없이 실질적으로 없앨 수 있다.
또한, 제6도에 도시한 바와 같이 데이타선DL의 분할을 실행하지 않을때에는 데이타선DL0~DL3의 프리차지동작이나 메모리셀로 부터의 리드동작 및 센스앰프SA가 각각 일제히 실행되고, 데이타선DL0 DL3간에 있어서의 기생용량에 의해서 메모리셀로 부터의 리드신호의 변화가 서로 영향을 미치게 된다. 최악의 경우에는 데이타선DL1에 접속된 기억트랜지스터가 오프상태에서 데이타선DL1에는 프리차지레벨에 유지되어야할때에는 인접하는 데이타선DL0과 DL1이 모두 로우레벨로 변화하면 데이타선DL1의 전위가 커플링에 의해서 저하한다. 이 커플링에 의해서 기준전위에 대한 레벨마진이 저하하고, 최악의 경우에는 로우레벨로 판정되는 오동작이 발생한다.
또, 상기와 같은 센스앰프SA가 일제히 활성화될때에는 회로에 흐르는 피크전류가 크게 된다. 이 피크전류는 반도체집적회로에 형성되는 전원선에 흐르고, 그곳에서의 분포저항이나 본딩와이어에서의 인덕턴스성분에 의해서 전원전압이나 회로 의 접지전위에 잡음을 발생시킨다. 상기와 같은 기억트랜지스터는 리드동작에 의해서 기억정보가 소실되는 것을 방지하기 위해 드레인전압이 1V정도로 낮게 되어 있다. 이것에 의해, 기억트랜지스터에서 데이타선에 리드되는 신호진폭도 비교적 작으므로 상기와 같은 전원잡음의 영향에 의해서 센스앰프의 동작마진이 저하한다.
대기억용량화를 위해 소자의 미세화가 도모되고 기억트랜지스터에 흐르는 전류가 작은 반면 1개의 데이타선에 다수의 기억MOSFET등이 접속되는 것에 의해서 큰 기생용량을 갖게 된다. 이 때문에 선택된 기억트랜지스터에서 데이타선에 리드되는 신호레벨의 변화가 늦어 고속리드동작을 실행할때에는 데이타선의 리드신호레벨이 충분히 크게 되기 전에 센스앰프SA를 활성화시킬 필요가 있으므로 상기 잡음에 의한 센스앰프의 동작마진의 악화는 무시할 수 없다.
이것에 대해서 본원과 같이 메모리매트내의 데이타선을 분할하고, 그것에 대응해서 센스앰프도 분할해서 이들을 시간적으로 분산시켜서 활성화하는 것에 의해 센스앰프의 동작마진의 확보와 고속리드를 실현할 수 있다. 또, 분할된 데이타선 및 센스앰프를 교대로 활성화시키는 것에 의해 워드선의 전환을 수반하는 연속액세스를 고속으로 실행하도록 할 수 있다.
제7도에는 본 발명의 반도체기억장치의 내부회로의 리드동작을 설명하기 위한 기본적인 파형도가 도시되어 있다. 칩인에이블신호/CE가 하이레벨에서 로우레벨로 변화했을때 어드레스버퍼가 활성화되어 어드레스신호Ai의 페치가 실행된다. 동일 도면에서는 생략되어 있지만 페치된 어드레스신호Ai는 어드레스래치회로에 유지된다.

페치된 어드레스신호에 의해 워드선의 선택동작과 데이타선의 프리차지동작이 개시된다. 즉, 선택되는 워드선은 0V에서 Vcc와 같은 선택레벨로 된다. 프리차지전압Vr은 데이타선DL의 약 1V와 같은 프리차지레벨에 대해서 프리차지MOSFET의 임계값전압Vthn만큼 높은 전압으로 된다. 즉, 프리차지MOSFET는 소오소폴로워회로로써 동작하고 데이타선DL을 Vr-Vthn과 같은 프리차지레벨로 한다.

데이타선DL이 상기와 같은 프리차지레벨로 되면 프리차지전압Vr은 로우레벨로 되고, 상기 프리차지MOSFET가 오프상태로 된다. 워드선WL의 선택레벨에 대해서 기억MOSFET의 임계값전압이 높을때에는 데이타선DL의 전위는 하이레벨(프리차지레벨)을 유지하고, 기억정보 '0'의 리드가 실행된다. 워드선WL의 선택레벨에 대해서 기억MOSFET의 임계값전압이 낮을때에는 데이타선DL의 전위는 로우레벨로 빼내져 기억정보 '1'의 리드가 실행된다.

상기와 같이 데이타선DL의 기생용량이 비교적 큰 것에 대해서 상기 온상태로 되는 기억MOSFET에 흐르는 전류가 작기 때문에 센스앰프의 동작에 필요한 신호진폭이 얻어지도록 설정되어 시간경과후에 트랜스퍼MOSFET(TRMOS)가 온상태로 된다. 이 트랜스퍼MOSFET의 온상태에 의해 센스앰프SA에는 리드신호가 입력되고 그 증폭이 실행되어 데이타선DL이 하이레벨(프리차지레벨)일때에는 전원전압Vcc와 같은 하이레벨로 증폭되고, 데이타선DL이 로우레벨일때에는 회로의 접지전위와 같은 로우레벨로 증폭된다.

특히 제한되지 않지만 상기 센스앰프SA의 증폭출력은 출력부의 래치회로에 의해 유지되고, Y선택신호에 의해 1개의 센스앰프가 선택되고 데이타출력버퍼를 통 해서 레벨반전되어 기억정보 '1'은 하이레벨로써 출력되고 기억정보 '0'은 로우레벨로써 출력된다.

제8도에는 제3도의 실시예에 대응한 리드동작의 1예를 설명하기 위한 파형도가 도시되어 있다. 동일 도면에는 워드선의 전환을 수반한 연속리드동작의 예가 도시되어 있다.

최초의 메모리사이클에 의해서 워드선WL0이 선택되었을때에는 모든 데이타선DL0 DL3등이 활성화되고, 그것에 따라 모든 센스앰프가 활성화된다. 이제까지의 동작파형의 상세한 것은 제7도에 도시되어 있는 것과 동일하다.

동일 도면에 있어서, 점선으로 표시되어 있는 것은 프리차지전압Vr과 트랜스퍼MOSFET의 선택신호이다. 선택신호Y0이 발생되어 데이타선DL0에 대응한 데이타Dout의 출력이 실행되고, 계속해서 선택신호Y2가 발생되어 데이타선DL2에 대응한 데이타Dout의 출력이 실행된다.

계속해서, 선택신호Y1에 대응해서 기수번째의 데이타선DL1에 대응한 데이타Dout의 출력이 실행되는 것과 병행해서 워드선의 전환이 실행된다. 즉, 워드선WL0이 비선택으로 되고, 그 대신 다음의 어드레스에 대응한 워드선WL1이 선택된다. 이 워드선WL1의 선택동작에 대응해서 상기 리드동작이 종료한 우수번째의 데이타선DL0과 DL2에 프리차지동작과 센스앰프의 증폭동작이 실행된다. 이와 같은 워드선의 전환에 대응해서 상기와 같이 출력이 실행되고 있는 기수번째에 대응한 데이타선DL1과 DL3의 트랜스퍼MOSFET는 오프상태로 된다. 즉, 상기 기수번째의 데이타선DL1에 대응한 데이타Dout의 출력은 센스앰프SA에 의해서 유지되어 있는 데이타가 연속적으로 출력된다.

상기 데이타선DL1에 대응한 데이타Dout의 출력에 계속해서 선택신호Y3에 의해 데이타선DL3에 대응한 데이타Dout의 출력이 실행된다. 그후에 재차 선택신호Y0이 발생되어 워드선WL1에 대응한 데이타선DL0의 데이타Dout가 출력된다. 이 동안에 워드선WL2의 선택동작에 의해서 데이타선DL1과 DL3에 리드되어 있는 신호가 센스앰프에 의해서 증폭된다. 이하, 순차로 선택신호Y2, Y1 및 Y3에 대응해서 데이타선DL2, DL1 및 DL3에 대응한 데이타Dout가 출력된다. 재차, 워드선이 전환되기 때문에 우수번째의 데이타선DL2에 대응한 데이타Dout의 출력이 종료한 타이밍에서 실행된다.

제9도에는 본 발명에 관한 반도체기억장치에 있어서의 연속리드동작의 1실시예의 타이밍도가 도시되어 있다. 특허 제한되지 않지만 칩인에이블신호/CE의 로우레벨과 라이트인에이블신호/WE가 모두 로우레벨로 되는 것에 의해서 입력데이타Ii에서 커맨드(COMMAND)의 페치가 실행된다. 이 커맨드에 의해서 스타트어드레스와 엔드어드레스를 1세트입력하는 모드가 지정되었으면 /CE를 로우레벨로 한채로 또는 /WE와 함께 로우레벨로 해서 스타트어드레스STA1과 엔드어드레스ED1의 페치가 실행된다.

그후, 신호/CE를 로우레벨로 하고, /WE를 하이레벨로 리세트해서 클럭SC를 공급한다. 이것에 의해 출력데이타Oi는 상기 클럭SC에 동기해서 스타트어드레스STA1에 대응한 데이타D0에서 엔드어드레스EDA1에 데이타D7까지의 연속적인 직렬데이타가 얻어진다.

제10도에는 본 발명에 관한 반도체기억장치에 있어서의 연속리드동작의 다른 1실시예의 타이밍도가 도시되어 있다. 상기와 마찬가지로 칩인에이블신호/CE의 로우레벨과 라이트인에이블신호/WE가 모두 로우레벨로 되는 것에 의해서 입력데이타Ii에서 커맨드(COMMAND)의 페치가 실행된다. 이 커맨드에 의해서 스타트어드레스와 엔드어드레스를 2세트 입력하는 모드가 지정되었으면 /CE를 로우레벨로 한채로 또는 /WE와 함께 로우레벨로 해서 제1번째의 스타트어드레스STA1, 엔드어드레스EDA1, 제2번째의 스타트어드레스STA2와 엔드어드레스EDA2의 페치가 실행된다.

그후, 신호/CE를 로우레벨로 하고, /WE를 하이레벨로 리세트해서 클럭SC를 공급한다. 이것에 의해, 출력데이타Oi는 상기 클럭SC에 동기해서 제1번째의 스타트어드레스STA1에 대응한 데이타D0에서 차례로 제1번째의 엔드어드레스EDA1까지 직렬로 출력한후에 제2번째의 스타트어드레스STA2에서 제2번째의 엔드어드레스EDA2까지 직렬로 출력한다. 동일 도면에는 제1번째의 스타트어드레스STA1에 대응한 데이타D0 D4까지의 파형도가 대표로써 예시적으로 도시되어 있다.

제11도에는 본 발명에 관한 반도체기억장치에 있어서의 연속리드동작의 또 다른 1실시예의 타이밍도가 도시되어 있다. 상기와 마찬가지로 칩인에이블신호/CE의 로우레벨과 라이트인에이블신호/WE가 모두 로우레벨로 되는 것에 의해서 입력데이타Ii에서 커맨드(COMMAND)의 페치가 실행된다. 이 커맨드에 의해서 다음의 3종류의 직렬리드가 실행된다. /CE를 로우레벨로 한채로 또는 /WE와 함께 로우레벨로 해서 스타트어드레스START의 페치가 실행된다.

제1의 모드는 1워드선분의 데이타의 직렬리드를 실행하는 것이다. 즉, 신호/CE를 로우레벨로 하고, /WE를 하이레벨로 리세트해서 클럭SC를 공급한다. 이것에 의해, 출력데이타Oi는 선택된 워드선의 스타트어드레스START AD에 대

응하는 데이타D0에서 Y계의 최종 어드레스까지 클럭SC에 동기해서 차례로 출력된다.
제2의 모드는 1블럭분의 메모리셀의 데이타의 직렬리드를 실행하는 것이다. 즉, 신호/CE를 로우레벨로 하고, /WE를 하이레벨로 리세트해서 클럭SC를 공급한다. 이것에 의해, 출력데이타Oi는 스타트어드레스START AD에 대응하는 데이타D0에서 그 블럭내의 최종워드선에 있어서의 Y계의 최종어드레스까지의 메모리셀의 기억정보를 클럭SC에 동기해서 차례로 출력시킨다. 이 때문에 스타트어드레스START AD가 최종워드선에 대응한 것이면 제 1모드와 실질적으로 같게 된다.
제2의 모드는 클럭SC가 계속 공급되는 한 직렬리드를 실행하는 것이다. 즉, 신호/CE를 로우레벨로 하고, /WE를 하이레벨로 리세트해서 클럭SC를 공급한다. 이것에 의해, 출력데이타Oi는 스타트어드레스START AD에 대응한 데이타D0에서 클럭SC의 공급이 정지될때까지 데이타의 리드가 실행된다. 동일 도면에서는 이상의 각 모드에 있어서 스타트어드레스START AD에서 차례로 D0 D9까지의 파형도가 대표로써 예시적으로 도시되어 있다.
제12도에는 상기 제9도의 동작모드에 대응한 내부회로의 동작을 설명하기 위한 흐름도가 도시되어 있다. 커맨드에서 멀티셀렉트 모드라 판정되면 Y계의 우수어드레스Ye와 기수어드레스Yo를 리세트하고, 1세트모드인지를 판정하여 1세트모드라 판정되었으면 X어드레스를 스타트어드레스Xs로 설정해서 리드동작을 개시한다.
이 실시예에서는 상기와 같이 기수번째와 우수번째를 교대로 출력시키는 것 이므로, 우수어드레스로의 데이타출력으로 이행하면 그것과 병행해서 기수어드레스측에서는 데이타선으로의 데이타리드, 센스앰프의 증폭과 래치동작이 병행해서 실행되고, 기수어드레스로의 데이타출력으로 이행하면 그것과 병행해서 우수어드레스측에서는 데이타선으로의 데이타리드, 센스앰프의 증폭과 래치동작이 병행해서 실행된다.
섹터엔드의 판정은 선택된 워드선내의 모든 우수데이타선 또는 기수데이타선의 리드가 종료했는지 하지않았는지의 판정을 실행하는 것이다. 즉, 이 실시예에서는 1워드선분의 메모리셀을 기수와 우수로 분할하고, 각각을 1섹터로써 취급하도록 하는 것이다.
이것에 대응해서 상기 제3도등의 Y게이트YG의 후단측에는 제2단째의 Y게이트가 마련되어 있고, 이 제2단째의 Y게이트의 전환에 의해서 메모리매트내의 다른 우수번째 또는 기수번째의 데이타선으로부터의 리드가 차례로 실행되는 것이다.
제13도와 제14도에는 상기 제10도의 동작모드에 대응한 내부회로의 동작을 설명하기 위한 흐름도가 도시되어 있다. 커맨드에서 멀티셀렉트모드라 판정되고, 상기 제12도에 있어서 2세트모드라 판정되었으면 제13도에 도시한 바와 같이 X어드레스를 제1번째의 스타트어드레스Xs1로 설정해서 리드동작을 개시한다.
X어드레스가 제1번째의 엔드어드레스Xe1보다 크게 되면 제2번째의 스타트어드레스Xs2의 세트, 그것에 대응한 데이타선의 활성화, 센스앰프의 증폭과 래치동작이 실행되고, 기수번째의 최종섹터까지 리드가 종료하면 X어드레스가 제2번째의 스타트어드레스Xs2에 세트되어 있는 것을 판정하고, 제14도에 도시한 바와 같은 제2 번째의 엔드어드레스Xe2까지 직렬로 데이타의 출력이 실행된다.
제15도, 제16도 및 제17도에는 상기 제11도의 동작모드에 대응한 내부회로의 동작을 설명하기 위한 흐름도가 도시되어 있다. 제15도에는 그중 제1모드와 제2모드의 전반의 일부의 흐름도가 도시되어 있다. 멀티셀렉트모드가 아니라 판정되고, 제15도에 있어서 섹터리드(제1모드)라 판정되었으면 X어드레스를 스타트어드레스Xs1로 설정해서 리드동작을 개시한다. 이 리드동작의 종료는 섹터엔드인지에 의해서 판정된다. 즉, Y어드레스가 최종어드레스인 것으로써 종료된다.
제15도에 있어서 블럭리드 (제2모드)로 판정되었으면 X어드레스를 스타트어드레스Xs1로 설정해서 리드동작을 개시한다. 이 리드동작에 있어서 1섹터내의 기수어드레스의 리드가 종료하면 제16도에 도시되어 있는 바와 같은 우수어드레스의 출력으로 이행함과 동시에 기수어드레스측에서는 워드선의 전환과 그것에 대응해서 기수 데이타선측의 활성화 및 센스앰프의 증폭동작과 데이타래치가 병행해서 실행된다.
제16도에서는 우수측의 출력동작과 그 섹터종료에 의해 블럭엔드어드레스Xe까지 액세스되지 않으면 제15도에 도시된 기수측의 출력으로 이행함과 동시에 우수어드레스측의 데이타리드, 센스앰프의 증폭동작과 데이타래치동작을 실행한다. 상기 엔드어드레스Xe까지 액세스되었으면 블럭리드가 종료시켜진다.
제17도에 있어서, 블럭리드(제2모드)로 판정되지 않으면 자동적으로 제3모드로 되어 스타트어드레스Xs1을 설정해서 리드동작을 개시한다. 이 리드동작은 클럭SC의 공급이 정지되는 것에 의해서 직렬리드의 종료가 지시될때까지 실행된다.
제18도에는 본 발명에 관한 반도체기억장치의 다른 1실시예의 주요부의 블럭도가 도시되어 있다. 이 실시예에서는 센스앰프SA로써 차동형의 것이 사용된다. 특히 제한되지 않지만 차동형의 센스앰프SA는 다이나믹형RAM(RANDOM ACCESS MEMORY)에 있어서 사용되고 있는 1쌍의 CMOS인버터회로의 입력과 출력을 교차접속해서 래치구성으로 하고, P채널형MOSFET와 N채널형 MOSFET로 이루어지는 파워스위치MOSFET를 거쳐서 동작의 활성화가 실행된다.
이 실시예에서는 센스앰프SA에 대해서 1쌍의 메모리매트가 상하로 배치된다. 센스앰프SA는 우수(EVEN)데이타선용의 것과 기수(ODD)데이타선용의 것으로 분할된다. 동일 도면에 있어서, 센스앰프SA가 우수용과 기수용이 상하로 배치되도록 도시되어 있지만 실제로는 일직선상에 나란히 배치해도 좋다.
우수용의 센스앰프의 1쌍의 입력에는 위측과 아래측의 메모리매트의 우수번째의 데이타선에 접속된다. 기수용의 센스앰프의 1쌍의 입력에는 위측과 아래측의 메모리매트의 기수번째의 데이타선에 접속된다. 메모리매트에 대응해서 마련되는 서브디코더SUB-DCR, 메인디코더MAN-DCR 및 게이트디코더GDCR(도시하지 않음)은 상기 제 1도와 동일하다.
센스앰프 제어회로SAC는 우수용의 센스앰프 활성화신호/D0, D0과 기수용의 센스앰프 활성화신호/D1, D1을 발생시킨다.

상기 신호/D0은 우수용의 센스앰프SA에 전원전압을 공급하는 P채널형MOSFET의 게이트에 공급되고, 상기 신호D0은 우수용의 센스앰프SA에 회로의 접지전위를 공급하는 N채널형 MOSFET의 게이트에 공급된다. 마찬가지로 상기 신호/D1은 기수용 의 센스앰프SA에 전원전압을 공급하는 P채널형MOSFET의 게이트에 공급되고, 상기 신호D1은 기수용의 센스앰프SA에 회로의 접지전위를 공급하는 N채널형MOSFET의 게이트에 공급된다. 어드레스버퍼나 입출력버퍼 및 제어회로나 전압발생회로등은 상기 제1도의 실시예와 동일하므로 동일 도면에서는 생략하고 있다.

제19도에는 데이타선과 상기 차동형 센스앰프의 관계를 설명하기 위한 1실시예의 회로도가 도시되어 있다. 동일 도면에는 센스앰프SA를 사이에두고 배치되는 2개의 메모리매트의 4개의 데이타선DL0~DL3과 그것에 대응한 4개의 센스앰프SA가 대표로써 예시적으로 도시되어 있다.

센스앰프SA는 점선으로 둘러싸여진 부분에 회로도가 도시되어 있는 바와 같이 입력과 출력이 교차 접속된 1쌍의 CMOS인버터회로로 구성된다. 상기 CMOS인버터회로로 이루어지는 래치회로에는 상기와 같이 전원공급용의 스위치MOSFET(소위, 데커(deka)MOS)에 의해서 활성화가 실행되므로, 실질적으로 클럭드인버터회로와 동일한 동작을 실행한다. 그 때문에 동일 도면에서 상기 2개의 CMOS인버터회로는 클럭드인버터회로의 형태로 도시되어 이다.

상기 센스앰프의 1쌍의 입력에는 입력노드를 0V로 세트하는 MOSFETQ1이 마련된다. 이것에 의해, 증폭동작을 개시하기전에는 입력신호가 0V로 세트된다. 상기 센스앰프SA의 1쌍의 입력에는 트랜스퍼MOSFET(TRMOS)를 거쳐서 데이타선DL0 DL3에 접속된다. 트랜스퍼MOSFET는 우수번째의 데이타선DL0, DL2와 기수번째의 데이타선DL1, DL3에 대응해서 2개로 분할되고, 각각 선택신호F0과 F1이 공급된다. 이것에 대응해서 우수데이타선DL0과 DL2에 마련되는 프리차지MOSFET의 게이트에는 프리차지전압Vr0이 공급되고, 기수데이타선DL1과 DL3에 마련되는 프리차지MOSFET의 게이트에는 프리차지전압Vr1이 공급된다.

상기 센스앰프SA의 1쌍의 입력에는 각각에 Y게이트YG를 구성하는 스위치MOSFET가 마련되고, 각각의 게이트에는 선택신호Y0 Y3이 공급된다. 이 구성은 상기 제3도와 동일하다.

상기 Y게이트YG의 출력은 공통화되어 제2단째의 Y게이트를 구성하는 스위치MOSFET를 거쳐서 데이타입력버퍼나 데이타출력버퍼로 인도되는 입출력용 데이타선에 접속된다.

이 실시예에서 상기 1쌍의 메모리매트는 한쪽이 활성화될때에는 다른쪽이 비활성화된다. 이 비활성화되는 메모리매트는 그것이 비활성상태로 됨에도 불구하고 상기 트랜스퍼MOSFET가 온상태로 되고, 그것에 대응한 데이타선이 센스앰프의 입력에 접속된다. 그리고, 비활성메모리매트측에서는 프리차지전압Vr이 통상의 프리차지전압을 낮게하고 이러한 데이타의 전위가 활성화되는 메모리매트의 데이타선의 하이레벨과 로우레벨의 중간전위로 되도록 설정된다. 이것에 의해 비활성측의 메모리매트의 데이타선은 센스앰프의 기준전압(Ref.DL)을 형성하기 위해 사용된다.

이 실시예에서는 센스앰프SA가 CMOS래치회로로 구성되는 것에 대응해서 라이트동작일때에는 각 레치에 대해서 라이트데이타로 유지시켜진다. 즉, 상기 Y게이트YG를 순차로 열어서 라이트데이타를 세트한후에 우수용과 기수용의 트랜스퍼MOSFET를 동시에 온상태로 해서 동시에 라이트동작을 실행하도록 하는 것이다. 이와 같은 라이트동작에 따라서 센스앰프의 동작전압이 4V와 같은 전압으로 전환된 다. 이것에 대해서 리드동작 및 라이트검증시에는 상기 제3도의 실시예와 마찬가지로 최초의 메모리사이클을 제외하고 우수와 기수의 데이타선이 교대로 지그재그형상으로 활성화된다.

제20도에는 데이타선과 상기 차동형 센스앰프의 관계를 설명하기 위한 다른 1실시예의 회로도가 도시되어 있다. 이 실시예에서는 제19도의 실시예에 대해서 자동라이트기능이 추가된 것이다.

제21도에는 상기 제20도의 실시예의 회로의 동작의 1예를 설명하기 위한 파형도가 도시되어 있다. 제21도(A)에는 그 라이트동작(PROGRAM)과 라이트검증동작(PROGRAM VERIFY)의 파형도가 도시되어 있다. 이 파형도를 참조해서 상기 자동라이트기능을 설명한다. 라이트동작에 있어서는 라이트데이타T Data가 Y게이트를 거쳐서 센스앰프에 입력된다. 이때, 센스앰프는 스위치MOS(데커MOS)의 온상태에 의해서 활성화되어 있고, 상기 라이트데이타를 유지하고 있다. 신호PW0에 의해 MOSFET가 온상태로 된다. 상기 라이트데이타T Data가 로우레벨이면 그것을 받는 자동라이트회로의 MOSFET가 오프상태이므로 데이타선DL1의 전위는 로우레벨인 채로 되지만 동일 도면에 도시한 바와 같이 하이레밸이면 온상태로 되고, 신호PW0에 의해서 온상태로 되는 MOSFET를 통해서 전원전압Vcc에 의해 차지업된다.

계속해서, 신호TS0이 Vcc이상으로 높게 된다. 이것에 의해 트랜스퍼MOSFET가 온상태로 되어 데이타선DL1의 전위를 라이트동작에 필요한 전압4V정도로 높게 한다. 동일 도면에는 도시되어 있지 않지만 워드선이 -10V와 같은 전압으로 되므로 플로팅게이트와 드레인간에 드레인측을 향하는 고전압이 인가되어 플로팅게이트에 서 드레인을 향해서 터널전류가 흐르는 라이트동작이 실행된다.

상기와 같은 라이트동작의 종료에 의해 신호PW0이 로우레벨로 되고, 제2도에 도시한 쇼트MOSFET가 온상태로 되어 데이타선DL1의 전위는 로우레벨로 세트되어 라이트검증으로 이행한다. 즉, 신호PR0이 프리차지전압Vr로 되어 데이타선DL1의 프리차지를 실행한다. 이것에 대해서 비선택메모리매트측의 신호PR1은 상기와 같이 기준전압에 대응한 전위로 되므로 비선택메모리매트측의 데이타선DL1의 전위는 기준전압Ref.DL로 된다.

상기 데커(Deka)MOSFET가 오프상태로 되어 센스앰프는 일단 비활성화상태로 된다. 상기 라이트가 실행된 기억MOSFET의 임계값전압이 낮어졌으면 데이타선DL1의 전위는 로우레벨로 저하하고(OK Data), 라이트가 불충분하여 임계값전압이 높은채라면 하이레벨(NG Data)인채로 된다. 신호TS0과 TS1에 의해 트랜스퍼MOSFET를 온상태로 해서 상기 리드데이타와 기준전압Ref.DL을 센스앰프의 입력에 공급하고, 데커MOSFET를 온상태로 해서 활성화시킨다.

이 검증의 결과가 상기와 같이 불충분하면 재차 라이트동작이 실행되고, 상기와 같은 로우레벨의 신호가 얻어질때까지 미리 결정된 회수를 한도로 해서 반복해서 실행된다. 상기 일정 회수에 도달해도 라이트가 불충분하다고 판정되었으면 그 메모리셀은 불량으로 되고, 필요에 따라서 용장회로로 전환된다.

제21도(B)에는 리드동작을 설명하기 위한 파형도가 도시되어 있다. 앞의 리드동작의 종료에 의해 데커MOSFET가 오프상태로 된다. 세트MOSFET에 의해 데이타선DL의 전위가 로우레벨로 된다. 그리고, 상기 블럭으로 분할된 메모리셀의 드레인측 셀렉트MOSFET가 온상태로 된다. 그리고, 프리차지전압 PR0과 PR1이 각각의 메모리매트의 선택/비선택에 따라서 1쌍의 데이타선을 프리차지전압과 기준전압으로 설정된다. 그후에 상기 블럭으로 분할된 메모리셀의 각각측의 셀렉트MOSFET가 온상태로 되어 선택메모리매트측의 데이타선의 전위는 선택된 기억MOSFET가 오프상태라면 프리차지레벨인채로 되고, 온상태라면 메모리 전류에 의해서 로우레벨로 빼내진다.
신호TS0과 TS1이 하이레벨로 되어 트랜스퍼MOSFET가 온상태로 되고 상기 1쌍의 데이타선을 센스앰프의 입력에 접속한다. 그리고, 세트MOSFET가 오프상태로 되고, 데커MOSFET가 온상태로 되어 센스앰프의 활성화가 실행되고, 상기 리드신호의 증폭동작을 실행한다.
상기 제20도의 실시예에 있어서, 센스앰프의 입력전압을 받는 MOSFET는 전부 '1'의 검출회로로써 마련된다. 즉, 동일한 다른 센스앰프의 입력에 마련되는 MOSFET와 와이어드OR논리가 채용되고, 리드된 데이타선이 전부 로우레벨일때 이들 모든 MOSFET가 오프상태로 되어 하이레벨의 검출신호를 얻을 수 있다.
어느 하나의 센스앰프의 입력이 하이레벨이면 MOSFET가 온상태로 되어 로우레벨의 검출신호를 형성하므로 전 MOSFET가 오프상태로써 전신호의 '1'을 검출할 수 있다. 즉, 동일 도면에 있어서 센스앰프의 좌측의 데이타선에서는 메모리셀로 부터의 리드가 '1'일때 소거상태인 것을 나타내고 있다.
이것에 대해서 센스앰프의 출력을 좌측회로와 동일한 회로에 의해서 출력시키는 구성일때에는 우측에 마련되는 데이타선에서는 라이트와 소거의 논리레벨이 반대로 된다. 즉, 차동형 센스앰프의 우측의 데이타선에 마련되는 메모리셀에 대해서는 로우레벨출력으로써 소거상태로 되지만 외부단자에서 보면 전부 '0'일때 소거상태로 판정된다.
제22도에는 데이타선과 상기 차동형 센스앰프의 관계를 설명하기 위한 또 다른 1실시예의 회로도가 도시되어 있다. 이 실시예에서는 프리차지MOSFET가 생략된다. 즉, 라이트용의 신호PW0, PW1에 리드용 프리차지기능을 아울러 갖도록 해서 상기 프리차지MOSFET를 삭감하는 것이다.
제23도에는 그 동작의 1예를 설명하기 위한 파형도가 도시되어 있다. 동일도면(A)에는 라이트동작과 검증동작이 도시되고, (B)에는 리드동작이 도시되어 있다. 동일 도면과 같이 신호PW가 라이트동작과 검증 및 리드동작일때에도 사용되고, 각각의 동작모드에 따라서 전압레벨이 변화시켜진다. 즉, 제21도의 신호PW와 PR이 1개의 신호PW에 의해 실현되는 것이다.
상기 프리차지MOSFET는 각 데이타선에 대응해서 마련되는 것이고, 약 32M비트등과 같은 큰 기억용량을 갖도록 된 반도체기억장치에서는 예를들면 데이타선의 수도 4096개 또는 8192개와 같이 여러개 마련되므로 삭제된 프리차지MOSFET의 수도 그것에 대응해서 많아진다.
제24도에는 본 발명에 관한 반도체기억장치의 리드계 회로의 다른 1실시예의 구성도가 도시되어 있다. 이 실시예에서는 센스앰프의 후단에 메인앰프(Main Amp)가 마련된다. 이 메인앰프의 후단에는 데이타래치(Data Latch)가 마련되고, 이 데이타래치를 통해서 리드데이타가 데이타출력버퍼(Dout Buffer)를 통해서 출력된다.
특히 제한되지 않지만 이 실시예에서 센스앰프SA는 3개로 분할되고, 클럭SC의 최초의 펄스1에 의해서 메인앰프는 제1번째의 센스앰프로 부터의 데이타Data1을 증폭한다. 클럭SC가 로우레벨1L일때 데이타래치에서는 상기 메인앰프에 의해서 증폭된 데이타Data1을 래치한다. 클럭SC의 2번째의 펄스2에 의해서 메인앰프는 제2번째의 센스앰프로 부터의 데이타Data2를 증폭한다. 이것과 병행해서 데이타출력버퍼는 데이타래치에 페치된 데이타Data1을 출력시킨다. 이 클럭SC가 로우레벨2L일때 데이타래치에서는 상기 메인앰프에 의해서 증폭된 데이타Data2를 래치한다.
그리고, 클럭SC의 3번째의 펄스3에 의해서 메인앰프는 3번째의 센스앰프로 부터의 데이타Data3을 증폭한다. 이것과 병행해서 데이타출력버퍼는 데이타래치에 페치된 데이타Data2를 출력시킨다. 이 클럭SC가 로우레벨3L일때 그리고 도시하지 않은 다음의 클럭SC의 하이레벨에 의해 데이타출력버퍼는 데이타래치에 페치된 데이타Data3을 출력시키도록 하는 것이다. 이와 같은 파이프라인적인 직렬동작에 의해서 고속으로 데이타를 출력시킬 수 있다. 이 실시예에 있어서 데이타래치를 생략해서 메인앰프의 출력을 데이타출력버퍼에 공급하는 구성으로 해도 좋다.
제25도에는 데이타선과 센스앰프의 관계를 설명하기 위한 또 다른 1실시예의 회로도가 도시되어 있다. 이 실시예에서는 센스앰프에 대해서 2개의 데이타선이 할당된다. 즉, 상기와 같은 4개의 센스앰프에 대해서 전체 8개의 데이타선 DL0~DL7이 2개씩 할당된다. 그리고, 선택신호F00, F01과 F10, F11에 칼럼선택기능을 아울러 갖게 된다. 상기 신호F00~F11의 조합에 의해 워드선을 전환하지 않고 데이타선DL0 DL7의 신호를 연속해서 출력시킬 수 있다. 동일 도면에서는 생략되어 있지만 이 와 같은 트랜스퍼MOSFET에 대응해서 데이타선DL0~DL7에 마련되는 프리차지MOSFET도 4개로 분할되고, 각각에 프리차지전압Vr0 Vr3이 공급된다.
예를들면 연속리드동작에 있어서, 신호F00과 F10에 의해 4개분의 데이타선의 리드가 실행되면 계속해서 F01과 F11에 의해 4개분의 데이타선의 리드가 실행된다. 상기 F00과 F10 및 F01과 F11에 의해 8개분의 데이타선의 리드가 실행된후에 워드선의 전환이 실행된다. 이 구성에서는 센스앰프의 수를 데이타선의 수에 비해서 반으로 저감할 수 있다.
제26도에는 본 발명에 관한 반도체기억장치를 사용한 마이크로컴퓨터등의 정보처리시스템의 1실시예의 블럭도가 도시되어 있다. 동일 도면의 플래시메모리는 상기 실시예와 같은 반도체기억장치로 구성된다.
이 실시예의 시스템은 중앙처리장치(또는 마이크로프로세서) CPU, 어드레스디코더, 타이밍컨트롤러, 데이타버퍼, 데이타레지스터, 릴레이 및 상기와 같은 플래시메모리를 포함하고 있다. 플래시메모리는 대표로써 1개가 예시적으로 도시되어 있지만 원하는 기억용량을 얻기 위해 여러개의 플래시메모리가 병렬형태로 접속된다. 또, 마이크로컴퓨터등의 시스템을 구성하는데 필요한 메모리RAM이나 ROM 및 입출력장치는 본 발명과 직접 관계가 없으므로 생략되어 있다.
상기 플래시메모리의 SC핀은 직렬클럭입력단자이다. 이 입력단자에서 입력된 클럭SC에 동기해서 데이타가 직렬로 출력된다. 이 직렬클럭SC는 타이밍컨트롤러에 의해 발생되도록 되어 있지만 CPU의 시스템클럭을 직접적으로 입력

하는 것이라도 좋다.
플래시메모리로 부터의 직렬리드는 /CE와 /OE를 로우레벨일때 SC에 동기시켜서 내부어드레스를 인크리먼트하면서 I/O핀에서 데이타를 출력시킨다. 이때, 어드레스버스는 프리로 된다.
상기 제1번째의 플래시메모리를 직렬 출력시에 도시하지 않은 제2번째의 플래시메모리에서 출력을 얻을 때에는 신호 /OE를 분리해두고 데이타가 데이타버스에서 경합하지 않게 하면 좋다.
상기의 실시예에서 얻을 수 있는 작용효과는 다음과 같다.
(1)기억정보에 따라서 높은 임계값전압 또는 낮은 임계값전압을 갖도록 된 기억트랜지스터가 매트릭스 배치되어 이루어지는 메모리어레이의 데이타선을 다수블럭으로 분할하고, 시간적으로 분산되어 증폭동작을 실행하는 센스앰프에 의해서 신호증폭을 실행하는 것에 의해 피크전류를 저감시킬 수 있고, 그것에 따라 동작마진을 크게 할 수 있는 효과가 얻어진다.
(2) 인접해서 배치된 기수번째와 우수번째의 데이타선에 대응해서 제1군의 센스앰프와 제2군의 센스앰프로 분할하고, 한쪽의 센스앰프군의 출력신호를 직렬로 출력시키고 있는 동안에 워드선의 전환을 실행함과 동시에 다른쪽의 센스앰프군을 상기 전환된 워드선에 대응한 메모리셀로 부터의 리드신호의 증폭동작을 실행시키는 것에 의해 기수번째와 우수번째의 데이타선의 리드동작을 교대로 실행하도록 하는 것에 의해 인접 데이타선간의 커플링잡음을 저감할 수 있어 고속으로 연속적인 직렬리드를 실행할 수 있는 효과가 얻어진다.
(3) 상기 기수번째와 우수번째의 데이타선으로 부터의 리드와 워드선의 전환 을 위한 어드레스는 외부단자에서 공급되는 클럭에 동기해서 스테핑시켜지는 어드레스발생회로로 형성하는 것에 의해 고속으로 또 간단히 대량의 데이타를 리드할 수 있는 효과가 얻어진다.
(4) 여러개로 이루어지는 스택 게이트구조의 기형MOSFET의 공통화된 드레인에 제1의 선택MOSFET를 거쳐서 데이타선에 접속하고, 이러한 기억MOSFET의 공통화된 소오스에 제2의 선택MOSFET를 거쳐서 접지전위에 접속하는 것에 의해 비선택의 기억MOSFET에 대한 라이트/소거시의 스트레스를 대폭으로 저감시킬 수 있는 효과가 얻어진다.
(5) 상기 메모리어레이는 1쌍의 메모리매트로 이루어지고, 각 메모리매트의 데이타선은 차동의 센스앰프에 입력되고, 비선택의 메모리매트의 데이타선전위를 기준전압으로 해서 선택메모리매트의 데이타선전위의 센스를 실행하도록 하는 것에 의해서 고감도로 고속의 센스앰프를 얻을 수 있는 효과가 얻어진다.
(6) 상기 센스앰프에는 그 증폭신호를 받는 MOSFET를 마련해서 와이어드OR접속시키는 간단한 구성에 의해 전 데이타선의 소거상태의 검출신호를 출력할 수 있는 효과가 얻어진다.
(7) 상기 센스앰프를 CMOS래치회로를 사용하여, 라이트데이타를 입력해서 유지시키고, 이 유지된 데이타에 따라서 여러개의 데이타선에 대응한 메모리셀에 대해서 동시에 라이트동작을 실행하도록 하는 것에 의해서 라이트동작의 고속화를 도모할 수 있는 효과가 얻어진다.
이상 본 발명자들에 의해 이루어진 발명을 실시예에 따라 구체적으로 설명했 지만 본원 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다. 예를들면 차동형의 센스앰프는 스테이틱형 RAM에 사용되고 있는 바와 같이 차동MOSFET를 증폭MOSFET로써 사용하는 것이라도 좋다. 기억MOSFET는 상기와 같은 플래시형 EEPROM이외에 EPROM이나 마스크ROM을 구성하는 것이라도 좋다.
본 발명은 기억정보에 따라서 높은 임계값전압 또는 낮은 임계값전압을 갖도록 된 반도체기억장치에 널리 이용할 수 있다. 이 반도체기억장치는 1칩의 마이크로컴퓨터등과 같은 디지탈집적회로에 내장되는 것이라도 좋다.
본원에서 개시되는 발명중 대표적인 것에 의해서 얻을 수 있는 효과를 간단히 설명하면 다음과 같다. 즉, 기억정보에 따라서 높은 임계값전압 또는 낮은 임계값전압을 갖도록 된 기억트랜지스터가 매트릭스배치되어 이루어지는 메모리어레이의 데이타선을 다수블럭으로 분할하고, 시간적으로 분산된 활성화신호에 의해 증폭동작을 실행하는 센스앰프에 의해서 신호증폭을 실행한다. 그리고, 인접해서 배치되는 기수번째와 우수번째의 데이타선에 대응해서 제1군의 센스앰프와 제2군의 센스앰프로 분할하고, 한쪽의 센스앰프군의 출력신호를 직렬로 출력시키고 있는 동안에 워드선의 전환을 실행함과 동시에 다른쪽의 센스앰프군을 상기 전환된 워드선에 대응한 메모리셀로 부터의 리드신호의 증폭동작을 실행시키는 것에 의해 피크전류의 저감과 기수번째와 우수번째의 데이타선의 리드동작을 교대로 해서 인접 데이타선간의 커플링잡음의 저감과 연속적인 고속 직렬리드를 실행할 수 있다.

(57) 청구의 범위

청구항 1.

여러개의 워드선,
여러개의 데이타선,
여러개의 메모리셀,
제1 센스앰프군 및
제2 센스앰프군을 갖고,
각각의 메모리셀은 제1 및 제2 반도체영역, 플로팅게이트 및 컨트롤게이트를 갖고, 상기 컨트롤게이트는 상기 여러개의 워드선중의 1개의 워드선에 결합되고, 상기 제1 반도체영역은 상기 여러개의 데이타선중의 1개의 데이타선에 결합되고,
상기 제1 센스앰프군은 상기 여러개의 데이타선중의 우수데이타선에 대응해서 마련되고, 우수데이타선상의 데이타를 증폭하여 래치하고,
상기 제2 센스앰프군은 상기 여러개의 데이타선중의 기수데이타선에 대응해서 마련되고, 기수데이타선상의 데이타를 증폭하여 래치하고,

제1 리드사이클에 있어서는 워드선을 선택하고, 상기 제1 센스앰프군과 상기 제2 센스앰프군은 한꺼번에 데이타선상의 데이타를 증폭하여 래치하고,
워드선의 전환을 수반하는 연속 리드인 경우에는 한쪽의 센스앰프군이 순차 신호를 출력하고 있는 동안에 다음의 어드레스에 대응하는 워드선의 선택이 전환되고, 다른쪽의 센스앰프군은 선택이 전환된 워드선에 결합된 메모리셀의 데이타를 증폭하여 래치하는 반도체기억장치.

청구항 2.

제1항에 있어서,
스위치 MOSFET를 더 갖고,
상기 스위치 MOSFET는 상기 우수데이타선 및 상기 기수데이타선으로 이루어지는 상기 여러개의 데이타선의 각각에 결합되고, 상기 기수데이타선이 비선택으로 될 때에는 상기 기수데이타선을 접지전위로 하고, 상기 우수데이타선이 비선택으로 될 때에는 상기 우수데이타선을 접지전위로 하는 반도체기억장치.

청구항 3.

제1항에 있어서,
상기 기수데이타선이 비선택으로 될 때에는 상기 기수데이타선은 플로팅 상태로 되고, 상기 우수데이타선이 비선택으로 될 때에는 상기 우수데이타선은 플로팅상태로 되는 반도체기억장치.

청구항 4.

제1항에 있어서,
어드레스 발생회로를 더 갖고,
상기 어드레스발생회로는 외부단자를 거쳐서 공급된 클럭신호와 동기해서 상기 우수데이타선을 선택하기 위한 어드레스, 상기 기수데이타선을 선택하기 위한 어드레스 및 워드선의 선택을 전환하기 위한 어드레스를 형성하는 반도체기억장치.

청구항 5.

여러개의 데이타단자,
여러의 워드선,
여러개의 데이타선,
여러개의 메모리셀,
여러개의 센스앰프,
여러개의 선택스위치회로 및
여러개의 데이타선택회로를 갖고,
각각의 메모리셀은 제1 및 제2 반도체영역, 플로팅게이트 및 컨트롤게이트를 갖고, 상기 컨트롤게이트는 상기 여러개의 워드선중의 1개의 워드선에 결합되고, 상기 제1 반도체영역은 상기 여러개의 데이타선중의 1개의 데이타선에 결합되고,
상기 여러개의 센스앰프는 상기 여러개의 데이타선에 대응해서 마련되고, 선택된 워드선에 결합된 메모리셀의 데이타를 증폭하여 래치하고 또한 출력하며,
상기 선택스위치회로는 순차 공급된 선택신호에 따라서 상기 여러개의 데이타선을 상기 여러개의 센스앰프에 결합하고,
상기 데이타선택회로는 순차 공급된 어드레스신호에 따라서 상기 여러개의 센스앰프를 상기 데이타단자에 결합하고,
상기 선택스위치회로는 상기 선택신호에 따라서 선택된 워드선에 결합된 메모리셀로부터 상기 여러개의 센스앰프로 순차 데이타를 공급하고,
상기 여러개의 센스앰프는 상기 여러개의 선택스위치회로를 거쳐서 순차 공급된 데이타를 저장하고,
상기 여러개의 데이타선택회로는 상기 어드레스신호에 따라서 상기 여러개의 센스앰프를 상기 데이타단자에 순차 결합시키고, 상기 여러개의 센스앰프에 저장된 데이타를 순차 출력시킴과 동시에, 상기 선택된 워드선과는 다른 워드선의 선택을 병행해서 실행하는 것이 가능하게 되는 반도체기억장치.

청구항 6.

제5항에 있어서,
상기 여러개의 선택스위치회로에 상기 선택신호를 공급하는 제어회로를 더 갖는 반도체기억장치.

청구항 7.

제5항에 있어서,
어드레스발생회로를 더 갖고,
상기 어드레스발생회로는 상기 반도체기억장치의 외부에서 공급된 클럭신호와 동기해서 순차 어드레스신호를 발생하는 반도체기억장치.

청구항 8.

여러개의 워드선,
여러개의 데이타선,
여러개의 메모리셀,
제1 센스앰프군,
제2 센스앰프군,
제1 선택스위치회로,

제2 선택스위치회로 및
데이타선택회로를 갖고,
각각의 메모리셀은 제1 및 제2 반도체영역, 플로팅게이트 및 컨트롤게이트를 갖고, 상기 컨트롤게이트는 상기 여러개의 워드선중의 1개의 워드선에 결합되고, 상기 제1 반도체영역은 상기 여러개의 데이타선중의 1개의 데이타선에 결합되고,
상기 제1 센스앰프군은 상기 여러개의 데이타선중의 우수데이타선에 대응해서 마련되고,
상기 제2 센스앰프군은 상기 여러개의 데이타선중의 기수데이타선에 대응해서 마련되고,
상기 제1 선택스위치회로는 제1 선택신호에 따라서 상기 우수데이타선에 상기 제1 센스앰프군을 결합하고,
상기 제2 선택스위치회로는 제2 선택신호에 따라서 상기 기수데이타선에 상기 제2 센스앰프군을 결합하고,
상기 데이타선택회로는 순차 공급된 어드레스신호에 따라서 상기 제1 및 상기 제2 센스앰프군을 데이타단자에 결합하고,
상기 제1 선택신호에 따라서 상기 제1 센스앰프군을 상기 우수데이타선에 결합하는 것에 의해서 상기 제1 센스앰프군이 상기 우수데이타선상의 데이타를 저장한 후, 상기 제2 선택신호에 따라서 상기 제2 센스앰프군을 상기 기수데이타선에 결합하는 것에 의해서 상기 제2 센스앰프군이 상기 기수데이타선상의 데이타를 저장하고,
제1 리드사이클에 있어서는 워드선을 선택하고, 상기 제1 및 상기 제2 센스 앰프군은 어드레스신호에 따라서 상기 데이타단자에 결합되는 것에 의해서 한꺼번에 데이타선상의 데이타를 증폭하여 저장하고, 상기 제1 및 상기 제2 센스앰프군에 저장된 데이타를 순차 출력하고,
워드선의 전환을 수반하는 연속 리드인 경우에는 한쪽의 센스앰프군이 순차 신호를 출력하고 있는 동안에 다음의 어드레스에 대응하는 워드선의 선택이 전환되고, 다른쪽의 센스앰프군은 선택이 전환된 워드선에 결합된 메모리셀의 데이타를 증폭하여 저장하는 반도체기억장치.

청구항 9.

제7항에 있어서,
여러개의 단락 MOSFET를 더 갖고,
상기 여러개의 단락 MOSFET는 상기 여러개의 데이타선의 상기 우수데이타선 및 상기 기수데이타선에 대응해서 마련되는 반도체기억장치.

청구항 10.

제8항에 있어서,
상기 우수데이타선이 비선택상태로 될 때, 상기 우수데이타선에 대응해서 마련된 상기 여러개의 단락 MOSFET에 의해서 상기 우수데이타선은 접지레벨로 설정되는 반도체기억장치.

청구항 11.

제8항에 있어서,
상기 기수데이타선이 비선택상태로 될 때, 상기 기수데이타선에 대응해서 마 련된 상기 여러개의 단락 MOSFET에 의해서 상기 기수데이타선은 접지레벨로 설정되는 반도체기억장치.

청구항 12.

데이타단자,
여러개의 워드선,
여러개의 메인데이타선,
여러개의 서브데이타선,
여러개의 소오스선,
여러개의 메모리셀,
제1 센스앰프군,
제2 센스앰프군,
제1 선택스위치회로,
제2 선택스위치회로 및
데이타선택회로를 갖고,
각각의 메모리셀은 제1 및 제2 반도체영역, 플로팅게이트 및 컨트롤게이트를 갖고, 상기 컨트롤게이트는 상기 여러개의 워드선중의 1개의 워드선에 결합되고, 동일 컬럼상의 메모리셀의 상기 제1 반도체영역은 상기 여러개의 서브데이타선중의 1개의 서브데이타선에 결합되고, 동일 컬럼상의 서브데이타선은 각각 1개의 메인데이타선에 결합되고,
동일 컬럼상의 메모리셀의 제2 반도체영역은 상기 여러개의 소오스선중의 1 개의 소오스선에 결합되고,
상기 제1 센스앰프군은 상기 여러개의 메인데이타선중의 우수데이타선에 대응해서 마련되고,
상기 제2 센스앰프군은 상기 여러개의 메인데이타선중의 기수데이타선에 대응해서 마련되고,
상기 제1 선택스위치회로는 제1 선택신호에 따라서 상기 우수데이타선에 상기 제1 센스앰프군을 결합하고,
상기 제2 선택스위치회로는 제2 선택신호에 따라서 상기 기수데이타선에 상기 제2 센스앰프군을 결합하고,
상기 데이타선택회로는 순차 공급된 어드레스신호에 따라서 상기 제1 및 상기 제2 센스앰프군을 상기 데이타단자에 결합하고,
상기 제1 선택신호에 따라서 상기 제1 센스앰프군을 상기 우수데이타선에 결합하는 것에 의해서 상기 제1 센스앰프군이 상기 우수데이타선상의 데이타를 받은 후, 상기 제2 선택신호에 따라서 상기 제2 센스앰프군을 상기 기수데이타선에 결합하는 것에 의해서 상기 제2 센스앰프군이 상기 기수데이타선상의 데이타를 받고,

제1 리드사이클에 있어서는 워드선을 선택하고, 상기 제1 및 상기 제2 센스앰프군은 어드레스신호에 따라서 상기 데이타단자에 결합되는 것에 의해서 한꺼번에 데이타선상의 데이타를 증폭하여 저장하고, 상기 제1 및 상기 제2 센스앰프군에 의해 받은 데이타를 순차 출력하고,
워드선의 전환을 수반하는 연속 리드인 경우에는 한쪽의 센스앰프군이 순차 신호를 출력하고 있는 동안에 다음의 어드레스에 대응하는 워드선의 선택이 전환되고, 다른쪽의 센스앰프군은 선택이 전환된 워드선에 결합된 메모리셀의 데이타를 증폭하여 저장하는 반도체기억장치.

청구항 13.

제12항에 있어서,
여러개의 단락 MOSFET를 더 갖고,
상기 여러개의 단락 MOSFET는 상기 여러개의 데이타선의 상기 우수데이타선 및 상기 기수데이타선에 대응해서 마련되는 반도체기억장치.

청구항 14.

제13항에 있어서,
상기 우수데이타선이 비선택상태로 될 때, 상기 우수데이타선에 대응해서 마련된 상기 여러개의 단락 MOSFET에 의해 상기 우수데이타선은 접지레벨로 설정되는 반도체기억장치.

청구항 15.

제13항에 있어서,
상기 기수데이타선이 비선택상태로 될 때, 상기 기수데이타선에 대응해서 마련된 상기 여러개의 단락 MOSFET에 의해 상기 기수데이타선은 접지레벨로 설정되는 반도체기억장치.

청구항 16.

여러개의 워드선,
여러개의 데이타선,
데이타단자,
여러개의 메모리셀,
여러개의 센스앰프,
선택스위치회로 및
데이타선택회로를 갖고,
각각의 메모리셀은 제1 및 제2 반도체영역, 플로팅게이트 및 컨트롤게이트를 갖고, 상기 컨트롤게이트는 상기 여러개의 워드선종의 1개의 워드선에 결합되고, 상기 제1 반도체영역은 상기 여러개의 데이타선중의 1개의 데이타선에 결합되고,
상기 여러개의 센스앰프의 각각은 상기 여러개의 데이타선중의 한쌍의 데이타선에 결합되고,
상기 선택스위치회로는 선택신호에 따라서 데이타선쌍중의 소정의 제1 데이타선을 상기 여러개의 센스앰프에 결합하고,
상기 데이타선택회로는 순차 공급된 어드레스신호에 따라서 상기 여러개의 센스앰프를 상기 데이타단자에 결합하고,
상기 선택신호에 따라서 상기 여러개의 센스앰프를 상기 소정의 제1 데이타선에 결합하는 것에 의해 상기 여러개의 센스앰프는 상기 소정의 제1 데이타선상의 데이타를 증폭하여 래치하고,
상기 여러개의 센스앰프에 의해서 증폭되어 래치된 데이타는 상기 어드레스신호에 따라서 상기 여러개의 센스앰프를 상기 데이타단자에 결합하는 것에 의해서 순차 출력되고,
상기 증폭된 데이타가 상기 여러개의 센스앰프로부터 순차 출력된 후, 상기 선택신호에 따라서 상기 여러개의 센스앰프를 결합하는 것에 의해서 상기 데이타선쌍중의 소정의 제2 데이타선상의 데이타를 상기 여러개의 센스앰프는 증폭하고,
그 후, 상기 어드레스신호에 따라서 상기 여러개의 센스앰프를 상기 데이타단자에 결합시키는 것에 의해서 상기 여러개의 센스앰프에 의해서 증폭된 데이타는 순차 출력됨과 동시에 워드선의 선택이 병행해서 실행되는 반도체기억장치.

청구항 17.

제16항에 있어서,
상기 여러개의 데이타선에 결합되는 단락 MOSFET를 더 갖는 반도체기억장치.

청구항 18.

제17항에 있어서,
상기 데이타선쌍중의 제1 데이타선쌍이 비선택상태로 될 때, 상기 제1 데이타선쌍에 결합된 상기 여러개의 단락 MOSFET에 의해서 상기 제1 데이타선쌍은 접지레벨로 설정되는 반도체기억장치.

청구항 19.

제17항에 있어서,
상기 데이타선쌍중의 제2 데이타선쌍이 비선택상태로 될 때, 상기 제2 데이타선쌍에 결합된 상기 여러개의 단락 MOSFET에 의해서 상기 제2 데이타선쌍은 접지레벨로 설정되는 반도체기억장치.

청구항 20.

제16항에 있어서,
상기 여러개의 센스앰프의 각각은 데이타선상의 데이타를 래치하기 위한 래치기능을 갖는 반도체기억장치.

청구항 21.

제20항에 있어서,
상기 여러개의 데이타선에 결합되는 프리차지회로를 더 갖는 반도체기억
장치.

청구항 22.

제21항에 있어서,
상기 프리차지회로는 여러개의 데이타선쌍중의 소정의 데이타선쌍을 프리차지하는 반도체기억장치.

청구항 23.

제22항에 있어서,
상기 프리차지회로를 제어하는 제어회로를 더 갖는 반도체기억장치.

청구항 24.

제23항에 있어서,
상기 제어회로는 상기 여러개의 데이타선쌍을 서로 다른 타이밍에서 프리차지하도록 상기 프리차지회로를 제어하는
반도체기억장치.

청구항 25.

제18항에 있어서,
상기 여러개의 데이타선은 여러개의 우수데이타선과 여러개의 기수데이타선으로 이루어지는 반도체기억장치.

청구항 26.

제19항에 있어서,
상기 여러개의 데이타선은 여러개의 우수데이타선과 여러개의 기수데이타선으로 이루어지는 반도체기억장치.

청구항 27.

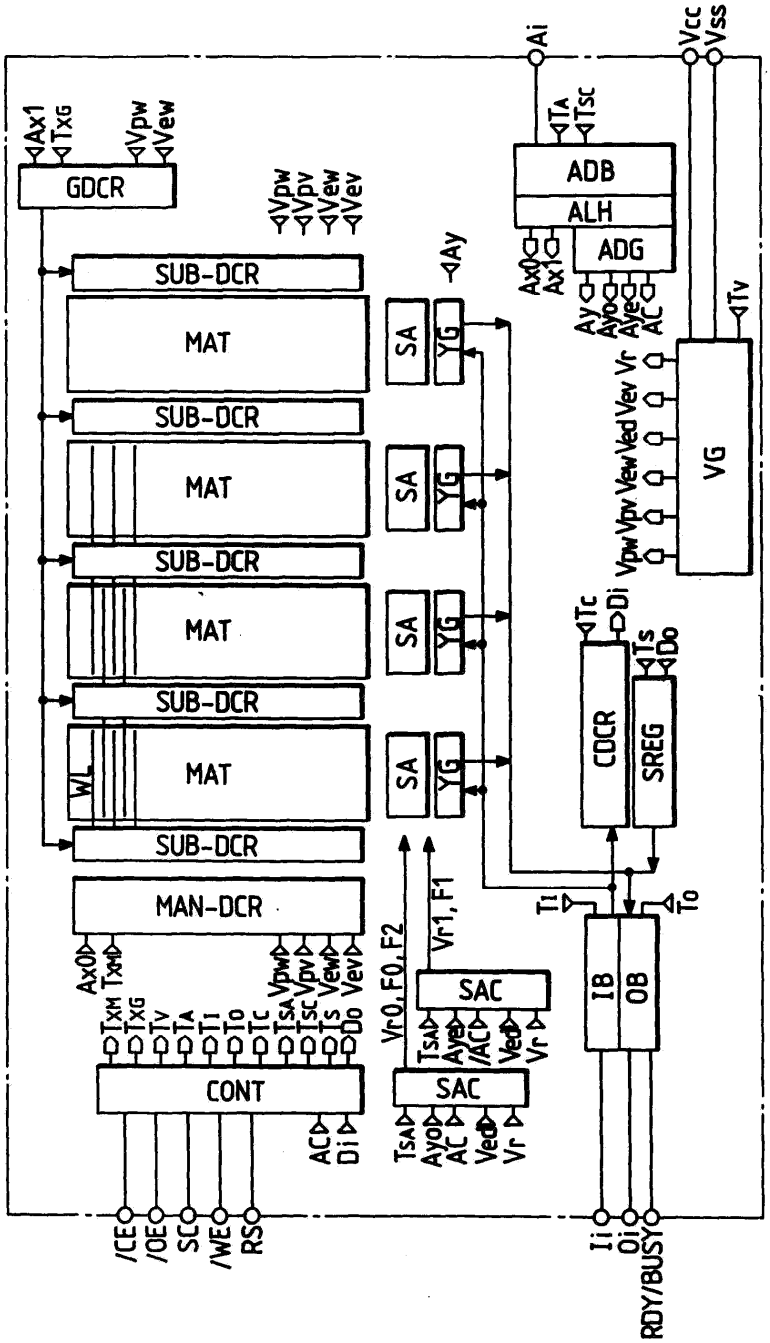
제24항에 있어서,
상기 여러개의 데이타선은 여러개의 우수데이타선과 여러개의 기수데이타선으로 이루어지는 반도체기억장치.

청구항 28.

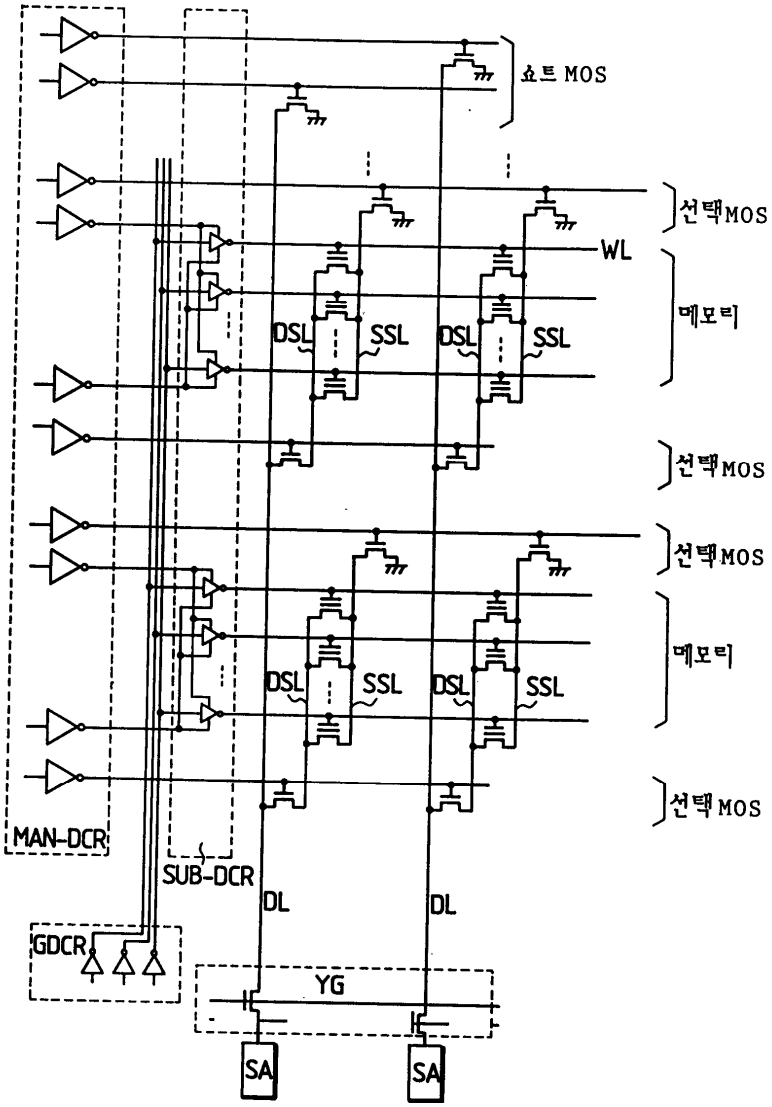
제16항에 있어서,
상기 여러개의 데이타선은 여러개의 우수데이타선과 여러개의 기수데이타선으로 이루어지는 반도체기억장치.

도면

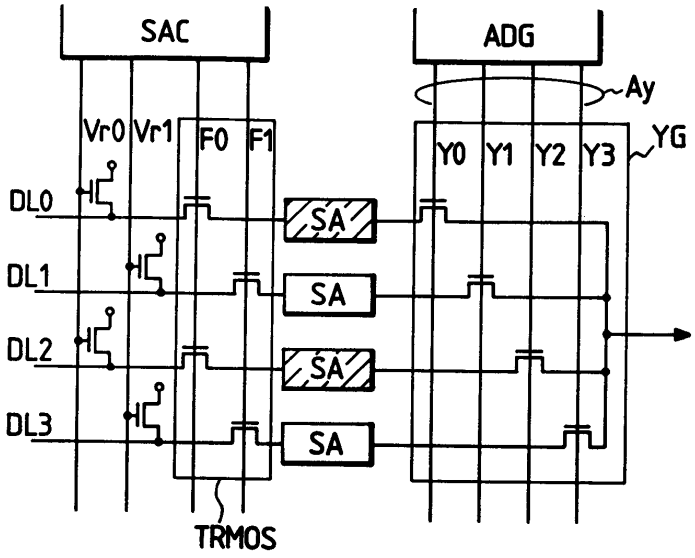
도면1


GDCR
SUB-DCR
MAT
SUB-DCR
MAT
SUB-DCR
MAT
SUB-DCR
MAT
WL
SUB-DCR
MAN-DCR
CONT
SA
YG
SAC
ADB
ALH
ADG
VG
CDCR
SREG
IB
OB
Ai
Vcc
Vss
Ax1
TxG
Vpw
Vew
Vpv
Vev
Ay
TA
Tsc
Ax0
Ay
Ayo
Aye
AC
Tv
Vr
Ved
Tc
Di
Ts
Do
Ti
To
Vr0, F0, F2
Vr1, F1
Ax0
TxM
TxG
Tv
TA
Ti
To
Tc
TsA
Tsc
Ts
Do
Vpw
Vpv
Vew
Vev
AC
Di
TsA
Ayo
AC
Ved
Vr
TsA
Aye
/AC
Ved
Vr
/CE
/OE
SC
/WE
RS
Ii
Oi
RDY/BUSY

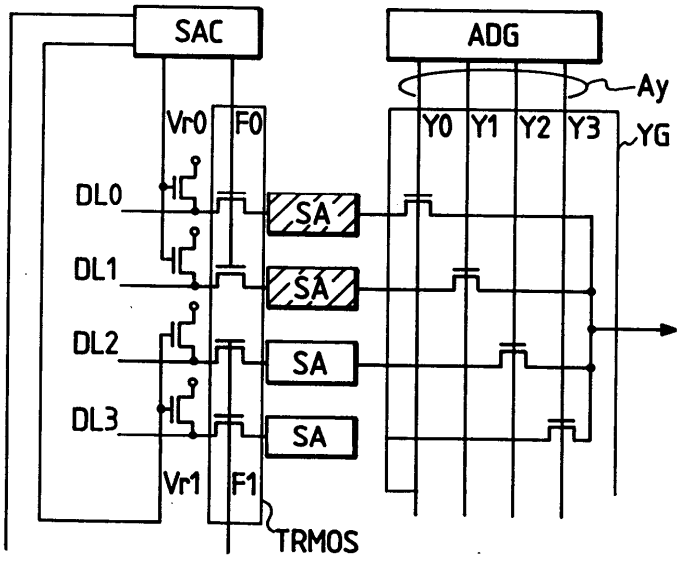
도면2


쇼트 MOS
선택MOS
WL
메모리
DSL
SSL
선택MOS
선택MOS
메모리
선택 MOS
MAN-DCR
SUB-DCR
DL
DL
GDCR
YG
SA
SA

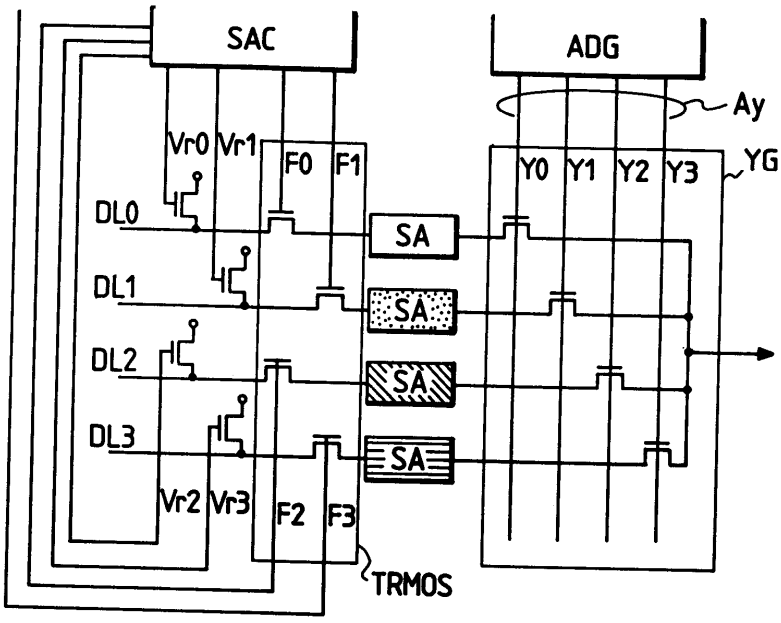
도면3


SAC
ADG
Ay
Vr0
Vr1
F0
F1
Y0
Y1
Y2
Y3
YG
DL0
DL1
DL2
DL3
SA
SA
SA
SA
TRMOS

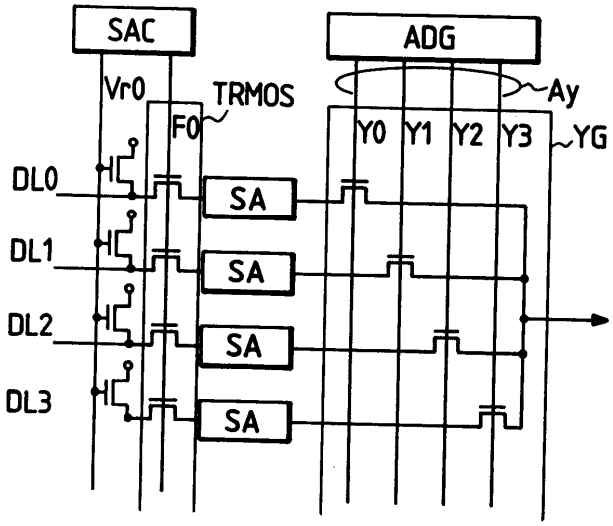
도면4


SAC
ADG
Ay
Vr0
F0
Y0
Y1
Y2
Y3
YG
DL0
DL1
DL2
DL3
SA
SA
SA
SA
Vr1
F1
TRMOS

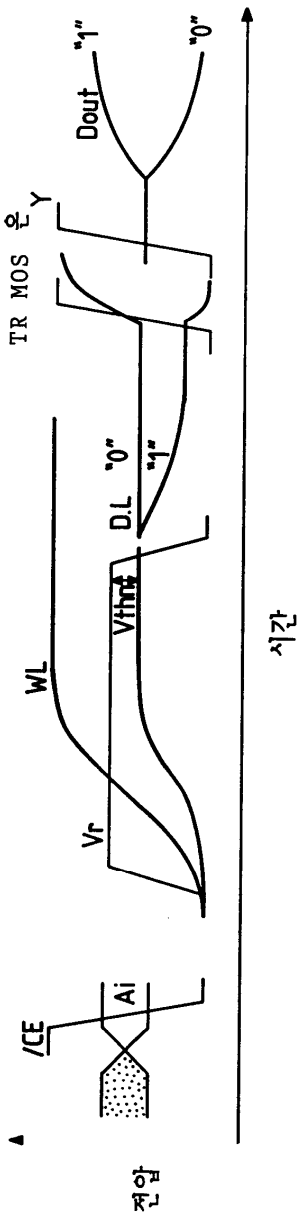
도면5


SAC
ADG
Ay
Vr0
Vr1
F0
F1
Y0
Y1
Y2
Y3
YG
DL0
DL1
DL2
DL3
SA
SA
SA
SA
Vr2
Vr3
F2
F3
TRMOS

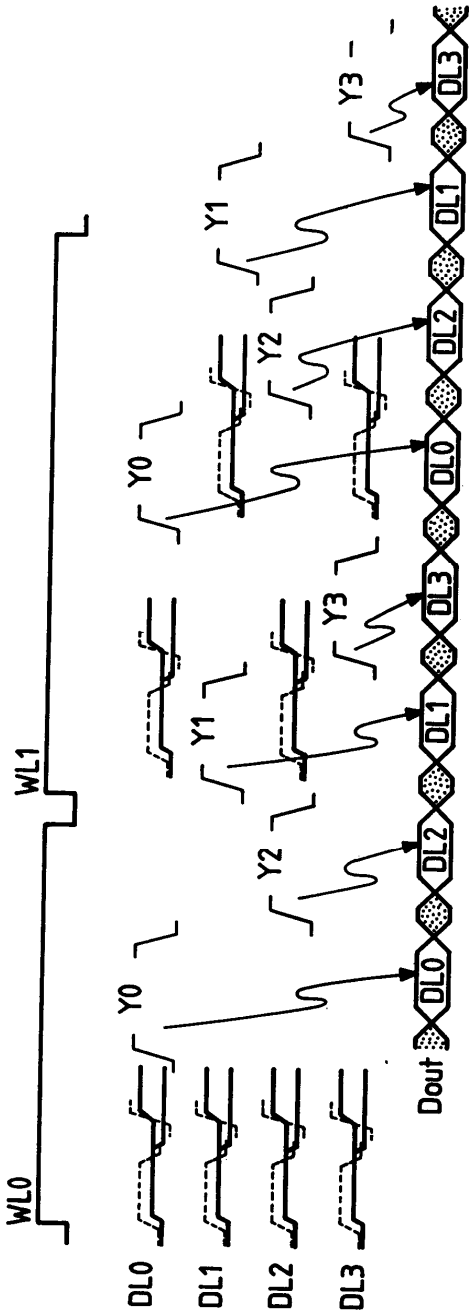
도면6


SAC
ADG
Vr0
TRMOS
Ay
F0
Y0
Y1
Y2
Y3
YG
DL0
DL1
DL2
DL3
SA
SA
SA
SA

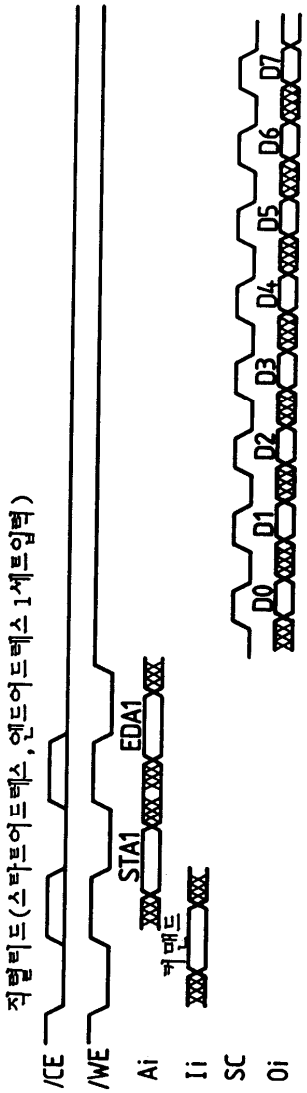
도면7



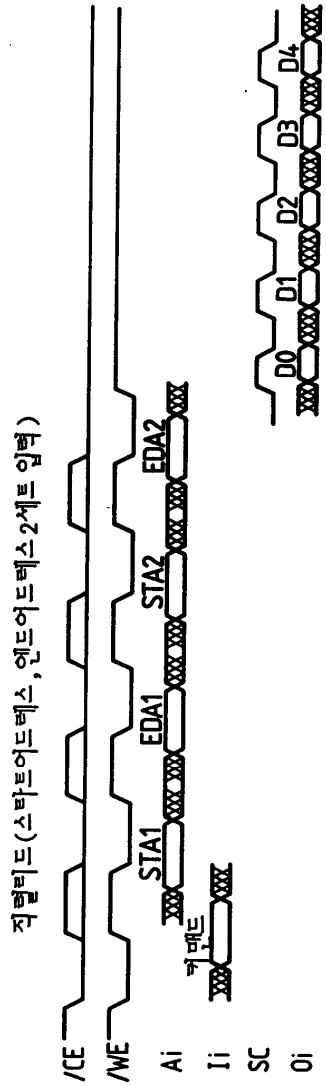
도면8



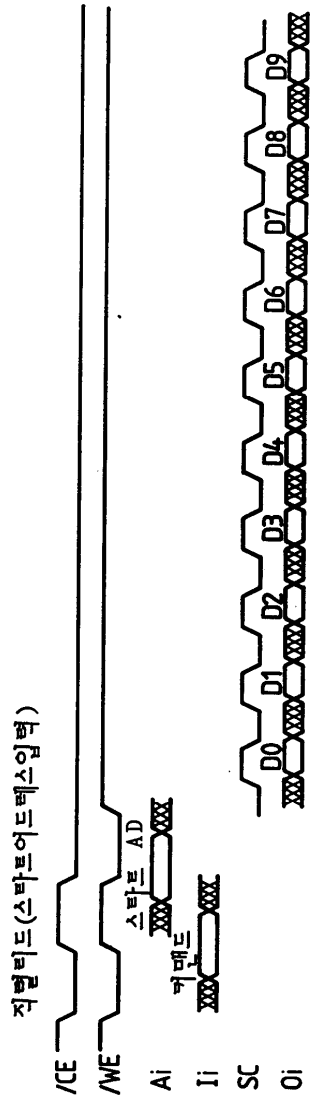
도면9


칙렬리드(스타트어드레스,엔드어드레스1세트입력)
/CE
/WE
Ai
Ii
SC
Oi
STA1
EDA1
커맨드
D0
D1
D2
D3
D4
D5
D6
D7

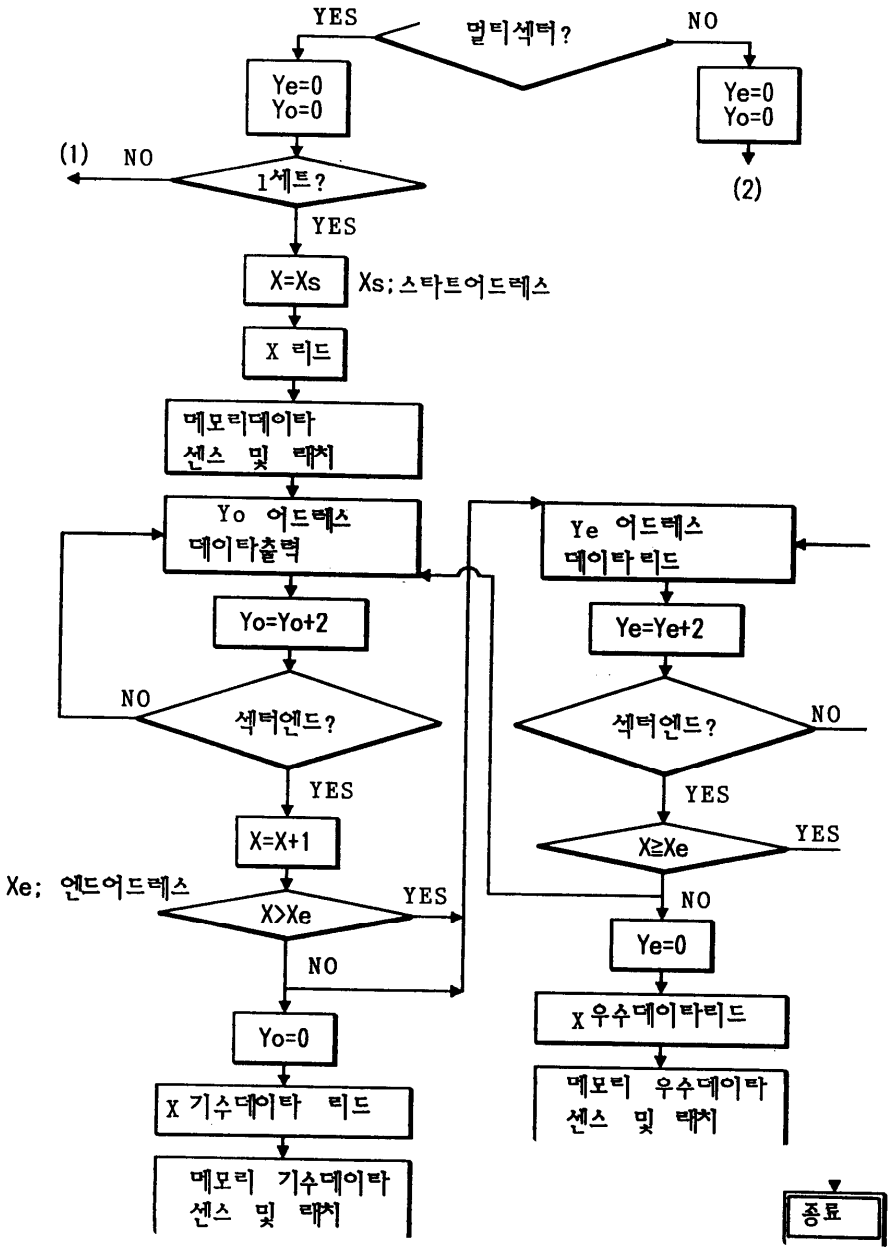
도면10


직렬리드(스타트어드레스, 엔드어드레스2세트 입력)
/CE
/WE
Ai
Ii
SC
Oi
STA1
EDA1
STA2
EDA2
커맨드
D0
D1
D2
D3
D4

도면11


직렬리드(스타트어드레스입력)
/CE
/WE
Ai
Ii
SC
Oi
스타트 AD
커맨드
D0
D1
D2
D3
D4
D5
D6
D7
D8
D9

도면12


YES
멀티섹터?
NO
Ye=0
Yo=0
Ye=0
Yo=0
(2)
(1)
NO
1세트?
YES
X=Xs
Xs; 스타트어드레스
X 리드
메모리데이타
센스 및 래치
Yo 어드레스
데이타출력
Yo=Yo+2
NO
섹터엔드?
YES
X=X+1
Xe; 엔드어드레스
X>Xe
YES
NO
Yo=0
X 기수데이타 리드
메모리 기수데이타
센스 및 래치
Ye 어드레스
데이타리드
Ye=Ye+2
섹터엔드?
NO
YES
X≧Xe
YES
NO
Ye=0
X 우수데이타리드
메모리 우수데이타
센스 및 래치
종료

도면13

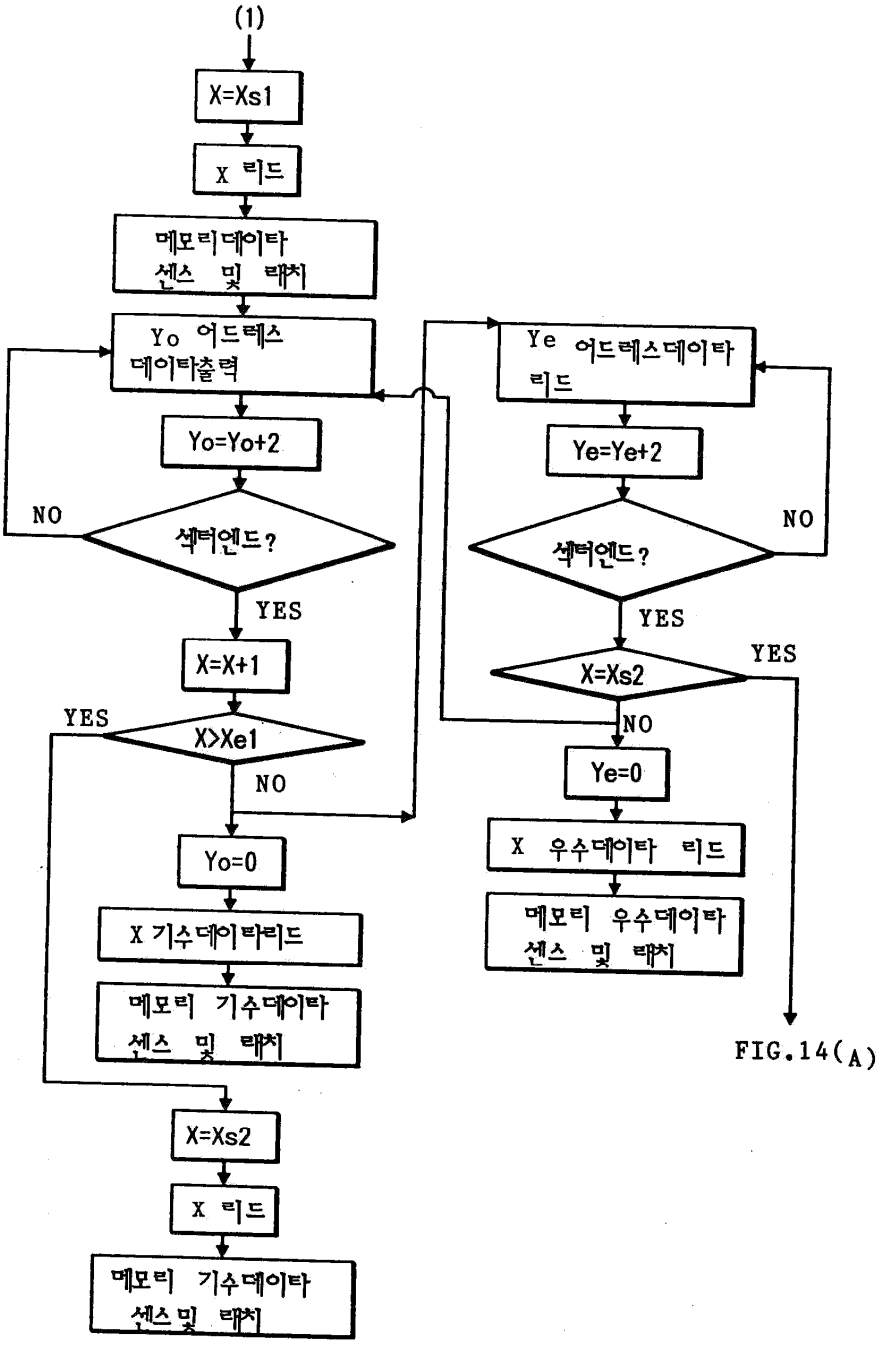
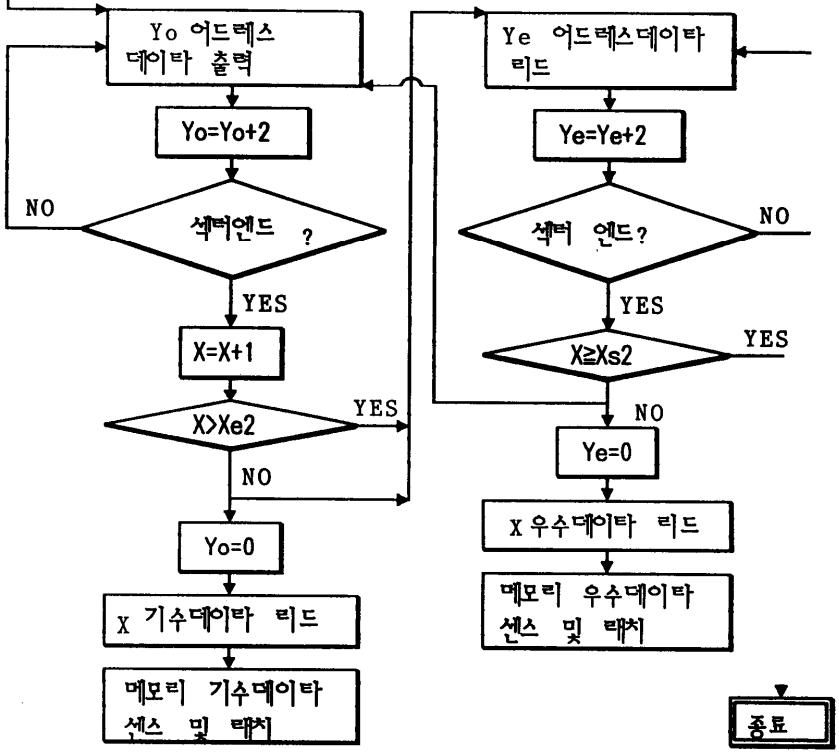

(1)
X=Xs1
X 리드
메모리데이타 센스 및 래치
Yo 어드레스 데이타출력
Yo=Yo+2
NO
섹터엔드?
YES
X=X+1
YES
X>Xe1
NO
Yo=0
X 기수데이타리드
메모리 기수데이타 센스 및 래치
X=Xs2
X 리드
메모리 기수데이타 센스및 래치
Ye 어드레스데이타 리드
Ye=Ye+2
NO
섹터엔드?
YES
YES
X=Xs2
NO
Ye=0
X 우수데이타 리드
메모리 우수데이타 센스 및 래치

FIG.14(A)

도면14

FIG.13(A)


Yo 어드레스 데이타 출력
Yo=Yo+2
NO
섹터엔드 ?
YES
X=X+1
X>Xe2
YES
NO
Yo=0
X 기수데이타 리드
메모리 기수데이타 센스 및 래치
Ye 어드레스데이타 리드
Ye=Ye+2
섹터 엔드?
NO
YES
X≥Xs2
YES
NO
Ye=0
X 우수데이타 리드
메모리 우수데이타 센스 및 래치
종료

도면15

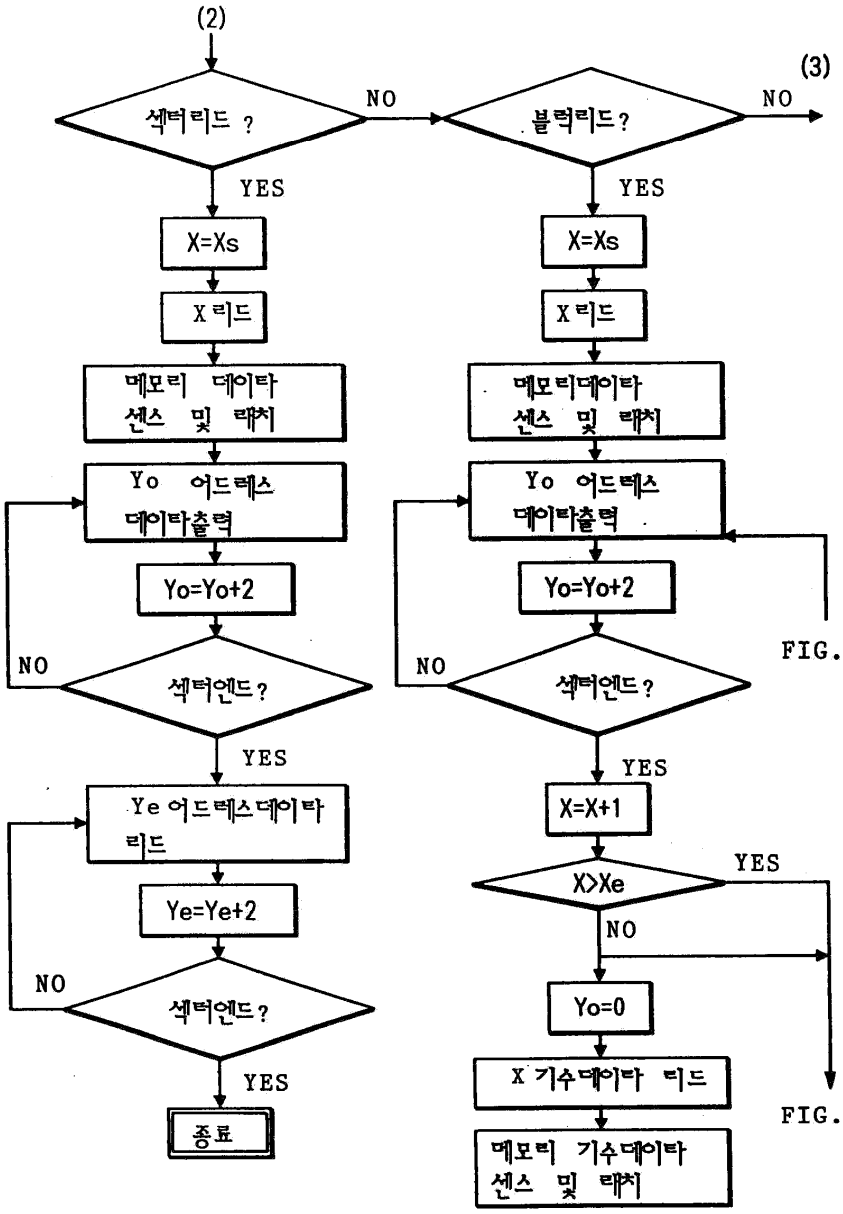


FIG.16(C)

FIG.16(B)

도면16

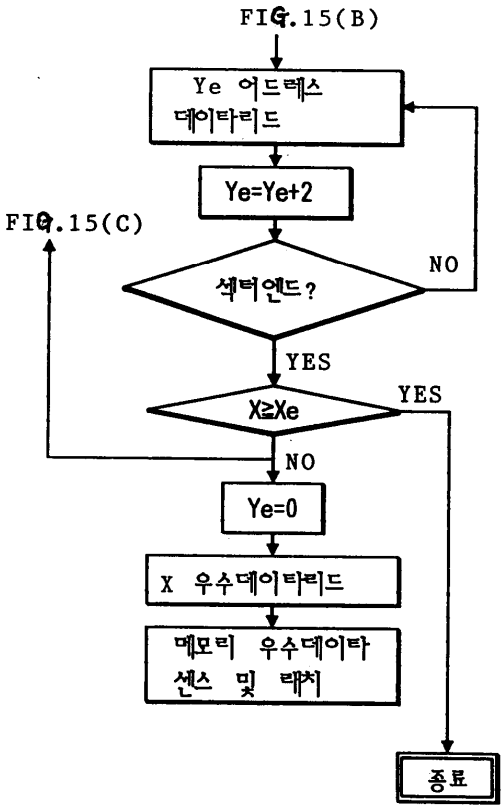
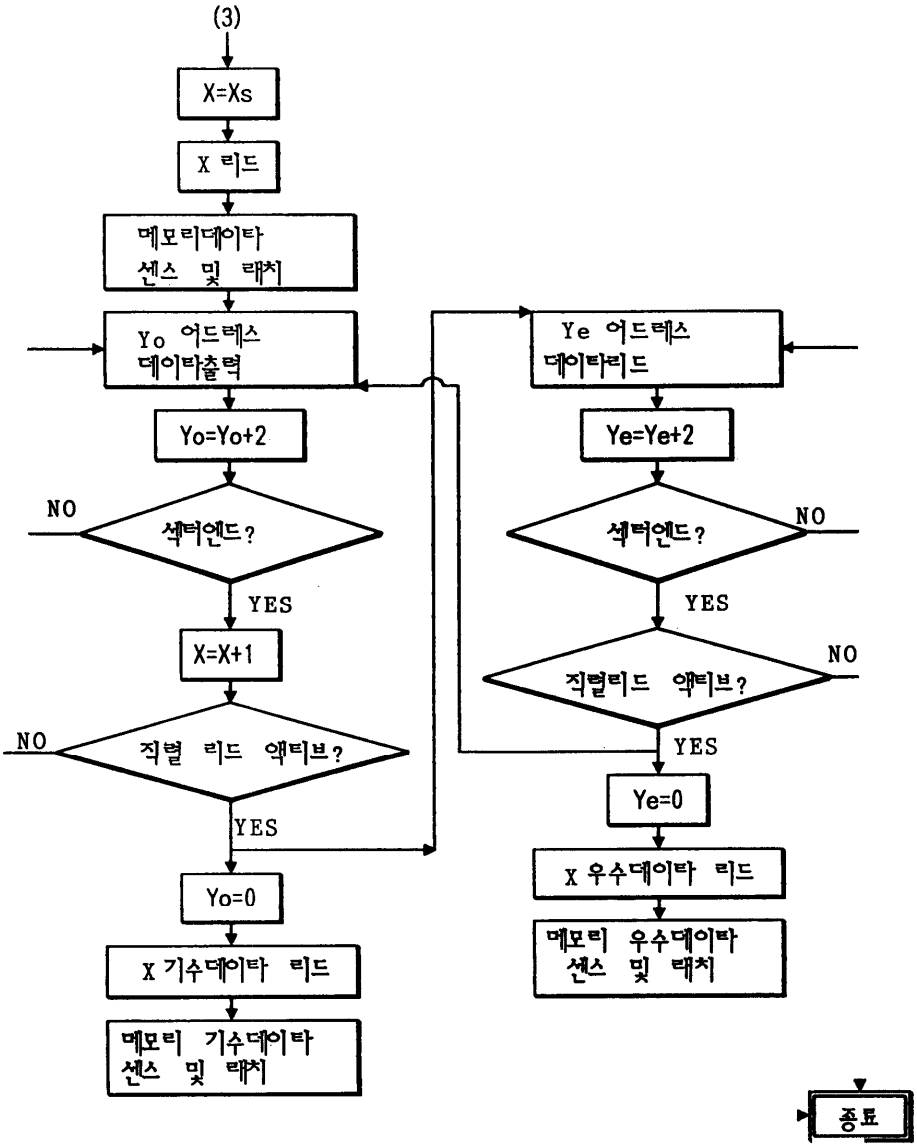
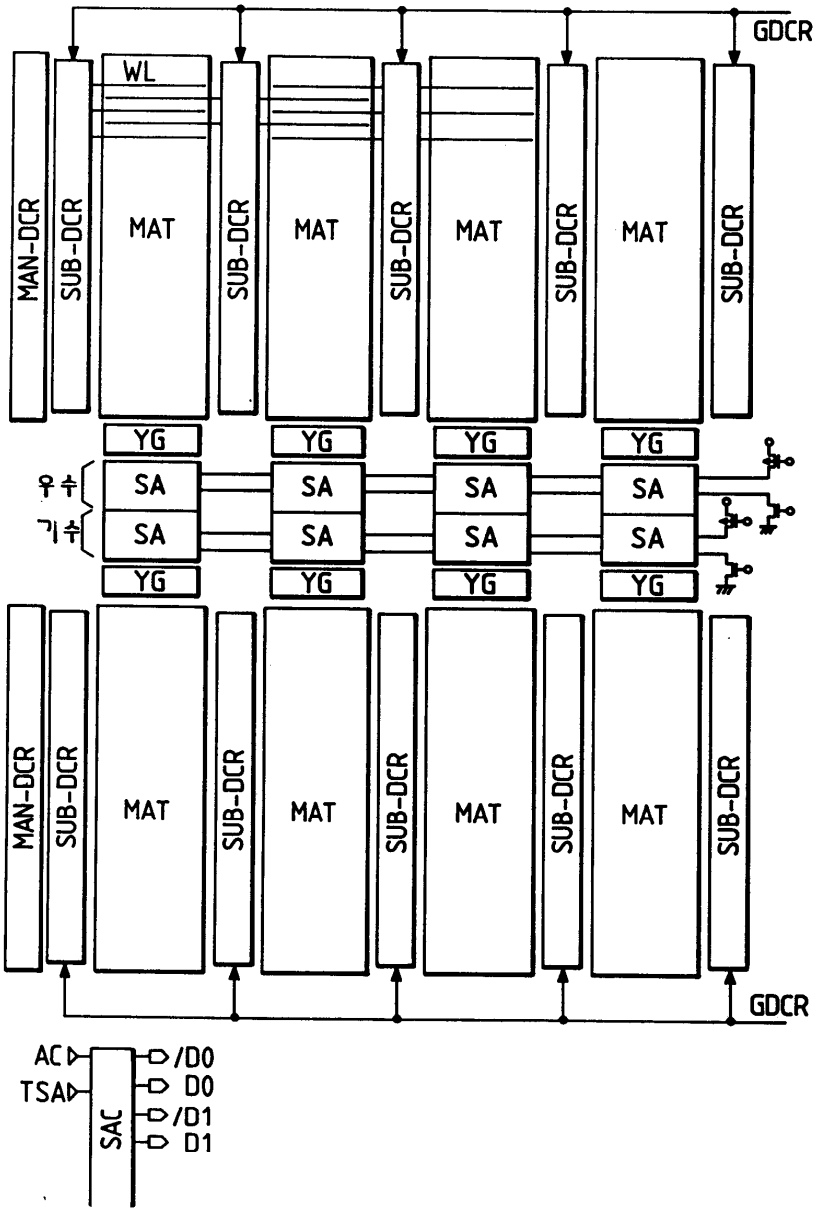


FIG.15(B)
Ye 어드레스
데이타리드
Ye=Ye+2
FIG.15(C)
섹터엔드?
NO
YES
X≥Xe
YES
NO
Ye=0
X 우수데이타리드
메모리 우수데이타
센스 및 래치
종료

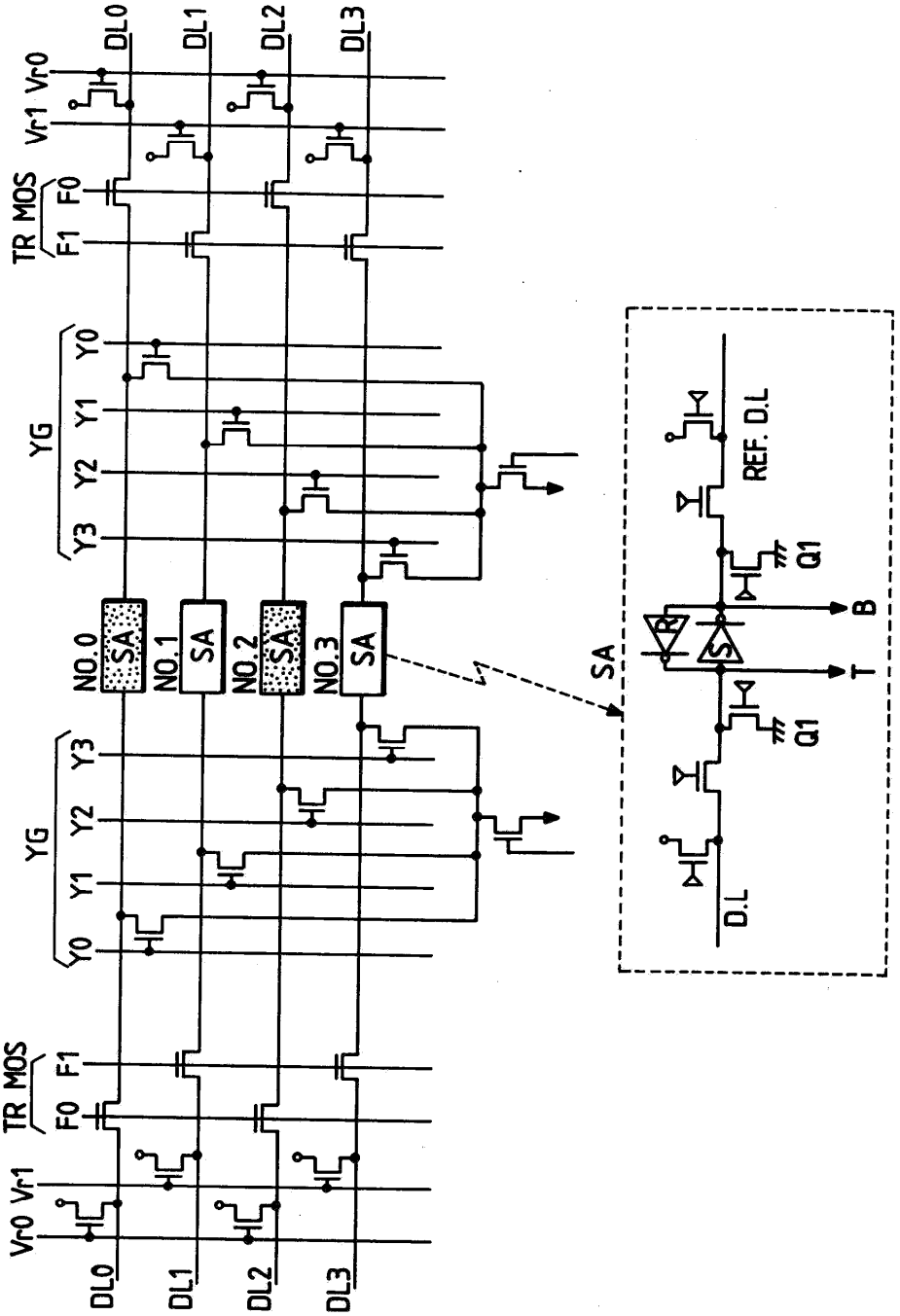
도면17


(3)
X=Xs
X 리드
메모리데이타 센스 및 래치
Yo 어드레스 데이타출력
Yo=Yo+2
NO
섹터엔드?
YES
X=X+1
NO
직렬 리드 액티브?
YES
Yo=0
X 기수데이타 리드
메모리 기수데이타 센스 및 래치
Ye 어드레스 데이타리드
Ye=Ye+2
NO
섹터엔드?
YES
NO
직렬리드 액티브?
YES
Ye=0
X 우수데이타 리드
메모리 우수데이타 센스 및 래치
종료

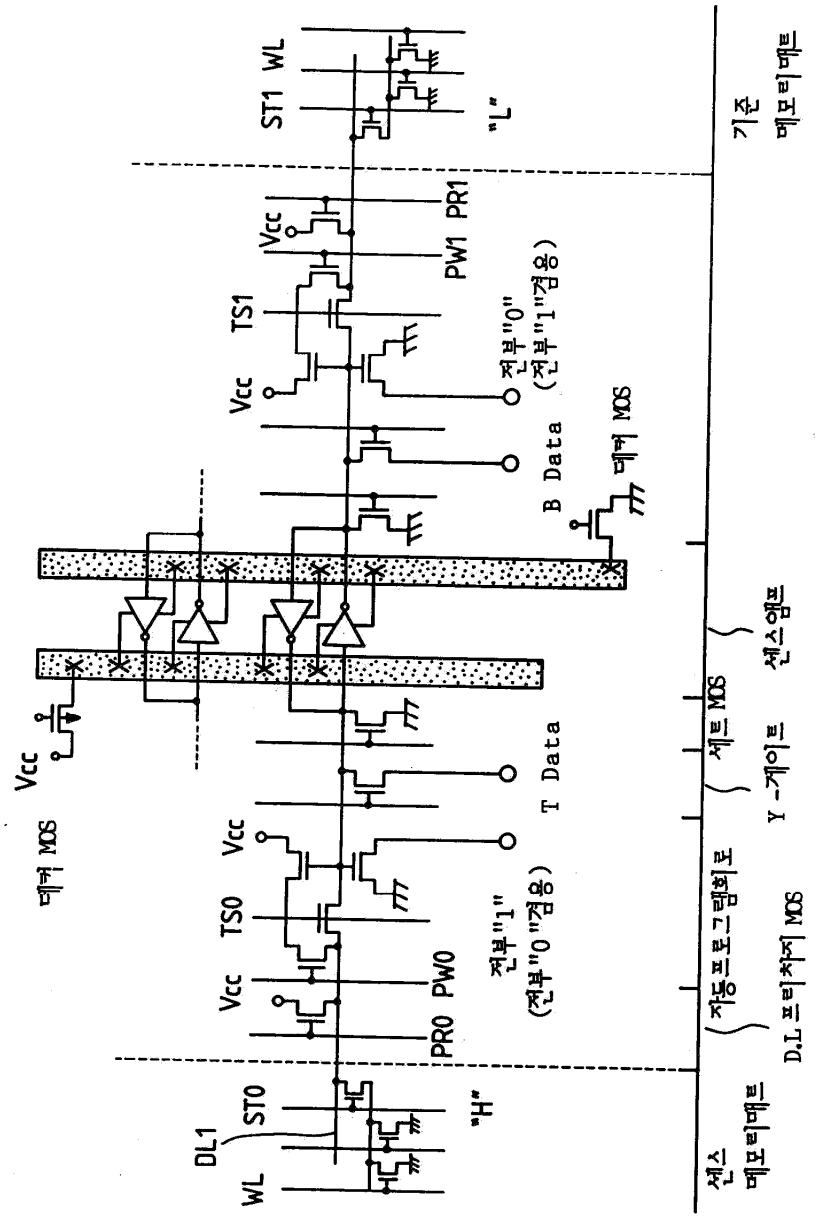
도면18



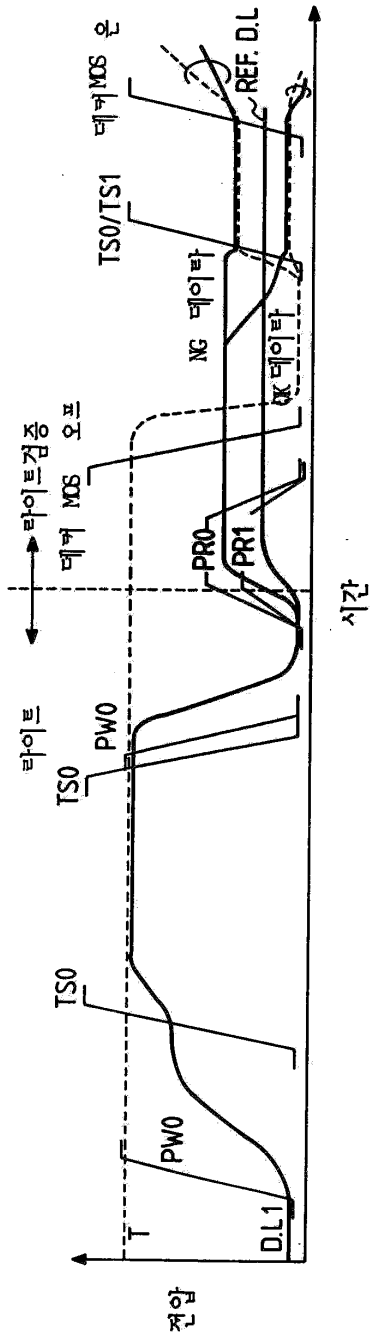
도면19


DL0
DL1
DL2
DL3
Vr1 Vr0
TR MOS
F1 F0
YG
Y0
Y1
Y2
Y3
NO.0
NO.1
NO.2
NO.3
SA
REF. D.L
Q1
R
S
B
T
D.L

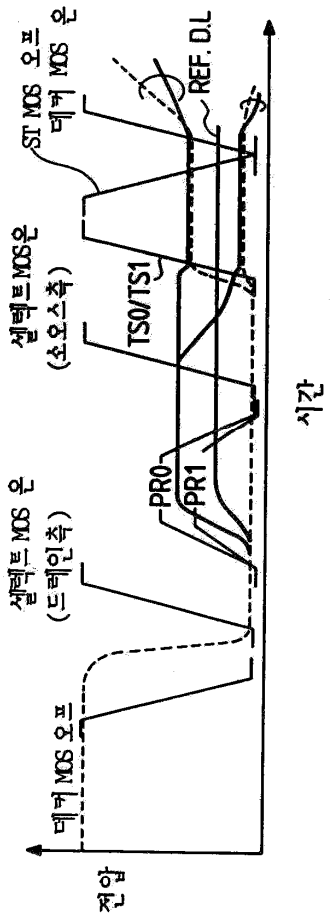
도면20


ST1
WL
"L"
Vcc
PW1
PR1
TS1
Vcc
전부"0"
(전부"1"겸용)
B Data
데머 MOS
Vcc
데머 MOS
T Data
Vcc
TS0
Vcc
PW0
전부"1"
(전부"0"겸용)
PR0
DL1
ST0
"H"
WL
기준
메모리매트
센스앰프
Y-게이트
센트 MOS
(차동프로그램회로
D.L 프리차지 MOS
센스
메모리매트

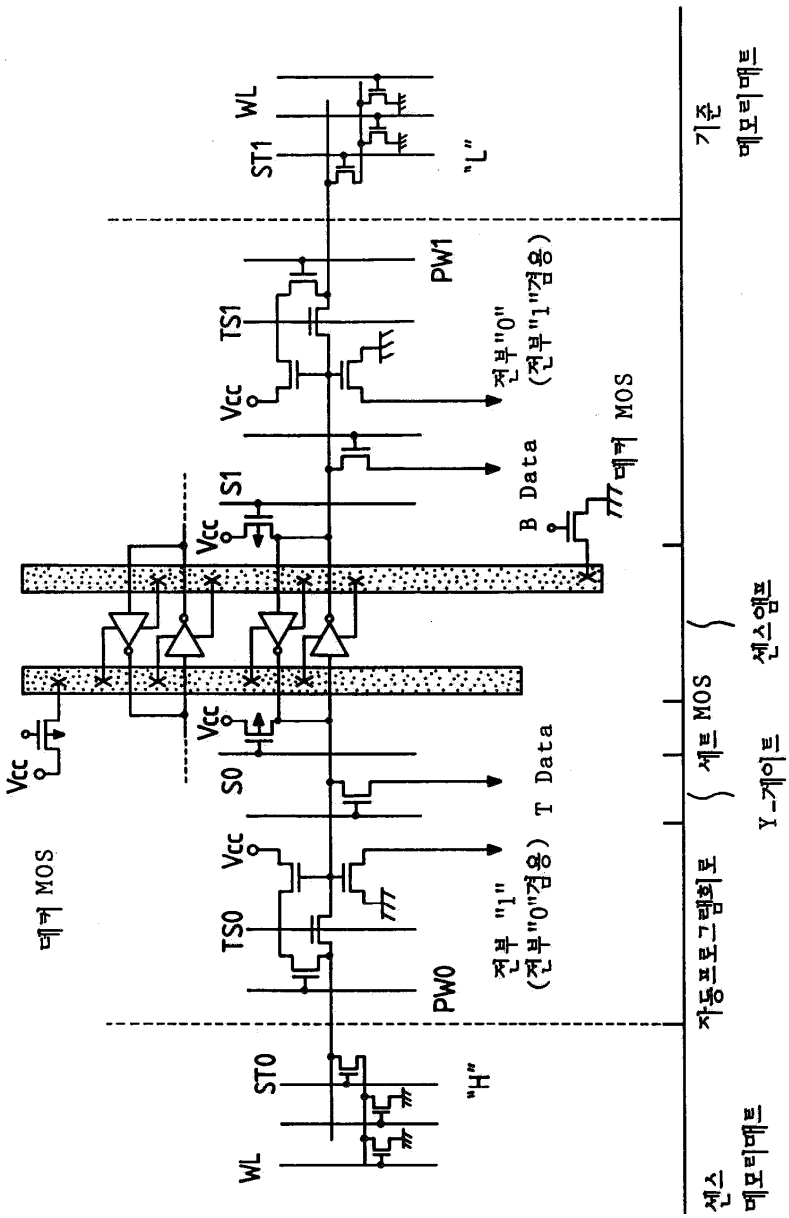
도면21a


REF. D.L
데커MOS 온
TS0/TS1
NG 데이타
OK데이타
데커 MOS 오프
라이트검증
PR0
PR1
시간
라이트
PW0
TS0
TS0
PW0
T
D.L1
전압

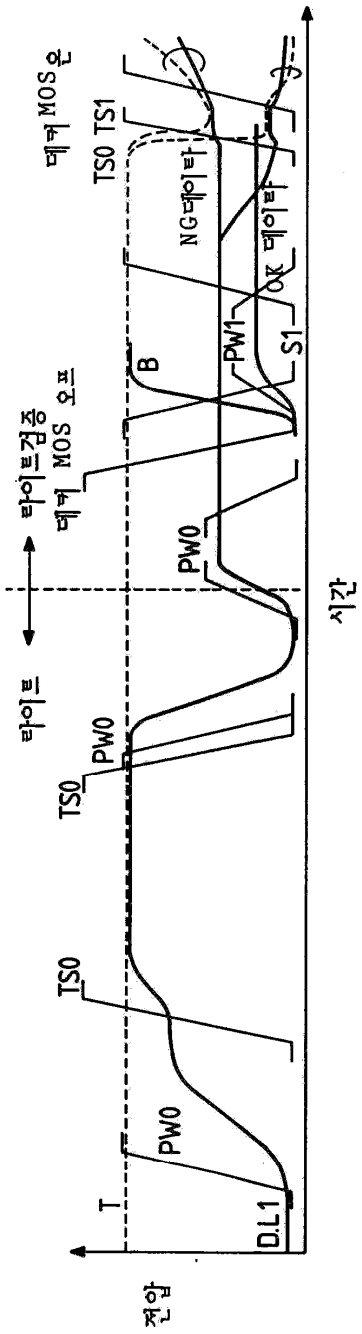
도면21b


ST MOS 오프
데커 MOS 온
REF. D.L
셀렉트MOS온
(소오스축)
TS0/TS1
PR0
PR1
셀렉트 MOS 온
(드레인축)
데커 MOS 오프
전압
시간

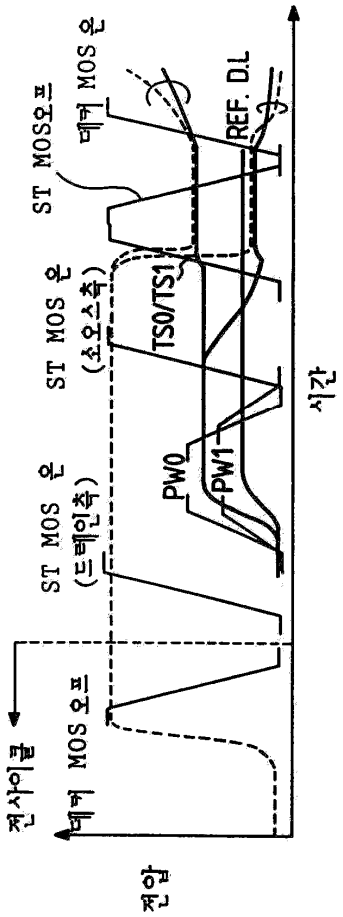
도면22


WL
ST1
"L"
기준
메모리매트
PW1
TS1
Vcc
전부"0"
(전부"1"겸용)
B Data
메퍼 MOS
S1
Vcc
센스앰프
Vcc
S0
T Data
세트 MOS
Y_게이트
메퍼 MOS
Vcc
TS0
전부 "1"
(전부"0"겸용)
PW0
자동프로그램회로
ST0
"H"
WL
센스
메모리매트

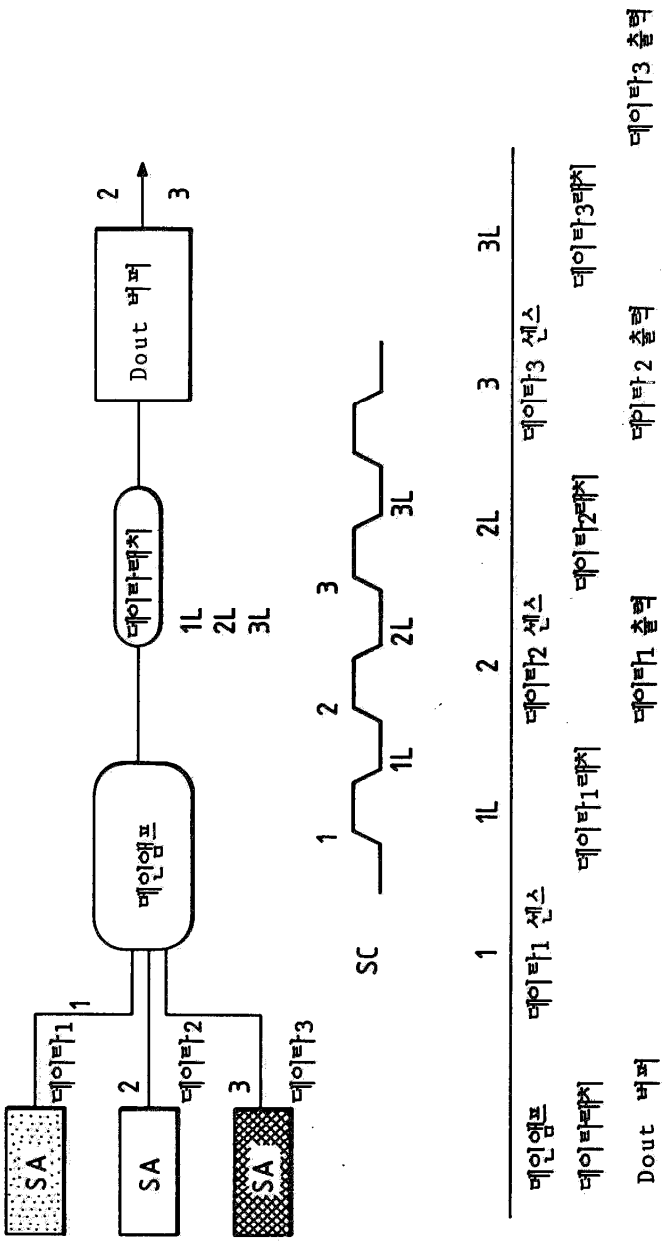
도면23a


전압
T
D.L1
PW0
TS0
TS0
PW0
타이트
타이트검증
메커 MOS 오프
PW0
B
PW1
S1
NG데이타
OK 데이타
TS0 TS1
메커 MOS온
시간

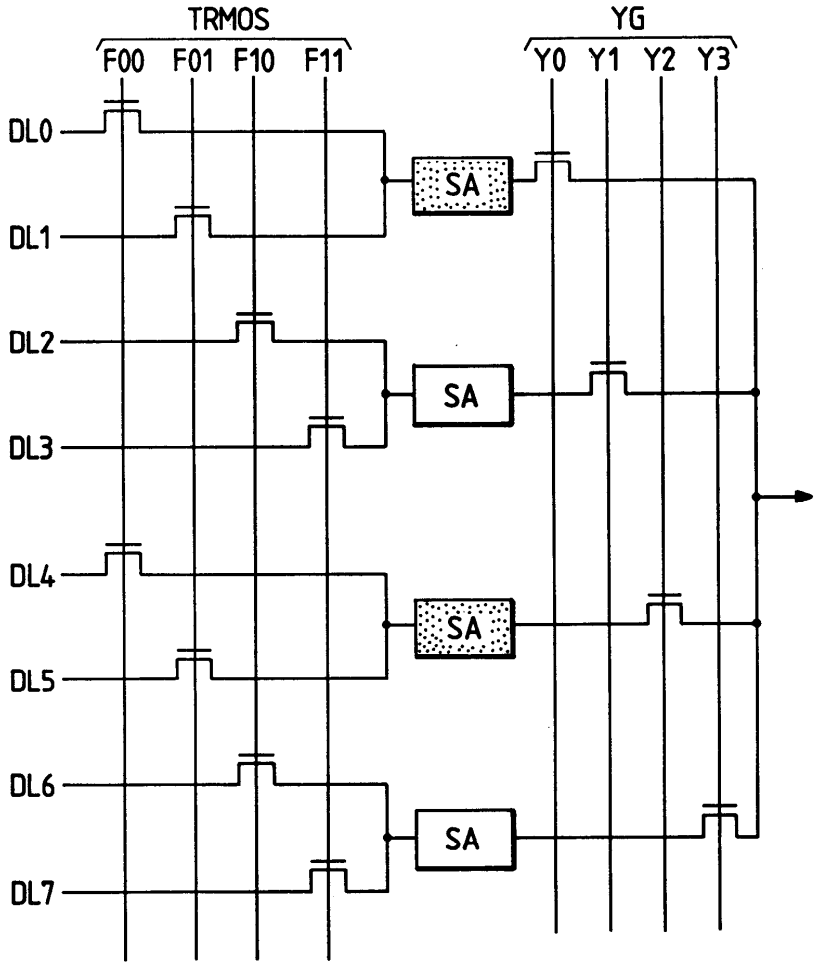
도면23b


ST MOS오프
메커 MOS 온
REF. DL
ST MOS 온
(소오스측)
TS0/TS1
ST MOS 온
(드레인측)
PW0
PW1
시간
전사이클
메커 MOS 오프
전압

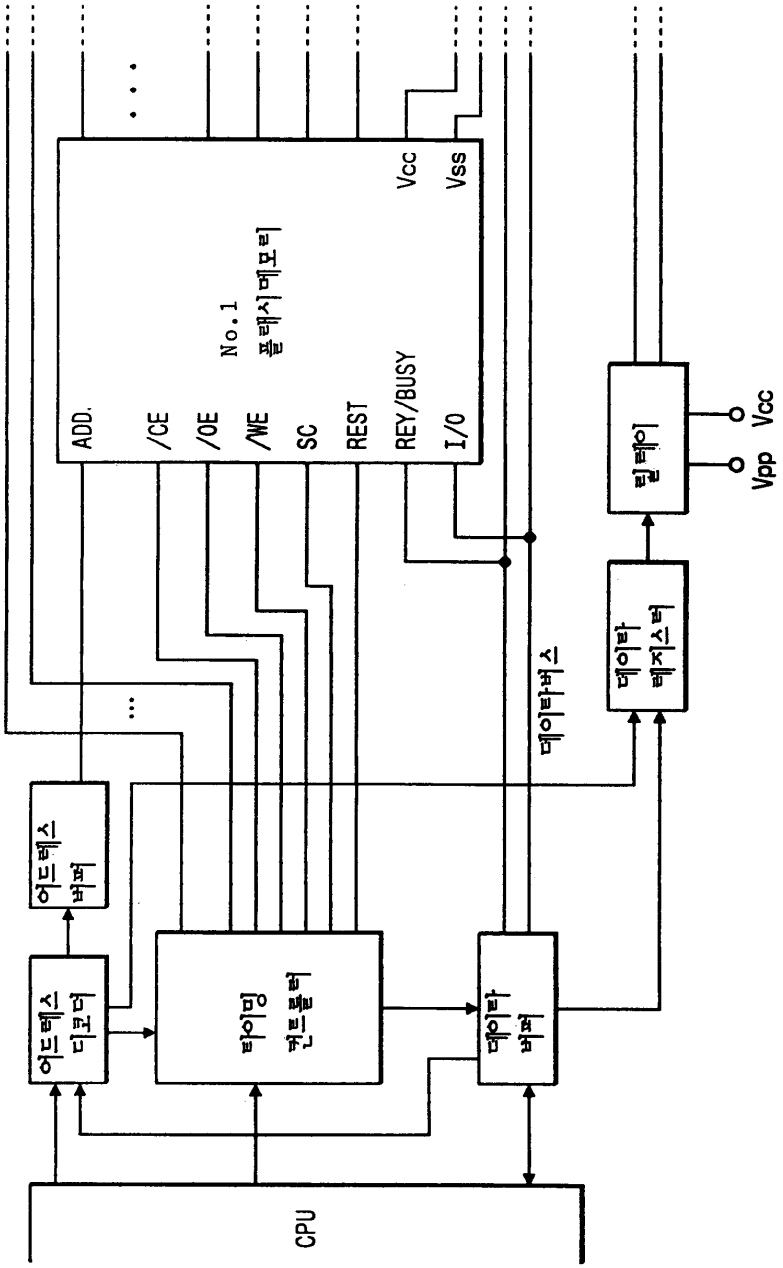
도면24


SA
SA
SA
데이타1
데이타2
데이타3
1
2
3
메인앰프
데이타래치
1L
2L
3L
Dout 버퍼
2
3
SC
1
2
3
1L
2L
3L
1
1L
2
2L
3
3L
메인앰프
데이타래치
데이타1 센스
데이타1래치
데이타2 센스
데이타2래치
데이타3 센스
데이타3래치
Dout 버퍼
데이타1 출력
데이타2 출력
데이타3 출력

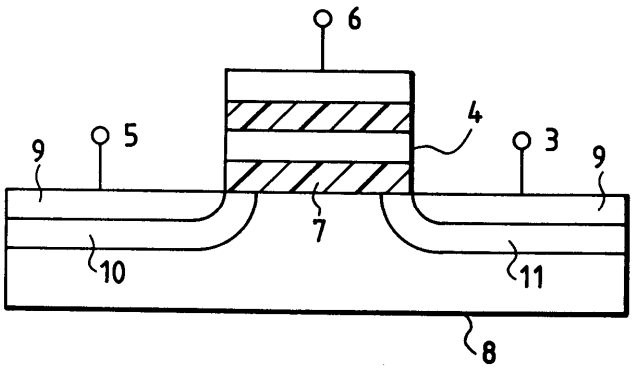
도면25


TRMOS
F00
F01
F10
F11
YG
Y0
Y1
Y2
Y3
DL0
DL1
DL2
DL3
DL4
DL5
DL6
DL7
SA
SA
SA
SA

도면26


No.1
플래시메모리
Vcc
Vss
ADD.
/CE
/OE
/WE
SC
REST
REY/BUSY
I/O
릴레이
Vcc
Vpp
데이타 레지스터
데이타버스
어드레스 버퍼
어드레스 디코더
타이밍 컨트롤러
데이타 버퍼
CPU

도면27


6
5
4
3
9
9
7
10
11
8

도면28

