

고 레벨로 유지된다. 결과적으로, 입력 단자(1)이 저 레벨 신호를 수신할 때, 고 레벨 신호 $V_{cc}-V_f$ 가 출력 단자(2)에 나타난다.

대조적으로, 입력 단자(1)의 전위가 저 레벨에서 고 레벨로 시프트되고, 제1p채널 MOS 트랜지스터(19)가 턴 오프되는 반면에 제2n채널 MOS 트랜지스터(20)은 제1바이폴라 트랜지스터(17)이 계속 온 상태이니 경우에 턴 온된다. 이때, 제1바이폴라 트랜지스터의 베이스 전위는 에미터의 전위 레벨 또는 출력 단자(2)의 전위보다 전압 V_f 만큼 높은 레벨로 유지된다. 제1바이폴라 트랜지스터(17)의 베이스 영역에 축적된 전하는 방전되어 온 상태의 제2n채널 MOS 트랜지스터(20)을 통해 접지선(4)로 흐른다. 다음에, 제1바이폴라 트랜지스터(17)의 베이스 전위가 강하되어 에미터 전위 또는 출력 단자(2)의 전위 보다 전압 V_f 만큼 높은 전위 레벨로 유지된다. 제1바이폴라 트랜지스터(17)의 베이스 전위가 전압 V_f 보다 낮은 레벨로 될 때, 제1바이폴라 트랜지스터(17)의 베이스 전류는 제1바이폴라 트랜지스터(17)이 턴 오프되도록 오프된다. 한편, 전위 강하 전에 출력 단자의 고전압 $V_{cc}-V_f$ 이 출력 단자(2)의 전압 레벨을 강하시키는 온 상태의 제3n채널 MOS 트랜지스터(21)을 통해 제2바이폴라 트랜지스터(18)의 베이스에 공급되도록 입력 신호를 고 레벨로 시프트시킴으로써 제3n채널 MOS 트랜지스터(21)을 턴 온시키고, 이로 인해 제2바이폴라 트랜지스터(18)의 베이스의 기생 캐패시턴스는 충전된다. 이때, 제2바이폴라 트랜지스터(18)의 베이스 전위는 제2바이폴라 트랜지스터(18)이 턴 온되도록 전압 V_f 까지 상승된다. 이후, 제2바이폴라 트랜지스터(18)의 베이스 전위는 에미터 전위 레벨 보다 전압 V_f 만큼 높은 레벨로 유지된다. 제2바이폴라 트랜지스터(18)가 턴 온되면 출력 단자(2)가 접지선(4)에 대해 도통된다. 이것은 출력 단자(2)를 신속히 전위 강하시키고, 결국 출력 단자의 레벨을 저 전위로 한다. 제3n채널 MOS 트랜지스터(21)의 게이트에 고전압 V_{cc} 을 인가해도, 제2바이폴라 트랜지스터(18)의 베이스 전위는 에미터 전위 또는 접지 전위 보다 전압 V_f 만큼 높은 레벨로 유지되기 때문에 게이트와 소스 사이에 인가되는 최대 바이어스는 전압 $V_{cc}-V_f$ 에 대응한다. 전압 V_f 는 상술한 바와 같이 일정한 값이다. 고전압 V_{cc} 가 비교적 작으면, 제3n채널 MOS 트랜지스터(21)의 게이트와 소스 사이의 바이어스는 비교적 작아진다. 더우기, 제3n채널 MOS 트랜지스터(21)은 기판 바이어스에 의해 발생된 기판 효과로 인한 증가된 임계 전압 V_{th} 을 갖는다. 결국, 증가된 임계 전압 V_{th} 는 제3n채널 MOS 트랜지스터(21)의 드레인 전류의 상당한 감소 뿐만 아니라 제3n채널 MOS 트랜지스터(21)의 턴 온을 지연시킨다. 이것은 제2바이폴라 트랜지스터(18)의 베이스 기생 용량의 충전을 지연시키고, 이로 인해 결과적으로 제2바이폴라 트랜지스터(18)의 턴 온을 지연시킨다. 이것은 출력 단자(2)의 요구된 신속한 전위 강하의 지연을 제공하고, 이러한 이유로 인해 인버터 회로는 고속의 성능을 나타낼 수 없다. 한편, 제2n채널 MOS 트랜지스터(20)은 온 상태이다. 이때, 제1바이폴라 트랜지스터(17)의 베이스 전위는 접지 레벨로 강하된다.

상기 문제를 해결하기 위하여, 제3n채널 MOS 트랜지스터(21)의 큰 채널 전류를 허용하도록 제3n채널 MOS 트랜지스터(21)의 채널 폭을 확대하는 것이 제안되었다. 그러나, 이 제안은 게이트 회로의 고밀도 집적의 어려움 뿐만 아니라 게이트 회로의 입력 캐패시턴스를 증가시키는 다른 문제점을 가져왔다.

본 발명은 제2도를 참조하여 BiCMOS 게이트 회로에 의한 전력 소비에 초점을 맞추겠다. BiCMOS 게이트 회로의 전력 소비는 바이폴라 트랜지스터의 부하를 충전 및 방전하는데 요구된 전력과 게이트 회로에서 임의의 트랜지스터의 기생 캐패시턴스를 충전 및 방전하는데 요구된 전력으로 분할되는 것으로 생각되어질 수 있다. 트랜지스터의 기생 캐패시턴스를 충전 및 방전하는데 요구된 전력은 MOS 트랜지스터 및 바이폴라 트랜지스터를 충전 및 방전하는데 각각 요구된 전력으로 분할된다고 생각되어질 수 있다. MOS 트랜지스터의 기생 용량은 게이트 폭 또는 채널 폭에 거의 비례한다. 따라서, 전력 소비는 축적이 다수의 인버터 회로의 직렬 접속으로 구성된 인버터 체인 회로를 사용함으로써 실행된 제2도에 도시한 바와 같은 MOS 트랜지스터의 게이트 폭 또는 채널 폭에 또한 비례한다. 부하 캐패시턴스는 게이트 회로의 사용 상태에 따라 변하는 외부 인자(factor)이다. 따라서, BiCMOS 게이트 회로의 전력 소비는 MOS 트랜지스터의 게이트 폭에 주로 의존한다.

따라서, 종래의 BiCMOS 논리 게이트 회로에서, 출력 단자에 접속된 임의의 풀업(pull-up) 및 풀다운(pull-down) 바이폴라 트랜지스터를 턴 온시키기 위해서는, 베이스 전위가 접지 전위에서 전압 V_f 로 상승할 때까지 바이폴라 트랜지스터의 베이스 기생 캐패시턴스를 충전할 필요가 있다. 결국, 게이트 논리 회로의 충전 시간의 요구된 감소 또는 고속 성능을 달성하기 어렵다. 요구된 고속 성능을 달성하기 위해서는, 바이폴라 트랜지스터의 베이스를 구동시키는데 사용되는 MOS 트랜지스터의 게이트 폭을 확대할 필요가 있지만, 이로 인해 결국 게이트 논리 회로의 고밀도 집적과 전력 소비의 감소 모두 어려움이 있다. 상기 문제점들은 게이트 논리 회로를 구동시키기 위한 고전압이 작아지면 더 심각해진다.

따라서, 본 발명의 주요 목적은 상기 기술된 것처럼 어떤 문제가 없는 신규한 BiCMOS 논리 게이트 회로를 제공하는 것이다.

본 발명의 다른 목적은 고속의 성능을 나타내는 신규한 BiCMOS 논리 게이트 회로를 제공하는 것이다.

본 발명의 또다른 목적은 고밀도 집적을 가능하게 하는 신규한 BiCMOS 논리 게이트 회로를 제공하는 것이다.

본 발명의 또다른 목적은 전력 소비를 감소시킬 수 있는 신규한 BiCMOS 논리 게이트 회로를 제공하는 것이다.

본 발명의 상기 및 다른 목적, 특징 및 이점은 이하의 설명으로부터 분명해질 것이다.

본 발명은 토템 폴 접속의 형태로 2개의 바이폴라 트랜지스터를 포함하는 출력 구동부, 복수의 MOS 트랜지스터를 적어도 포함하는 베이스 구동부 및 바이폴라 트랜지스터의 베이스의 기생 캐패시턴스를 충전하는데 필요한 시간을 감소하도록 바이폴라 트랜지스터가 턴 온하는 베이스-에미터 순방향 바이어스와 같은 전위의 부근으로 바이폴라 트랜지스터의 베이스 전위를 제한하기 위한 베이스 클램핑부를 포함하는 신규한 BiCMOS 논리 게이트 회로를 제공한다.

본 발명에 따른 제1실시예를 인버터 회로로서 작용할 수 있는 신규한 BiCMOS 게이트 논리 회로가 제공되

는 제3도를 참조하여 상세하게 기술한다. 제1실시예의 신규한 BiCMOS 논리 게이트 회로는 고전압 V_{cc} 을 공급하기 위한 고전압선(3)과 접지 전압 GND를 공급하기 위한 접지선(4)간에 바이어스된다. 인버터 회로의 형태로 된 BiCMOS 논리 게이트 회로는 임의의 입력 신호를 수신하기 위한 입력 단자(1)과 임의의 출력 신호가 출력되는 출력 단자(2)를 갖는다. BiCMOS 논리 게이트 회로는 임의의 출력 신호를 발생하기 위한 출력 구동부(20), 출력 구동부(20)에 포함된 바이폴라 트랜지스터의 임의의 베이스를 구동하기 위한 베이스 구동부(21) 및 바이폴라 트랜지스터가 턴 온하는 베이스-에미터 순방향 바이어스로서 전압 V_F 의 부근으로 출력 구동부(20)에 포함된 바이폴라 트랜지스터중의 하나의 베이스 전위를 클램핑 또는 제한하기 위한 베이스 클램핑부(22)를 포함한다.

출력 구동부(20)은 고전압선(3)과 접지선(4)간의 도통 풀 접속의 형태로 된 제1과 제2npn바이폴라 트랜지스터(5와 6)를 포함한다. 제1바이폴라 트랜지스터(5)는 베이스 구동부(21)의 베이스 구동 논리 회로에 의해 구동되도록 베이스 구동부(21)에 전기적으로 접속되는 베이스, 고전압선(3)에 전기적으로 접속되는 콜렉터 및 출력 단자(2)에 전기적으로 접속되는 에미터를 갖는다. 제2바이폴라 트랜지스터(6)은 제2바이폴라 트랜지스터(6)이 턴 온하는 베이스-에미터 순방향 바이어스로서 전압 V_F 의 부근에서 제2바이폴라 트랜지스터(6)의 베이스 전위가 유지되거나 제한되도록 베이스 클램핑부(22)를 통해 베이스 구동부(21)에 전기적으로 접속되는 베이스, 출력 단자(2)에 전기적으로 접속되는 콜렉터 및 접지선(4)에 전기적으로 접속되는 에미터를 갖는다.

베이스 구동부(21)은 p채널 MOS 트랜지스터(7)과 제1과 제2n채널 MOS 트랜지스터(8과 9)를 포함한다. p채널 MOS 트랜지스터(7)은 입력 신호를 수신하기 위한 입력 단자(1)에 전기적으로 접속되는 게이트, 고전압선(3)에 전기적으로 접속되는 소스 및 제1바이폴라 트랜지스터(5)의 베이스에 전기적으로 접속되는 드레인을 갖는다. 제1n채널 MOS 트랜지스터(8)은 입력 신호를 수신하기 위한 입력 단자(1)에 전기적으로 접속되는 게이트, 베이스 클램핑부(22)를 통해 제2바이폴라 트랜지스터(6)의 베이스에 전기적으로 접속되는 소스 및 제1바이폴라 트랜지스터(5)의 베이스에 전기적으로 접속되는 드레인을 갖는다. 제2n채널 MOS 트랜지스터(9)는 입력 신호를 수신하기 위한 입력 단자(1)에 전기적으로 접속되는 게이트, 베이스 클램핑부(22)를 통해 제2바이폴라 트랜지스터(6)의 베이스에 전기적으로 접속되는 소스 및 출력 단자(2)에 전기적으로 접속되는 드레인을 갖는다.

클램핑부(22)는 제3npn바이폴라 트랜지스터(10), 제1 내지 제3저항(11, 12 및 13)과 캐패시터(14)를 포함한다. 제1저항(11)은 고전압선(3)과 제2바이폴라 트랜지스터(6)의 베이스간에 전기적으로 접속된다. 제2저항(12)은 베이스 구동부(21)의 제2n채널 MOS 트랜지스터(9)의 소스와 접지선(4)에 접속되는 반대 전극을 갖는 캐패시터(14)의 하나의 전극간에 전기적으로 접속된다. 제3저항(13)은 제1저항(11)에 접속되는 제2바이폴라 트랜지스터(6)의 베이스와 접지선(4)에 전기적으로 접속되는 에미터 및 캐패시터(14)와 제2저항(12)간의 중간 지점에 전기적으로 접속되는 베이스를 갖는 제3바이폴라 트랜지스터(10)의 콜렉터간에 전기적으로 접속된다. 그 다음에, 제2바이폴라 트랜지스터(6)의 베이스는 제1과 제3저항(11과 13)간의 중간 지점에 전기적으로 접속된다. 상기 논리 게이트 회로는 제2바이폴라 트랜지스터(6)의 베이스 전위를 클램프하도록 설계되었다. 이것은 인버터 회로로서 작용하는 BiCMOS 논리 게이트 회로의 동작과 관련한 다음의 설명으로부터 분명해질 것이다.

입력 단자(1)에 인가된 입력 신호가 고 레벨에서 저 레벨로 시프트될 때의 BiCMOS 논리 게이트 회로의 동작상에 설명의 초점을 맞출 것이다. 입력 단자(1)에 인가된 입력 신호가 저 레벨에서 고 레벨로 시프트될 때, p채널 MOS 트랜지스터(7)이 턴 오프되는 반면에, 제1과 제2n채널 MOS 트랜지스터(8과 9)는 턴 온되므로써 제1바이폴라 트랜지스터(5)의 베이스 전위는 제1바이폴라 트랜지스터가 계속해서 온 상태에 있을 때에 고전압 V_{cc} 로부터 강해진다. 따라서, 출력 단자(2)의 전위 또는 제1바이폴라 트랜지스터(5)의 에미터 전위는 또한($V_{cc}-V_F$)로부터 강해되어 전압 V_F 만큼 베이스 전위보다 낮게 유지된다. 상기 기술된 것처럼, 제1과 제2npn 바이폴라 트랜지스터(17과 18)에서, 베이스 영역의 전위는 바이폴라 트랜지스터가 전압(V_F)가 베이스와 에미터간에 인가되는 순방향 바이어스가 되는 경우에 온/오프 스위치 동작을 나타내는 전압 V_F 만큼 에미터의 전위보다 높게 항상 유지된다. 전압 V_F 는 콜렉터와 에미터간의 임의의 바이어스로부터 자유롭지만, 바이폴라 트랜지스터의 물질과 에미터의 크기에 의해 정해진다. 임의의 바이폴라 트랜지스터인 경우, 베이스 영역과 에미터 영역간의 페르미 레벨의 차이는 바이폴라 트랜지스터가 온 상태에 있는 경우 전압 V_F 로 항상 유지된다. 제1n채널 MOS 트랜지스터(8)의 온 상태로 전류가 제1바이폴라 트랜지스터(5)의 베이스 영역에서 제1n채널 MOS 트랜지스터(8)를 통해 제2바이폴라 트랜지스터(6)의 베이스 영역으로 흐르게 된다. 그 다음에, 제2바이폴라 트랜지스터(6)은 턴 온된다. 제2바이폴라 트랜지스터(6)의 베이스 전위는 베이스 클램핑부(22)의 클램핑 회로에 의해 전압 V_F 로 유지된다. 제1n채널 MOS 트랜지스터(8)의 드레인 전류는 제2바이폴라 트랜지스터의 베이스 기생 캐패시턴스의 전하로부터 자유롭지만 스위칭 온하기 위한 베이스 전류로서 단순히 제2바이폴라 트랜지스터(6)의 베이스로 공급되어 제2바이폴라 트랜지스터(6)은 즉각적인 스위칭 ON동작을 보이게 된다. 제1바이폴라 트랜지스터(5)의 베이스 전위는 전압 V_F 보다 낮은 레벨로 되지 않도록 베이스 클램핑부(22)의 클램핑 회로에 의해 클램프되거나 제한된다. 도시되지 않았지만 출력 단자(2)에 접속된 부하 캐패시턴스가 비교적 클 때, 부족한 전류가 제1바이폴라 트랜지스터(5)의 베이스로부터 제1n채널 MOS 트랜지스터(8)를 통하여 제2바이폴라 트랜지스터(6)의 베이스로 공급된다. 다음에, 제2바이폴라 트랜지스터(6)의 베이스 전류는 불충분하여 제2바이폴라 트랜지스터(6)을 통한 출력 단자(2)로부터의 신속한 전류 유도에 어려움이 생기게 된다. 제2n채널 MOS 트랜지스터(9)는 출력 전압이 저 레벨로 될 때까지 제2바이폴라 트랜지스터(6)의 베이스 전류를 보장할 수 있다. 출력 단자(2)에 나타나는 저 레벨은 전압 V_F 보다 낮은 레벨로 되지 않도록 클램프되거나 제한된다. 다음에, 이것은 제2바이폴라 트랜지스터(6)의 베이스와 콜렉터 사이의 어떤 순방향 바이어스도 방지할 수 있다. 이것은 제2바이폴라 트랜지스터(6)이 어떤 포화 상태로 되지 않도록 할 수 있다. 또한 제2n채널 MOS 트랜지스터(9)는 출력 단자(2)에 접속된 배선 상의 어떤 잡음 등에 기인하는 출력 단자(2)의 비가역 전압(inreversible voltage) 레벨 증가 뿐만 아니라 제1바이폴라 트랜지스터(5)의 어떤 누출 전류를 방지할 수 있다. 이것은 논리 게이트 회로의 어떤 에러 동작을 방지할 수 있다. 이어서, 출력 단자(2)의 출력 전압이 고 레벨 $V_{cc}-V_F$ 에서 저

레벨 V_F 로 강해진다.

상술한 바와 같이, 제2바이폴라 트랜지스터(6)의 베이스 전위는 전압 V_F 의 부근으로 클램프되거나 제한된다. 그러므로, 제2바이폴라 트랜지스터(6)의 베이스 영역의 기생 캐패시턴스의 충전이 전혀 또는 거의 필요없게 된다. 이로써 제2바이폴라 트랜지스터(6)의 즉각적인 또는 고속 스위칭 온 동작이 가능하여 출력 단자(2)의 신속한 또는 고속 출력 전압 강하가 가능하게 된다. 제2바이폴라 트랜지스터(6)의 베이스 영역의 기생 캐패시턴스를 충전할 필요가 전혀 또는 거의 없으므로 제1 및 제2n채널 MOS 트랜지스터의 게이트 폭 또는 채널 폭을 매우 작게 할 수 있다. 5V의 전압이 인가되는 종래의 BiCMOS 논리 게이트 회로에서, 제2n채널 MOS 트랜지스터는 $10\ \mu\text{m}$ 와 같거나 넓은 게이트 폭을 필요로 한다. 고전원 전압을 낮추기 위해서는 MOS 트랜지스터의 폭을 더욱 확장하여야 한다. 1:10보다 크지 않은 게이트 길이와 게이트 폭의 비는 MOS 트랜지스터의 동작 속도를 상당히 느리게 한다. 반면에, 베이스 클램핑 회로를 포함하는 신규한 BiCMOS 논리 게이트 회로는 종래 기술과 상당히 다르다. 전원 전압 또는 고전압이 단지 2.5V일 때 단지 $1\ \mu\text{m}$ 의 작은 게이트 폭이 제2n채널 MOS 트랜지스터(9)에 허용된다. 즉, 1:2.5인 게이트 길이와 게이트 폭의 비는 고속 성능의 열화를 방지할 수 있다. MOS 트랜지스터의 작은 게이트 폭은 전력 소비의 상당한 감소 뿐만 아니라 논리 게이트 회로의 집적화에 상당한 개선을 가져올 수 있다. 본 발명의 상기한 특징은 회로 성능의 열화 없이 고속으로 신규한 BiCMOS 논리 게이트 회로가 저전원 전압으로 구동될 수 있도록 한다.

다음 설명은 입력 단자(1)의 입력 레벨이 고 레벨에서 저 레벨로 시프트될 때의 신규한 논리 게이트 회로의 동작에 중점을 둘 것이다. 다음에, p채널 MOS 트랜지스터(7)이 턴 온하면, 제1 및 제2n채널 MOS 트랜지스터(8 및 9)가 턴 오프하여, 제1바이폴라 트랜지스터(5)의 베이스 전위는 상승된다. 또한, 제1바이폴라 트랜지스터(5)의 에미터 전위 또는 출력 단자(2)의 출력 전위가 상승되어 또한 베이스 전위보다 전압 V_F 만큼 낮은 전위 레벨로 유지된다. 전위 상승의 속도는 베이스 전위와 출력 단자(2)의 출력 전위 간에서 동일하다. 전위 상승의 속도는 도시되지는 않았지만 출력 단자(2)에 접속된 부하 캐패시턴스와 제1바이폴라 트랜지스터(5)의 에미터 전류 양자에 의해 정해진다. 에미터 전류는 바이폴라 트랜지스터의 높은 주입 효과에 의해 정해지는 최대 값을 갖는다.

제1바이폴라 트랜지스터(5)의 스위칭 온과 동일한 시간에, 제2바이폴라 트랜지스터(6)의 베이스 전류는 제1 및 제2n채널 MOS 트랜지스터(8 및 9)의 오프 상태에 의해 오프로 된다. 다음에, 제2바이폴라 트랜지스터(6)은 턴 오프한다. 제2바이폴라 트랜지스터(6)의 베이스 전위는 베이스 클램핑부(22)의 클램핑 회로에 의해 전압 V_F 의 부근으로 유지된다. 제2바이폴라 트랜지스터(6)이 포화 상태에 있기 때문에, 어떤 과잉 캐리어의 방전을 위해 제2바이폴라 트랜지스터(6)의 베이스 전위를 전압 V_F 보다 낮게 할 필요는 없다.

입력 단자(1)의 입력된 저 레벨이 접지 레벨과 동일할 때, 제1바이폴라 트랜지스터(5)를 구동시키기 위한 p채널 MOS 트랜지스터(7)의 게이트와 소스 사이의 바이어스의 최대 값은 전원 전압 또는 고전압 V_{CC} 에 대응한다. p채널 MOS 트랜지스터(7)의 경우에, 소스 전위와 기판 전위는 고전압 V_{CC} 와 동일하다. 따라서, p채널 MOS 트랜지스터(7)은 임계 전압 V_{th} 가 증가하는 단점은 없다. 이것은 전원 전압으로서의 고전압 V_{CC} 의 감소에 의해 발생한 p채널 MOS 트랜지스터(7)의 드레인 전류의 어떤 감소를 방지할 수 있다. MOS 트랜지스터는 최근에 상호 콘덕턴스의 증가 및 확산 캐패시턴스의 감소의 개선을 가져오고 있으며, 바이폴라 트랜지스터도 베이스 기생 캐패시턴스의 감소의 개선을 가져오고 있다. MOS 및 바이폴라 트랜지스터의 이러한 개선으로 인하여 p채널 및 제1n채널 MOS 트랜지스터(7 및 8)의 게이트 폭을 작게 할 수 있다.

다음 설명은 베이스 클램핑부(22)의 클램핑 회로의 동작에 중점을 둘 것이다. 온 상태에 있는 베이스 클램핑부(22) 내의 제3바이폴라 트랜지스터(10)는 베이스 클램핑부(22)내의 제1저항(11)에 의해 정해진 전류를 갖는다. 제3바이폴라 트랜지스터(10)의 전류의 값은 제3바이폴라 트랜지스터(10)의 베이스 전류가 수 μA 일 때 $100\ \mu\text{A}$ 보다 크게 설정되지 않는다. 수 $\text{K}\Omega$ 이하의 저항을 갖는 제2저항(12)은 예를 들어 수 mV의 미량의 전위 강하를 제공한다. 다음에, 제2바이폴라 트랜지스터(6)의 베이스 전위는 제3바이폴라 트랜지스터(10)의 베이스 전위와 동일한 것으로 간주될 수 있다.

제1n채널 MOS 트랜지스터(8)의 온 상태로 제3바이폴라 트랜지스터(10)의 베이스 전위 뿐만 아니라 오프 상태의 제1바이폴라 트랜지스터(5)의 베이스 전위를 클램프할 수 있다. 오프 상태의 제1바이폴라 트랜지스터(5) 및 온 상태의 제1바이폴라 트랜지스터(6)은 제3바이폴라 트랜지스터(10)와 동일한 $10\ \mu\text{A}$ 보다 크지 않은 적은 전류를 가진다. 전압 V_F 의 값의 변화 또는 온도 의존성은 100mV 이내로 제한되는 제1 내지 제3바이폴라 트랜지스터(5, 6 및 10)와 같이 동일한 크기의 트랜지스터를 사용함으로써 보상될 수 있다. 다음에, 온 상태의 제1바이폴라 트랜지스터(5)와 오프 상태의 제2바이폴라 트랜지스터의 전류의 변화는 $100\ \mu\text{A}$ 에서 30% 변화내로만 제한되는 온도와 제1저항(11)의 저항의 변화에 의존하도록 고려될 수 있다. 따라서, 베이스 클램핑부(22)의 클램핑 회로는 제2바이폴라 트랜지스터(6)의 베이스 전위를 전압 V_F 약간 아래로 클램프하거나 제한한다. 그러므로, 제2바이폴라 트랜지스터(6)의 베이스 영역의 기생 캐패시턴스의 충전이 거의 또는 전혀 필요없다. 이것은 제2바이폴라 트랜지스터(6)의 즉각적인 또는 고속 스위칭 온 동작을 가능하게 하여 출력 단자(2)의 신속한 또는 고속 출력 전압 강하가 가능하게 된다. 따라서, 고밀도 집적화 및 전력 소비의 상당한 감소 뿐만 아니라 인버터 회로로서의 논리 게이트 회로의 고속 성능이 달성될 수 있다.

상술한 클램핑 회로는 그 자체를 통하여 흐르는 전류를 제어하는 다른 기능을 갖는다. 제1 및 제2n채널 MOS 트랜지스터(8 및 9)가 턴 온할 때, 이것의 온 전류는 제2 및 제3바이폴라 트랜지스터(6 및 10)으로 나누어진다. 과도 응답 시간 t_r 는 제3바이폴라 트랜지스터(10)의 베이스와 제3바이폴라 트랜지스터(10)의 에미터가 접속된 접지선(4) 사이에 접속된 캐패시터(14)에 의해 지연된다. 이것은 제1 및 제2n채널 MOS 트랜지스터(8 및 9)의 전류가 베이스 클램핑부(22)의 클램핑 회로로 흐르는 것을 방지하여 전류가 제2바이폴라 트랜지스터(6)으로 흐르게 할 수 있다. 제3바이폴라 트랜지스터(10)의 과도 응답 시간의 지연이 큰 부하 캐패시턴스로 인해 불충분하더라도, 제2 및 제3저항(12 및 13)은 제3바이폴라 트랜지스터(10)의 전류를 연속적으로 제어할 수 있다. 즉, 캐패시터(14) 및 제2 및 제3저항(12 및 13)은 제1 및 제2n채널 MOS 트랜지스터(8 및 9)의 전류가 제2바이폴라 트랜지스터(6)의 베이스에 고 효율로 흐르도록 클램핑 회

로가 제2바이폴라 트랜지스터(6)의 임피던스보다 큰 임피던스를 갖게 할 수 있다. 제1 내지 제3저항(11, 12 및 13)의 저항은 부하의 값과 같은 조건에 부합하도록 0 내지 수십 K Ω 의 범위에서 변화될 수 있다.

본 실시예의 변형으로서, 신규한 BiCMOS 논리 게이트 회로의 베이스 클램핑부는 제4a도 내지 제4e도에 도시한 것과 같은 여러가지 클램핑 회로를 포함할 수 있다.

이제부터 제5도를 참조하여 신규한 그리고 종래의 BiCMOS 논리 게이트 회로의 성능 속도에 대해 중점적으로 설명하겠다. 신규한 논리 게이트 회로의 경우에, p채널 MOS 트랜지스터(7)는 0.5 μm 의 게이트 길이와 3 μm 의 게이트 폭을 갖고, 제1 및 제2n채널 MOS 트랜지스터(8 및 9)는 0.4 μm 의 동일한 게이트 길이와 1 μm 의 게이트 폭을 갖는다. 종래 기술의 논리 게이트 회로의 경우에, 각각의 p채널 및 n채널 MOS 트랜지스터는 종래 회로의 대응하는 것과 동일한 게이트 길이 및 폭을 갖는다. 이러한 측정은 비교를 위해 13.7pF의 동일한 입력 팬-인 캐패시턴스(input fan-in capacitance)하에서 수행되었다. 부하 캐패시턴스는 1pF이다. 신규한 회로는 출력 전압의 전압 강하시간에 있어서 전원 전압의 넓은 범위에서 종래 회로와 비슷한 시간을 가짐을 알 수 있다. 이러한 신규한 회로의 이용 가능한 전원 전압의 최소 값은 종래 회로의 이용 가능한 전원 전압의 최소값 보다 1V 이상 낮다.

본 발명에 따른 제2실시예는 다른 신규한 BiCMOS 논리 게이트 회로가 제공되는 제6도를 참조하여 설명될 것이다. 제2실시예의 신규한 BiCMOS 논리 게이트 회로는 베이스 클램핑 회로를 제외하고 동일한 회로 구성을 갖는다. 베이스 클램핑부는 제2n채널 MOS 트랜지스터와 접지선 사이에 직렬로 접속된 단일 저항과 다이오드를 포함할 수 있다. 제2실시예의 신규한 회로의 동작과 효과는 제1실시예의 것들과 근본적으로 동일하다. 간단한 회로 구성을 갖는 이 실시예의 클램핑 회로는 보다 높은 밀도의 집적도를 가능하게 한다.

물론, 본 발명은 임의의 논리 회로, 예를 들어 제7도에 도시한 2입력 NAND 게이트 및 제8도에 도시한 플립-플롭에 적용 가능하다. 게다가, npn 바이폴라 트랜지스터 대신에, pnp 바이폴라 트랜지스터가 사용될 수 있다. 또한, 클램핑 회로는 제1바이폴라 트랜지스터의 베이스를 클램프하기 위해 제공될 수 있다. 상기 기술되고 도시된 것들 이외의 다른 클램핑 회로가 논리 게이트 회로의 여러가지 조건에 부합하도록 사용될 수 있다.

본 발명의 변형들은 본 발명에 관련한 기술분야에 통상의 지식을 가진자에게 자명하며, 예시를 위해 도시되고 설명된 실시예들은 결코 제한된 의미로 해석되어서는 안된다. 따라서, 본 발명의 정신 및 범위내에 해당하는 발명의 어떤 변형도 청구범위에 모두 포함하려고 한다.

(57) 청구의 범위

청구항 1

전원과 동일한 고 레벨을 가진 입력 논리 신호들을 수신하기 위한 입력 단자, 외부 로드와 접속되어 출력 논리 신호들을 출력하기 위한 출력 단자, 상기 입력 신호들을 수신하기 위한 상기 입력 단자에 접속된 입력측 및 클램핑 프리(free) 논리 신호가 출력되는 출력측을 가진 CMOS회로, 고전압선과 상기 출력 단자간에 직렬로 접속된 출력 풀업 바이폴라 트랜지스터로서, 상기 CMOS 회로의 출력측에 접속되어 상기 클램핑 프리 논리 신호에 의해 상기 출력 풀업 바이폴라 트랜지스터를 구동시키는 베이스를 가진 출력 풀업 바이폴라 트랜지스터, 상기 고 및 저전압선 간에 상기 출력 풀업 바이폴라 트랜지스터와의 직렬 접속을 형성하도록 상기 저전압선과 상기 출력 단자 사이에 직렬로 접속된 출력 풀 다운 바이폴라 트랜지스터로서, 상기 고전압선과 상기 출력 풀 다운 바이폴라 트랜지스터 사이에 상기 CMOS 회로가 바이어스되도록 상기 CMOS 회로에 접속된 베이스를 가진 출력 풀 다운 바이폴라 트랜지스터, 상기 고전압선과 저전압선 사이에 바이어스되는 클램핑 회로로서, 상기 출력 풀 다운 바이폴라 트랜지스터의 베이스에 접속되어 상기 출력 풀 다운 바이폴라 트랜지스터가 턴 온 및 오프하는 임계 전위 레벨보다는 낮고 접지 전압 보다는 높은 상기 출력 풀 다운 바이폴라 트랜지스터의 베이스 전위를 클램핑하기 위한 클램핑 단자를 가지며, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스의 입력 임피던스보다 높은 임피던스를 더 갖는 클램핑 회로, 및 상기 입력 논리 신호를 수신하기 위한 상기 입력 단자에 접속된 게이트를 가진 n-채널 MOS 전계 효과 트랜지스터로서, 상기 출력 단자와 상기 출력 풀 다운 바이폴라 트랜지스터의 베이스 사이에 직렬로 접속되어 상기 출력 단자 상에 나타나는 상기 출력 논리 신호의 저 레벨을 상기 클램핑 회로에 의해서 클램프된 상기 베이스 전위로 클램핑 함으로써 상기 출력 풀 다운 바이폴라 트랜지스터가 포화 상태로 들어가는 것을 방지하는 n-채널 MOS 전계 효과 트랜지스터를 포함하는 것을 특징으로 하는 BiCMOS 논리 게이트 회로.

청구항 2

제1항에 있어서, 상기 클램핑 회로는 상기 고전압선에 접속된 제1단부와 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제2단부를 갖는 제1저항, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제1단부 및 제2단부를 갖는 제2저항, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제1단부 및 제2단부를 갖는 제3저항, 상기 제2저항의 상기 제2단부에 접속된 한 전극과 상기 저전압선에 접속된 대향 전극을 갖는 캐패시턴스, 및 상기 캐패시턴스의 상기 한 전극에 접속된 대향 전극에 접속된 베이스, 상기 제3저항의 상기 제2단부에 접속된 콜렉터 및 상기 저전압선에 접속된 에미터를 갖는 바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 BiCMOS 논리 게이트 회로.

청구항 3

제1항에 있어서, 상기 클램핑 회로는 상기 고전압선에 접속된 제1단부와 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제2단부를 갖는 제1저항, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제1단부 및 제2단부를 갖는 제2저항, 한 전극 및 상기 저전압선에 접속된 대향 전극을 갖는 캐패시턴스, 및 상기 캐패시턴스의 상기 한 전극에 접속되고 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 베이스, 상기 제2저항의 상기 제2단부에 접속된 콜렉터 및 상기 저전압선에

접속된 에미터를 갖는 바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 BiCMOS 논리 게이트 회로.

청구항 4

제1항에 있어서, 상기 클램핑 회로는 상기 고전압선에 접속된 제1단부와 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제2단부를 갖는 제1저항, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제1단부 및 제2단부를 갖는 제2저항, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제1단부 및 제2단부를 갖는 제3저항, 및 상기 제2저항의 상기 제2단부에 접속된 베이스, 상기 제3저항의 상기 제2단부에 접속된 콜렉터 및 상기 저전압선에 접속된 에미터를 갖는 바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 BiCMOS 논리 게이트 회로.

청구항 5

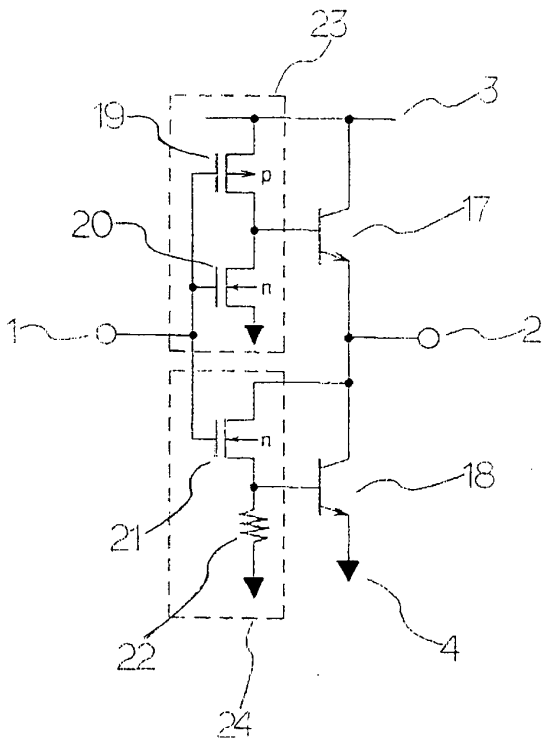
제1항에 있어서, 상기 클램핑 회로는 상기 고전압선에 접속된 제1단부와 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제2단부를 갖는 제1저항, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제1단부 및 제2단부를 갖는 제2저항, 및 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 베이스, 상기 제2저항의 상기 제2단부에 접속된 콜렉터 및 상기 저전압선에 접속된 에미터를 갖는 바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 BiCMOS 논리 게이트 회로.

청구항 6

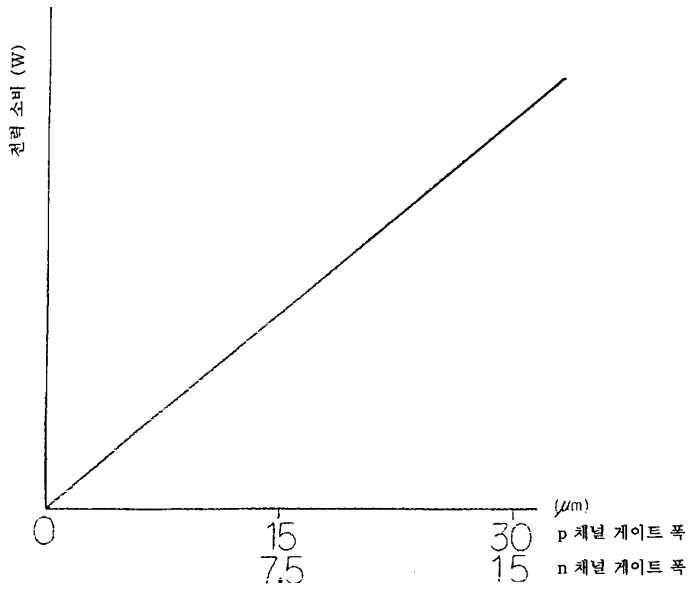
제1항에 있어서, 상기 클램핑 회로는 상기 고전압선에 접속된 제1단부와 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제2단부를 갖는 제1저항, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 제1단부 및 제2단부를 갖는 제2저항, 한 전극 및 상기 저전압선에 접속된 대향 전극을 갖는 캐패시턴스, 및 상기 제2저항의 상기 제2단부에 접속되고 상기 캐패시턴스의 상기 한 전극에 접속된 베이스, 상기 출력 풀 다운 바이폴라 트랜지스터의 상기 베이스에 접속된 콜렉터, 및 상기 저전압선에 접속된 에미터를 갖는 바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 BiCMOS 논리 게이트 회로.

도면

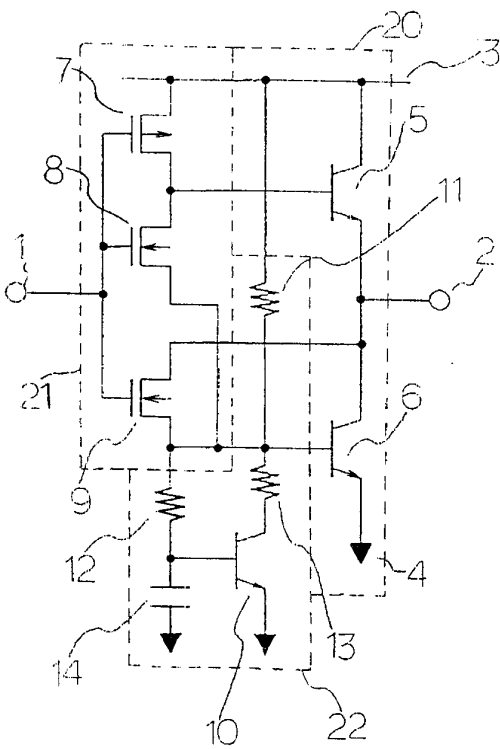
도면1



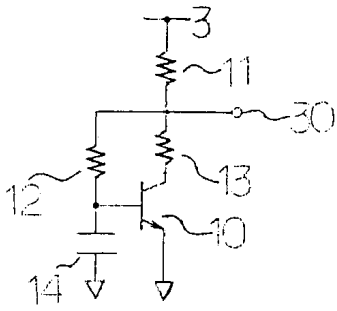
도면2



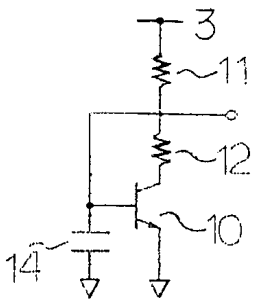
도면3



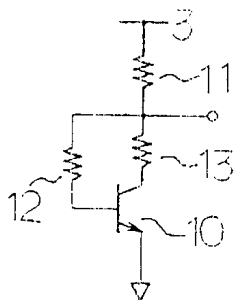
도면4a



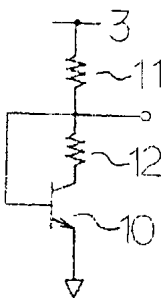
도면4b



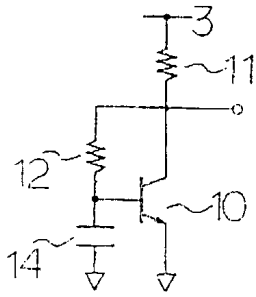
도면4c



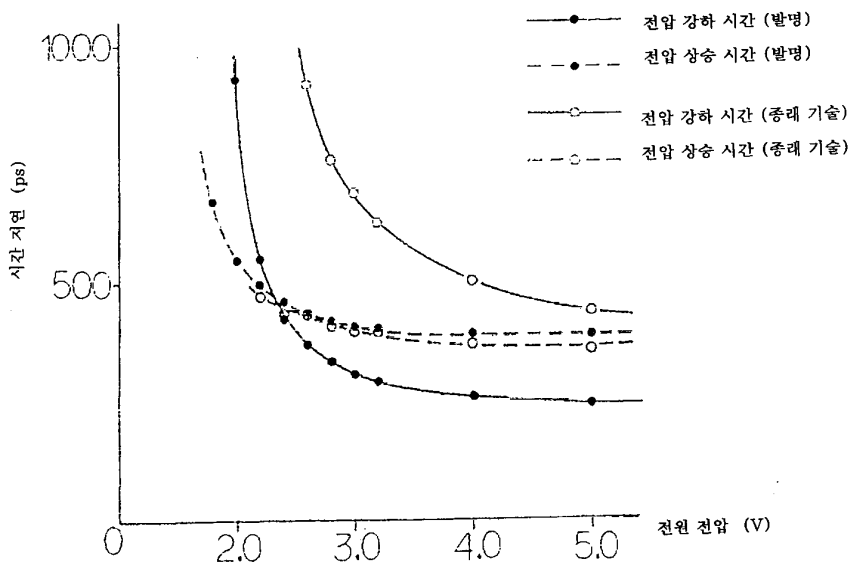
도면4d



도면4e



도면5



도면6

