

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年7月4日(04.07.2019)



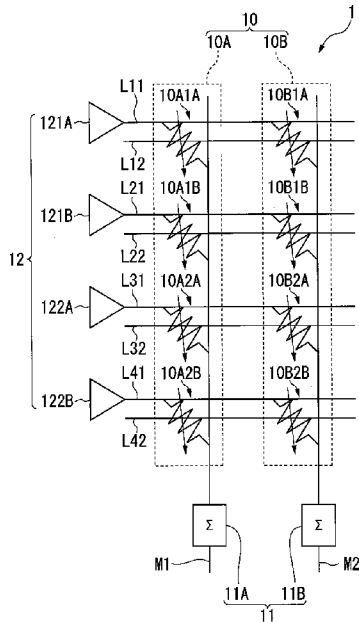
(10) 国際公開番号

WO 2019/131147 A1

- (51) 国際特許分類:
G06G 7/60 (2006.01) H01L 21/8239 (2006.01)
G06N 3/063 (2006.01) H01L 27/105 (2006.01)
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.);
〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2018/045742
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (22) 国際出願日: 2018年12月12日(12.12.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-254662 2017年12月28日(28.12.2017) JP
- (71) 出願人: T D K株式会社(TDK CORPORATION)
[JP/JP]; 〒1036128 東京都中央区日本橋二丁目5番1号 Tokyo (JP).
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
- (72) 発明者: 柴田 竜雄 (SHIBATA Tatsuo);
〒1036128 東京都中央区日本橋二丁目5番1号 T D K株式会社内 Tokyo (JP).

(54) Title: PRODUCT-SUM CALCULATION DEVICE, NEUROMORPHIC DEVICE, AND METHOD FOR USING PRODUCT-SUM CALCULATION DEVICE

(54) 発明の名称: 積和演算器、ニューロモーフィックデバイスおよび積和演算器の使用方法



(57) Abstract: Provided is a product-sum calculation device which, when applied to a neural network, is able to suppress a reduction in performance of the neural network when an element used for a bias term malfunctions. The product-sum calculation device (1) comprises a product calculation unit (10) and a sum calculation unit (11). The product calculation unit (10) comprises a plurality of variable-input product calculation elements (10A1A, 10A1B), and a plurality of fixed-input product calculation elements (10A2A, 10A2B). The plurality of variable-input product calculation elements (10A1A, 10A1B) and the plurality of fixed-input product calculation elements (10A2A, 10A2B) are variable resistance elements. The product-sum calculation device (1) further comprises variable-input units (121A, 121B) for inputting a variable signal to the plurality of variable-input product calculation elements, and fixed-input units (122A, 122B) for inputting a predetermined signal, in synchronization with the variable signal, to the plurality of fixed-input product calculation elements (10A2A, 10A2B). The sum calculation unit (11) is equipped with an output detector (11A) for detecting the total value of the output from the plurality of variable-input product calculation elements (10A1A, 10A1B) and the output from the plurality of fixed-input product calculation elements (10A2A, 10A2B).



WO 2019/131147 A1

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：ニューラルネットワークに適用される場合に、バイアス項用素子の故障時のニューラルネットワークの性能低下を抑制することができる積和演算器を提供する。積和演算器（1）は、積演算部（10）と、和演算部（11）とを備え、積演算部（10）は、複数の可変入力用積演算素子（10A1A）、（10A1B）と、複数の固定入力用積演算素子（10A2A）、（10A2B）とを備える。複数の可変入力用積演算素子（10A1A）、（10A1B）および複数の固定入力用積演算素子（10A2A）、（10A2B）のそれぞれは、抵抗変化素子である。積和演算器（1）は、複数の可変入力用積演算素子に対して可変信号を入力する可変入力部（121A）、（121B）と、複数の固定入力用積演算素子（10A2A）、（10A2B）に対して定められた信号を上記可変信号に同期させて入力する固定入力部（122A）、（122B）とを備える。和演算部（11）は、複数の可変入力用積演算素子（10A1A）、（10A1B）からの出力および複数の固定入力用積演算素子（10A2A）、（10A2B）からの出力の合計値を検出する出力検出器（11A）を備える。

明 細 書

発明の名称：

積和演算器、ニューロモーフィックデバイスおよび積和演算器の使用手法

技術分野

[0001] 本発明は、積和演算器、ニューロモーフィックデバイスおよび積和演算器の使用手法に関する。本願は、2017年12月28日に、日本に出願された特願2017-254662号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来から、RRAM（登録商標）ベースアナログニューロモーフィックシステムにおけるグレースケール画像認識のための最適化された学習スキームが知られている（例えば非特許文献1参照）。この文献には、アナログニューロモーフィックシステムが、組み立てられた抵抗スイッチングメモリアレイを基礎として開発される旨が記載されている。この文献では、新規なトレーニングスキームが、セグメント化されたシナプスの挙動を利用することによって、アナログシステムの性能を最適化するために提案される。また、この文献では、このスキームが、グレースケール画像認識に対して適用される。

また、神経系を模倣したニューラルネットワークを抵抗変化素子のアレイを用いて実現する研究が進められている。ニューロモーフィックデバイス（NMD）では、前段から次の段へとウエイトをかけて足し合わせる積和演算を行う。そこで、連続的に抵抗が変化する抵抗変化素子を複数組み合わせ、それぞれの抵抗値を重みとして入力信号に対する積演算を行い、そこから出力される電流の総和をとることで和演算を行う様々なタイプの積和演算器、およびそれを利用したNMDの開発がすすめられている。

ニューラルネットワークで広く用いられる多層パーセプトロンでは、入力層、1つ以上の隠れ層、出力層からなり、各層はそれぞれが適切な重み（結

合の強さ)とバイアス項で結び付けられている(例えば、非特許文献2参照)。

先行技術文献

特許文献

[0003] 特許文献1: 国際公開第2017/183573号

非特許文献

[0004] 非特許文献1: Zhe Chen他著、「RRAMベースアナログニューロモーフィックシステムにおけるグレースケール画像認識のための最適化された学習スキーム (Optimized Learning Scheme for Grayscale Image Recognition in a RRAM Based Analog Neuromorphic System)」、2015年、IEEE、p. 17. 7. 1 - p. 17. 7. 4

非特許文献2: Sebastian Raschka 著、「Python機械学習プログラミング」、インプレス、p. 328 - 330

発明の概要

発明が解決しようとする課題

[0005] ところで、非特許文献1には、バイアス項用素子をどのように構成すべきかについて検討されていない。バイアス項用素子の構成によっては、バイアス項用素子が故障した場合に、ニューラルネットワークの性能が大きく低下してしまうおそれがある。これは一般的に「重み」は特定の結合ごとに値を設定するのに対し、バイアス項は、その層全体の値を偏らせるために用いられるからである。

[0006] 上述した問題点に鑑み、本発明は、ニューラルネットワークに適用される場合に、バイアス項用素子の故障時のニューラルネットワークの性能低下を抑制することができる積和演算器、ニューロモーフィックデバイスおよび積和演算器の使用方法を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様の積和演算器は、積演算部と、和演算部とを備え、前記積

演算部は、複数の可変入力用積演算素子と、複数の固定入力用積演算素子とを備え、前記複数の可変入力用積演算素子および前記複数の固定入力用積演算素子のそれぞれは、抵抗変化素子であり、前記複数の可変入力用積演算素子に対して可変信号を入力する可変入力部と、前記複数の固定入力用積演算素子に対して定められた信号を前記可変信号に同期させて入力する固定入力部とを備え、前記和演算部は、前記複数の可変入力用積演算素子からの出力および前記複数の固定入力用積演算素子からの出力の合計値を検出する出力検出器を備える。

- [0008] 本発明の一態様の積和演算器では、前記複数の固定入力用積演算素子は、出力電流が増加する故障が発生した場合に断線する機能を有してもよい。
- [0009] 本発明の一態様の積和演算器では、前記抵抗変化素子は、書き込み端子と、共通端子と、読み出し端子とを有してもよい。
- [0010] 本発明の一態様の積和演算器では、前記抵抗変化素子は、磁気抵抗効果を示す磁気抵抗効果素子であり、前記磁気抵抗効果素子は、磁壁を有する磁化自由層と、磁化方向が固定された磁化固定層と、前記磁化自由層と前記磁化固定層とに挟まれた非磁性層とを有してもよい。
- [0011] 本発明の一態様の積和演算器では、前記積演算部は、他の可変入力用積演算素子と、他の固定入力用積演算素子とをさらに備え、前記他の可変入力用積演算素子および前記他の固定入力用積演算素子のそれぞれは、前記抵抗変化素子であり、前記可変入力部は、前記他の可変入力用積演算素子に対して前記可変信号を入力し、前記固定入力部は、前記他の固定入力用積演算素子に対して前記定められた信号を前記可変信号に同期させて入力し、前記和演算部は、前記他の可変入力用積演算素子からの出力および前記他の固定入力用積演算素子からの出力の合計値を検出する他の出力検出器をさらに備えてもよい。
- [0012] 本発明の一態様は、前記積和演算器を備えるニューロモーフィックデバイスである。
- [0013] 本発明の一態様は、前記積和演算器の使用方法であって、前記積和演算器

は故障診断部をさらに備え、前記可変入力部が前記複数の可変入力用積演算素子に対して前記可変信号を入力しない状態、かつ、前記固定入力部が前記複数の固定入力用積演算素子に対して前記定められた信号を入力する状態で、前記出力検出器が、前記複数の固定入力用積演算素子からの出力を検出する出力検出工程と、前記故障診断部が、前記出力検出工程において検出された前記複数の固定入力用積演算素子からの出力に基づいて、故障している積演算素子が前記複数の固定入力用積演算素子に含まれるか否かを診断する診断工程とを含む、積和演算器の使用方法である。

[0014] 本発明の一態様の積和演算器の使用方法では、前記積和演算器は再学習部をさらに備え、前記故障している積演算素子が前記複数の固定入力用積演算素子に含まれると前記故障診断部が診断した場合に、前記再学習部が、前記複数の固定入力用積演算素子のうちの、前記故障している積演算素子以外の積演算素子の抵抗値の再設定を行う再学習工程をさらに含んでもよい。

発明の効果

[0015] 本発明によれば、ニューラルネットワークに適用される場合に、バイアス項用素子の故障時のニューラルネットワークの性能低下を抑制することができる積和演算器、ニューロモーフィックデバイスおよび積和演算器の使用方法を提供することができる。

図面の簡単な説明

[0016] [図1]第1実施形態の積和演算器の一部の構成の一例を示す図である。
[図2]第1実施形態の積和演算器の可変入力用積演算素子として適用可能な抵抗変化素子の一例を示す斜視図である。
[図3]第1実施形態の積和演算器の固定入力用積演算素子として適用可能な抵抗変化素子の第1例を示す斜視図である。
[図4]図3に示す読み出し端子を介する磁気抵抗効果素子からの出力電流の変化などを説明するための図である。
[図5]第1実施形態の積和演算器の固定入力用積演算素子として適用可能な抵抗変化素子の第2例を示す斜視図である。

[図6]第1実施形態の積和演算器の適用例を示す図である。

[図7]第1実施形態の積和演算器の全体構成の一例を示す図である。

[図8]図1および図7に示す第1実施形態の積和演算器によって実行される処理の一例を示すフローチャートである。

[図9]図8のステップS33における固定入力用積演算素子の抵抗値の再設定が行われる例を説明するための図である。

[図10]第2実施形態の積和演算器の一部の構成の一例を示す図である。

発明を実施するための形態

[0017] 以下、図面を参照し、本発明の積和演算器、ニューロモーフィックデバイスおよび積和演算器の使用の実施形態について説明する。

[0018] <第1実施形態> (抵抗変化素子が磁気抵抗効果素子)

図1は第1実施形態の積和演算器1の一部の構成の一例を示す図である。

図1に示す例では、第1実施形態の積和演算器1が、積演算部10と、和演算部11と、入力部12とを備えている。積演算部10は、コラム10Aと、コラム10Bとを備えている。入力部12は、可変入力部121A、121Bと、固定入力部122A、122Bとを備えている。

図1に示す例では、積演算部10が、2つのコラム10A、10Bを備えているが、他の例では、積演算部10が、3以上の任意の数のコラム10A、10B、…を備えていてもよい。

[0019] 図1に示す例では、コラム10Aが、可変入力用積演算素子10A1A、10A1Bと、固定入力用積演算素子10A2A、10A2Bとを備えている。コラム10Bが、可変入力用積演算素子10B1A、10B1Bと、固定入力用積演算素子10B2A、10B2Bとを備えている。

図1に示す例では、コラム10Aが2つの可変入力用積演算素子10A1A、10A1Bと2つの固定入力用積演算素子10A2A、10A2Bとを備え、コラム10Bが2つの可変入力用積演算素子10B1A、10B1Bと2つの固定入力用積演算素子10B2A、10B2Bとを備えているが、他の例では、コラム10Aが、2以外の任意の数(詳細には、複数)の可変

入力用積演算素子と2以外の任意の数（詳細には、複数）の固定入力用積演算素子とを備え、カラム10Bが、2以外の任意の数（詳細には、複数）の可変入力用積演算素子と2以外の任意の数（詳細には、複数）の固定入力用積演算素子を備えてもよい。

[0020] 図1に示す例では、複数の可変入力用積演算素子10A1A、10A1B、10B1A、10B1Bおよび複数の固定入力用積演算素子10A2A、10A2B、10B2A、10B2Bのそれぞれは、読み出し端子と、書き込み端子と、共通端子とを備える抵抗変化素子である。

可変入力用積演算素子10A1A、10B1Aの読み出し端子は、ラインL11に接続されている。ラインL11は、可変入力用積演算素子10A1A、10B1Aに対して可変信号を入力する可変入力部121Aに接続されている。可変入力用積演算素子10A1A、10B1Aの書き込み端子は、ラインL12に接続されている。

可変入力用積演算素子10A1B、10B1Bの読み出し端子は、ラインL21に接続されている。ラインL21は、可変入力用積演算素子10A1B、10B1Bに対して可変信号を入力する可変入力部121Bに接続されている。可変入力用積演算素子10A1B、10B1Bの書き込み端子は、ラインL22に接続されている。

[0021] 固定入力用積演算素子10A2A、10B2Aの読み出し端子は、ラインL31に接続されている。ラインL31は、固定入力用積演算素子10A2A、10B2Aに対して定められた信号である固定信号を入力する固定入力部122Aに接続されている。固定入力用積演算素子10A2A、10B2Aの書き込み端子は、ラインL32に接続されている。

固定入力用積演算素子10A2B、10B2Bの読み出し端子は、ラインL41に接続されている。ラインL41は、固定入力用積演算素子10A2B、10B2Bに対して定められた信号である固定信号を入力する固定入力部122Bに接続されている。固定入力用積演算素子10A2B、10B2Bの書き込み端子は、ラインL42に接続されている。

固定入力用積演算素子10A2A、10A2B、10B2A、10B2Bに対して入力される固定信号は、可変入力用積演算素子10A1A、10A1B、10B1A、10B1Bに対して入力される可変信号に同期させられる。

[0022] 可変入力用積演算素子10A1A、10A1Bおよび固定入力用積演算素子10A2A、10A2Bの共通端子は、ラインM1に接続されている。可変入力用積演算素子10B1A、10B1Bおよび固定入力用積演算素子10B2A、10B2Bの共通端子は、ラインM2に接続されている。

和演算部11は、出力検出器11A、11Bを備えている。出力検出器11Aは、可変入力用積演算素子10A1A、10A1Bからの出力および固定入力用積演算素子10A2A、10A2Bからの出力の合計値を検出する。出力検出器11Bは、可変入力用積演算素子10B1A、10B1Bからの出力および固定入力用積演算素子10B2A、10B2Bからの出力の合計値を検出する。出力検出器11AはラインM1に配置されている。出力検出器11BはラインM2に配置されている。

[0023] 図1に示す例では、出力検出器11Aが、可変入力用積演算素子10A1A、10A1Bおよび固定入力用積演算素子10A2A、10A2Bからの出力電流値を検出し、出力検出器11Bが、可変入力用積演算素子10B1A、10B1Bおよび固定入力用積演算素子10B2A、10B2Bからの出力電流値を検出する。他の例では、出力検出器11Aが、可変入力用積演算素子10A1A、10A1Bおよび固定入力用積演算素子10A2A、10A2Bの出力を電荷として検出し、出力検出器11Bが、可変入力用積演算素子10B1A、10B1Bおよび固定入力用積演算素子10B2A、10B2Bの出力を電荷として検出してもよい。

[0024] 本発明において積演算素子として用いられる抵抗変化素子は、外部からの刺激（電流、電圧、磁場など）に対して可逆的に電気抵抗が変化する素子である。かかる抵抗変化素子としては例えば、抵抗変化型メモリ（RRAM）素子、相変化メモリ（PCRAM）素子、異方性磁気抵抗効果（AMR）素

子、トンネル磁気抵抗効果（TMR）素子、巨大磁気抵抗効果（GMR）素子などが挙げられる。

[0025] 図2は第1実施形態の積和演算器1の可変入力用積演算素子10A1A、10A1B、10B1A、10B1Bとして適用可能な抵抗変化素子の一例を示す斜視図である。

図2に示す例では、抵抗変化素子が、磁気抵抗効果を示す磁気抵抗効果素子Aである。

磁気抵抗効果素子Aは、磁壁DWを有する磁化自由層A1と、磁化方向が固定された磁化固定層A2と、非磁性層A3とを有する。非磁性層A3は、磁化自由層A1と磁化固定層A2とに挟まれている。磁化自由層A1は、磁壁DWの一方の側に第1領域A11を有し、磁壁DWの他方の側に第2領域A12を有する。第1領域A11には、書き込み端子AAが設けられている。第2領域A12には、共通端子ABが設けられている。磁化固定層A2には、読み出し端子ACが設けられている。

[0026] 磁壁DWの移動量（移動距離）は、書き込み端子AAと共通端子ABとの間に流す書き込み電流の大きさ、時間を調整することによって可変に制御することができる。書き込み電流の大きさ、時間は例えば、パルス数あるいはパルス幅によって磁壁DWの移動量（移動距離）を設定することもできる。磁壁DWの駆動（移動）によって磁化固定層A2と磁化自由層A1のそれぞれの磁化方向が平行な（あるいは反平行な）部分の面積が連続的に変化すると、磁化方向が平行な部分の面積率と磁化方向が反平行な部分の面積率との比が連続的に変化し、磁気抵抗効果素子において線形に近い抵抗変化が得られる。

また、データの読み出しは、読み出し端子ACと共通端子ABとの間に電流を流して、磁化方向が平行な部分の面積率と磁化方向が反平行な部分の面積率との比に応じた抵抗を検出することで行うことができる（例えば、特許文献1参照）。

[0027] [磁化固定層A2]

磁化固定層 A 2 は、磁化が第 1 の方向（例えば図 2 の左向き）に配向し、固定された層である。ここで、磁化が固定されるとは、書き込み電流を用いた書き込み前後において磁化方向が変化しない（磁化が固定されている）ことを意味する。

[0028] 図 2 に示す例では、磁化固定層 A 2 は磁化が面内磁気異方性（面内磁化容易軸）を有する面内磁化膜である。磁化固定層 A 2 は、面内磁化膜に限られず、垂直磁気異方性（垂直磁化容易軸）を有する垂直磁化膜であってもよい。

[0029] 磁化固定層 A 2 が面内磁化膜であると、高い MR 比（磁気抵抗変化率）を有し、読み込み時にスピントランスファートルク（STT）による影響を受けにくく、読み取り電圧を大きくできる。一方、素子を微小化したい場合には磁気異方性が大きく、反磁界が小さい、垂直磁化膜を用いることが好ましい。

[0030] 磁化固定層 A 2 には、公知の材料を用いることができる。例えば、Cr、Mn、Co、Fe 及び Ni からなる群から選択される金属及びこれらの金属を 1 種以上含み強磁性を示す合金を用いることができる。またこれらの金属と、B、C、及び N のうちの 1 種以上の元素とを含む合金を用いることもできる。具体的には、Co-Fe や Co-Fe-B が挙げられる。

[0031] また磁化固定層 A 2 には、 Co_2FeSi などのホイスラー合金を用いることもできる。ホイスラー合金は、 X_2YZ の化学組成をもつ金属間化合物を含み、X は、周期表上で Co、Fe、Ni、あるいは Cu 族の遷移金属元素または貴金属元素であり、Y は、Mn、V、Cr あるいは Ti 族の遷移金属であり X の元素種をとることもでき、Z は、III 族から V 族の典型元素である。例えば、 Co_2FeSi 、 Co_2MnSi や $\text{Co}_2\text{Mn}_{1-a}\text{Fe}_a\text{Al}_b\text{Si}_{1-b}$ などが挙げられる。

[0032] また磁化固定層 A 2 は強磁性層、非磁性層から成るシンセティック構造、あるいは反強磁性層、強磁性層、非磁性層から成るシンセティック構造であってもよい。後者においてはシンセティック構造において磁化固定層 A 2 の

磁化方向は反強磁性層によって強く保持される。そのため、磁化固定層 A 2 の磁化が外部からの影響を受けにくくなる。

[0033] 磁化固定層 A 2 の磁化を X Y 面内に配向させる（磁化固定層 A 2 を面内磁化膜にする）場合は、例えば、Ni Fe を用いることが好ましい。一方で磁化固定層 A 2 の磁化を Z 方向に配向させる（磁化固定層 A 2 を垂直磁化膜にする）場合は、例えば、Co / Ni 積層膜、Co / Pt 積層膜等を用いることが好ましい。例えば、磁化固定層 A 2 を [Co (0.24 nm) / Pt (0.16 nm)]₆ / Ru (0.9 nm) / [Pt (0.16 nm) / Co (0.16 nm)]₄ / Ta (0.2 nm) / FeB (1.0 nm) とすると、垂直磁化膜となる。

[0034] [非磁性層 A 3]

非磁性層 A 3 は、磁化固定層 A 2 の下面に設けられている。磁気抵抗効果素子 A は、非磁性層 A 3 を介して磁化固定層 A 2 に対する磁化自由層 A 1 の磁化状態の変化を抵抗値変化として読み出す。すなわち、磁化固定層 A 2、非磁性層 A 3 及び磁化自由層 A 1 は磁気抵抗効果素子 A として機能し、非磁性層 A 3 が絶縁体からなる場合はトンネル磁気抵抗 (TMR) 素子と似た構成であり、非磁性層 2 が金属からなる場合は巨大磁気抵抗効果 (GMR) 素子と似た構成である。

[0035] 非磁性層 A 3 の材料としては、磁気抵抗効果素子 A の非磁性層に用いることができる公知の材料を用いることができる。非磁性層 A 3 が絶縁体からなる場合（トンネルバリア層である場合）、その材料として Al₂O₃、SiO₂、MgO、MgAl₂O₄、ZnAl₂O₄、MgGa₂O₄、ZnGa₂O₄、MgIn₂O₄、ZnIn₂O₄、及び、これらの材料の多層膜や混合組成膜等を用いることができる。またこれらの他にも、Al、Si、Mgの一部が、Zn、Be等に置換された材料等も用いることができる。これらの中でも、MgOやMgAl₂O₄はコヒーレントトンネルが実現できる材料であるため、磁気抵抗比 (MR比) を大きくとることができる。一方で、非磁性層 2 が金属からなる場合は、その材料としてCu、Al、Ag等を用いることができ

る。

非磁性層 A 3 が絶縁体からなる場合（トンネルバリア層である場合）、その厚みは、例えば 2.5 nm 以上である。

[0036] [磁化自由層 A 1]

磁化自由層 A 1 は磁壁駆動型（移動型）MRAM の磁壁駆動層に相当する。

磁化自由層 A 1 は強磁性体材料からなり、その内部の磁化の向きは反転可能である。磁化自由層 A 1 は、磁化が磁化固定層 A 2 と逆向きの第 2 の方向に配向した第 1 領域 A 1 1 と、磁化が第 1 の方向と同じ向きに配向した第 2 領域 A 1 2 と、これらの領域の界面をなす磁壁 DW とを有する。磁壁 DW を挟んで第 1 領域 A 1 1 と第 2 領域 A 1 2 の磁化の向きは反対である。磁壁 DW は、磁化自由層 A 1 における第 1 領域 A 1 1 と第 2 領域 A 1 2 の構成比率が変化することで移動する。

[0037] 磁化自由層 A 1 の材料には、公知の材料を用いることができ、特に軟磁性材料を適用できる。例えば、Cr、Mn、Co、Fe 及び Ni からなる群から選択される金属、これらの金属を 1 種以上含む合金、これらの金属と B、C、及び N のうちの 1 種以上の元素とが含まれる合金等を用いることができる。具体的には、Co-Fe、Co-Fe-B、Ni-Fe が、磁化自由層 A 1 の材料として挙げられる。

[0038] 磁化自由層 A 1 の材料には、飽和磁化が小さい材料を用いることもできる。例えば、(MnGa)As や (InFe)As、あるいは Co/Tb 多層膜や GdFeCo のように飽和磁化が小さい材料を用いると、小さい電流密度で磁化自由層 A 1 の磁壁 DW を駆動させることができる。また、これらの材料を用いると、磁壁 DW の駆動速度が遅くなる。

[0039] NiFe のような磁気異方性が弱い材料は、磁壁 DW の駆動速度が速く、100 m/sec 以上の速度で磁壁 DW が動作する。つまり、磁壁 DW は 10 nsec のパルスで、1 μm の距離を移動する。したがって、磁化自由層 A 1 を素子内でアナログ的に動かす場合には、高価な半導体回路を用いて微

小なパルスを印加するか、集積度を犠牲にして磁化自由層を十分長くするなどの対応が必要となる。これに対し、磁壁DWの駆動速度が遅い材料の場合には、十分長いパルス電流を印加する場合や磁化自由層A1の長さが短い場合でも、アナログメモリを形成することが可能である。

[0040] 磁化自由層A1を垂直磁化膜とする場合、Co/Pt多層膜、Co/Pd多層膜、及びCoCrPt合金膜からなる群から選択された垂直磁化膜が好ましい。また、 Mn_3X ($X=Ga, Ge$)の垂直磁化膜やCo/Niなどの多層膜による垂直磁化膜を用いることもできる。これらの材料は磁壁駆動のための電流密度が小さくても磁壁DWを駆動させることが可能である。

[0041] 磁化自由層A1が長手方向に延在する長さは60nm以上であることが好ましい。60nm未満では単磁区になりやすく、磁化自由層A1内に磁壁DWが形成されにくい。

[0042] 磁化自由層A1の厚さは磁壁駆動層として機能する限り、特に制限はないが、例えば、2nm~60nmとすることができる。磁化自由層A1の厚さが60nm以上になると、積層方向に磁壁が形成される可能性が高まる。ただし、積層方向に磁壁が形成されるか否かは、磁化自由層A1の形状異方性とのバランスによって生じる。磁化自由層A1の厚さが60nm未満であれば、磁壁DWができることは考えにくい。

[0043] 磁化自由層A1は、層の側面に磁壁DWの移動を止める磁壁ピン止め部を有してもよい。例えば、磁化自由層A1の磁壁DWの移動を止めたい位置に、凹凸、溝、膨らみ、くびれ、切り欠きなどを設けると、磁壁の移動を止める（ピンする）ことができる。磁壁ピン止め部を有すると、閾値以上の電流を流さないとそれ以上磁壁が移動しない構成とすることができ、出力信号をアナログ的ではなく、多値化し易くなる。

[0044] 例えば、磁壁ピン止め部を所定の距離ごとに形成することにより、磁壁DWをより安定的に保持することができ、安定的な多値記録を可能にし、より安定的に多値化された出力信号を読み出すことを可能にする。

[0045] 図2に示す例では、磁壁DWを形成するために、磁化自由層A1のうち、

平面視において磁化固定層 A 2 に重ならない両端部のそれぞれに、第 1 領域 A 1 1 の磁化と同じ第 1 の方向の磁化を有する第 1 磁化供給層 A 4、及び、第 2 領域 A 1 2 の磁化と同じ第 2 の方向の磁化を有する第 2 磁化供給層 A 5 を有する。

第 1 磁化供給層 A 4 及び第 2 磁化供給層 A 5 の材料としては、磁化固定層 A 2 に使える強磁性材料と同じ材料を用いることができる。

[0046] 図 2 に示す例では、磁壁 DW を形成するために、磁化自由層 A 1 の両端部のいずれにも磁化が固定された層として第 1 磁化供給層 A 4 及び第 2 磁化供給層 A 5 を用いたが、いずれか一方又は両方に、磁化自由層 A 1 に接すると共に磁化自由層 A 1 の長手方向に対して交差する方向に延在するスピン軌道トルク (SOT) 配線を用いてもよい。スピン軌道トルク配線は、電流が流れるとスピホール効果によって純スピン流が生成される材料からなるものである。

かかる構成を有することにより、磁化が固定された層としての磁化供給層を設置することがなくても、スピン軌道トルク配線の両端に電流を流すことにより磁化自由層 A 1 に磁壁を導入することができ、また、スピン軌道トルク配線を介して磁化自由層 A 1 に電流を流すことで、磁壁を移動させることができる。

[0047] また、図 2 に示す例では、磁壁 DW を形成するために、磁化自由層 A 1 の両端部のいずれにも磁化が固定された層として第 1 磁化供給層 A 4 及び第 2 磁化供給層 A 5 を用いたが、いずれか一方又は両方に、磁化自由層 A 1 と電氣的に絶縁されていると共に、磁化自由層 A 1 に対して交差する方向に延在する磁場印加配線を用いてもよい。磁場印加配線に電流を流すことによりアンペールの法則により磁場が発生する。磁場印加配線に流す電流の向きによって、発生する磁場の向きを逆向きにすることができる。そのため、磁化自由層 A 1 の端部に面内磁化を供給可能に配置することによって、磁場印加配線に流す電流の向きに応じて磁化自由層 A 1 の端部に互いに逆向きの面内磁化方向のうち一方の面内磁化方向の磁化を供給することができる。また、

磁化自由層 A 1 の端部に垂直磁化を供給可能に配置することによって、磁場印加配線に流す電流の向きに応じて磁化自由層 A 1 の端部に互いに逆向きの垂直磁化方向のうち一方の垂直磁化方向の磁化を供給することができる。

[0048] また、図 2 に示す例では、磁壁 DW を形成するために、磁化自由層 A 1 の両端部のいずれにも磁化が固定された層として第 1 磁化供給層 A 4 及び第 2 磁化供給層 A 5 を用いたが、いずれか一方又は両方に、磁化自由層 A 1 に絶縁層を介して接続された電圧印加端子を用いてもよい。磁化固定層 A 2 と電圧印加端子との間に電圧を印加すると、磁化自由層 A 1 の磁化の一部が電圧の影響を受ける。例えば、電圧印加端子から電圧をパルスで印加すると磁化の一部は、電圧印加時には磁化自由層 A 1 の磁化の方向に対して直交する方向に配向し、電圧印加が止まったタイミングでは磁化自由層 A 1 の磁化は第 1 の方向か又はその逆方向の第 2 の方向に配向する。この直交する方向に配向した磁化が第 1 の方向か又はその逆方向の第 2 の方向に倒れるかは等確率であり、パルス電圧を印加するタイミング、回数、周期を調整することで、磁化の一部を第 1 の方向から第 2 の方向に配向させることができる。

[0049] 磁化自由層 A 1 と非磁性層 A 3 の間に磁気結合層を設置してもよい。磁気結合層とは、磁化自由層 A 1 の磁化状態を転写する層である。磁化自由層 A 1 の主たる機能は磁壁を駆動させるための層であり、磁化固定層 A 1 と非磁性層 A 2 を介して生じる磁気抵抗効果に適した材料を選択できるとは限らない。一般的に、非磁性層 A 2 を用いたコヒーレントトンネル効果を生じさせるためには、磁化固定層 A 1 や磁気結合層は B C C 構造の強磁性材料が良いことが知られている。特に、磁化固定層 A 1 や磁気結合層の材料として、C o - F e - B の組成の材料がスパッタによって作成した際に大きな出力が得られることが知られている。

[0050] 図 3 は第 1 実施形態の積和演算器 1 の固定入力用積演算素子 1 0 A 2 A、1 0 A 2 B、1 0 B 2 A、1 0 B 2 B として適用可能な抵抗変化素子の第 1 例を示す斜視図である。

図 3 に示す例では、抵抗変化素子が、磁気抵抗効果を示す磁気抵抗効果素

子Aである。

磁気抵抗効果素子Aは、磁壁DWを有する磁化自由層A1と、磁化方向が固定された磁化固定層A2と、非磁性層A3とを有する。非磁性層A3は、磁化自由層A1と磁化固定層A2とに挟まれている。磁化自由層A1は、磁壁DWの一方の側に第1領域A11を有し、磁壁DWの他方の側に第2領域A12を有する。第1領域A11には、書き込み端子AAが設けられている。第2領域A12には、共通端子ABが設けられている。磁化固定層A2には、読み出し端子ACが設けられている。

[0051] 図3に示す例では、読み出し端子ACが、フューズ部AC1と、フューズ部AC1の両側に配置された配線部AC2、AC3とを備えている。磁気抵抗効果素子Aからの出力電流が読み出し端子ACを介して出力される場合、出力電流は、配線部AC2、フューズ部AC1、配線部AC3の順（つまり、図3の上向き）に、フューズ部AC1と配線部AC2、AC3とを流れるか、あるいは、配線部AC3、フューズ部AC1、配線部AC2の順（つまり、図3の下向き）に、フューズ部AC1と配線部AC2、AC3とを流れる。

[0052] 図3に示す例では、出力電流が流れる方向に垂直なフューズ部AC1の断面積は、出力電流が流れる方向に垂直な配線部AC2、AC3の断面積よりも小さく設定されている。

つまり、フューズ部AC1は、配線部AC2、AC3よりも断線しやすく構成されている。

図3に示す例では、フューズ部AC1の断面積を配線部AC2、AC3の断面積よりも小さくすることによって、フューズ部AC1が、配線部AC2、AC3よりも断線しやすく構成されているが、他の例では、フューズ部AC1をミアンダ型に形成したり、網目状に形成したりすることによって、フューズ部AC1を配線部AC2、AC3よりも断線しやすく構成してもよい。

さらに他の例では、フューズ部AC1の材料の融点を配線部AC2、AC

3の材料の融点よりも低くすることによって、フューズ部AC1を配線部AC2、AC3よりも断線しやすく構成してもよい。

[0053] また、図3に示す例では、フューズ部AC1は、磁化固定層A2よりも読み出し端子ACの側（図3の上側）に配置されている。そのため、フューズ部AC1の断線の影響が書き込み端子AAの側におよんでしまうおそれを抑制することができる。

[0054] つまり、図3に示す例では、固定入力用積演算素子10A2A、10A2B、10B2A、10B2B（磁気抵抗効果素子A）は、出力電流が増加する故障が発生した場合に断線する機能を有する。

[0055] 図4は図3に示す読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流の変化などを説明するための図である。図4において、縦軸は、読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流を示す。横軸は、磁気抵抗効果素子Aの状態（抵抗値の大きさ）を示す。

磁気抵抗効果素子Aの正常動作時であって、磁気抵抗効果素子Aの抵抗値が最も高い時には、読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流が最小値Minになる。

磁気抵抗効果素子Aの正常動作時には、磁気抵抗効果素子Aの抵抗値が低くなるに従って、読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流が大きくなる。

磁気抵抗効果素子Aの正常動作時であって、磁気抵抗効果素子Aの抵抗値が最も低い時には、読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流が最大値Maxになる。

[0056] 図4に示す例では、磁気抵抗効果素子Aの正常動作時に、読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流が値I1になる。

読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流が増加する故障が磁気抵抗効果素子Aに発生すると、図4の上向きの矢印で示すように、読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流が増加する。

[0057] 図4に示す例では、読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流が値12まで増加すると、磁気抵抗効果素子Aの読み出し端子ACのフューズ部AC1が断線する。その結果、図4の下向きの矢印で示すように、読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流が、値13まで減少する（詳細には、ゼロまで減少する）。

つまり、図4に示す例では、フューズ部AC1が断線した後における読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流は、磁気抵抗効果素子Aの正常動作時における読み出し端子ACを介する磁気抵抗効果素子Aからの出力電流よりも減少する。

[0058] 図5は第1実施形態の積和演算器1の固定入力用積演算素子10A2A、10A2B、10B2A、10B2Bとして適用可能な抵抗変化素子の第2例を示す斜視図である。

図5に示す例では、図3に示す例と同様に、抵抗変化素子が、磁気抵抗効果を示す磁気抵抗効果素子Aである。

図5に示す例では、図3に示す例とは異なり、共通端子ABが、フューズ部AB1と、フューズ部AB1の両側に配置された配線部AB2、AB3とを備えている。磁気抵抗効果素子Aからの出力電流が共通端子ABを介して出力される場合、出力電流は、配線部AB2、フューズ部AB1、配線部AB3の順（つまり、図5の右向き）に、フューズ部AB1と配線部AB2、AB3とを流れるか、あるいは、配線部AB3、フューズ部AB1、配線部AB2の順（つまり、図5の左向き）に、フューズ部AB1と配線部AB2、AB3とを流れる。

[0059] 図5に示す例では、出力電流が流れる方向に垂直なフューズ部AB1の断面積は、出力電流が流れる方向に垂直な配線部AB2、AB3の断面積よりも小さく設定されている。

つまり、フューズ部AB1は、配線部AB2、AB3よりも断線しやすく構成されている。

図5に示す例では、フューズ部AB1の断面積を配線部AB2、AB3の

断面積よりも小さくすることによって、フューズ部 A B 1 が、配線部 A B 2、A B 3 よりも断線しやすく構成されているが、他の例では、フューズ部 A B 1 をミアンダ型に形成したり、網目状に形成したりすることによって、フューズ部 A B 1 を配線部 A B 2、A B 3 よりも断線しやすく構成してもよい。

さらに他の例では、フューズ部 A B 1 の材料の融点を配線部 A B 2、A B 3 の材料の融点よりも低くすることによって、フューズ部 A B 1 を配線部 A B 2、A B 3 よりも断線しやすく構成してもよい。

[0060] つまり、図 5 に示す例では、図 3 に示す例と同様に、固定入力用積演算素子 1 0 A 2 A、1 0 A 2 B、1 0 B 2 A、1 0 B 2 B（磁気抵抗効果素子 A）は、出力電流が増加する故障が発生した場合に断線する機能を有する。

[0061] 図 6 は第 1 実施形態の積和演算器 1 の適用例を示す図であり、3-3-3 の多層パーセプトロンと呼ばれるネットワークへの適用例を示す図である。図 7 は第 1 実施形態の積和演算器 1 の全体構成の一例を示す図である。

図 6 に示す例では、第 1 実施形態の積和演算器 1 が、ニューロモーフィックデバイス 1 0 0 に適用されている。ニューロモーフィックデバイス 1 0 0 は、入力層 1 0 1 と、隠れ層 1 0 2 と、出力層 1 0 3 と、第 1 実施形態の積和演算器 1 と、積和演算器 2 とを備えている。第 1 実施形態の積和演算器 1 は、複数（3 個）の可変入力用積演算素子と複数（2 個）の固定入力用積演算素子とを有する。一方、積和演算器 2 は、複数（3 個）の可変入力用積演算素子と 1 個の固定入力用積演算素子とを有する。

入力層 1 0 1 は、例えば 5 つのノード 1 0 1 A、1 0 1 B、1 0 1 C、1 0 1 D、1 0 1 E を備えている。このうち、ノード 1 0 1 A 及び 1 0 1 B は図 1 に示す固定入力部に相当し、1 に設定されている。隠れ層 1 0 2 は、例えば 4 つのノード 1 0 2 A、1 0 2 B、1 0 2 C、1 0 2 D を備えている。このうち、ノード 1 0 2 A は 1 に設定されている。出力層 1 0 3 は、例えば 3 つのノード 1 0 3 A、1 0 3 B、1 0 3 C を備えている。

積和演算器 1 は、入力層 1 0 1 と隠れ層 1 0 2 との間に配置され、入力層

101の4つのノード101A、101B、101C、101Dと、隠れ層102の3つのノード102A、102B、102Cとを接続する。図1に示す積和演算器1において、入力層101のノード101A及び101Bのそれぞれと隠れ層102の各ノード102B~102Dのそれぞれとの間は、図1に示すような固定入力用積演算子10A2A等で接続されており、隠れ層102の各ノードにおいては、入力信号に重みが乗算された値とバイアス（以下、定数「b1」とする）との和が出力される。

隠れ層102と出力層103との間には、積和演算器2が配置されている。なお、積和演算器2は、複数（3個）の可変入力用積演算素子を備えるが、固定入力用積演算素子が複数ではない（1個）ので、本発明の積和演算器ではない。

隠れ層102は、例えば活性化関数（例えばシグモイド関数）を使用する。

[0062] 本発明者は、鋭意研究において、ニューラルネットワークデバイスにおいて、積和演算を行う際にバイアス項を入れることによってニューラルネットワークの判別性能を向上できることを見出した。

詳細には、本発明者は、複数の積演算素子として抵抗変化素子が用いられる積和演算器では、バイアス項を表現するために固定入力用積演算素子を用いなければよいことを見出した。

また、本発明者は、重みを表現する可変入力用積演算素子の故障がニューラルネットワークの判別性能に与える影響よりも、バイアス項を表現する固定入力用積演算素子の故障がニューラルネットワークの判別性能に与える影響の方が大きくなることを見出した。

これは一般的に「重み」は特定の結合ごとに値を設定するのに対し、バイアス項は、その層全体の値を偏らせるために用いられるからである。故障したバイアス項の積演算素子（抵抗変化素子）に電流が集中して大量に流れることによって、他の積演算素子の重み（他の積演算素子からの電流）が回路上で見えなくなるおそれがある。

また、本発明者は、バイアス項を表現する複数の固定入力用積演算素子を1つのカラムに設けることによって、1つの固定入力用積演算素子が故障した場合にニューラルネットワークの判別性能が完全に失われることを防ぐことができ、ニューラルネットワークの判別性能の低下を抑制できることを見出した。

その点に鑑み、第1実施形態の積和演算器1では、図1に示すように、カラム10Aに複数の固定入力用積演算素子10A2A、10A2Bが設けられると共に、カラム10Bに複数の固定入力用積演算素子10B2A、10B2Bが設けられている。また、第1実施形態の積和演算器1は、図7に示すように、故障診断部13を備えている。

[0063] また、本発明者は、1つのカラムに備えられている複数の固定入力用積演算素子のうちの1つの固定入力用積演算素子が故障した場合であっても、再学習を行うことによってニューラルネットワークの判別性能を回復できることを見出した。

その点に鑑み、第1実施形態の積和演算器1は、図7に示すように、再学習部14を備えている。

[0064] 図8は図1および図7に示す第1実施形態の積和演算器1によって実行される処理の一例を示すフローチャートである。

図8に示す例では、積和演算器1が、学習ステップS10と、故障診断ステップS20と、再学習ステップS30（再学習工程）とを実行する。学習ステップS10には、ステップS11が含まれる。故障診断ステップS20には、ステップS21～S24が含まれる。再学習ステップS30には、ステップS31～S33が含まれる。

学習ステップS10では、例えば公知のバックプロパゲーション学習が行われる。詳細には、ステップS11では、積和演算器1が、カラム10Aのバイアス項を表現する固定入力用積演算素子10A2A、10A2Bの抵抗値を設定する。

[0065] 次いで、積和演算器1の故障診断部13が、故障診断ステップS20を実

行する。詳細には、ステップS 2 1では、積和演算器 1 が、可変入力部 1 2 1 Aから可変入力用積演算素子 1 0 A 1 A（および可変入力用積演算素子 1 0 B 1 A）への可変信号の入力をオフにする。つまり、可変入力用積演算素子 1 0 A 1 Aには、可変入力部 1 2 1 Aからの可変信号が入力されなくなる。

また、ステップS 2 1では、積和演算器 1 が、可変入力部 1 2 1 Bから可変入力用積演算素子 1 0 A 1 B（および可変入力用積演算素子 1 0 B 1 B）への可変信号の入力をオフにする。つまり、可変入力用積演算素子 1 0 A 1 Bには、可変入力部 1 2 1 Bからの可変信号が入力されなくなる。

また、ステップS 2 1では、積和演算器 1 が、固定入力部 1 2 2 Aから固定入力用積演算素子 1 0 A 2 A（および固定入力用積演算素子 1 0 B 2 A）への固定信号の入力をオンにする。つまり、固定入力用積演算素子 1 0 A 2 Aには、固定信号が固定入力部 1 2 2 Aから入力される。

また、ステップS 2 1では、積和演算器 1 が、固定入力部 1 2 2 Bから固定入力用積演算素子 1 0 A 2 B（および固定入力用積演算素子 1 0 B 2 B）への固定信号の入力をオンにする。つまり、固定入力用積演算素子 1 0 A 2 Bには、固定信号が固定入力部 1 2 2 Bから入力される。

[0066] 次いで、ステップS 2 2（出力検出工程）では、出力検出器 1 1 Aが、可変入力用積演算素子 1 0 A 1 A、1 0 A 1 Bからの出力および固定入力用積演算素子 1 0 A 2 A、1 0 A 2 Bからの出力の合計値を検出する。上述したように、可変入力用積演算素子 1 0 A 1 Aには、可変入力部 1 2 1 Aからの可変信号が入力されず、可変入力用積演算素子 1 0 A 1 Bには、可変入力部 1 2 1 Bからの可変信号が入力されない。そのため、可変入力用積演算素子 1 0 A 1 A、1 0 A 1 Bからの出力はゼロである。

つまり、ステップS 2 2（出力検出工程）では、可変入力部 1 2 1 A、1 2 1 Bが可変入力用積演算素子 1 0 A 1 A、1 0 A 1 Bに対して可変信号を入力しない状態、かつ、固定入力部 1 2 2 A、1 2 2 Bが固定入力用積演算素子 1 0 A 2 A、1 0 A 2 Bに対して固定信号を入力する状態で、出力検出

器 1 1 A が、固定入力用積演算素子 1 0 A 2 A、1 0 A 2 B からの出力の合計値を検出する。

[0067] 次いで、ステップ S 2 3（診断工程）では、故障診断部 1 3 が、出力検出器 1 1 A の検出値に基づいて、故障している固定入力用積演算素子が固定入力用積演算素子 1 0 A 2 A、1 0 A 2 B に含まれるか否かを診断する。故障している固定入力用積演算素子が固定入力用積演算素子 1 0 A 2 A、1 0 A 2 B に含まれない場合には、ステップ S 2 1 に戻る。

一方、故障している固定入力用積演算素子が固定入力用積演算素子 1 0 A 2 A、1 0 A 2 B に含まれる場合には、ステップ S 2 4 に進む。

[0068] ステップ S 2 4 では、積和演算器 1 が、固定入力用積演算素子 1 0 A 2 A、1 0 A 2 B のうちの故障している固定入力用積演算素子を特定する。

ステップ S 2 4 においては、固定入力用積演算素子 1 0 A 2 A が故障しているか否かを診断するために、例えば、可変入力部 1 2 1 A、1 2 1 B が可変入力用積演算素子 1 0 A 1 A、1 0 A 1 B に対して可変信号を入力しない状態、かつ、固定入力部 1 2 2 B が固定入力用積演算素子 1 0 A 2 B に対して固定信号を入力しない状態、かつ、固定入力部 1 2 2 A が固定入力用積演算素子 1 0 A 2 A に対して固定信号を入力する状態で、出力検出器 1 1 A が、固定入力用積演算素子 1 0 A 2 A からの出力を検出する。また、故障診断部 1 3 は、出力検出器 1 1 A の検出値に基づいて、固定入力用積演算素子 1 0 A 2 A が故障しているか否かを診断する。

同様に、ステップ S 2 4 においては、固定入力用積演算素子 1 0 A 2 B が故障しているか否かを診断するために、例えば、可変入力部 1 2 1 A、1 2 1 B が可変入力用積演算素子 1 0 A 1 A、1 0 A 1 B に対して可変信号を入力しない状態、かつ、固定入力部 1 2 2 A が固定入力用積演算素子 1 0 A 2 A に対して固定信号を入力しない状態、かつ、固定入力部 1 2 2 B が固定入力用積演算素子 1 0 A 2 B に対して固定信号を入力する状態で、出力検出器 1 1 A が、固定入力用積演算素子 1 0 A 2 B からの出力を検出する。また、故障診断部 1 3 は、出力検出器 1 1 A の検出値に基づいて、固定入力用積演

算素子 10A2B が故障しているか否かを診断する。

[0069] 次いで、積和演算器 1 の再学習部 14 が、再学習ステップ S30（再学習工程）を実行する。再学習ステップ S30 では、例えば公知のバックプロパゲーション学習が行われる。詳細には、ステップ S31 では、再学習部 14 は、上述したステップ S24 の診断結果に基づいて、固定入力用積演算素子 10A2A が故障しているか否かを判定する。固定入力用積演算素子 10A2A が故障している場合には、ステップ S32 に進む。一方、固定入力用積演算素子 10A2B が故障している場合には、ステップ S33 に進む。

[0070] ステップ S32 では、再学習部 14 が、カラム 10A のバイアス項が固定入力用積演算素子 10A2B のみによって表現されるように、固定入力用積演算素子 10A2B の抵抗値を再設定する。

つまり、ステップ S32 では、再学習部 14 が、固定入力用積演算素子 10A2A、10A2B のうちの、故障している固定入力用積演算素子 10A2A 以外の固定入力用積演算素子 10A2B の抵抗値の再設定を行う。

[0071] ステップ S33 では、再学習部 14 が、カラム 10A のバイアス項が固定入力用積演算素子 10A2A のみによって表現されるように、固定入力用積演算素子 10A2A の抵抗値を再設定する。

つまり、ステップ S33 では、再学習部 14 が、固定入力用積演算素子 10A2A、10A2B のうちの、故障している固定入力用積演算素子 10A2B 以外の固定入力用積演算素子 10A2A の抵抗値の再設定を行う。

[0072] 図 9 は、図 8 のステップ S33 における固定入力用積演算素子 10A2A の抵抗値の再設定が行われる例を説明するための図である。詳細には、図 9（A）は固定入力用積演算素子 10A2B が故障する前の状態を示している。図 9（B）は固定入力用積演算素子 10A2B が故障し、固定入力用積演算素子 10A2A の抵抗値の再設定が行われた後の状態を示している。

[0073] 図 9（A）および図 9（B）に示す例では、第 1 実施形態の積和演算器 1 がニューラルネットワークに適用される場合における重み a が、可変入力用積演算素子 10A1A、10A1B の抵抗値によって設定される。固定入力

用積演算素子 10A2B が故障する前においては、図 9 (A) に示すように、バイアス項 b_1 が、固定入力用積演算素子 10A2A、10A2B の抵抗値によって設定される。固定入力用積演算素子 10A2B が故障した後は、上述したステップ S33 において、再学習部 14 によって固定入力用積演算素子 10A2A の抵抗値の再設定が行われる。その結果、図 9 (B) に示すように、バイアス項 b_2 が、固定入力用積演算素子 10A2A の抵抗値のみによって設定される。つまり、図 9 (A) および図 9 (B) に示す例では、固定入力用積演算素子 10A2B の故障時に、固定入力用積演算素子 10A2A、10A2B のうちの、固定入力用積演算素子 10A2B 以外の固定入力用積演算素子 10A2A に再分配されたバイアス項 b_2 が設定される。

[0074] つまり、第 1 実施形態の積和演算器 1 では、可変入力用積演算素子 10A1A、10A1B に入力される可変信号に同期して定められた信号が入力される固定入力用積演算素子 10A2A、10A2B が、バイアス項として機能する。第 1 実施形態の積和演算器 1 がニューラルネットワークに適用される場合には、固定入力用積演算素子 10A2A、10A2B がバイアス項用素子として用いられない積和演算器がニューラルネットワークに適用される場合よりも、ニューラルネットワークの判別性能を向上させることができる。

[0075] 上述したように、例えば図 1 に示す第 1 実施形態の積和演算器 1 は、積演算部 10 と、和演算部 11 とを備える。積演算部 10 は、複数の可変入力用積演算素子 10A1A、10A1B と、複数の固定入力用積演算素子 10A2A、10A2B とを備える。複数の可変入力用積演算素子 10A1A、10A1B および複数の固定入力用積演算素子 10A2A、10A2B のそれぞれは、抵抗変化素子である。また、第 1 実施形態の積和演算器 1 は、複数の可変入力用積演算素子 10A1A、10A1B、… に対して可変信号を入力する可変入力部 121A、121B と、複数の固定入力用積演算素子 10A2A、10A2B に対して定められた信号を可変信号に同期させて入力する固定入力部 122A、122B とを備える。和演算部 11 は、複数の可変

入力用積演算素子 10A1A、10A1Bからの出力および複数の固定入力用積演算素子 10A2A、10A2Bからの出力の合計値を検出する出力検出器 11Aを備える。

そのため、第1実施形態の積和演算器1がニューラルネットワークに適用される場合には、バイアス項用素子である固定入力用積演算素子 10A2A、10A2Bの一方の故障時におけるニューラルネットワークの性能低下を抑制することができる。

[0076] また、第1実施形態の積和演算器1では、上述したように、複数の固定入力用積演算素子 10A2A、10A2Bは、出力電流が増加する故障が発生した場合に断線する（つまり、抵抗値が無限大になる）機能を有する。また、複数の可変入力用積演算素子 10A1A、10A1Bおよび複数の固定入力用積演算素子 10A2A、10A2Bのそれぞれは、書き込み端子AAと、共通端子ABと、読み出し端子ACとを有し、磁気抵抗効果を示す磁気抵抗効果素子Aである。また、磁気抵抗効果素子Aは、磁壁DWを有する磁化自由層A1と、磁化方向が固定された磁化固定層A2と、磁化自由層A1と磁化固定層A2とに挟まれた非磁性層A3とを有する。

つまり、第1実施形態の積和演算器1では、複数の固定入力用積演算素子 10A2A、10A2Bとして、正常動作時における抵抗値と、故障時（詳細には、出力電流が大きくなって断線する故障時）における抵抗値との差が大きい素子が用いられる。

そのため、第1実施形態の積和演算器1によれば、正常動作時における抵抗値と故障時における抵抗値との差が小さい素子が固定入力用積演算素子として用いられる場合よりも、固定入力用積演算素子 10A2A、10A2Bの一方の故障時におけるニューラルネットワークの性能低下を抑制することができる。

[0077] また、第1実施形態の積和演算器1の使用時（詳細には、出力検査時）には、可変入力部 121A、121Bが複数の可変入力用積演算素子 10A1A、10A1Bに対して可変信号を入力しない状態、かつ、固定入力部 12

2 A、1 2 2 Bが複数の固定入力用積演算素子1 0 A 2 A、1 0 A 2 Bに対して固定信号を入力する状態で、出力検出器1 1 Aが、複数の固定入力用積演算素子1 0 A 2 A、1 0 A 2 Bからの出力を検出する。

また、第1実施形態の積和演算器1の使用時（詳細には、診断時）には、故障診断部1 3が、出力検出時に検出された複数の固定入力用積演算素子1 0 A 2 A、1 0 A 2 Bからの出力に基づいて、故障している固定入力用積演算素子が複数の固定入力用積演算素子1 0 A 2 A、1 0 A 2 Bに含まれるか否かを診断する。

そのため、第1実施形態の積和演算器1によれば、そのような出力検査および診断が行われない場合よりも、固定入力用積演算素子1 0 A 2 A、1 0 A 2 Bの一方の故障時におけるニューラルネットワークの性能低下を抑制することができる。

[0078] また、故障している固定入力用積演算素子が複数の固定入力用積演算素子1 0 A 2 A、1 0 A 2 Bに含まれる場合、第1実施形態の積和演算器1の使用時（詳細には、再学習時）に、再学習部1 4が、複数の固定入力用積演算素子1 0 A 2 A、1 0 A 2 Bのうちの、故障している固定入力用積演算素子以外の固定入力用積演算素子の抵抗値の再設定を行う。

そのため、第1実施形態の積和演算器1によれば、そのような再学習が行われない場合よりも、固定入力用積演算素子1 0 A 2 A、1 0 A 2 Bの一方の故障時におけるニューラルネットワークの性能低下を抑制することができる。

[0079] <第2実施形態>（抵抗変化素子が一般的な可変抵抗）

以下、本発明の積和演算器の第2実施形態について説明する。

第2実施形態の積和演算器1は、後述する点を除き、上述した第1実施形態の積和演算器1と同様に構成されている。従って、第2実施形態の積和演算器1によれば、後述する点を除き、上述した第1実施形態の積和演算器1と同様の効果を奏することができる。

[0080] 図1 0は第2実施形態の積和演算器1の一部の構成の一例を示す図である

。

第1実施形態の積和演算器1では、可変入力用積演算素子10A1A、10A1B、10B1A、10B1Bおよび固定入力用積演算素子10A2A、10A2B、10B2A、10B2Bが磁気抵抗効果素子によって構成されているが、第2実施形態の積和演算器1では、可変入力用積演算素子10A1A、10A1B、10B1A、10B1Bおよび固定入力用積演算素子10A2A、10A2B、10B2A、10B2Bが一般的な抵抗変化素子（可変抵抗）によって構成されている。

[0081] 詳細には、図1に示す例では、可変入力用積演算素子10A1A、10A1B、10B1A、10B1Bおよび固定入力用積演算素子10A2A、10A2B、10B2A、10B2Bのそれぞれが、読み出し端子と、書き込み端子と、共通端子とを備えているが、図10に示す例では、可変入力用積演算素子10A1A、10A1B、10B1A、10B1Bおよび固定入力用積演算素子10A2A、10A2B、10B2A、10B2Bのそれぞれが、第1端子と、第2端子とを備えている。

図10に示す例では、可変入力用積演算素子10A1A、10B1Aの第1端子は、ラインL11に接続されている。可変入力用積演算素子10A1B、10B1Bの第1端子は、ラインL21に接続されている。固定入力用積演算素子10A2A、10B2Aの第1端子は、ラインL31に接続されている。固定入力用積演算素子10A2B、10B2Bの第1端子は、ラインL41に接続されている。

図10に示す例においても、固定入力用積演算素子10A2A、10A2B、10B2A、10B2Bに対して入力される固定信号は、可変入力用積演算素子10A1A、10A1B、10B1A、10B1Bに対して入力される可変信号に同期させられる。

[0082] 図10に示す例では、可変入力用積演算素子10A1A、10A1Bおよび固定入力用積演算素子10A2A、10A2Bの第2端子は、ラインM1に接続されている。可変入力用積演算素子10B1A、10B1Bおよび固

定入力用積演算素子 10B2A、10B2B の第 2 端子は、ライン M2 に接続されている。

和演算部 11 は、可変入力用積演算素子 10A1A、10A1B および固定入力用積演算素子 10A2A、10A2B の第 2 端子からの出力の合計値を検出する出力検出器 11A と、可変入力用積演算素子 10B1A、10B1B および固定入力用積演算素子 10B2A、10B2B の第 2 端子からの出力の合計値を検出する出力検出器 11B とを備えている。

[0083] 図 10 に示す例においても、固定入力用積演算素子 10A2A、10A2B、10B2A、10B2B は、例えばフューズ部（図示せず）などを有することによって、出力電流が増加する故障が発生した場合に断線する機能を有する。

他の例では、図 10 に示す固定入力用積演算素子 10A2A、10A2B、10B2A、10B2B は、出力電流が増加する故障が発生した場合に断線する機能を有さなくてもよい。

[0084] 以上、本発明の実施形態について図面を参照して詳述したが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形及び置換を加えることができる。上述した各実施形態に記載の構成を組み合わせてもよい。

[0085] 例えば、以上に示した実施形態に係る各装置（例えば、積和演算器 1）の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体（記憶媒体）に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより、処理を行ってもよい。

なお、ここでいう「コンピュータシステム」とは、オペレーティング・システム（OS：Operating System）あるいは周辺機器等のハードウェアを含むものであってもよい。

また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM（Read Only Memory）、フラッシュメモリ等の書き込み可能な不揮発性メモリ、DVD（Digi

l Versatile Disc)等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。また、記録媒体としては、例えば、一時的にデータを記録する記録媒体であってもよい。

[0086] さらに、「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークあるいは電話回線等の通信回線を介してプログラムが送信された場合のサーバあるいはクライアントとなるコンピュータシステム内部の揮発性メモリ（例えばDRAM（Dynamic Random Access Memory））のように、一定時間プログラムを保持しているものも含むものとする。

また、上記のプログラムは、このプログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）あるいは電話回線等の通信回線（通信線）のように情報を伝送する機能を有する媒体のことをいう。

また、上記のプログラムは、前述した機能の一部を実現するためのものであってもよい。さらに、上記のプログラムは、前述した機能をコンピュータシステムに既に記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であってもよい。

コンピュータでは、例えば、CPU（Central Processing Unit）などのプロセッサがメモリに記憶されたプログラムを読み出して実行する。

符号の説明

[0087] 1…積和演算器、2…積和演算器、10…積演算部、10A…コラム、10A1A…可変入力用積演算素子、10A1B…可変入力用積演算素子、10A2A…固定入力用積演算素子、10A2B…固定入力用積演算素子、10B…コラム、10B1A…可変入力用積演算素子、10B1B…可変入力用積演算素子、10B2A…固定入力用積演算素子、10B2B…固定入力用

積演算素子、11…和演算部、11A…出力検出器、11B…出力検出器、
12…入力部、121A…可変入力部、121B…可変入力部、122A…
固定入力部、122B…固定入力部、13…故障診断部、14…再学習部、
100…ニューロモーフィックデバイス、101…入力層、101A、10
1B、101C、101D…ノード、102…隠れ層、102A、102B
、102C…ノード、103…出力層、103A、103B、103C…ノ
ード、A…磁気抵抗効果素子、AA…書き込み端子、AB…共通端子、AC
…読み出し端子、A1…磁化自由層、A11…第1領域、A12…第2領域
、A2…磁化固定層、A3…非磁性層、DW…磁壁、L11…ライン、L1
2…ライン、L21…ライン、L22…ライン、L31…ライン、L32…
ライン、L41…ライン、L42…ライン、M1…ライン、M2…ライン

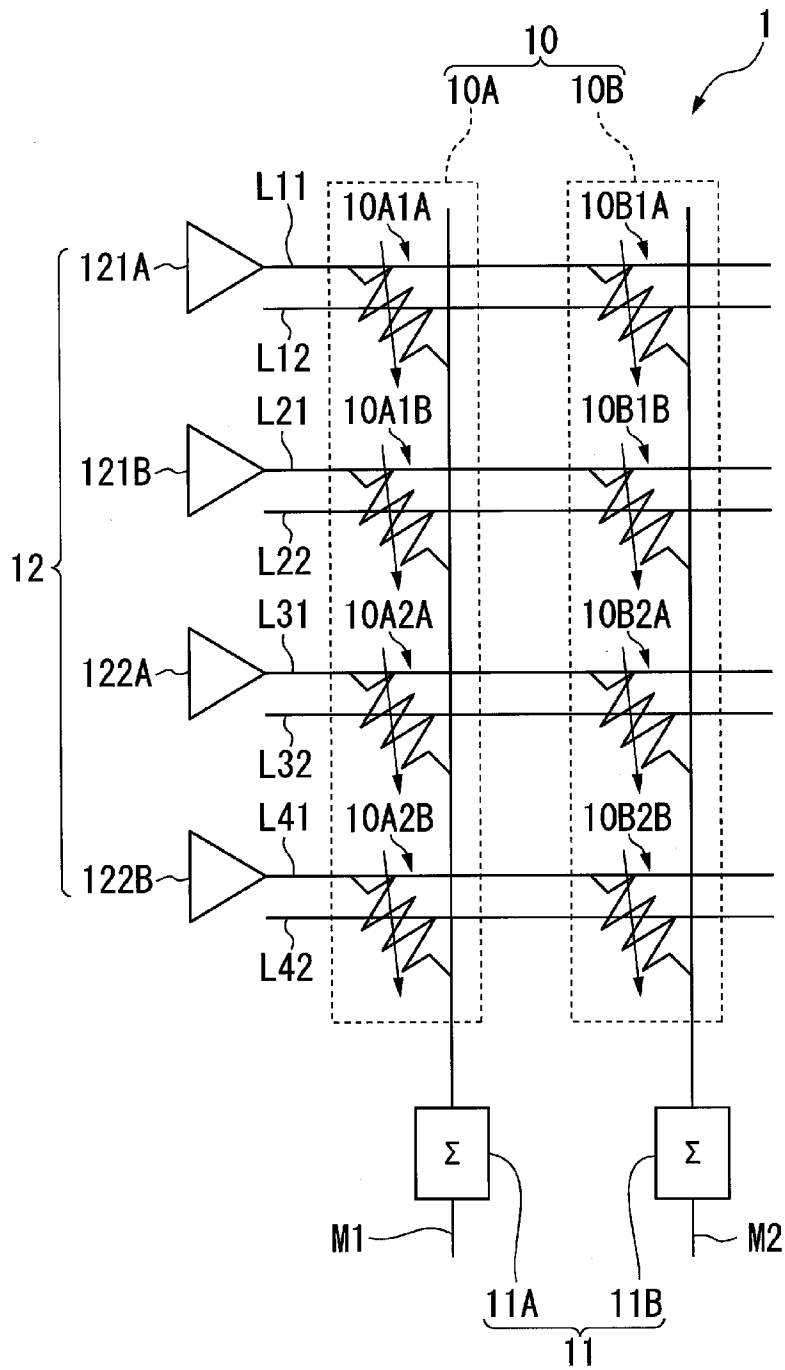
請求の範囲

- [請求項1] 積演算部と、和演算部とを備え、
前記積演算部は、複数の可変入力用積演算素子と、複数の固定入力用積演算素子とを備え、
前記複数の可変入力用積演算素子および前記複数の固定入力用積演算素子のそれぞれは、抵抗変化素子であり、
前記複数の可変入力用積演算素子に対して可変信号を入力する可変入力部と、
前記複数の固定入力用積演算素子に対して定められた信号を前記可変信号に同期させて入力する固定入力部とを備え、
前記和演算部は、前記複数の可変入力用積演算素子からの出力および前記複数の固定入力用積演算素子からの出力の合計値を検出する出力検出器を備える、
積和演算器。
- [請求項2] 前記複数の固定入力用積演算素子は、出力電流が増加する故障が発生した場合に断線する機能を有する、
請求項1に記載の積和演算器。
- [請求項3] 前記抵抗変化素子は、書き込み端子と、共通端子と、読み出し端子とを有する、
請求項1または請求項2に記載の積和演算器。
- [請求項4] 前記抵抗変化素子は、磁気抵抗効果を示す磁気抵抗効果素子であり、
、
前記磁気抵抗効果素子は、
磁壁を有する磁化自由層と、
磁化方向が固定された磁化固定層と、
前記磁化自由層と前記磁化固定層とに挟まれた非磁性層とを有する、
、
請求項1または請求項2に記載の積和演算器。

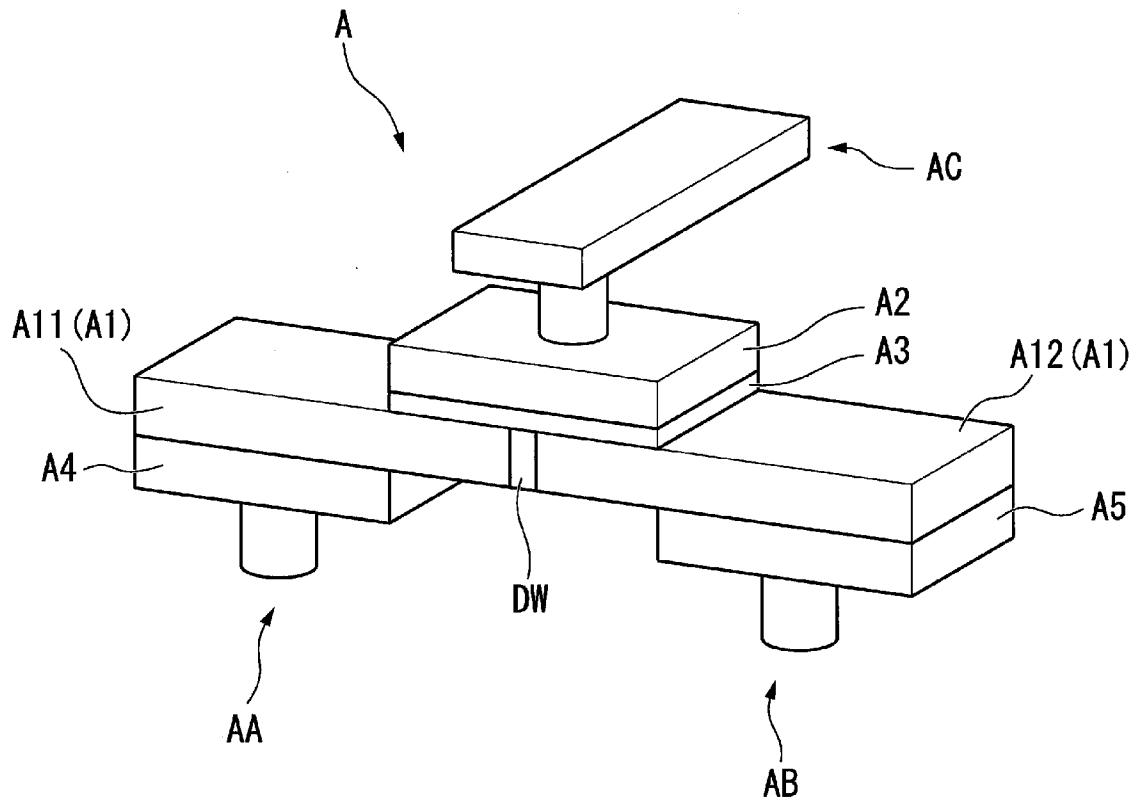
- [請求項5] 前記積演算部は、他の可変入力用積演算素子と、他の固定入力用積演算素子とをさらに備え、
- 前記他の可変入力用積演算素子および前記他の固定入力用積演算素子のそれぞれは、前記抵抗変化素子であり、
- 前記可変入力部は、前記他の可変入力用積演算素子に対して前記可変信号を入力し、
- 前記固定入力部は、前記他の固定入力用積演算素子に対して前記定められた信号を前記可変信号に同期させて入力し、
- 前記和演算部は、前記他の可変入力用積演算素子からの出力および前記他の固定入力用積演算素子からの出力の合計値を検出する他の出力検出器をさらに備える、
- 請求項 1 から請求項 4 のいずれか一項に記載の積和演算器。
- [請求項6] 請求項 1 から請求項 5 のいずれか一項に記載の積和演算器を備えるニューロモーフィックデバイス。
- [請求項7] 請求項 1 から請求項 5 のいずれか一項に記載の積和演算器の使用方法であって、
- 前記積和演算器は故障診断部をさらに備え、
- 前記可変入力部が前記複数の可変入力用積演算素子に対して前記可変信号を入力しない状態、かつ、前記固定入力部が前記複数の固定入力用積演算素子に対して前記定められた信号を入力する状態で、前記出力検出器が、前記複数の固定入力用積演算素子からの出力を検出する出力検出工程と、
- 前記故障診断部が、前記出力検出工程において検出された前記複数の固定入力用積演算素子からの出力に基づいて、故障している積演算素子が前記複数の固定入力用積演算素子に含まれるか否かを診断する診断工程とを含む、
- 積和演算器の使用方法。
- [請求項8] 前記積和演算器は再学習部をさらに備え、

前記故障している積演算素子が前記複数の固定入力用積演算素子に含まれると前記故障診断部が診断した場合に、前記再学習部が、前記複数の固定入力用積演算素子のうちの、前記故障している積演算素子以外の積演算素子の抵抗値の再設定を行う再学習工程をさらに含む、請求項 7 に記載の積和演算器の使用方法。

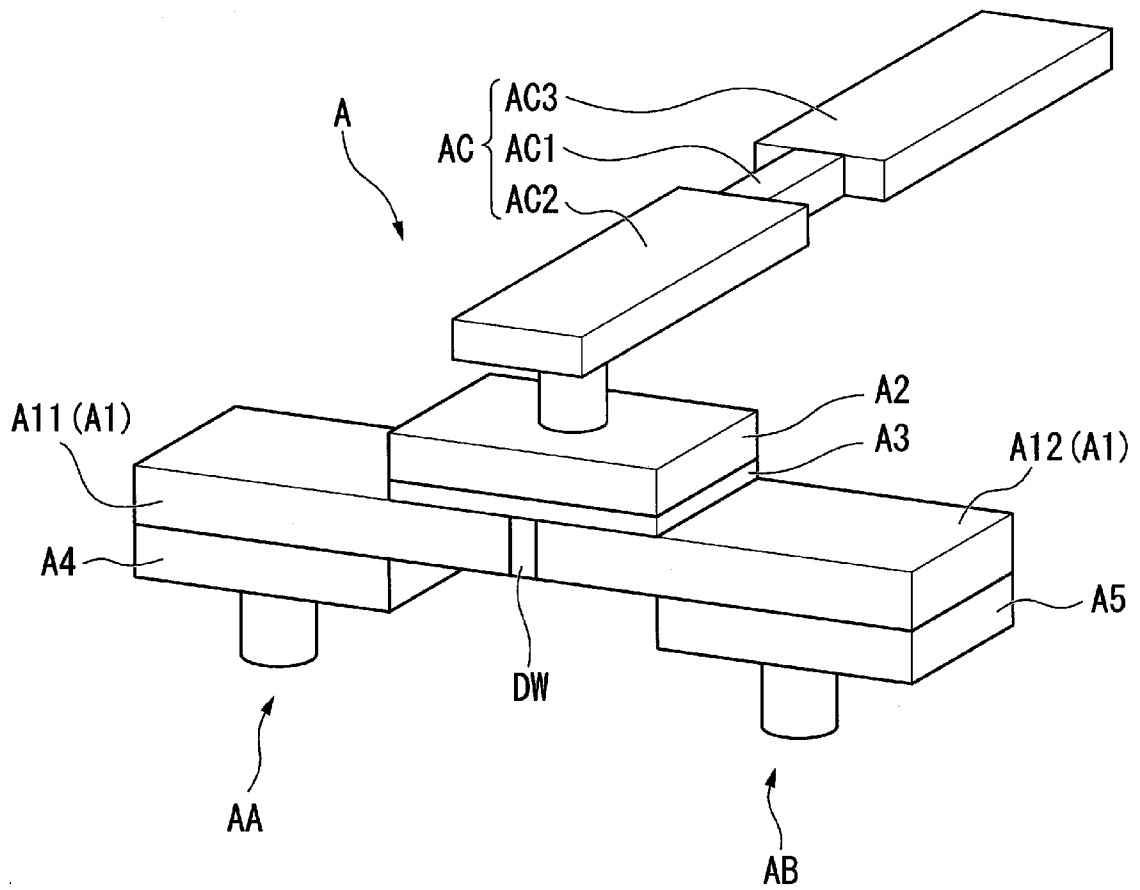
[図1]



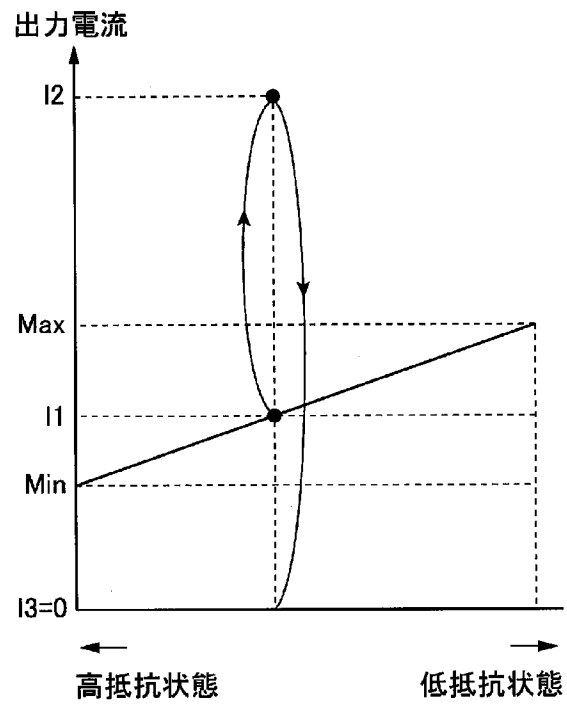
[図2]



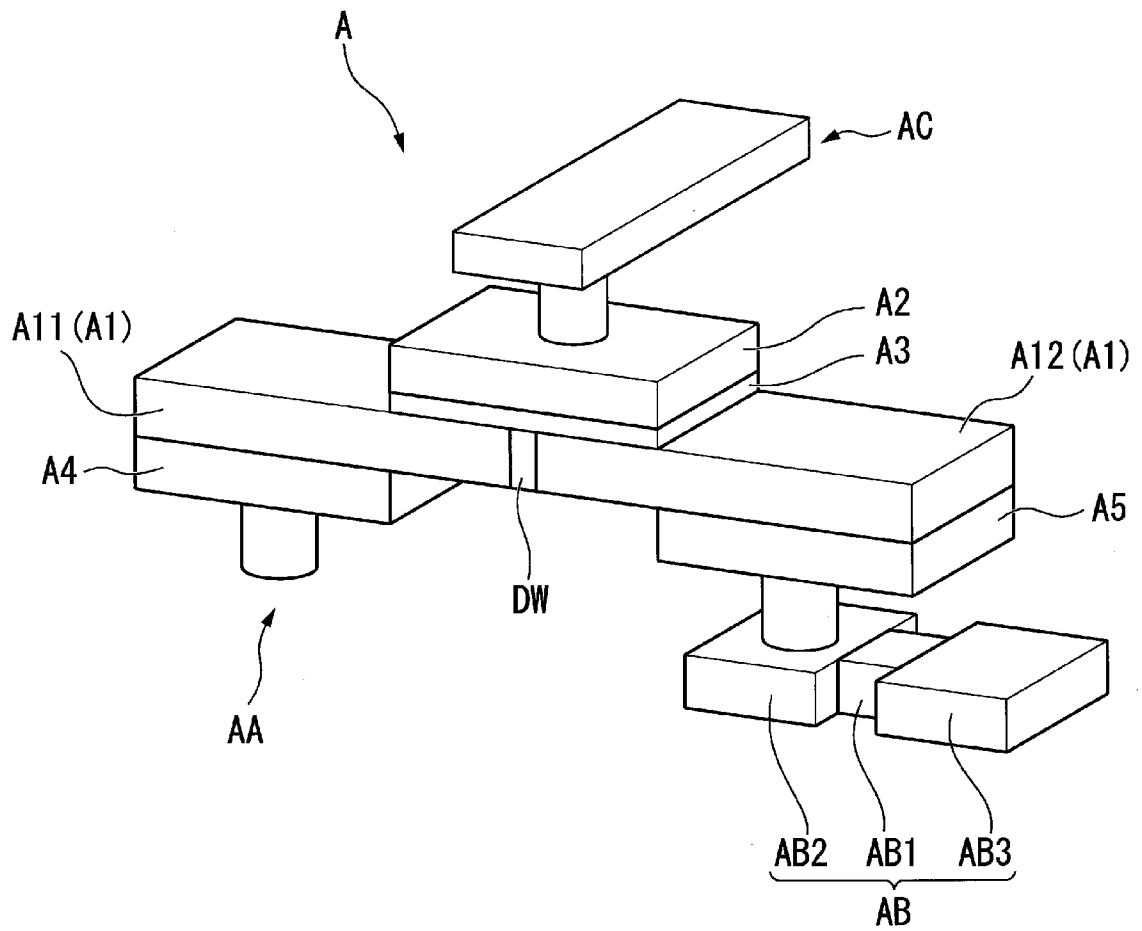
[図3]



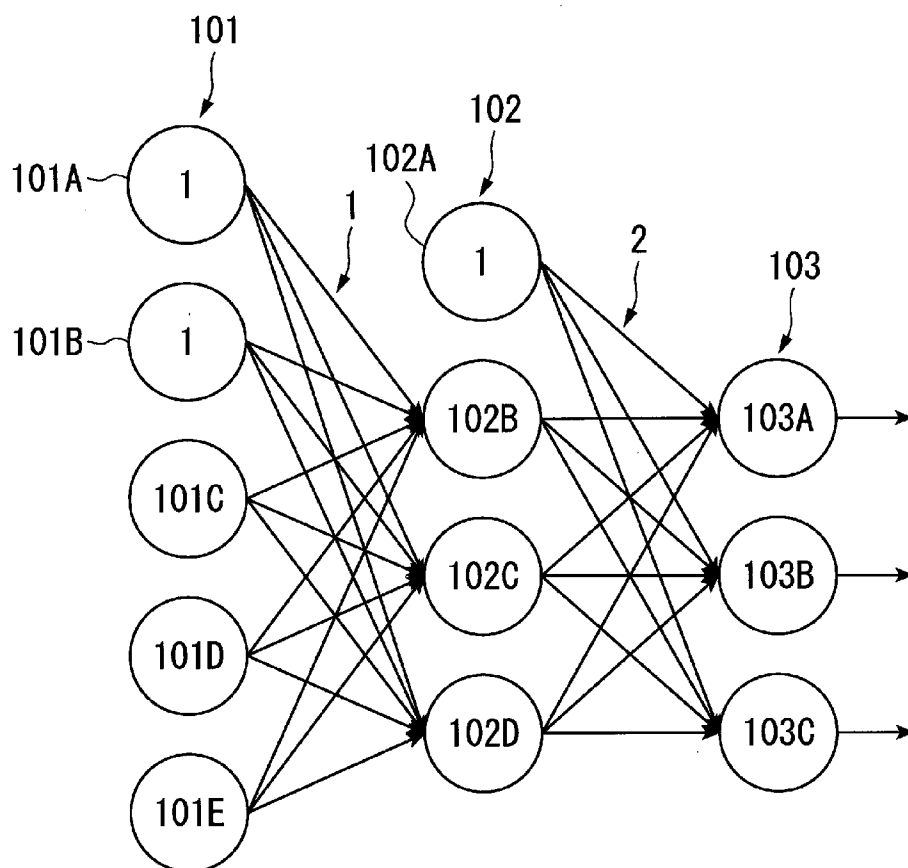
[図4]



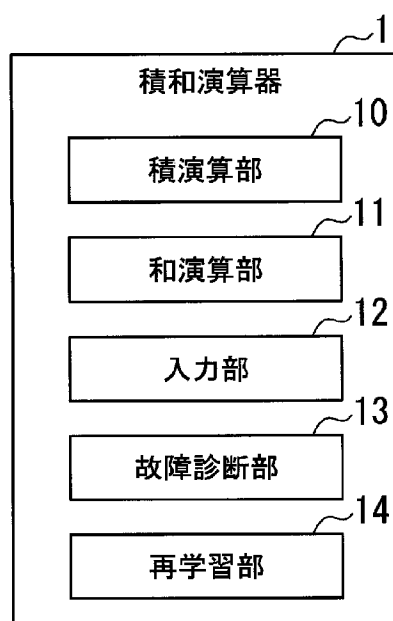
[図5]



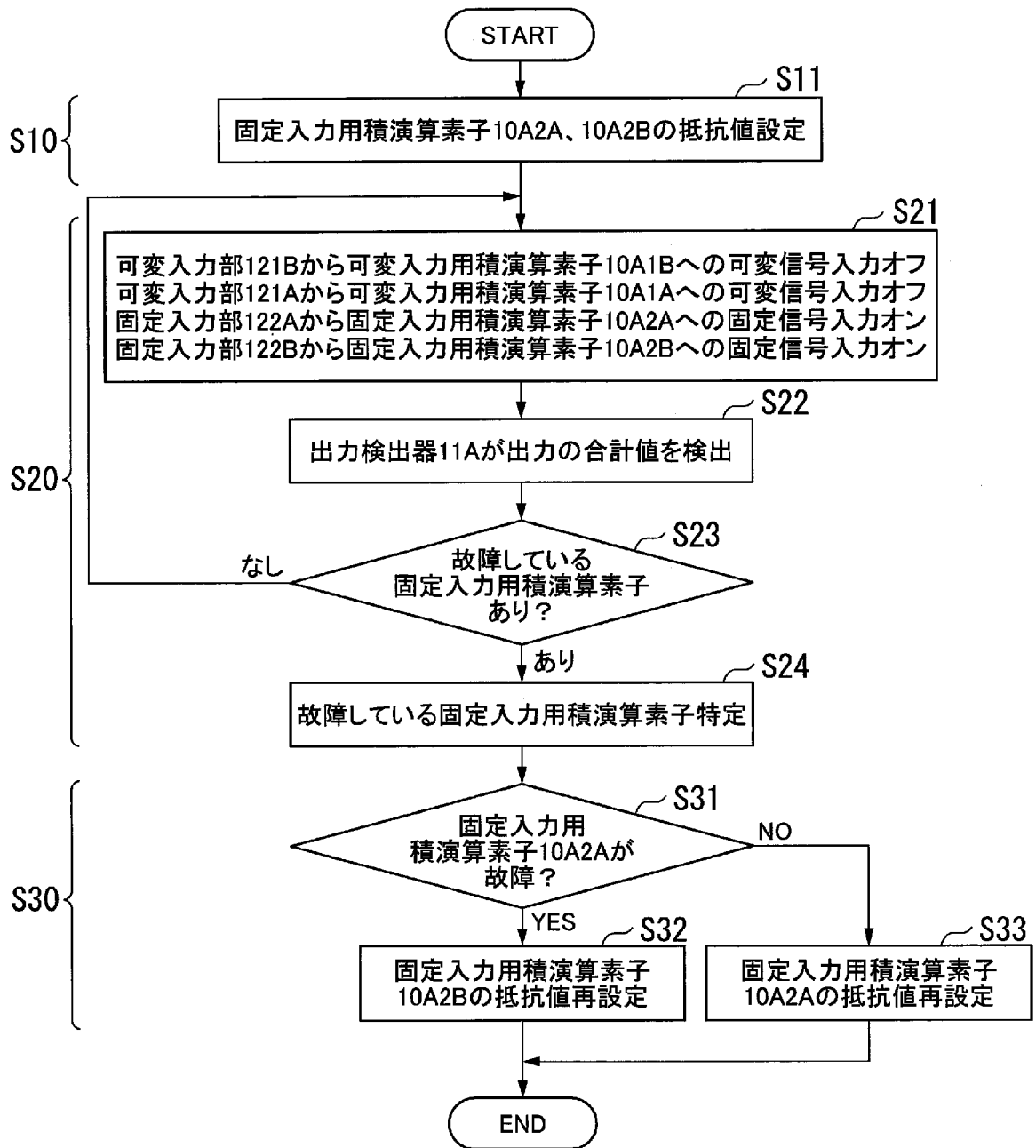
[図6]



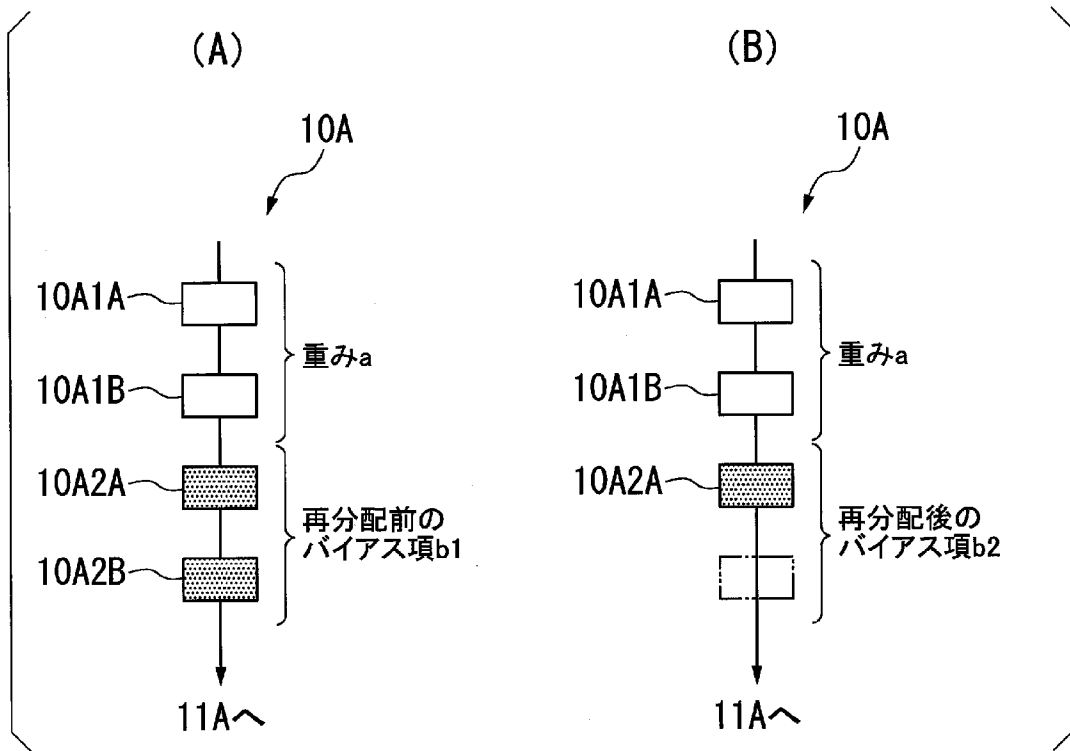
[図7]



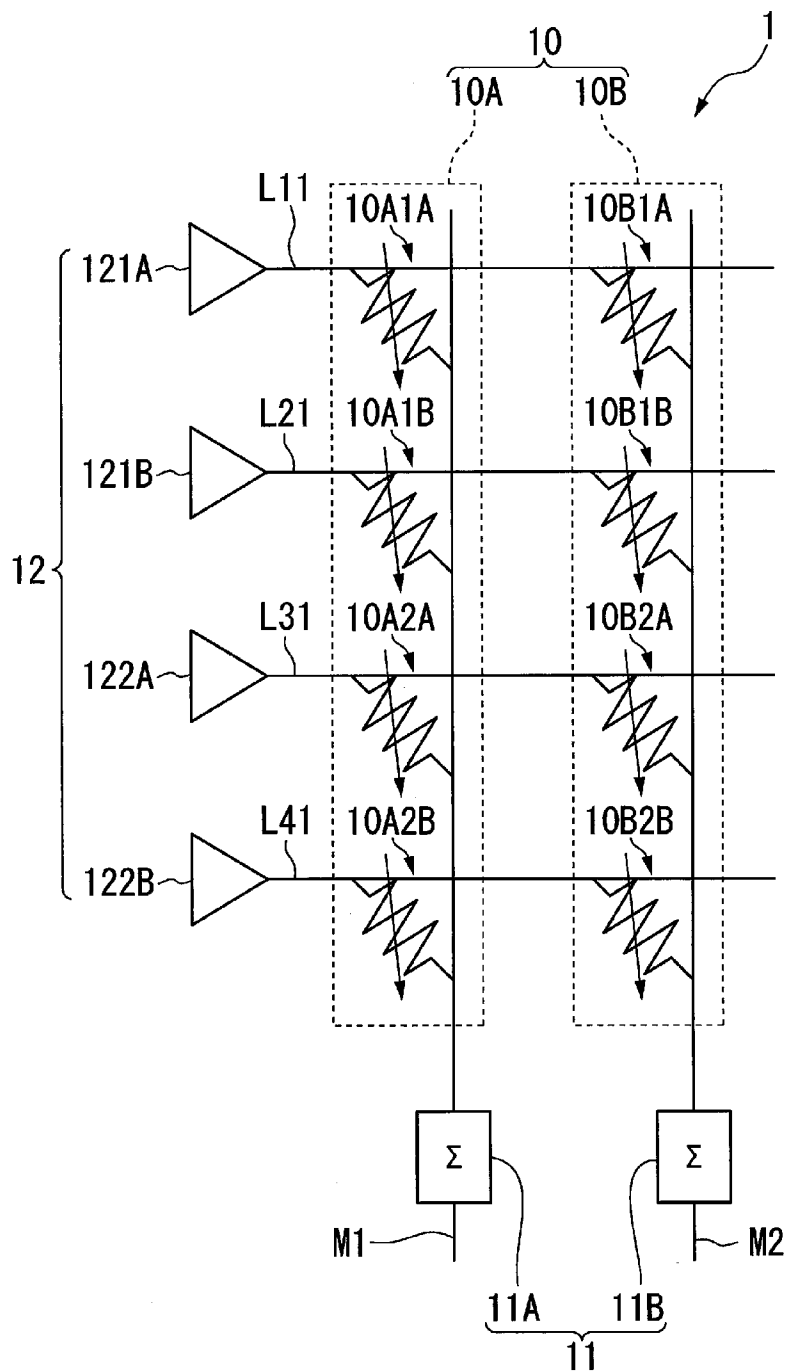
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/045742

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06G7/60(2006.01)i, G06N3/063(2006.01)i,
H01L21/8239(2006.01)i, H01L27/105(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06G7/60, G06N3/063, H01L21/8239, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-282782 A (SHARP CORP.) 03 December 2009, paragraphs [0157]-[0184], fig. 7-8 (Family: none)	1-8
A	JP 5-20294 A (FUJITSU LTD.) 29 January 1993, paragraph [0029], fig. 1 (Family: none)	1-8

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 March 2019 (05.03.2019)	Date of mailing of the international search report 12 March 2019 (12.03.2019)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06G7/60(2006.01)i, G06N3/063(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06G7/60, G06N3/063, H01L21/8239, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-282782 A（シャープ株式会社） 2009.12.03, 段落[0157]-[0184], 図7-8（ファミリーなし）	1-8
A	JP 5-20294 A（富士通株式会社） 1993.01.29, 段落[0029], 図1（ファミリーなし）	1-8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

05.03.2019

国際調査報告の発送日

12.03.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白石 圭吾

5E

9856

電話番号 03-3581-1101 内線 3521