

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-95886  
(P2004-95886A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/76	HO 1 L 21/76 L	5 F O 3 2
HO 1 L 21/8247	HO 1 L 27/08 3 3 1 A	5 F O 4 8
HO 1 L 27/08	HO 1 L 27/10 4 8 1	5 F O 8 3
HO 1 L 27/10	HO 1 L 27/10 4 3 4	5 F 1 O 1
HO 1 L 27/115	HO 1 L 29/78 3 7 1	

審査請求 未請求 請求項の数 8 O L (全 30 頁) 最終頁に続く

(21) 出願番号	特願2002-255471 (P2002-255471)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年8月30日 (2002.8.30)	(74) 代理人	100091672 弁理士 岡本 啓三
		(72) 発明者	齋藤 仁 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム(参考)	5F032 AA35 AA37 AA45 AA77 BA02 CA17 CA24 CA25 DA02 DA27 DA33 DA53 DA78 5F048 AA04 AB01 AC01 BA01 BB05 BG14

最終頁に続く

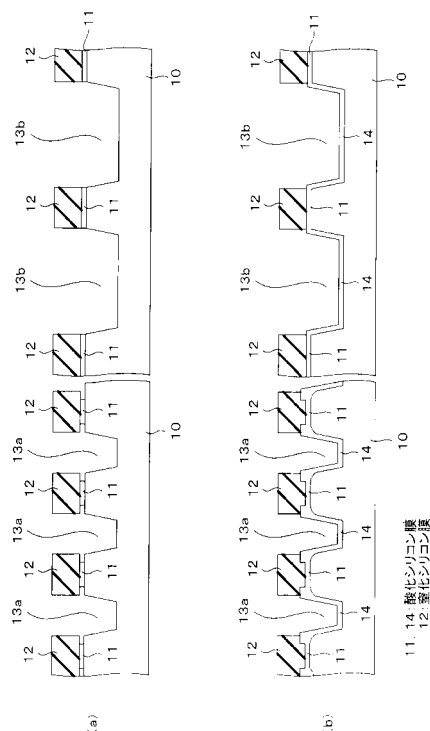
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高電圧が印加されるトランジスタのゲート絶縁膜の信頼性を確保しつつ、低電圧で駆動するトランジスタの電流駆動能力の低下を回避し、更に半導体装置の高集積化を達成できる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 10 上にパッド酸化膜 11 及び窒化シリコン膜 12 を形成する。次に、窒化シリコン膜 12 をパターニングした後、パッド酸化膜 11 及び基板 10 をエッチングして、第1の領域に溝 13 a を形成し、第2の領域に溝 13 b を形成する。その後、第2の領域をレジストで保護して第1の領域のパッド酸化膜 11 をサイドエッチングし、基板 10 と窒化シリコン膜 12 との間に隙間を形成する。次いで、溝 13 a, 13 b の内面を酸化させる。このとき、溝 13 a の上側縁部には比較的大量の酸化剤(酸素)が供給され、基板 10 のエッジの曲率が大きくなる。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

半導体基板の第 1 の領域に形成された複数の第 1 の素子と、  
前記第 1 の領域の前記第 1 の素子間に形成された第 1 の溝と、  
前記第 1 の溝を埋める絶縁材料により構成された第 1 の素子分離膜と、  
前記半導体基板の第 2 の領域に形成されて前記第 1 の素子よりも高い電圧が供給される複数の第 2 の素子と、  
前記第 2 の領域の前記第 2 の素子間に形成された第 2 の溝と、  
前記第 2 の溝を埋める絶縁材料により構成された第 2 の素子分離膜とを有し、  
前記第 2 の素子分離膜の上側縁部と前記半導体基板との界面の曲率が、前記第 1 の素子分離膜の上側縁部と前記半導体基板との界面の曲率よりも大きいことを特徴とする半導体装置。 10

## 【請求項 2】

半導体基板の第 1 の領域に複数の第 1 の溝を形成し、第 2 の領域に複数の第 2 の溝を形成する工程と、  
前記第 2 の溝の上側縁部の曲率を大きくする工程と、  
前記第 1 及び第 2 の溝を絶縁材料で埋める工程と、  
前記第 1 の領域に第 1 の素子を形成し、前記第 2 の領域に前記第 1 の素子よりも高い電圧が供給される第 2 の素子を形成する工程と  
を有することを特徴とする半導体装置の製造方法。 20

## 【請求項 3】

半導体基板の第 1 及び第 2 の領域に第 1 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜の上に前記第 1 の絶縁膜と異なる材料で第 2 の絶縁膜を形成する工程と、  
前記第 2 の絶縁膜をパターンニングする工程と、  
前記第 2 の絶縁膜をマスクとして前記第 1 の絶縁膜及び前記半導体基板をエッチングし、  
前記半導体基板の前記第 1 の領域に第 1 の溝を形成し、前記第 2 の領域に第 2 の溝を形成する工程と、  
前記第 2 の領域の前記第 1 の絶縁膜のみをサイドエッチングする工程と、  
前記第 1 及び第 2 の溝の内面を酸化する工程と、 30  
前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程と、  
前記第 2 の絶縁膜を除去する工程と  
を有することを特徴とする半導体装置の製造方法。

## 【請求項 4】

半導体基板の第 1 の領域に第 1 の絶縁膜を形成し、第 2 の領域に前記第 1 の絶縁膜と同一の絶縁材料で前記第 1 の絶縁膜よりも膜厚が大きい第 2 の絶縁膜を形成する工程と、  
前記第 1 及び第 2 の絶縁膜の上に前記第 1 及び第 2 の絶縁膜と異なる絶縁材料で第 3 の絶縁膜を形成する工程と、  
前記第 3 の絶縁膜をパターンニングする工程と、 40  
前記第 3 の絶縁膜をマスクとして前記第 1 及び第 2 の絶縁膜並びに前記半導体基板をエッチングし、前記第 1 の領域に第 1 の溝を形成し、第 2 の領域に第 2 の溝を形成する工程と、  
前記第 1 及び第 2 の溝の内面を酸化する工程と、  
前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程と、  
前記第 2 の絶縁膜を除去する工程と  
を有することを特徴とする半導体装置の製造方法。

## 【請求項 5】

半導体基板の第 1 及び第 2 の領域に第 1 の絶縁膜を形成する工程と、 50

前記第 1 の絶縁膜上に前記第 1 の絶縁膜と異なる絶縁材料で第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の上にレジスト膜を形成し、前記第 1 の領域のレジスト膜をパターニングする工程と、

前記レジスト膜をマスクとして前記第 2 の領域の前記第 2 の絶縁膜、前記第 1 の絶縁膜及び前記半導体基板をエッチングし、前記レジスト膜の開口部よりも狭い幅の第 1 の溝を形成する工程と、

前記レジスト膜を除去する工程と、

前記第 1 の領域の前記第 2 の絶縁膜をパターニングする工程と、

前記第 1 の領域の前記第 2 の絶縁膜をマスクとして前記第 1 の絶縁膜及び前記半導体基板をエッチングし、前記第 1 の領域の前記第 2 の絶縁膜の開口部と同じ幅の第 2 の溝を形成する工程と、

前記第 1 及び第 2 の溝の内面を酸化する工程と、

前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程と、

前記第 2 の絶縁膜を除去する工程と

を有することを特徴とする半導体装置の製造方法。

10

【請求項 6】

半導体基板の第 1 の領域に第 1 の絶縁膜を形成し、第 2 の領域に前記第 1 の絶縁膜と同一絶縁材料で前記第 1 の絶縁膜よりも膜厚が大きい第 2 の絶縁膜を形成する工程と、

20

前記第 1 及び第 2 の絶縁膜の上に半導体膜を形成する工程と、

前記半導体膜の上に前記第 1 及び第 2 の絶縁膜と異なる絶縁材料で第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜をパターニングする工程と、

前記第 3 の絶縁膜をマスクとして前記半導体膜、前記第 1 及び第 2 の絶縁膜並びに前記半導体基板をエッチングし、前記第 1 の領域に第 1 の溝を形成し、前記第 2 の領域に第 2 の溝を形成する工程と、

前記第 1 及び第 2 の溝の内面を酸化する工程と、

前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程と

30

を有することを特徴とする半導体装置の製造方法。

【請求項 7】

半導体基板の第 1 及び第 2 の領域に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に前記第 1 の絶縁膜と異なる絶縁材料で第 2 の絶縁膜を形成する工程と、

前記第 2 の領域の前記第 2 の絶縁膜、前記第 1 の絶縁膜及び前記半導体基板をエッチングして第 1 の溝を形成する工程と、

水素雰囲気中で熱処理を施して前記第 1 の溝の上側縁部と前記第 1 の絶縁膜との間に隙間を形成する工程と、

前記第 1 の領域の前記第 2 の絶縁膜、前記第 1 の絶縁膜及び前記半導体基板をエッチングして第 2 の溝を形成する工程と、

40

前記第 1 及び第 2 の溝の内面を酸化する工程と、

前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程と、

前記第 2 の絶縁膜を除去する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 8】

半導体基板の第 1 及び第 2 の領域に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜の上に前記第 1 の絶縁膜と異なる絶縁材料で第 2 の絶縁膜を形成する工程と、

50

前記第 2 の領域の前記第 2 の絶縁膜、前記第 1 の絶縁膜及び前記半導体基板をエッチングして第 1 の溝を形成する工程と、  
前記第 1 の溝の内面を酸化する工程と、  
前記第 1 の領域の前記第 2 の絶縁膜、前記第 1 の絶縁膜及び前記半導体基板をエッチングして第 2 の溝を形成する工程と、  
前記第 2 の溝の内面を酸化するとともに前記第 1 の溝の内面を更に酸化して、前記第 1 の溝の上側縁部と前記半導体基板との界面の曲率を前記第 2 の溝の上側縁部と前記半導体基板との界面の曲率よりも大きくする工程と、  
前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程と、  
前記第 2 の絶縁膜を除去する工程と  
を有することを特徴とする半導体装置の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板に設けられた溝により素子領域間を分離する半導体装置及びその製造方法に関し、特に高電圧で動作するトランジスタと低電圧で動作するトランジスタとが同一の半導体基板に形成された半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、ICカード等にEEPROM(Electrically Erasable Programmable Read Only Memory)などの一括消去型フラッシュメモリが使用されるようになった。EEPROMのメモリセルは、フローティングゲート及びコントロールゲートの2つのゲート電極を有し、フローティングゲートへの電荷の出し入れを制御することによりデータの書き込み/消去を行っている。

20

【0003】

フラッシュメモリには、メモリセルを駆動するための駆動回路が設けられている。また、近年、メモリセルとCPU又はその他のロジック回路とを同一の半導体基板に形成したシステムLSIも開発されている。以下、メモリセルと同一の半導体基板に形成された駆動回路又はロジック回路をいずれも周辺回路という。

30

【0004】

図1～図4は従来の半導体装置(フラッシュメモリ)の製造方法を工程順に示す断面図である。なお、図1～図4において、いずれも図の左側にメモリセル形成部の断面、右側に周辺回路形成部の断面を示している。

【0005】

まず、図1(a)に示すように、半導体基板100の上にパッド酸化膜101を形成し、その上にCVD(Chemical Vapor Deposition)法により窒化シリコン膜102を形成する。なお、窒化シリコン膜102に替えて、酸化シリコン層と窒化シリコン層との積層構造の膜を形成することもある。

【0006】

次に、図1(b)に示すようにフォトリソグラフィ法により窒化シリコン膜102を所定の形状にパターンニングする。そして、この窒化シリコン膜102をマスクとしてパッド酸化膜101及び半導体基板100をエッチングし、メモリセル形成部及び周辺回路形成部にそれぞれ浅い溝(トレンチ)103a, 103bを形成する。

40

【0007】

次に、図2(a)に示すように、半導体基板100の上側全面に酸化シリコンを堆積させて酸化シリコン膜105を形成し、溝103a, 103bを酸化シリコンで埋める。その後、例えばCMP(Chemical Mechanical Polishing: 化学的機械研磨)法により酸化シリコン膜105及び窒化シリコン膜102を研磨して表面を平坦化する。但し、この工程では各溝103a, 103b内の酸化シリコンを相互に

50

分離すればよく、窒化シリコン膜 102 が完全に除去される前に研磨を終了する。

【0008】

その後、図 2 (b) に示すように窒化シリコン膜 102 をエッチングにより除去する。以下、メモリセル形成部の溝 103 a 内の酸化シリコンからなる膜を素子分離膜 106 a と呼び、周辺回路形成部の溝 103 b 内の酸化シリコンからなる膜を素子分離膜 106 b と呼ぶ。

【0009】

次に、図 3 (a) に示すように、酸化シリコン膜 101 をエッチングにより除去した後、露出した基板表面を酸化させて、メモリセル形成部及び周辺回路形成部にそれぞれ所定の厚さのトンネル酸化膜 107 a 及びゲート酸化膜 107 b を形成する。

10

【0010】

次に、図 3 (b) に示すように、メモリセル形成部にフローティングゲート 108 a、中間絶縁膜 109 及びコントロールゲート 110 a を形成し、周辺回路形成部のゲート酸化膜 107 b の上にゲート電極 110 b を形成する。フローティングゲート 108 a は各メモリセル領域のトンネル酸化膜 107 a 上に 1 個ずつ形成し、コントロールゲート 110 a は直線上に並んだ複数のフローティングゲート 107 a の上方を通るように形成する。

【0011】

その後、コントロールゲート 110 a 及びゲート電極 110 b をマスクとして半導体基板 100 の表面に不純物を注入し、ソース/ドレイン層 (図示せず) を形成する。更に、半導体基板 100 の上側全面に層間絶縁膜 111 を形成し、この層間絶縁膜 111 でコントロールゲート 110 a 及びゲート電極 110 b を覆う。

20

【0012】

次いで、フォトリソグラフィ法により層間絶縁膜 111 の所定の位置にコンタクトホール (図示せず) を形成する。そして、半導体基板 100 の上側全面に金属膜を形成し、この金属膜をパターニングして、図 4 に示すように、メモリセル形成部にビット線 112 a を形成し、周辺回路形成部に配線 112 b を形成する。このようにして、フラッシュメモリが完成する。

【0013】

【発明が解決しようとする課題】

しかしながら、本願発明者等は、上述した従来の半導体装置の製造方法には以下に示す問題点があると考える。

30

【0014】

図 5 は、素子分離膜の上側縁部の形状を拡大して示す図である。この図 5 に示すように、従来の方法では素子分離膜 106 の上側縁部と半導体基板 100 との界面の曲率が小さいため、シンニング (角部の近傍で絶縁膜が薄くなる現象) が発生する。これにより、メモリセルに並列に寄生トランジスタが発生し、その結果メモリセルの電流 - 電圧特性にハンプが発生してリーク電流の増加の原因となる。

【0015】

また、周辺回路のトランジスタが 3 . 3 V 又はそれ以下の低電圧で動作するのに対し、メモリセルには 20 V 程度の高電圧が印加されるため、素子分離膜 106 の上側縁部と半導体基板 100 との界面の曲率が小さいとその部分に強い電界が集中して、フローティングゲート 108 a への電荷の出し入れの制御性が低下したり、トンネル酸化膜 107 a が破損されるという問題点もある。

40

【0016】

一方、素子分離膜 106 の上側縁部と半導体基板 100 との界面の曲率を大きくすることが考えられるが、そうすると素子領域の面積が必然的に小さくなるため、周辺回路を構成するトランジスタの電流駆動能力が低下し、動作速度の低下を招く。素子分離膜 106 と半導体基板 100 との界面の曲率を大きくし、かつ周辺回路形成部の素子領域の面積も大きくした場合は、半導体装置の高集積化が阻害されるという問題が発生する。

【0017】

50

なお、特開 2000-269450 号には、周辺回路形成部の素子領域の端部の曲率をメモリセル形成部の素子領域の端部の曲率よりも大きくすることが提案されている。しかし、この場合、メモリセルのフローティングゲートへの電荷の出し入れの制御性の低下やトンネル酸化膜の破損を防止することができず、また周辺回路の駆動能力の低下や集積密度の低下を防止することができない。

【0018】

以上から、本発明の目的は、高電圧が印加されるトランジスタのゲート絶縁膜の信頼性を確保しつつ、低電圧で駆動するトランジスタの電流駆動能力の低下を回避し、更に半導体装置の高集積化を達成できる半導体装置及びその製造方法を提供することである。

【0019】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板の第1の領域に形成された複数の第1の素子と、前記第1の領域の前記第1の素子間に形成された第1の溝と、前記第1の溝を埋める絶縁材料により構成された第1の素子分離膜と、前記半導体基板の第2の領域に形成されて前記第1の素子よりも高い電圧が供給される複数の第2の素子と、前記第2の領域の前記第2の素子間に形成された第2の溝と、前記第2の溝を埋める絶縁材料により構成された第2の素子分離膜とを有し、前記第2の素子分離膜の上側縁部と前記半導体基板との界面の曲率が、前記第1の素子分離膜の上側縁部と前記半導体基板との界面の曲率よりも大きいことを特徴とする。

【0020】

本発明においては、高電圧が供給される第2の素子が形成された第2の素子領域では、素子分離膜（第2の素子分離膜）の上側縁部と半導体基板との界面の曲率が大きくなっている。これにより、電界が半導体基板のエッジに集中することが回避され、ゲート絶縁膜の破損や特性の変化が防止される。また、低電圧で動作する素子が形成された第1の素子領域では、素子分離膜（第1の素子分離膜）の上側縁部と半導体基板との界面の曲率が小さいため、素子を高密度に集積することが可能である。

【0021】

本発明の半導体装置の製造方法は、半導体基板の第1の領域に複数の第1の溝を形成し、第2の領域に複数の第2の溝を形成する工程と、前記第2の溝の上側縁部の曲率を大きくする工程と、前記第1及び第2の溝を絶縁材料で埋める工程と、前記第1の領域に第1の素子を形成し、前記第2の領域に前記第1の素子よりも高い電圧が供給される第2の素子を形成する工程とを有することを特徴とする。

【0022】

例えば、半導体基板上の第1及び第2の領域に酸化シリコンからなる第1の絶縁膜を形成し、この第1の絶縁膜の上に窒化シリコンからなる第2の絶縁膜を形成する。そして、第2の絶縁膜をパターニングした後、第2の絶縁膜をマスクとして第1の絶縁膜及び半導体基板をエッチングして、第1の領域に第1の溝を形成し、第2の領域に第2の溝を形成する。

【0023】

その後、第2の領域の第1の絶縁膜をサイドエッチングする。これにより、第2の溝の周囲の半導体基板と第2の絶縁膜との間に隙間が形成される。溝の内面を酸化する際に、この隙間により第2の溝の周囲の半導体基板の表面の酸化が促進される。従って、第2の溝の上側縁部の半導体基板のエッジの曲率は、第1の溝の上側縁部の半導体基板のエッジの曲率よりも大きくなる。その後、第1及び第2の溝内に絶縁材料を埋めて素子分離膜を形成し、第1の領域には低電圧で動作するMOSトランジスタ等を形成し、第2の領域には不揮発性メモリのメモリセルのように高電圧が供給される素子を形成する。

【0024】

このように、本発明では、第1の領域の溝の上側縁部と半導体基板との界面の曲率を小さくするので、MOSトランジスタ等の素子を高密度に集積することができる。また、第2の領域の溝の上側縁部と半導体基板との界面の曲率を大きくするので、電界が一部に集中

10

20

30

40

50

することが回避され、トンネル酸化膜等の破損や特性の変化が防止される。

【0025】

第1の領域の溝の上側縁部の曲率を小さくし、第2の領域の溝の上側縁部の曲率を大きくする方法には、後述の実施の形態で説明するように、第2の領域の半導体基板上に例えば酸化シリコン膜を厚く形成し、第1の領域の半導体基板上には酸化シリコン膜を薄く形成する方法がある。この場合、厚い酸化シリコン膜を介して溝の周囲の基板面へ酸素が比較的大量に供給されるので、第2の領域の溝の周囲の基板面の酸化が促進される。これにより、第2の領域では、第1の領域に比べて、溝の上側縁部の半導体基板のエッジの曲率が大きくなる。

【0026】

その他にも、溝の上側縁部の半導体基板のエッジの曲率を大きくする方法には、溝を形成した後に水素雰囲気中で熱処理を行って溝の周囲に半導体基板と絶縁膜との間の隙間を形成してから基板面を酸化させる方法や、レジスト膜をマスクとしたエッチング工程でエッチング条件を適正に制御することにより溝の周囲の半導体基板面を露出させてから基板面を酸化させる方法などがある。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態について添付の図面を参照して説明する。

【0028】

(第1の実施の形態)

図6～図10は本発明の第1の実施の形態の半導体装置の製造方法を工程順に示す断面図である。なお、本実施の形態は、本発明をメモリセルとそのメモリセルを駆動するための周辺回路とを有するフラッシュメモリ(EEPROM)の製造に適用した例を示しており、図6～図10において、いずれも図の左側にメモリセル形成部の断面、右側に周辺回路形成部の断面を示している。

【0029】

まず、図6(a)に示すように、半導体基板10の上に例えば熱酸化法によりパッド酸化膜11を形成し、その上にCVD法により窒化シリコン膜12を形成する。なお、窒化シリコン膜12に替えて、酸化シリコン層と窒化シリコン層との積層構造の膜を形成してもよい。

【0030】

次に、図6(b)に示すように、フォトリソグラフィ法により窒化シリコン膜12をエッチングして、メモリセル形成部及び周辺回路形成部の素子分離領域の窒化シリコン膜12を除去し、素子領域にのみ窒化シリコン膜12を残す。そして、残存する窒化シリコン膜12をマスクとしてパッド酸化膜11及び半導体基板10をエッチングし、メモリセル形成部及び周辺回路形成部にそれぞれ浅い溝(トレンチ)13a, 13bを形成する。

【0031】

次に、周辺回路形成部を覆うレジスト膜(図示せず)を形成する。そして、酸化シリコン膜に対し等方エッチングとなる条件でパッド酸化膜11の縁部をエッチング(サイドエッチング)する。これにより、図7(a)に示すように、溝13aの周囲の窒化シリコン膜12と半導体基板10との間に隙間が形成される。その後、レジスト膜を除去する。

【0032】

次に、例えば温度が850～1100、酸素濃度が10%の雰囲気中で熱処理を施して、図7(b)に示すように、溝13a, 13bの内面に、厚さが5nm以上の酸化シリコン膜14を形成する。

【0033】

このとき、本実施の形態では、予め溝13aの上側縁部に半導体基板10と窒化シリコン膜12との間の隙間を形成しておくので、溝13aの上側縁部への酸化剤(酸素)の供給が促進される。その結果、この部分に図7(b)のように厚い酸化膜(パーズピーク)が形成されるとともに、溝13aの周囲の半導体基板10のエッジが丸みを帯びた形状とな

10

20

30

40

50

る。

【0034】

次に、図8(a)に示すように高密度プラズマ(High Density Plasma)CVD法により半導体基板10の上側全面に酸化シリコンを堆積させて酸化シリコン膜15を形成し、溝13a, 13bを酸化シリコンで埋める。その後、例えばCMP法により酸化シリコン膜15及び窒化シリコン膜12を研磨して表面を平坦化する。但し、この工程では各溝13a, 13b内の酸化シリコンを相互に分離すればよく、窒化シリコン膜12が完全に除去される前に研磨を終了する。また、CMP法により酸化シリコン膜15を研磨する代わりに、窒化シリコン膜12の側面がある程度露出するまで酸化シリコン膜15をエッチバックしてもよい。

10

【0035】

次に、図8(b)に示すように、例えば熱燐酸を使用したウェットエッチングにより窒化シリコン膜12を除去する。以下、メモリセル形成部の溝13a内の酸化シリコンからなる膜を素子分離膜16aと呼び、周辺回路形成部の溝13b内の酸化シリコンからなる膜を素子分離膜16bと呼ぶ。

【0036】

次に、パッド酸化膜11をエッチングにより除去して、半導体基板10の表面を露出させる。このとき、素子分離膜16a, 16bもエッチングされて、膜厚が減少する。その後、パッド酸化膜11の除去により露出した半導体基板10の表面を熱酸化させて、図9(a)に示すように、メモリセル形成部にトンネル酸化膜17aを形成し、周辺回路形成部にゲート酸化膜17bを形成する。これらのトンネル酸化膜17a及びゲート酸化膜17bの膜厚は、それぞれ要求される仕様に依りて設定する。

20

【0037】

次に、図9(b)に示すように、メモリセル形成部にフローティングゲート18a、中間絶縁膜19及びコントロールゲート20aを形成し、周辺回路形成部のゲート酸化膜17bの上にゲート電極20bを形成する。フローティングゲート18aは各メモリセル領域のトンネル酸化膜17a上に1個ずつ形成する。また、コントロールゲート20aは、直線上に並んだ複数のフローティングゲート18aの上方を通るように形成する。

【0038】

次に、コントロールゲート20a及びゲート電極20bをマスクとして半導体基板10の表面に不純物を導入して、ソース/ドレイン層(図示せず)を形成する。更に、半導体基板10の上側全面に例えば酸化シリコンからなる層間絶縁膜21を形成し、この層間絶縁膜21でコントロールゲート20a及びゲート電極20bを覆う。

30

【0039】

次いで、フォトリソグラフィ法により層間絶縁膜21の所定の位置にコンタクトホール(図示せず)を形成する。そして、半導体基板10の上側全面に金属膜を形成し、この金属膜をパターニングして、図10に示すように、メモリセル形成部にビット線22aを形成し、周辺回路形成部には所定の配線22bを形成する。このようにして、フラッシュメモリが完成する。

【0040】

本実施の形態においては、図7(a)に示すように、パッド酸化膜11をサイドエッチングすることにより、メモリセル形成部の溝13aの上側縁部の半導体基板10と窒化シリコン膜12との間に隙間を形成する。これにより、溝13aの内面を酸化させる際に溝13aの上側縁部の酸化が促進されて、図11(a)に示すように、半導体基板10のエッジの曲率が大きくなる。一方、周辺回路形成部では、パッド酸化膜11をサイドエッチングしないので、溝13bの縁部の酸化が抑制され、図11(b)に示すように、半導体基板10のエッジの曲率が小さくなる。

40

【0041】

これにより、メモリセル形成部ではシンニングや電界集中による特性の変化が回避され、周辺回路形成部では電流駆動能力の低下が回避される。また、本実施の形態では、周辺回

50



路形成部の素子領域を拡大しなくても所定の電流駆動能力を得ることができるので、半導体装置の高集積化が可能になる。

【0042】

更に、本実施の形態においては、半導体基板10と素子分離膜16aの上側縁部との界面が曲率の大きな曲面になり、トンネル酸化膜を均一な厚さに形成できるので、トンネル酸化膜17aの信頼性が高い。

【0043】

(第2の実施の形態)

図12～図16は、本発明の第2の実施の形態の半導体装置(フラッシュメモリ)の製造方法を工程順に示す断面図である。これらの図12～図16において、いずれも図の左側にメモリセル形成部の断面、右側に周辺回路形成部の断面を示している。 10

【0044】

まず、図12(a)に示すように、半導体基板10の上に例えば熱酸化法によりパッド酸化膜21を形成する。そして、メモリセル形成部をレジスト膜(図示せず)で覆い、図12(b)に示すように周辺回路形成部のパッド酸化膜21を除去する。

【0045】

次に、図13(a)に示すように、半導体基板10の表面を再度熱酸化して、メモリセル形成部にパッド酸化膜22aを形成し、周辺回路形成部にパッド酸化膜22bを形成する。

【0046】

次に、図13(b)に示すように、CVD法により、パッド酸化膜22a, 22bの上に窒化シリコン膜23を形成する。窒化シリコン膜23に替えて、酸化シリコン層と窒化シリコン層とが積層された膜を形成してもよい。 20

【0047】

次に、図14(a)に示すように、フォトリソグラフィ法により窒化シリコン膜23をエッチングして、素子分離領域の窒化シリコン膜23を除去し、素子領域にのみ窒化シリコン膜23を残す。そして、残存する窒化シリコン膜23をマスクとしてパッド酸化膜22a, 22b及び半導体基板10をエッチングし、メモリセル形成部及び周辺回路形成部にそれぞれ浅い溝(トレンチ)24a, 24bを形成する。

【0048】

次に、例えば温度が850～1100、酸素濃度が10%の雰囲気中で熱処理を施して、図14(b)に示すように、溝24a, 24bの内面に、厚さが5nm以上の酸化シリコン膜25を形成する。 30

【0049】

このとき、メモリセル形成部の溝24aの周囲にパッド酸化膜22aが厚く形成されているので、パッド酸化膜22aを介して溝24aの周囲の基板面へ比較的大量の酸化剤(酸素)が供給される。その結果、図14(b)に示すように、溝24aの周囲の半導体基板10のエッジが丸みを帯びた形状となる。

【0050】

次に、図15(a)に示すように、高密度プラズマCVD法により半導体基板10の上側全面に酸化シリコンを堆積させて酸化シリコン膜26を形成し、溝24a, 24bを酸化シリコンで埋める。その後、例えばCMP法により酸化シリコン膜26及び窒化シリコン膜23を研磨して表面を平坦化する。この工程では各溝24a, 24b内の酸化シリコンを相互に分離すればよく、窒化シリコン膜23が完全に除去される前に研磨を終了する。CMP法により酸化シリコン膜26を研磨する代わりに、窒化シリコン膜23の側面がある程度露出するまで酸化シリコン膜26をエッチングしてもよい。 40

【0051】

次に、図15(b)に示すように、例えば熱燐酸により窒化シリコン膜23を除去する。以下、メモリセル形成部の溝24a内の酸化シリコンからなる膜を素子分離膜27aと呼び、周辺回路形成部の溝24b内の酸化シリコンからなる膜を素子分離膜27bと呼ぶ。 50

## 【0052】

次に、図16に示すように、パッド酸化膜22a, 22bをエッチングして基板10の表面を露出させる。このとき、素子分離膜27a, 27bもエッチングされて膜厚が減少する。その後、パッド酸化膜22a, 22bのエッチングにより露出した半導体基板10の表面を熱酸化させて、メモリセル形成部にトンネル酸化膜28aを形成し、周辺回路形成部にゲート酸化膜28bを形成する。これらのトンネル酸化膜28a及びゲート酸化膜28bの膜厚は、それぞれ要求される仕様に応じて設定する。

## 【0053】

次いで、第1の実施の形態と同様に、メモリセル形成部にフローティングゲート、中間絶縁膜及びコントロールゲートを形成し、周辺回路形成部にゲート電極を形成し、更に、層間絶縁膜、ビット線及びその他の配線を形成する(図10参照)。このようにして、フラッシュメモリが完成する。

10

## 【0054】

本実施の形態では、図13(a)に示すように、メモリセル形成部に厚いパッド酸化膜22aを形成する。これにより、溝24aの内面を酸化する際に、パッド酸化膜22aを介して溝24aの上側縁部に酸化剤(酸素)が比較的大量に供給され、溝24aの上側縁部の酸化が促進されて、図14(b)に示すように、溝24aの周囲の半導体基板10のエッジの曲率が大きくなる。一方、周辺回路形成部では、パッド酸化膜22bが薄いので、溝24bの縁部の酸化量が少なく、図14(b)に示すように溝24bの周囲の半導体基板10のエッジの曲率が小さくなる。これにより、本実施の形態においても、第1の実施の形態と同様の効果を得ることができる。

20

## 【0055】

また、本実施の形態では、パッド酸化膜22aの厚さにより溝24aの周囲の半導体基板10のエッジの曲率が決まるので、第1の実施の形態に比べて曲率の制御が容易になるという利点がある。

## 【0056】

(第3の実施の形態)

図17~図20は、本発明の第3の実施の形態の半導体装置(フラッシュメモリ)の製造方法を工程順に示す断面図である。これらの図17~図20において、いずれも図の左側にメモリセル形成部の断面、右側に周辺回路形成部の断面を示している。

30

## 【0057】

まず、図17(a)に示すように、半導体基板10の上に例えば熱酸化法によりパッド酸化膜31を形成し、その上にCVD法により窒化シリコン膜32を形成する。窒化シリコン膜32に替えて、酸化シリコン層と窒化シリコン層との積層構造の膜を形成してもよい。

## 【0058】

次に、図17(b)に示すように、窒化シリコン膜32上に、メモリセル形成部の素子分離領域に対応する部分に開口部を有するレジスト膜33を形成する。そして、このレジスト膜33をマスクとして窒化シリコン膜32及びパッド酸化膜31を順次エッチングした後、更に半導体基板10をエッチングして、浅い溝(トレンチ)34を形成する。

40

## 【0059】

このとき、エッチング条件を適切に制御すると、エッチングに伴って有機物(レジスト膜33から遊離した有機物)がレジスト膜33の近傍の基板表面を覆い、図17(b)のようにレジスト膜33の開口部の幅よりも溝34の幅を狭くすることができる。溝34を形成した後、レジスト膜33を除去する。

## 【0060】

次に、周辺回路形成部の素子分離領域に対応する部分に開口部を有するレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして窒化シリコン膜32をエッチングした後、レジスト膜を除去する。その後、窒化シリコン膜32をマスクとして周辺回路形成部のパッド酸化膜31及び半導体基板10をエッチングして、図18(a)に示す

50

ように、浅い溝 35 を形成する。

【0061】

次に、例えば温度が 850 ~ 1100 、酸素濃度が 10% の雰囲気中で熱処理を施して、図 18 (b) に示すように、溝 34 , 35 の内面に、厚さが 5 nm 以上の酸化シリコン膜 36 を形成する。

【0062】

このとき、本実施の形態では、溝 34 の上側縁部に半導体基板 10 の上面が露出しているので、溝 34 の縁部に酸化剤 (酸素) が供給され、その結果、図 18 (b) のように厚い酸化膜 (パズピーク) が形成されると共に、溝 34 の周囲の半導体基板 10 のエッジが丸みを帯びた形状となる。

10

【0063】

次に、図 19 (a) に示すように、高密度プラズマ CVD 法により半導体基板 10 の上側全面に酸化シリコンを堆積させて酸化シリコン膜 37 を形成し、溝 34 , 35 を酸化シリコンで埋める。その後、例えば CMP 法により酸化シリコン膜 37 及び窒化シリコン膜 32 を研磨して表面を平坦化する。但し、この工程では各溝 34 , 35 内の酸化シリコンを相互に分離すればよく、窒化シリコン膜 32 が完全に除去される前に研磨を終了する。また、CMP 法により酸化シリコン膜 37 を研磨する代わりに、窒化シリコン膜 32 の側面がある程度露出するまで酸化シリコン膜 37 をエッチバックしてもよい。

【0064】

次に、図 19 (b) に示すように、例えば熱燐酸を使用したウェットエッチングにより窒化シリコン膜 32 を除去する。以下、メモリセル形成部の溝 34 内の酸化シリコンからなる膜を素子分離膜 38 a と呼び、周辺回路形成部の溝 35 内の酸化シリコンからなる膜を素子分離膜 38 b と呼ぶ。

20

【0065】

次に、パッド酸化膜 32 をエッチングして基板 10 の表面を露出させる。このとき、素子分離膜 38 , 38 b もエッチングされて膜厚が減少する。その後、パッド酸化膜 32 のエッチングにより露出した半導体基板 10 の表面を熱酸化させて、図 20 に示すように、メモリセル形成部にトンネル酸化膜 39 a を形成し、周辺回路形成部にゲート酸化膜 39 b を形成する。これらのトンネル酸化膜 39 a 及びゲート酸化膜 39 b の膜厚は、それぞれ要求される仕様に応じて設定する。

30

【0066】

次いで、第 1 の実施の形態と同様に、メモリセル形成部にフローティングゲート、中間絶縁膜及びコントロールゲートを形成し、周辺回路形成部にゲート電極を形成し、更に、層間絶縁膜、ビット線及びその他の配線を形成する (図 10 参照)。このようにして、フラッシュメモリが完成する。

【0067】

本実施の形態では、図 17 (b) に示すように、溝 34 を形成する際のエッチング条件を制御して、レジスト膜 33 の開口部の幅よりも溝 34 の幅を小さくしている。これにより、溝 34 の内面を酸化させる際に、溝 34 の上側縁部の酸化が促進されて、図 18 (b) に示すように、溝 34 の周囲の半導体基板 10 のエッジの曲率が大きくなる。一方、周辺回路形成部では、レジスト膜の開口部の幅で溝 35 を形成するので、溝 35 の上側縁部への酸化剤 (酸素) の供給量が少なく、図 18 (b) に示すように、半導体基板 10 の溝 35 側のエッジの曲率が小さくなる。これにより、本実施の形態においても、第 1 の実施の形態と同様の効果を得ることができる。

40

【0068】

また、本実施の形態では、必要に応じて、メモリセル形成部の素子分離膜 38 a の膜厚及び周辺回路形成部の素子分離膜 38 b の膜厚を個別に設定することができる。

【0069】

(第 4 の実施の形態)

図 21 ~ 図 25 は、本発明の第 4 の実施の形態の半導体装置 (フラッシュメモリ) の製造

50

方法を工程順に示す断面図である。これらの図 2 1 ~ 図 2 5 において、いずれも図の左側にメモリセル形成部の断面、右側に周辺回路形成部の断面を示している。

【 0 0 7 0 】

まず、図 2 1 ( a ) に示すように、半導体基板 1 0 の上に例えば熱酸化法によりパッド酸化膜 4 1 を形成する。そして、メモリセル形成部をレジスト膜 ( 図示せず ) で覆い、図 2 1 ( b ) に示すように、周辺回路形成部のパッド酸化膜 4 1 を除去する。

【 0 0 7 1 】

次に、図 2 2 ( a ) に示すように、半導体基板 1 0 の表面を再び熱酸化して、メモリセル形成部にパッド酸化膜 4 2 a を形成し、周辺回路形成部にパッド酸化膜 4 2 b を形成する。なお、パッド酸化膜 4 2 a , 4 2 b に替えて、酸化窒化膜 ( S i O N ) を形成してもよい。

【 0 0 7 2 】

次に、図 2 2 ( b ) に示すように、C V D 法により、パッド酸化膜 4 2 a , 4 2 b の上に、リン ( P ) がドーパされたポリシリコン膜 ( 又はアモルファスシリコン膜 ) 4 3 を形成する。

【 0 0 7 3 】

次に、図 2 3 ( a ) に示すように、C V D 法により、ポリシリコン膜 4 3 の上に窒化シリコン膜 4 4 を形成する。窒化シリコン膜 4 4 に替えて、窒化シリコン層と酸化シリコン層との積層構造の膜を形成してもよい。

【 0 0 7 4 】

その後、フォトリソグラフィ法により窒化シリコン膜 4 4 をエッチングして、素子分離領域の窒化シリコン膜 4 4 を除去し、素子領域にのみ窒化シリコン膜 4 4 を残す。そして、残存する窒化シリコン膜 4 4 をマスクとしてポリシリコン膜 4 3 、パッド酸化膜 4 2 a , 4 2 b をエッチングし、更に半導体基板 1 0 をエッチングして、図 2 3 ( b ) に示すように、メモリセル形成部及び周辺回路形成部にそれぞれ浅い溝 ( トレンチ ) 4 5 a , 4 5 b を形成する。

【 0 0 7 5 】

次に、例えば温度が 8 5 0 ~ 1 1 0 0 、酸素濃度が 1 0 % の雰囲気中で熱処理を施して、図 2 4 ( a ) に示すように、溝 4 5 a , 4 5 b の内面に、厚さが 5 n m 以上の酸化シリコン膜 4 6 を形成する。

【 0 0 7 6 】

このとき、メモリセル形成部の溝 4 5 a の上側縁部にパッド酸化膜 4 2 a が厚く形成されているので、パッド酸化膜 4 2 a を介して溝 4 5 a の周囲の基板面へ比較的大量の酸化剤 ( 酸素 ) が供給される。その結果、図 2 4 ( a ) に示すように、溝 4 5 a の周囲の半導体基板 1 0 のエッジが丸みを帯びた形状となる。

【 0 0 7 7 】

次に、図 2 4 ( b ) に示すように、高密度プラズマ C V D 法により半導体基板 1 0 の上側全面に酸化シリコンを堆積させて酸化シリコン膜 4 7 を形成し、溝 4 5 a , 4 5 b を酸化シリコンで埋める。その後、例えば C M P 法により酸化シリコン膜 4 7 及び窒化シリコン膜 4 4 を研磨して表面を平坦化する。但し、この工程では、各溝 4 5 a , 4 5 b 内の酸化シリコンを相互に分離すればよく、窒化シリコン膜 4 4 が完全に除去させる前に研磨を終了する。

【 0 0 7 8 】

次に、図 2 5 に示すように、例えば熱燐酸により窒化シリコン膜 4 4 を除去する。以下、メモリセル形成部の溝 4 5 a 内の酸化シリコンからなる膜を素子分離膜 4 8 a と呼び、周辺回路形成部の溝 4 5 b 内の酸化シリコンからなる膜を素子分離膜 4 8 b と呼ぶ。図 2 6 ( a ) に素子分離膜 4 8 a の上側縁部の形状を拡大して示し、図 2 6 ( b ) に素子分離膜 4 8 b の上側縁部の形状を拡大して示す。

【 0 0 7 9 】

次いで、ポリシリコン膜 4 3 を所定の形状にパターンニングして、メモリセル形成部にフロ

ーティングゲートを形成し、周辺回路部にゲート電極を形成する。必要に応じて、ポリシリコン膜 4 3 上に更にポリシリコンを堆積させて膜厚を増加させた後にパターンニングを行ってもよい。

【0080】

以下、第 1 の実施の形態と同様に、メモリセル形成部に中間絶縁膜及びフローティングゲートを形成した後、層間絶縁膜を形成し、ビット線及びその他の配線を形成する（図 1 0 参照）。このようにして、フラッシュメモリが完成する。

【0081】

本実施の形態においても、第 1 の実施の形態と同様の効果を得ることができる。また、本実施の形態においては、パッド酸化膜 4 2 a , 4 2 b の上にポリシリコン膜 4 3 を形成してから窒化シリコン膜 4 4 を形成するので、窒化シリコン膜 4 4 のエッチング時にパッド酸化膜 4 2 a , 4 2 b がダメージを受けることが回避される。これにより、パッド酸化膜 4 2 a , 4 2 b をトンネル酸化膜又はゲート酸化膜として使用することができて、製造工程が簡略化される。更に、本実施の形態においては、ポリシリコン膜 4 3 をフローティングゲート又は周辺回路のゲート電極として使用するので、製造工程がより一層の簡略化が可能である。

【0082】

更にまた、本実施の形態では、第 1 ~ 第 3 の実施の形態と異なって素子分離膜 4 8 a , 4 8 b をエッチングする工程（パッド酸化膜除去工程）がないので、素子分離膜 4 8 a , 4 8 b に窪みが発生することがない。これにより、トランジスタ特性にハンプが発生せず、良好なトランジスタ特性が得られるという利点がある。

【0083】

（第 5 の実施の形態）

図 2 7 ~ 図 3 0 は本発明の第 5 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を工程順に示す断面図である。これらの図 2 7 ~ 図 3 0 において、いずれも図の左側にメモリセル形成部の断面、右側に周辺回路形成部の断面を示している。

【0084】

まず、図 2 7 ( a ) に示すように、半導体基板 1 0 の上に例えば熱酸化法によりパッド酸化膜 5 1 を形成し、その上に C V D 法により窒化シリコン膜 5 2 を形成する。窒化シリコン膜 5 2 に替えて酸化シリコン層と窒化シリコン層との積層構造の膜を形成してもよい。

【0085】

次に、図 2 7 ( b ) に示すように、窒化シリコン膜 5 2 上に、メモリセル形成部の素子分離領域に対応する部分に開口部を有するレジスト膜 5 3 を形成する。そして、このレジスト膜 5 3 をマスクとして窒化シリコン膜 5 2 及びパッド酸化膜 5 1 を順次エッチングした後、更に半導体基板 1 0 をエッチングして、浅い溝（トレンチ）5 4 を形成する。その後、レジスト膜 5 3 を除去する。

【0086】

次に、約 8 0 0 の水素雰囲気中で熱処理を施す。これにより、溝 5 4 の上側縁部が収縮して、図 2 8 ( a ) のように溝 5 4 の上側縁部の半導体基板 1 0 とパッド酸化膜 5 1 との間に隙間が形成される。なお、水素は A r （アルゴン）又は N<sub>2</sub> （窒素）等のガスで希釈して使用することが好ましい。

【0087】

次に、周辺回路形成部の素子分離領域に対応する部分に開口部を有するレジスト膜（図示せず）を形成する。そして、このレジスト膜をマスクとして窒化シリコン膜 5 2 をエッチングした後、レジスト膜を除去する。その後、窒化シリコン膜 5 2 をマスクとして周辺回路形成部のパッド酸化膜 5 1 及び半導体基板 1 0 をエッチングして、図 2 8 ( b ) に示すように、浅い溝 5 5 を形成する。

【0088】

次に、例えば温度が 8 5 0 ~ 1 1 0 0 、酸素濃度が 1 0 % の雰囲気中で熱処理を施して、図 2 9 ( a ) に示すように、溝 5 4 , 5 5 の内面に、厚さが 5 n m 以上の酸化シリコン

10

20

30

40

50

膜 5 6 を形成する。

【 0 0 8 9 】

このとき、本実施の形態では、溝 5 4 の上側縁部に半導体基板 1 0 が露出しているので、図 2 9 ( a ) のように厚い酸化膜 ( パーズピーク ) が形成されると共に、溝 5 4 の周囲の半導体基板 1 0 のエッジが丸みを帯びた形状となる。

【 0 0 9 0 】

次に、図 2 9 ( b ) に示すように、高密度プラズマ C V D 法により半導体基板 1 0 の上側全面に酸化シリコンを堆積させて酸化シリコン膜 5 7 を形成し、溝 5 4 , 5 5 を酸化シリコンで埋める。その後、例えば C M P 法により酸化シリコン膜 5 7 及び窒化シリコン膜 5 2 を研磨して表面を平坦化する。この工程では各溝 5 4 , 5 5 内の酸化シリコンを相互に分離すればよく、窒化シリコン膜 5 2 が完全に除去される前に研磨を終了する。 10

【 0 0 9 1 】

次に、図 3 0 ( a ) に示すように、例えば熱燐酸を使用したウェットエッチングにより窒化シリコン膜 5 2 を除去する。以下、メモリセル形成部の溝 5 4 内の酸化シリコンからなる膜を素子分離膜 5 8 a と呼び、周辺回路形成部の溝 5 5 内の酸化シリコンからなる膜を素子分離膜 5 8 b と呼ぶ。

【 0 0 9 2 】

次に、パッド酸化膜 5 1 をエッチングして基板 1 0 の表面を露出させる。このとき、素子分離膜 5 8 a , 5 8 b もエッチングされて膜厚が減少する。その後、パッド酸化膜 5 1 のエッチングにより露出した半導体基板 1 0 の表面を熱酸化させて、図 3 0 ( b ) に示すように、メモリセル形成部にトンネル酸化膜 5 9 a を形成し、周辺回路形成部にゲート酸化膜 5 9 b を形成する。 20

【 0 0 9 3 】

次いで、第 1 の実施の形態と同様に、メモリセル形成部にフローティングゲート、中間絶縁膜及びコントロールゲートを形成し、周辺回路形成部にゲート電極を形成し、更に層間絶縁膜、ビット線及びその他の配線を形成する ( 図 1 0 参照 ) 。このようにして、フラッシュメモリが完成する。

【 0 0 9 4 】

本実施の形態においても、メモリセル形成部では素子分離膜 5 7 a の上側縁部と半導体基板 1 0 との界面の曲率が大きくなり、周辺回路形成部では素子分離膜 5 7 b と半導体基板 1 0 との界面の曲率が小さくなる。従って、本実施の形態においても、第 1 の実施の形態と同様の効果を得ることができる。 30

【 0 0 9 5 】

( 第 6 の実施の形態 )

図 3 1 ~ 図 3 4 は、本発明の第 6 の実施の形態の半導体装置 ( フラッシュメモリ ) の製造方法を工程順に示す断面図である。これらの図 3 1 ~ 図 3 4 において、いずれも図の左側にメモリセル形成部の断面、右側に周辺回路形成部の断面を示している。

【 0 0 9 6 】

まず、図 3 1 ( a ) に示すように、半導体基板 1 0 の上に例えば熱酸化法によりパッド酸化膜 6 1 を形成し、その上に C V D 法により窒化シリコン膜 6 2 を形成する。 40

【 0 0 9 7 】

次に、図 3 1 ( b ) に示すように、フォトリソグラフィ法により、メモリセル形成部の窒化シリコン膜 6 2 をパターンニングし、更にパッド酸化膜 6 1 及び半導体基板 1 0 をエッチングして、浅い溝 6 3 を形成する。

【 0 0 9 8 】

次に、図 3 2 ( a ) に示すように、例えば温度が 8 5 0 ~ 1 1 0 0 、酸素濃度が 1 0 % の雰囲気中で熱処理を施し、溝 6 3 の内面に厚さが 5 n m 以上の酸化シリコン膜 6 4 を形成する。

【 0 0 9 9 】

次に、図 3 2 ( b ) に示すように、フォトリソグラフィ法により周辺回路形成部の窒化シ 50

リコン膜 6 2 をパターンニングし、更にパッド酸化膜 6 1 及び半導体基板 1 0 をエッチングして、浅い溝 6 5 を形成する。

【0100】

次に、図 3 3 ( a ) に示すように、例えば温度が 8 5 0 ~ 1 1 0 0 、酸素濃度が 1 0 % の雰囲気中で熱処理を施し、溝 6 5 の内面に厚さが 5 n m 以上の酸化シリコン膜 6 6 を形成する。

【0101】

このとき、メモリセル領域の溝 6 3 の上側縁部は酸化シリコン膜 6 4 の形成時に既に酸化されて丸みをもった形状になっているため、酸素供給量が比較的多く、膜厚の厚い酸化膜（バズピーク）が形成されると共に、溝 6 3 の周囲の半導体基板 1 0 のエッジの曲率が大きくなる。

10

【0102】

次に、図 3 3 ( b ) に示すように、高密度プラズマ C V D 法により半導体基板 1 0 の上側全面に酸化シリコンを堆積させて酸化シリコン膜 6 7 を形成し、溝 6 3 , 6 5 を酸化シリコンで埋める。その後、例えば C M P 法により酸化シリコン膜 6 7 及び窒化シリコン膜 6 2 を研磨して表面を平坦化する。この工程では各溝 6 3 , 6 5 内の酸化シリコンを相互に分離すればよく、窒化シリコン膜 6 2 が完全に除去される前に研磨を終了する。

【0103】

次に、図 3 4 ( a ) に示すように、例えば熱燐酸を使用したウェットエッチングにより窒化シリコン膜 6 2 を除去する。以下、メモリセル形成部の溝 6 3 内の酸化シリコンからなる膜を素子分離膜 6 8 a と呼び、周辺回路形成部の溝 6 5 内の酸化シリコンからなる膜を素子分離膜 6 8 b と呼ぶ。

20

【0104】

次に、パッド酸化膜 6 1 をエッチングして基板 1 0 の表面を露出させる。このとき、素子分離膜 6 8 a , 6 8 b もエッチングされて膜厚が減少する。その後、パッド酸化膜 6 1 のエッチングにより露出した半導体基板 1 0 の表面を熱酸化させて、図 3 4 ( b ) に示すように、メモリセル形成部にトンネル酸化膜 6 9 a を形成し、周辺回路形成部にゲート酸化膜 6 9 b を形成する。

【0105】

次いで、第 1 の実施の形態と同様に、メモリセル形成部にフローティングゲート、中間絶縁膜及びコントロールゲートを形成し、周辺回路形成部にゲート電極を形成し、更に層間絶縁膜、ビット線及びその他の配線を形成する（図 1 0 参照）。このようにしてフラッシュメモリが完成する。

30

【0106】

本実施の形態においては、メモリセル形成部の溝 6 3 の壁面を 2 回熱酸化させることにより、溝 6 3 の周囲の半導体基板 1 0 のエッジの曲率を大きくしている。これにより、第 1 の実施の形態と同様の効果を得ることができる。

【0107】

本実施の形態において、溝 6 4 の内面に酸化シリコン膜 6 4 を形成した後、この酸化シリコン膜 6 4 を除去してもよい。これにより、酸化シリコン膜 6 7 を形成する際に、溝 6 4 への酸化シリコンの埋め込みが容易になると共に、酸化シリコン膜 6 6 を形成する際に溝 6 4 の上側縁部の曲率をより大きくすることができる。

40

【0108】

なお、上記した第 1 ~ 第 6 の実施の形態はいずれも本発明をフラッシュメモリの製造方法に適用した場合について説明したが、これにより本発明の適用範囲がフラッシュメモリ及びその製造方法に限定されるものではない。本発明は、高い電圧で動作するトランジスタと低い電圧で動作するトランジスタとが同一の半導体基板に形成された種々の半導体装置及びその製造方法に適用することができる。

【0109】

（付記 1）半導体基板の第 1 の領域に形成された複数の第 1 の素子と、前記第 1 の領域の

50

前記第1の素子間に形成された第1の溝と、前記第1の溝を埋める絶縁材料により構成された第1の素子分離膜と、前記半導体基板の第2の領域に形成されて前記第1の素子よりも高い電圧が供給される複数の第2の素子と、前記第2の領域の前記第2の素子間に形成された第2の溝と、前記第2の溝を埋める絶縁材料により構成された第2の素子分離膜とを有し、前記第2の素子分離膜の上側縁部と前記半導体基板との界面の曲率が、前記第1の素子分離膜の上側縁部と前記半導体基板との界面の曲率よりも大きいことを特徴とする半導体装置。

【0110】

(付記2) 前記第2の素子が、不揮発性半導体メモリのメモリセルであることを特徴とする付記1に記載の半導体装置。

10

【0111】

(付記3) 前記第1の素子が、MOSトランジスタであることを特徴とする付記2に記載の半導体装置。

【0112】

(付記4) 半導体基板の第1の領域に複数の第1の溝を形成し、第2の領域に複数の第2の溝を形成する工程と、前記第2の溝の上側縁部の曲率を大きくする工程と、前記第1及び第2の溝を絶縁材料で埋める工程と、前記第1の領域に第1の素子を形成し、前記第2の領域に前記第1の素子よりも高い電圧が供給される第2の素子を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0113】

(付記5) 前記第1の素子がMOSトランジスタであり、前記第2の素子が不揮発性半導体メモリのメモリセルであることを特徴とする付記4に記載の半導体装置。

20

【0114】

(付記6) 半導体基板の第1及び第2の領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に前記第1の絶縁膜と異なる材料で第2の絶縁膜を形成する工程と、前記第2の絶縁膜をパターンニングする工程と、前記第2の絶縁膜をマスクとして前記第1の絶縁膜及び前記半導体基板をエッチングし、前記半導体基板の前記第1の領域に第1の溝を形成し、前記第2の領域に第2の溝を形成する工程と、前記第2の領域の前記第1の絶縁膜のみをサイドエッチングする工程と、前記第1及び第2の溝の内面を酸化する工程と、前記第1及び第2の溝内に絶縁材料を埋めて第1の素子分離膜及び第2の素子分離膜を形成する工程と、前記第2の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

30

【0115】

(付記7) 前記第1の絶縁膜を酸化シリコンにより形成し、前記第2の絶縁膜を窒化シリコンにより形成することを特徴とする付記6に記載の半導体装置の製造方法。

【0116】

(付記8) 前記第2の絶縁膜を除去する工程の後に、前記第1及び第2の領域の前記第1の絶縁膜を除去する工程と、前記第1の領域の前記第1の溝間に第3の絶縁膜を形成し、第2の領域の前記第2の溝間に第4の絶縁膜を形成する工程とを有することを特徴とする付記6に記載の半導体装置の製造方法。

40

【0117】

(付記9) 更に、前記第1の領域にMOSトランジスタを形成し、前記第2の領域にメモリセルを形成する工程を有することを特徴とする付記8に記載の半導体装置の製造方法。

【0118】

(付記10) 半導体基板の第1の領域に第1の絶縁膜を形成し、第2の領域に前記第1の絶縁膜と同一の絶縁材料で前記第1の絶縁膜よりも膜厚が大きい第2の絶縁膜を形成する工程と、前記第1及び第2の絶縁膜の上に前記第1及び第2の絶縁膜と異なる絶縁材料で第3の絶縁膜を形成する工程と、前記第3の絶縁膜をパターンニングする工程と、前記第3の絶縁膜をマスクとして前記第1及び第2の絶縁膜並びに前記半導体基板をエッチングし、前記第1の領域に第1の溝を形成し、第2の領域に第2の溝を形成する工程と、前記第

50



1 及び第 2 の溝の内面を酸化する工程と、前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程と、前記第 2 の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【0119】

(付記 11) 前記第 1 及び第 2 の絶縁膜を酸化シリコンにより形成し、前記第 3 の絶縁膜を窒化シリコンにより形成することを特徴とする付記 10 に記載の半導体装置の製造方法。

【0120】

(付記 12) 更に、前記第 1 の領域に MOS トランジスタを形成し、前記第 2 の領域にメモリセルを形成する工程を有することを特徴とする付記 10 に記載の半導体装置の製造方法。

10

【0121】

(付記 13) 半導体基板の第 1 及び第 2 の領域に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に前記第 1 の絶縁膜と異なる絶縁材料で第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜の上にレジスト膜を形成し、前記第 1 の領域のレジスト膜をパターンニングする工程と、前記レジスト膜をマスクとして前記第 2 の領域の前記第 2 の絶縁膜、前記第 1 の絶縁膜及び前記半導体基板をエッチングし、前記レジスト膜の開口部よりも狭い幅の第 1 の溝を形成する工程と、前記レジスト膜を除去する工程と、前記第 1 の領域の前記第 2 の絶縁膜をパターンニングする工程と、前記第 1 の領域の前記第 2 の絶縁膜をマスクとして前記第 1 の絶縁膜及び前記半導体基板をエッチングし、前記第 1 の領域の前記第 2 の絶縁膜の開口部と同じ幅の第 2 の溝を形成する工程と、前記第 1 及び第 2 の溝の内面を酸化する工程と、前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程と、前記第 2 の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

20

【0122】

(付記 14) 前記第 1 の絶縁膜を酸化シリコンにより形成し、前記第 2 の絶縁膜を窒化シリコンにより形成することを特徴とする付記 13 に記載の半導体装置の製造方法。

【0123】

(付記 15) 更に、前記第 1 の領域に MOS トランジスタを形成し、前記第 2 の領域にメモリセルを形成する工程を有することを特徴とする付記 13 に記載の半導体装置の製造方法。

30

【0124】

(付記 16) 半導体基板の第 1 の領域に第 1 の絶縁膜を形成し、第 2 の領域に前記第 1 の絶縁膜と同一絶縁材料で前記第 1 の絶縁膜よりも膜厚が大きい第 2 の絶縁膜を形成する工程と、前記第 1 及び第 2 の絶縁膜の上に半導体膜を形成する工程と、前記半導体膜の上に前記第 1 及び第 2 の絶縁膜と異なる絶縁材料で第 3 の絶縁膜を形成する工程と、前記第 3 の絶縁膜をパターンニングする工程と、前記第 3 の絶縁膜をマスクとして前記半導体膜、前記第 1 及び第 2 の絶縁膜並びに前記半導体基板をエッチングし、前記第 1 の領域に第 1 の溝を形成し、前記第 2 の領域に第 2 の溝を形成する工程と、前記第 1 及び第 2 の溝の内面を酸化する工程と、前記第 1 及び第 2 の溝内に絶縁材料を埋めて第 1 の素子分離膜及び第 2 の素子分離膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

40

【0125】

(付記 17) 前記第 1 及び第 2 の絶縁膜を酸化シリコンにより形成し、前記第 3 の絶縁膜を窒化シリコンにより形成することを特徴とする付記 16 に記載の半導体装置の製造方法。

【0126】

(付記 18) 更に、前記第 1 の領域に MOS トランジスタを形成し、前記第 2 の領域にメモリセルを形成する工程を有することを特徴とする付記 16 に記載の半導体装置の製造方法。

【0127】

50

(付記19) 前記半導体膜を利用して前記MOSトランジスタ及び前記メモリセルの少なくとも一方のゲート電極を形成する工程とを有することを特徴とする付記16に記載の半導体装置の製造方法。

【0128】

(付記20) 半導体基板の第1及び第2の領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に前記第1の絶縁膜と異なる絶縁材料で第2の絶縁膜を形成する工程と、前記第2の領域の前記第2の絶縁膜、前記第1の絶縁膜及び前記半導体基板をエッチングして第1の溝を形成する工程と、水素雰囲気中で熱処理を施して前記第1の溝の上側縁部と前記第1の絶縁膜との間に隙間を形成する工程と、前記第1の領域の前記第2の絶縁膜、前記第1の絶縁膜及び前記半導体基板をエッチングして第2の溝を形成する工程と、前記第1及び第2の溝の内面を酸化する工程と、前記第1及び第2の溝内に絶縁材料を埋めて第1の素子分離膜及び第2の素子分離膜を形成する工程と、前記第2の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

10

【0129】

(付記21) 前記第1の絶縁膜を酸化シリコンにより形成し、前記第2の絶縁膜を窒化シリコンにより形成することを特徴とする付記20に記載の半導体装置の製造方法。

【0130】

(付記22) 更に、前記第1の領域にMOSトランジスタを形成し、前記第2の領域にメモリセルを形成する工程を有することを特徴とする付記20に記載の半導体装置の製造方法。

20

【0131】

(付記23) 半導体基板の第1及び第2の領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜の上に前記第1の絶縁膜と異なる絶縁材料で第2の絶縁膜を形成する工程と、前記第2の領域の前記第2の絶縁膜、前記第1の絶縁膜及び前記半導体基板をエッチングして第1の溝を形成する工程と、前記第1の溝の面を酸化する工程と、前記第1の領域の前記第2の絶縁膜、前記第1の絶縁膜及び前記半導体基板をエッチングして第2の溝を形成する工程と、前記第2の溝の内面を酸化するとともに前記第1の溝の内面を更に酸化して、前記第1の溝の上側縁部と前記半導体基板との界面の曲率を前記第2の溝の上側縁部と前記半導体基板との界面の曲率よりも大きくする工程と、前記第1及び第2の溝内に絶縁材料を埋めて第1の素子分離膜及び第2の素子分離膜を形成する工程と、前記第2の絶縁膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

30

【0132】

(付記24) 前記第1の絶縁膜を酸化シリコンにより形成し、前記第2の絶縁膜を窒化シリコンにより形成することを特徴とする付記23に記載の半導体装置の製造方法。

【0133】

(付記25) 更に、前記第1の領域にMOSトランジスタを形成し、前記第2の領域にメモリセルを形成する工程を有することを特徴とする付記23に記載の半導体装置の製造方法。

【0134】

【発明の効果】

40

以上説明したように、本発明によれば、不揮発性半導体装置のメモリセルのように高い電圧が供給される素子が形成された領域の素子分離膜の上側縁部と半導体基板との界面の曲率を、MOSトランジスタのように低い電圧で動作する素子が形成された領域の素子分離膜の上側縁部と半導体基板との界面の曲率よりも大きくしているため、メモリセル等の特性及び信頼性が向上すると共に、半導体装置の高集積化が達成されるという効果を奏する。

【図面の簡単な説明】

【図1】 図1は従来の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その1)である。

【図2】 図2は従来の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その2)

50

)である。

【図3】図3は従来の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その3)である。

【図4】図4は従来の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その4)である。

【図5】図5は、素子分離膜の上側縁部の形状を拡大して示す図である。

【図6】図6は本発明の第1の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その1)である。

【図7】図7は本発明の第1の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その2)である。

【図8】図8は本発明の第1の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その3)である。

【図9】図9は本発明の第1の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その4)である。

【図10】図10は本発明の第1の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その5)である。

【図11】図11(a)は、第1の実施の形態の半導体装置のメモリセル形成部の溝の上側縁部を拡大して示す図であり、図11(b)は周辺回路形成部の溝の上側縁部を拡大して示す図である。

【図12】図12は、本発明の第2の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その1)である。

【図13】図13は、本発明の第2の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その2)である。

【図14】図14は、本発明の第2の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その3)である。

【図15】図15は、本発明の第2の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その4)である。

【図16】図16は、本発明の第2の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その5)である。

【図17】図17は、本発明の第3の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その1)である。

【図18】図18は、本発明の第3の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その2)である。

【図19】図19は、本発明の第3の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その3)である。

【図20】図20は、本発明の第3の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その4)である。

【図21】図21は、本発明の第4の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その1)である。

【図22】図22は、本発明の第4の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その2)である。

【図23】図23は、本発明の第4の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その3)である。

【図24】図24は、本発明の第4の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その4)である。

【図25】図25は、本発明の第4の実施の形態の半導体装置(フラッシュメモリ)の製造方法を示す断面図(その5)である。

【図26】図26(a)は第4の実施の形態の半導体装置のメモリセル形成部の素子分離膜の上側縁部の形状を拡大して示す図、図26(b)は周辺回路形成部の素子分離膜の上側縁部の形状を拡大して示す図である。

10

20

30

40

50

【図 27】図 27 は本発明の第 5 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を示す断面図（その 1）である。

【図 28】図 28 は本発明の第 5 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を示す断面図（その 2）である。

【図 29】図 29 は本発明の第 5 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を示す断面図（その 3）である。

【図 30】図 30 は本発明の第 5 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を示す断面図（その 4）である。

【図 31】図 31 は、本発明の第 6 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を示す断面図（その 1）である。

【図 32】図 32 は、本発明の第 6 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を示す断面図（その 2）である。

【図 33】図 33 は、本発明の第 6 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を示す断面図（その 3）である。

【図 34】図 34 は、本発明の第 6 の実施の形態の半導体装置（フラッシュメモリ）の製造方法を示す断面図（その 4）である。

【符号の説明】

10, 100 ... 半導体基板、

11, 21, 22a, 22b, 31, 41, 42a, 42b, 51, 61, 101 ... パッド酸化膜、

12, 23, 32, 44, 52, 62, 102 ... 窒化シリコン膜、

13a, 13b, 24a, 24b, 34, 35, 45a, 45b, 54, 55, 63, 65, 103a, 103b ... 溝（トレンチ）、

15, 25, 26, 36, 37, 46, 47, 56, 57, 64, 66, 67, 105 ... 酸化シリコン膜、

16a, 16b, 27a, 27b, 38a, 38b, 48a, 48b, 58a, 58b, 68a, 68b, 106a, 106b ... 素子分離膜、

17a, 28a, 39a, 59a, 69a, 107a ... トンネル酸化膜、

17b, 28b, 39b, 59b, 69b, 107b ... ゲート酸化膜、

18, 108a ... フローティングゲート、

19, 109 ... 中間絶縁膜、

20a, 110a ... コントロールゲート、

20b, 110b ... ゲート電極、

21, 111 ... 層間絶縁膜、

22a, 112a ... ビット線、

22b, 112b ... 配線、

33, 53 ... レジスト膜、

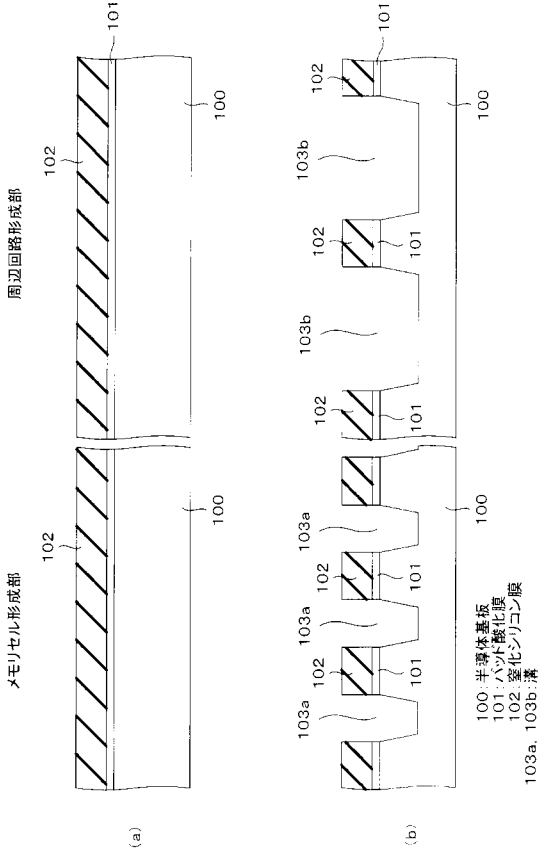
43 ... ポリシリコン膜。

10

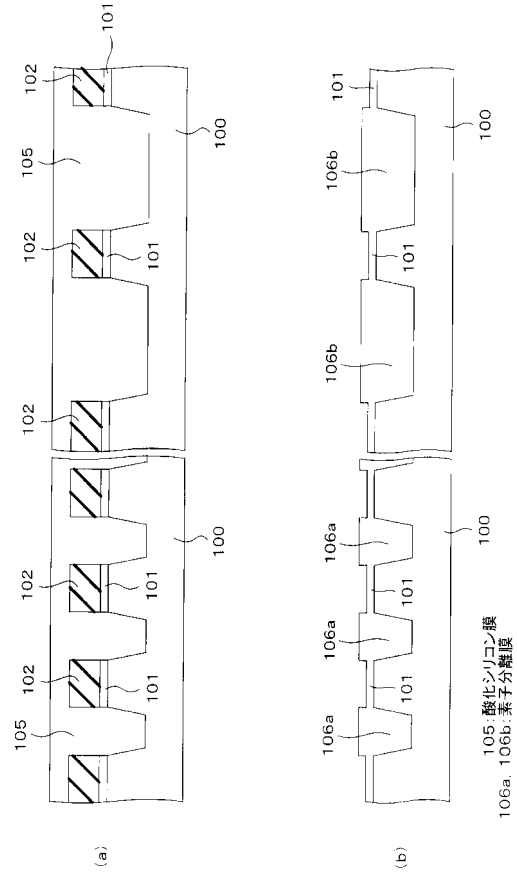
20

30

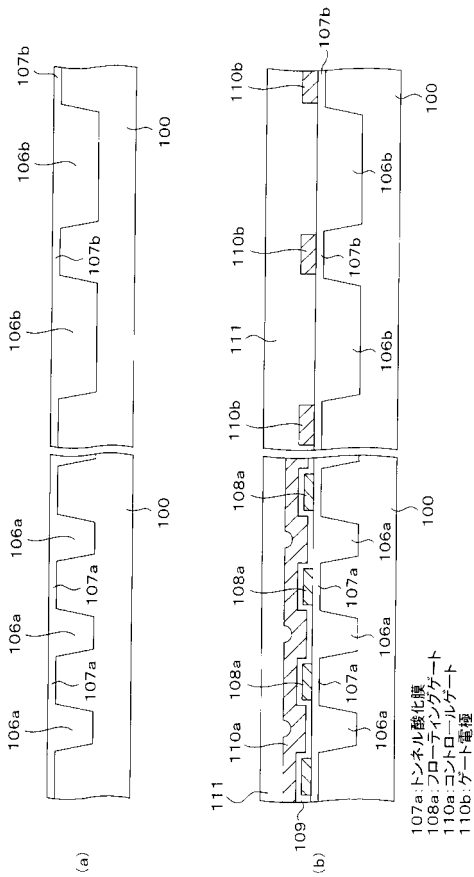
【図 1】



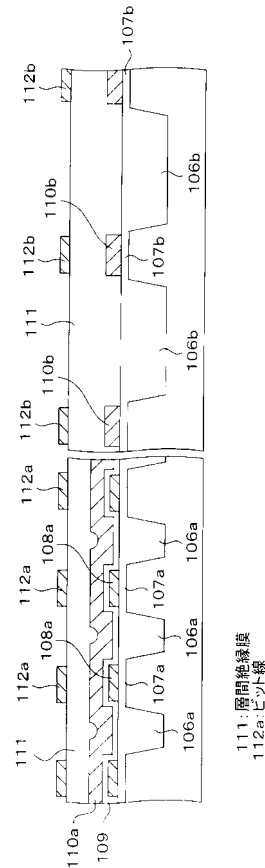
【図 2】



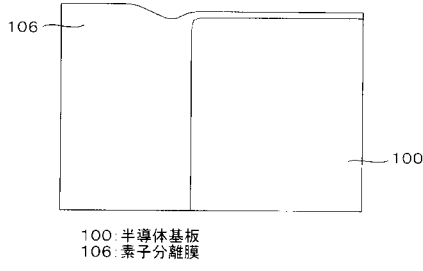
【図 3】



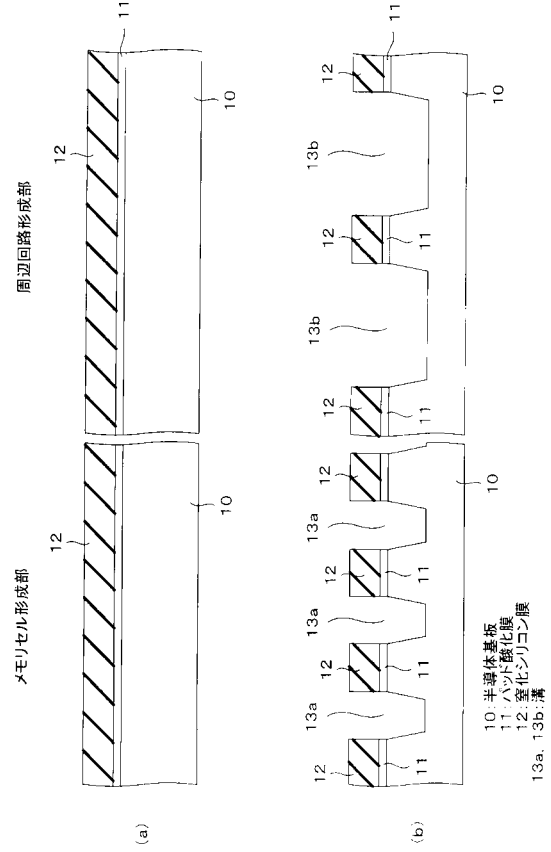
【図 4】



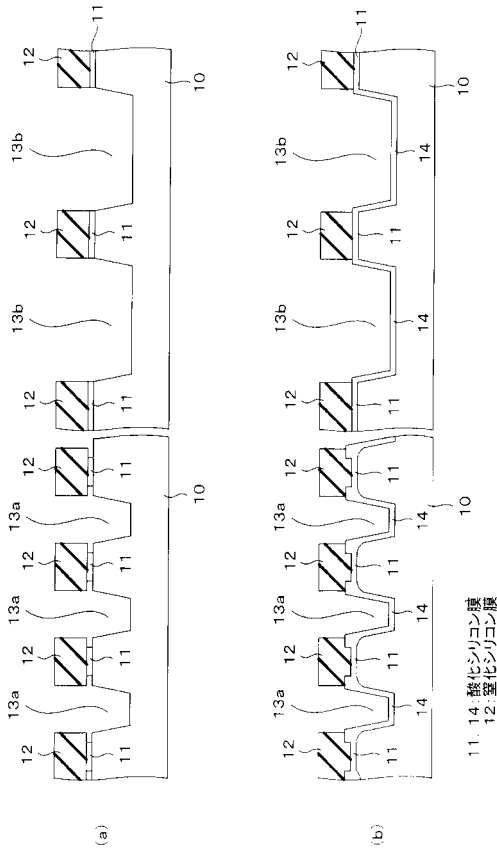
【図5】



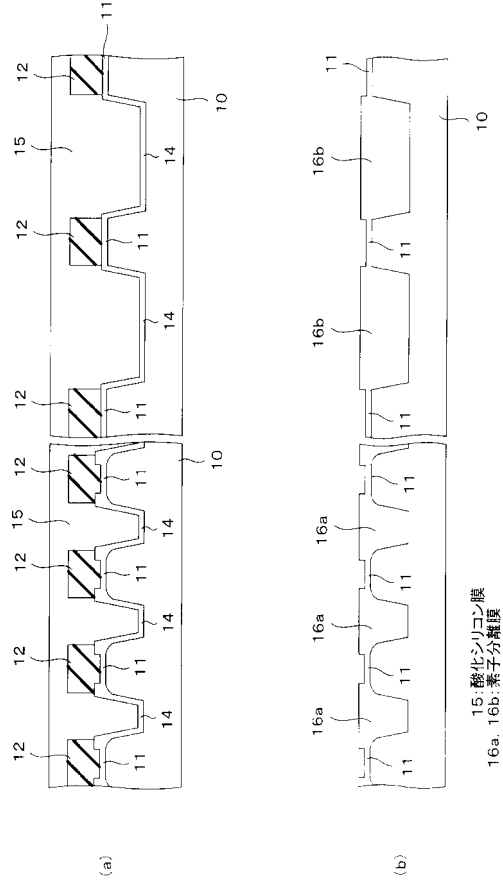
【図6】



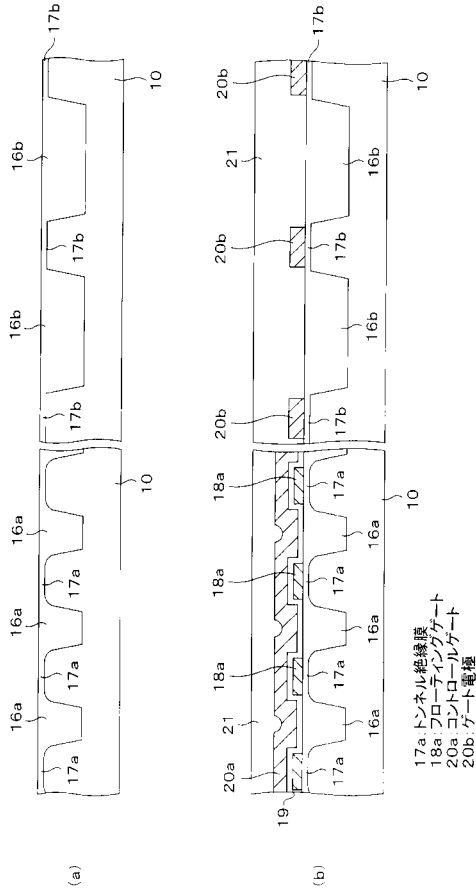
【図7】



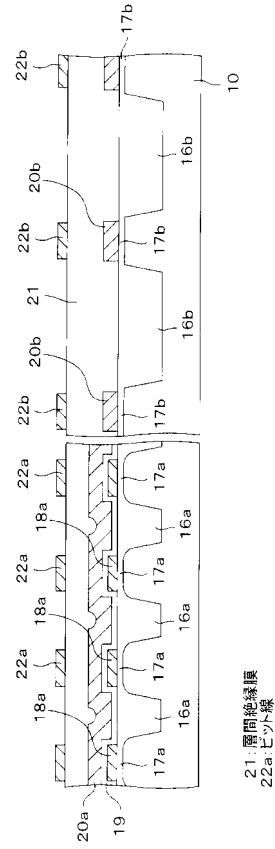
【図8】



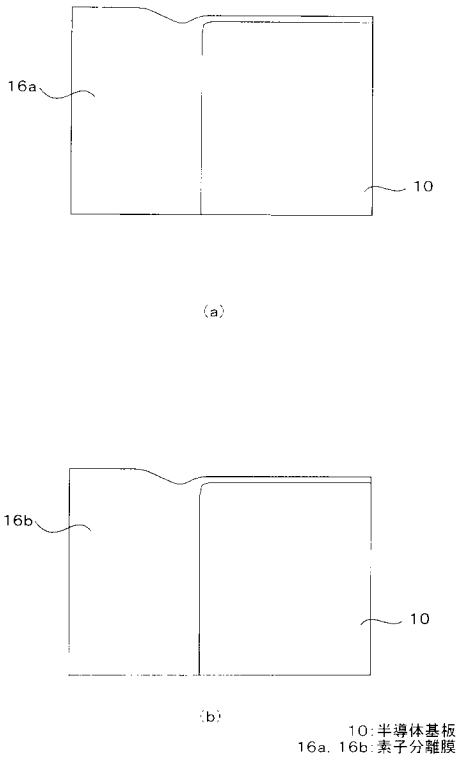
【図 9】



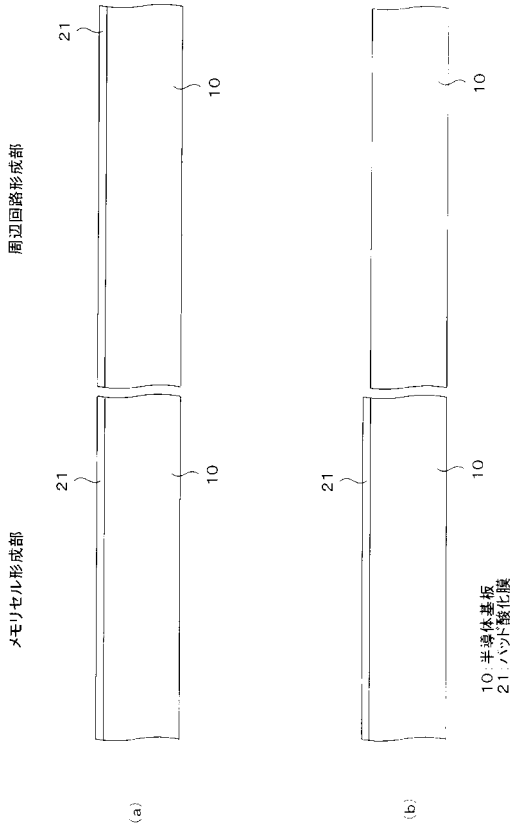
【図 10】



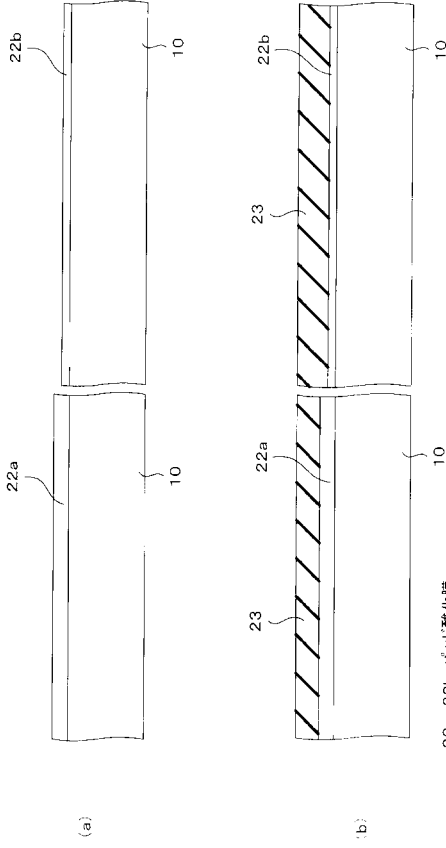
【図 11】



【図 12】

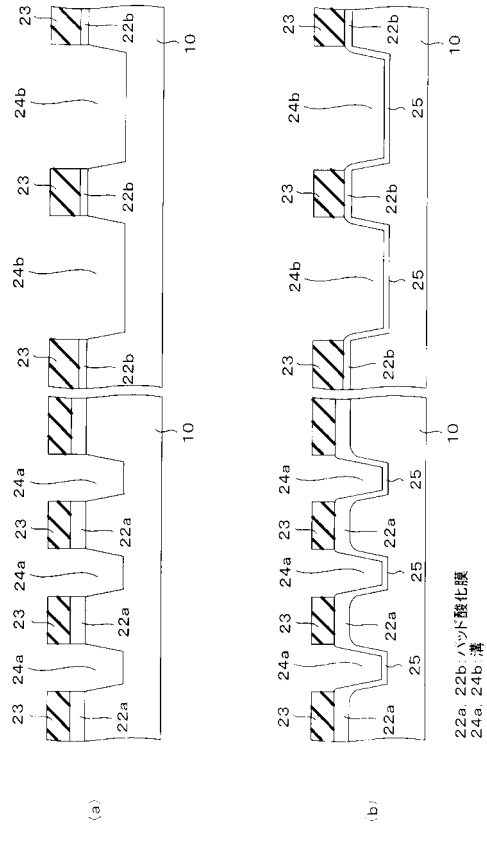


【図 13】



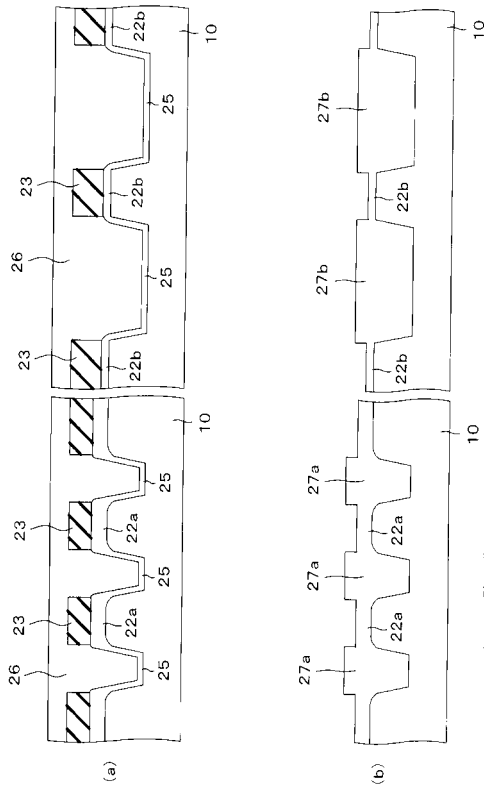
22a, 22b: ハット酸化膜  
23: シリコン酸化膜

【図 14】



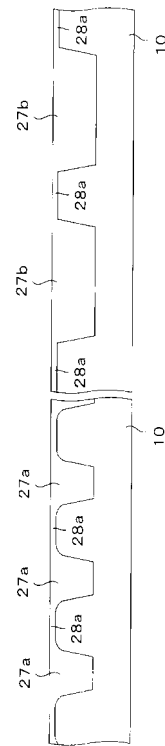
22a, 22b: ハット酸化膜  
23, 24a, 24b: 溝

【図 15】



26: シリコン酸化膜  
27a, 27b: 窒素化シリコン膜

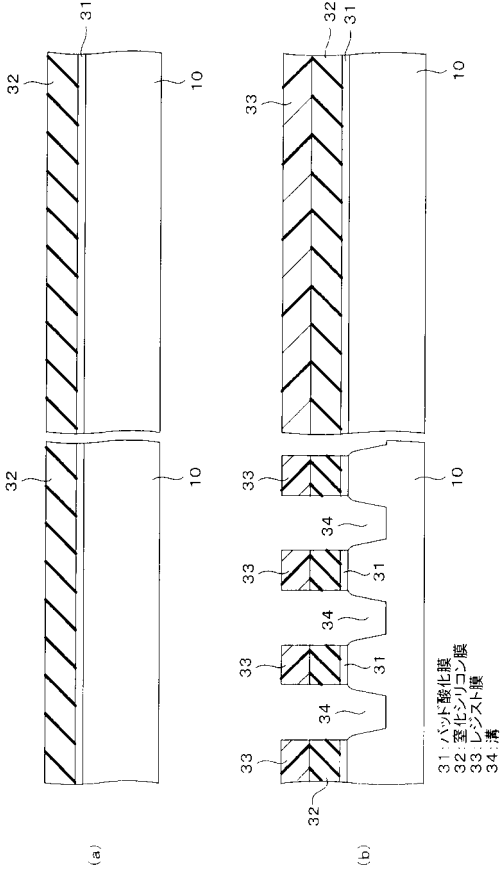
【図 16】



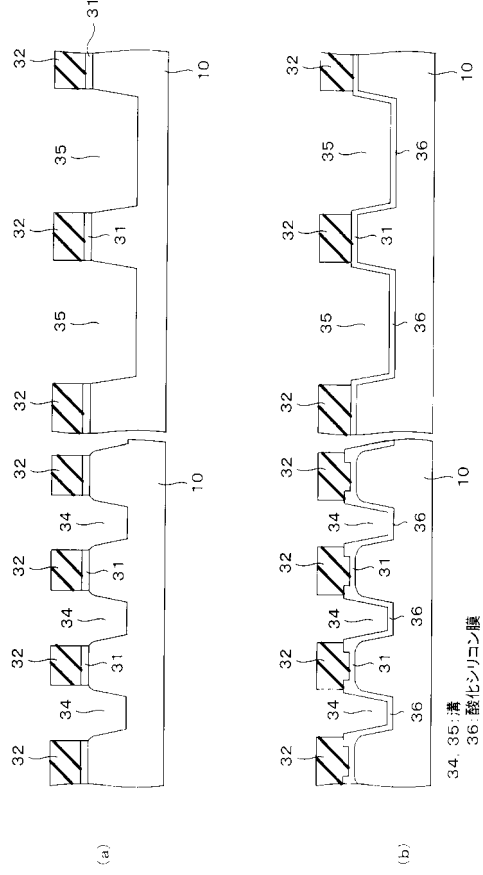
28a, 28b: トナーゲート酸化膜  
27a, 27b: トナーゲート酸化膜



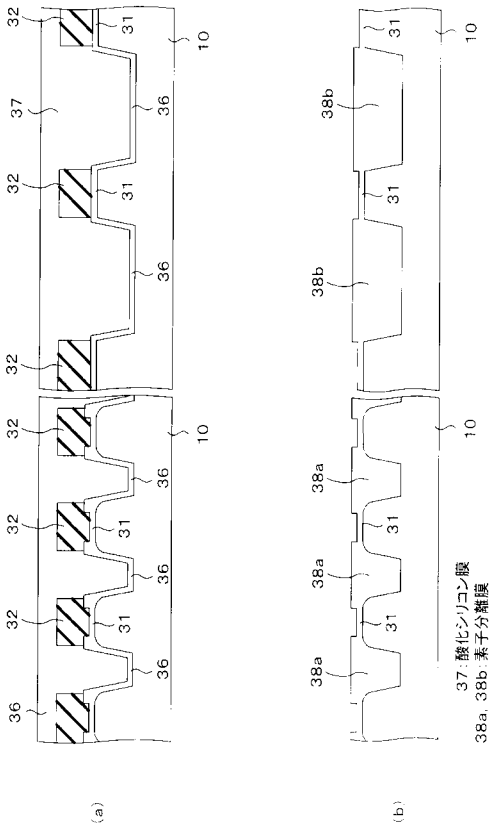
【図 17】



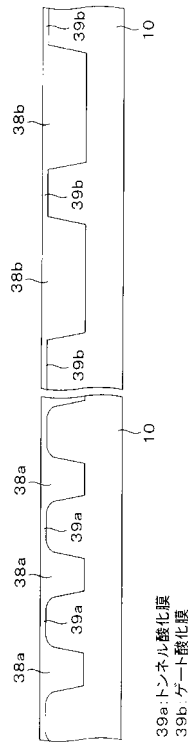
【図 18】



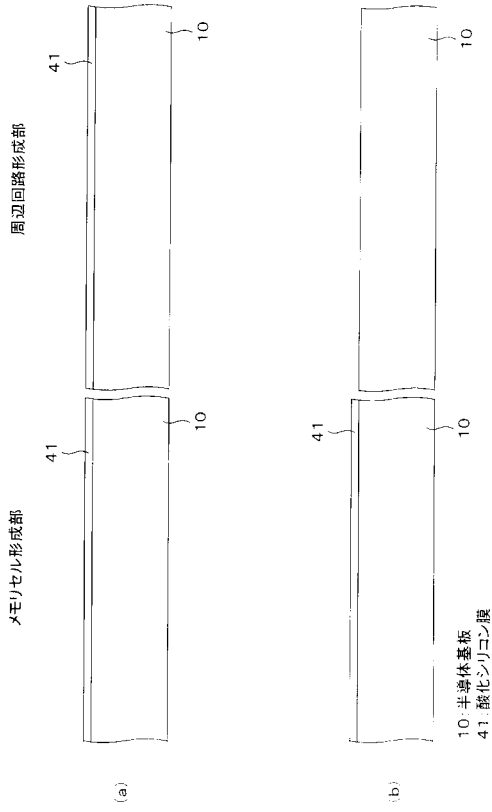
【図 19】



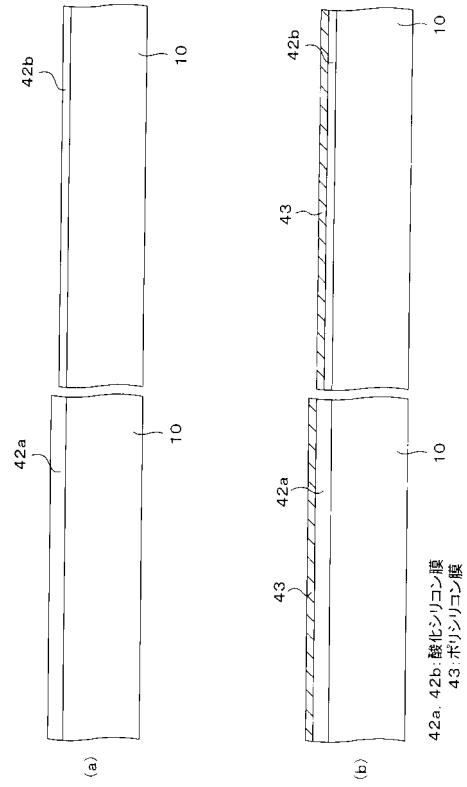
【図 20】



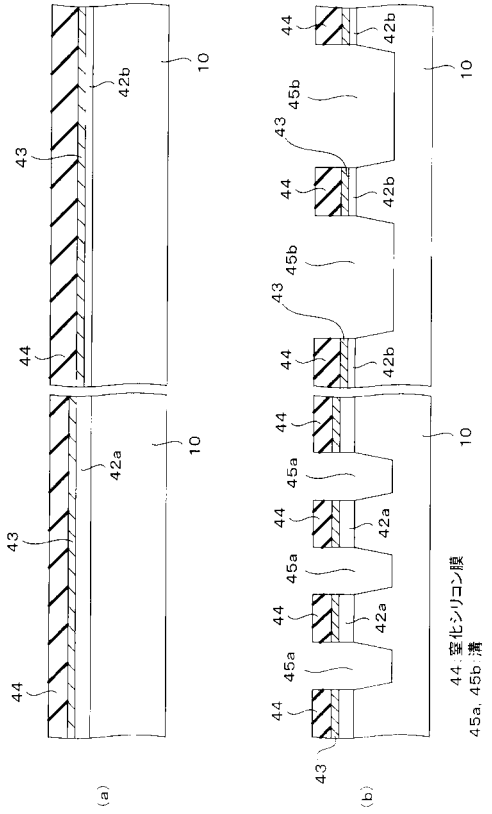
【図 2 1】



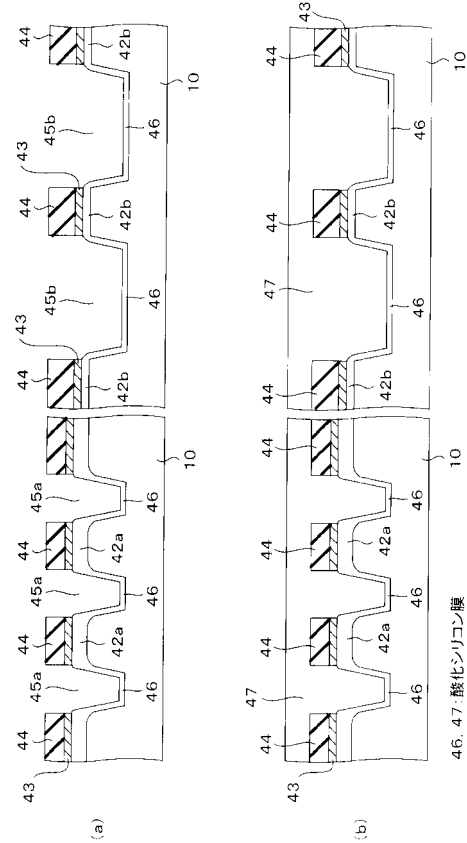
【図 2 2】



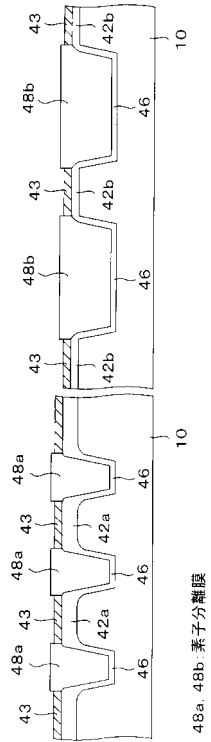
【図 2 3】



【図 2 4】

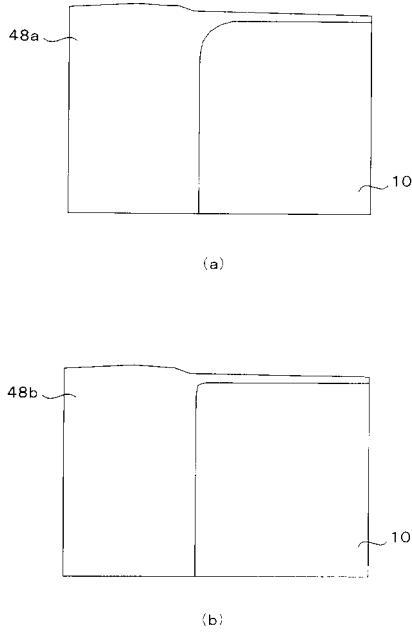


【図 25】



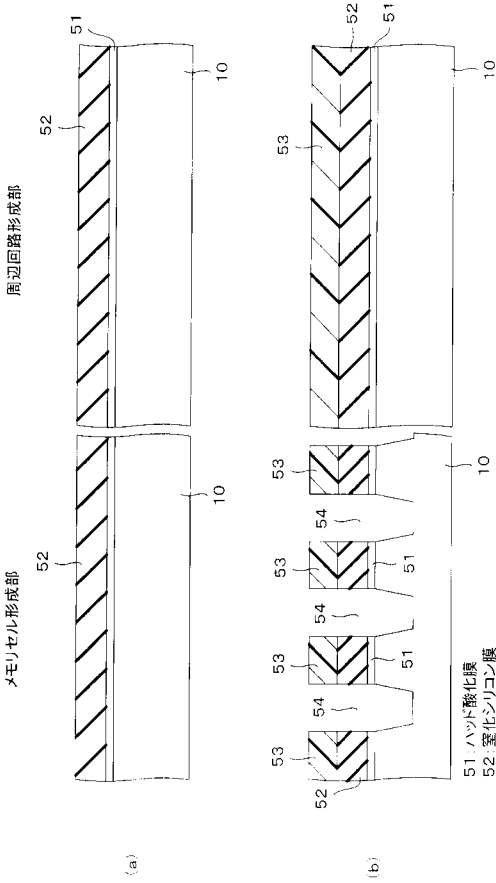
48a, 48b: 素子分離膜

【図 26】

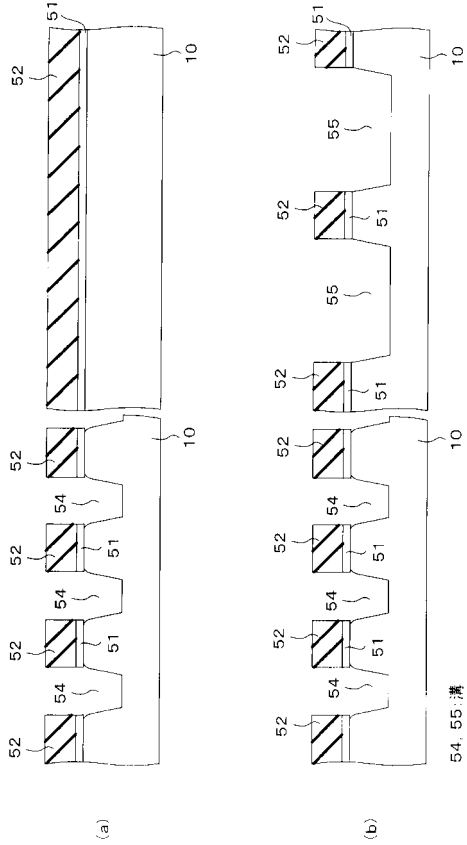


10: 半導体基板  
48a, 48b: 素子分離膜

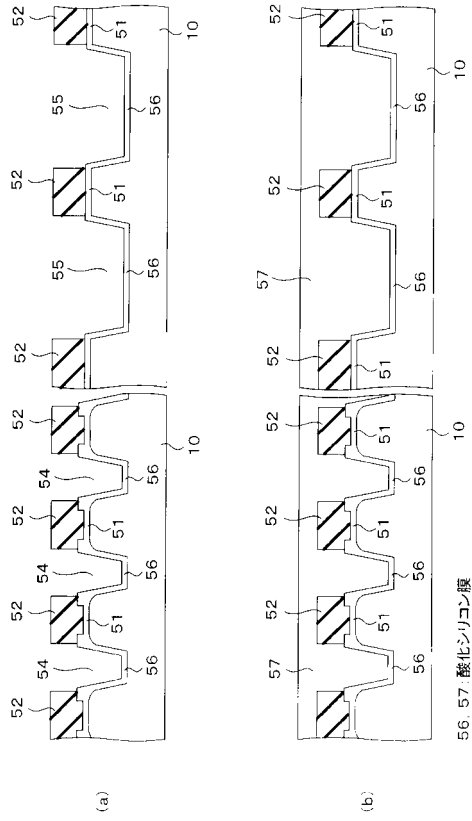
【図 27】



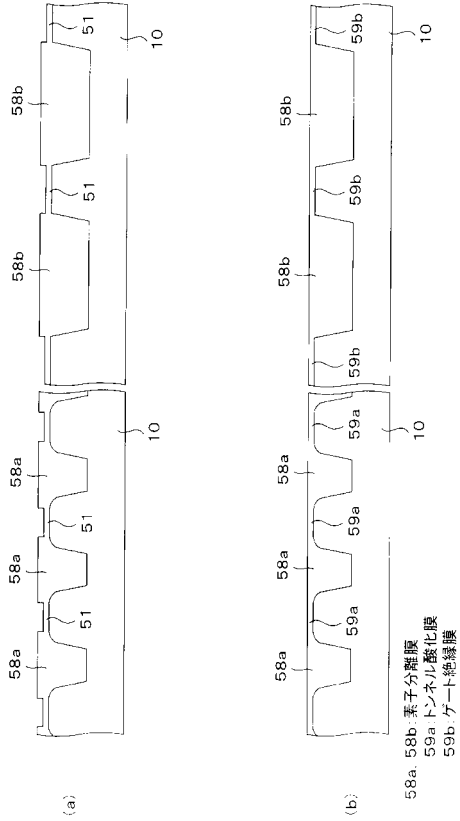
【図 28】



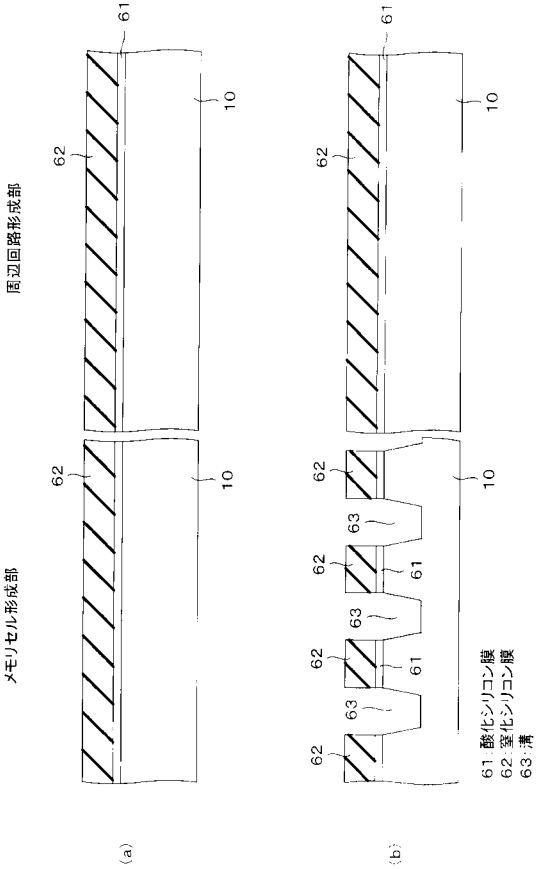
【図 29】



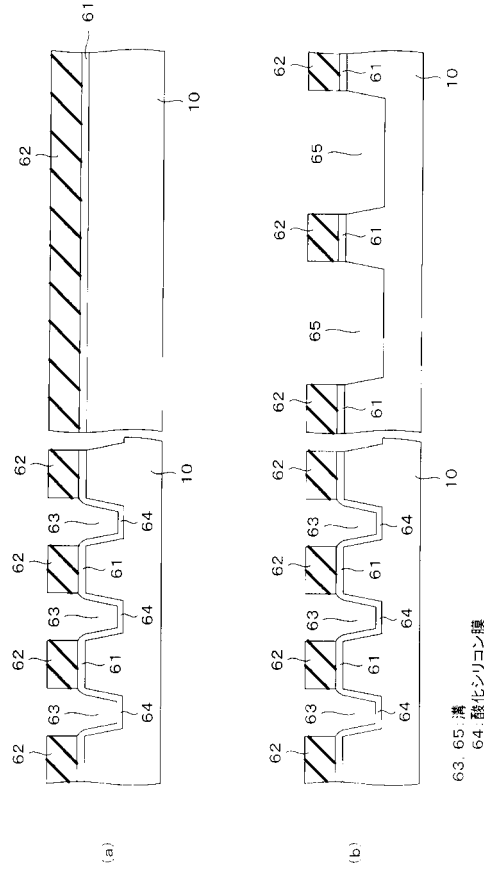
【図 30】



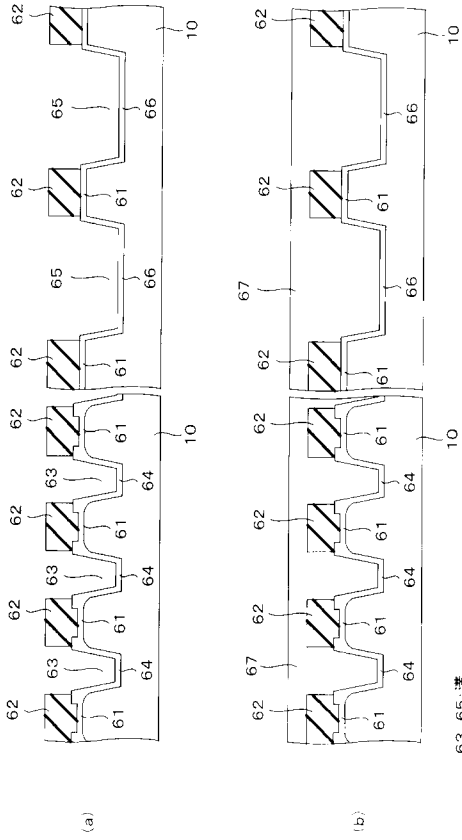
【図 31】



【図 32】

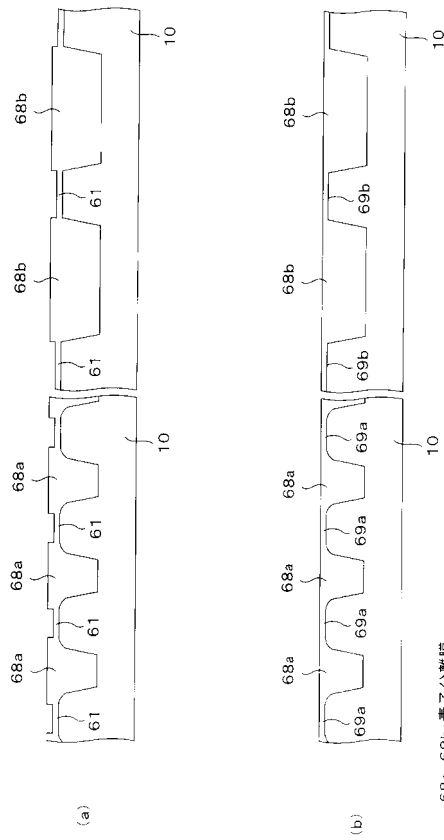


【 3 3 】



63, 65: 溝  
 64: 酸化シリコン膜

【 3 4 】



68a, 68b: 素子分離膜  
 69a: トリメチル酸化膜  
 69b: フォトリソグレイド酸化膜

## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 0 1 L 29/788

H 0 1 L 29/792

Fターム(参考) 5F083 EP02 EP32 ER22 NA01 PR03 PR05 PR06 PR07 PR12 PR33  
PR39 PR40 PR43 PR44 PR53 PR54 ZA03 ZA05 ZA07  
5F101 BA01 BB02 BD35 BE07 BH03 BH13 BH17 BH21