(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/316

(11) 공개번호 특2002-0012163
(43) 공개일자 2002년02월15일

(21) 출원번호 10-2001-7012217
(22) 출원일자 2001년09월25일
번역문 제출일자 2001년09월25일
(86) 국제출원번호 PCT/US2000/05156
(86) 국제출원출원일자 2000년02월29일
(87) 국제공개번호 WO 2000/59023
(87) 국제공개일자 2000년10월05일

(81) 지정국 국내특허 : 일본, 대한민국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,

(30) 우선권주장 09/277,511 1999년03월26일 미국(US)

(71) 출원인 어드밴스드 마이크로 디바이시즈, 인코포레이티드
토토라노 제이. 빈센트
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68

(72) 발명자 아이복에피옹
미국캘리포니아94087서니베일이.홈스테드로드1005

(74) 대리인 박장원

심사청구 : 없음

(54) 낮은 버퍼 옥사이드를 가진 높은 유전율 유전체 적층형성을 위한 방법

요약

높은 유전 상수들을 가지는 절연 물질 생산 방법이 설명되며, 여기서 상기 높은 유전 상수 물질은 웨이퍼 생산 또는 준비 중에 상기 반도체 웨이퍼 표면 상에 형성되는 낮은 유전 상수 유전 물질층을 제거하기위해 처리된 반도체 표면 상에 증착된다. 일반적인 웨이퍼 준비 중에 상기 반도체 기판 상에 옥사이드층이 형성된다. 상기 옥사이드는 원하는 높은 유전 상수 절연체보다 낮은 유전 상수를 가지며, 상기 기본 옥사이드층의 존재는 젖체 절연막의 유전 상수를 낮춘다. 본 발명의 방법들은 옥사이드 환원 물질을 포함하는 환경에서 상기 웨이퍼를 가열하는 단계를 포함한다. 상기 옥사이드 환원 물질은 상기 반도체 기판을 화학적으로 환원시키며, 그로인해 상기 웨이퍼 표면 상의 옥사이드 존재 양을 줄인다. 그 다음, 높은 유전 상수 물질들은 높은 유전 상수 절연 물질의 유전 상수에 거의 근접하는 유전 상수를 가지는 전체 절연막을 가지도록 증착된다. 따라서, 상기 절연막들은 더 얇아질 수 있고, 그에 따라 상기 반도체 웨이퍼 상에 고전압 구성

요소들이 더 근접하게 생산될 수 있도록 하며, 이는 디바이스 밀도를 증가시키고, 효율을 증가시키며, 생산 비용을 줄인다.

대표도

도 7

명세서

기술분야

본 발명은 반도체 디바이스들의 생산에 관한 것으로, 특히 높은 유전-상수 절연체들을 가지는 디바이스에 관한 것이다.

배경기술

반도체 메모리 저장 용량은 반도체 칩 상에 만들어지는 반도체 디바이스들의 크기로 제한될 수 있다. 좀더 강력한 연산을 위해 원하는 메모리 크기가 증가함에 따라, 그에 따른 반도체 디바이스들의 크기를 줄일 필요가 있다. 반도체 디바이스 크기는 부분적으로 상호간에 전기적으로 절연된 상태를 유지하는 도전성 경로(pathway)들 (" 도전성 라인")의 능력으로 제한된다. 도전성 라인들은 알루미늄, 구리, 또는 다른 적절한 금속일 수 있는 금속으로 만들어지거나 예제로서, 폴리크리스탈린 실리콘(" 폴리실리콘")과 같은 다른 종류의 도전성 물질로 만들어질 수 있다.

1. 높은 유전 상수 절연체

도전성 라인들의 전기적 절연은 전형적으로 도전성 라인들 상부 또는 사이에 적층되는 절연 물질들로 수행된다. 진보된 반도체 생산 공정들에서 디바이스 형태들의 크기가 줄어듬에 따라, 상기 도전성 라인들은 서로 근접해야하며, 그로인해 도전성 라인들 간의 간격은 점차 줄어든다. 도전성 라인들의 간격이 점점 작아짐에 따라, 절연 물질에 가용한 공간은 작아진다. 그로인해, 도전성 라인들 간의 원하지 않는 전기적 누설 전류들을 방지하기에 충분히 높은 절연체의 절연 특성들이 요구된다.

전연체들의 한가지 중요한 특성은 유전 상수(K)이다. 상기 유전 상수는 절연체가 상기 절연체를 통해 도전성 전극들 간의 전기적 전류의 방전을 방지하는 능력을 측정한 것이다. 그래서, 좋은 절연체들은 더 높은 유전 상수들을 가진다. 상기 유전 상수는 유전 상수 10으로 정의되는 공기의 절연 능력과 절연 물질의 절연 능력을 비교하는 것으로 평가된다. 예를 들어서, 일반적으로 사용되는 절연 물질인 실리콘 다이옥사이드는 약 4의 유전 상수를 가진다. 높은 유전 상수들을 가지는 절연체들은 여기서 약 4보다 높은 유전 상수들을 가지는 것으로 정의하며, 낮은 유전 상수들을 가지는 절연체들은 약 4보다 낮은 유전 상수들을 가지는 것으로 정의한다. 고전압 응용들을 위해서, 높은 유전 상수들을 가지는 절연체들의 사용이 요구된다.

유전층의 두께는 최소 디바이스 크기와 도전 라인 간격을 제한할 수 있다. 일반적으로, 낮은 유전 상수들을 가지는 절연체들은 높은 유전 상수들을 가지는 절연체들과 비교하여 동일한 절연성을 가지기위해서 더 두꺼워야만 한다. 도전성 라인들 간의 간격들과 반도체 디바이스 크기들이 줄어듬에 따라, 높은 유전 상수들을 가지는 절연 물질들이 요구된다. 또한, 미크론 이하 영역의 크기를 가지는 형상들의 생산은 절연층의 두께에서 최소한의 간격들과 변동들을 가지며 쉽게 반도체 디바이스에 적용될 수 있는 상기 절연 물질을 요구한다.

높은 유전 상수들을 가지는 절연 물질들의 예제는 약 30의 유전 상수를 가지는 막으로 형성될 수 있는 탄탈륨 펜톡사이드(pentoxide)(Ta_2O_5)이다. 탄탈륨 펜톡사이드는 오소-에틸 유도 전구체(derivatized precursor)로부터 화학 기상 증착(CVD)로 증착될 수 있다. CVD 장치에 있어서, 전구체는 탄탈륨 옥사이드 레디칼들(radicals) 과 에틸 부분들(moieties)포함하는 반응 중간물을 형성하기위해 분해된다. 상기 탄탈륨 옥사이드 레디칼들은 반도체 표면 상에 증착될 수 있고, 탄탈륨 펜톡사이드를 포함하는 교차결합된 크리스탈린 막을 형성하기위해 반응할 수 있다.

다른 높은 유전 상수 물질들은, 예를 들어서, 텅스텐, 지르코늄, 바륨-스트론듐 그리고 티타늄 옥사이드들을 포함한다. 이러한 물질들은 탄탈륨 펜톡사이드에서와 유사한 방식으로 O-파생 카본-포함 전구체들로부터 증착될 수 있다. 본 발명에 따르는 높은 유전 상수 물질들의 증착에 적당한 O-유도 전구체들에 대한 일반적 구조는: $Me_m(O-R)_n$이며, Me는 금속 원자, 명령 n은 정수, O는 산소 원자, 그리고 R은 카본-포함 잔여 집단이다. 예제로서, 높은 유전 상수 층들의 증착에 적당한 잔여 집단들은 O-에틸, O-메틸, O-프로필, O-이소프로필, O-뷰틸, O-이소뷰틸과 같은 알킬 집단들과, 그리고 당 업계에서 공지된 다른 잔여 집단을 포함한다. O-유도 카본-포함 전구체의 종류를 물문하고, 전형적인 CVD 증착 공정 중에, 상기 잔여 집단들로부터 분해 중 자유로워지는 상기 카본 중 일부는 상기 박막에 증착된다. 만일 존재한다면, 상기 카본 원자는 상기 박막을 오염시키고, 반드시 제거되어야 한다. 이러한 오염물질들의 제거는 높은 온도로 상기 막을 예를 들어 산소와 같은 옥시덴트 함유 환경에 노출시키는 것으로 달성된다. 약 600℃에서 약 900℃의 온도, 혹은 대안적으로 약 800℃로 처리하는 경우, 상기 오염 카본 원자들은 카본 옥사이드(CO_2)를 형성하며 산화될 수 있으며, 이는 휘발성이고, 상기 CVD 반응로에서 배출될 수 있다.

그러나, 상기 산화 중에, 어떠한 산소는 상기 탄탈륨 펜톡사이드 층으로 확상되고 상기 실리콘 기판에 도달할 수 있고, 상기 실리콘 기판을 산화시키는 것으로 실리콘 다이옥사이드 층을 형성할 수 있으며, 여기서는 이를 " 버퍼 옥사이드" 라는 용어로 지칭한다. 실리콘 다이옥사이드가 약 4의 유전 상수를 가지기 때문에, 버퍼 옥사이드층은 효율적으로 상기 절연막의 유전 상수를 줄이며, 그로인해 상기 막의 절연 능력을 줄인다.

II. 기본(native) 옥사이드는 높은 유전 상수 물질들의 유전 상수를 줄인다.

상기 언급한 버퍼 옥사이드 형성에 부가적으로, 높은 유전 상수 물질층에 나쁜 영향을 미치는 실리콘 다이옥사이드의 다른 소스(source)는 일반적으로 반도체 기판에 형성된다. 새롭게 샌산된 실리콘 웨이퍼는 전형적으로 생산 그리고/또는 저장 중에 산소에 노출되며, 그로인해 실리콘 다이옥사이드가 형성되며, 여기서는 이를 " 기본 옥사이드" 라 한다. 상기 웨이퍼를 HF에 노출시키고 상기 웨이퍼를 세정(" 선-게이트 옥사이드 세정(pre-gate oxide clean)" 단계로 일반적으로 간주함)하더라도 기본 옥사이드층은 8□ 에서 약 10□의 두께로 잔류한다. 상기 기본 옥사이드층은 가변적인 화학양(stoichiometry)을 가지며, 여기서 산소 원자들과 실리콘 원자들의 비율은 정수가 아니다. 그래서, 상기 기본 옥사이드층에 대한 상기 화학식은 $SiO_{\sim 2}$로 나타내어진다. 또한, 카본 원자 오염들의 산화에 대한 상기 설명된 고온 산화 조건들 하에서, 상기 기본 옥사이드 하부의 실리콘 기판은 산화되고, 그로인해 약 30□를 넘는 두께로 버퍼 옥사이드의 두께가 증가하여 형성된다. 실질적으로 절연층으로서 요구되는 K보다 낮은, 약 4의 유전 상수를 가짐으로서, 상기 기본 및 버퍼 옥사이드층들은 높은 유전 상수 물질층의 증착 목적에 악영향을 미칠 수 있다.

종래 공정들과 관련된 문제점들은 도 1-3에 도시된다. 도 1-3에서, 동일한 구성원들은 동일한 참조번호들을 가진다. 도 1은 기판(104) 상에 형성된 기본 옥사이드층(108)을 가지는 실리콘 기판(104)을 포함하는 반도체 웨이퍼(100)를 묘사한다. 선-게이트 옥사이드 세정 단계 후, 상기 기본 옥사이드층(108)의 두께는 전형적으로 약 8□에서 10□의 영역이다. 도 2는 순차적으로 실리콘 기판(104), 기본 옥사이드층(108), 니트라이드층(112), 그리고 니트라이드층(112) 상부에 증착된 탄탈륨 펜톡사이드층(116)을 가지는, 도 1에 도시된 동일한 반도체 웨이퍼이다. 탄탈륨 펜톡사이드층(116)은 카본 오염의 존재를 나타내기위해 점으로 표시되었다. 도 3은 실리콘 기판(104), 옥사이드층(108), 니트라이드층(112) 그리고 탄탈륨 펜톡사이드층(116)을 포함하는, 도 1-2에 도시된 동일한 반도체 웨이퍼이지만, 산소 함유 대기에서 약 600℃로 산화된 이후이다. 상기 산화는 탄탈륨 펜톡사이드층(116)에서 카본 오염물들을 제거하고, 약 100□의 두께를 가지는 높은 유전 상수 막을 만든다. 그러나, 상기 산화는 도 1 및 2에 도시된 기본 옥사이드층에 비해 옥사이드층(108)의 두께를 증가시킨다.

기본 옥사이드 및 버퍼 옥사이드 성장의 문제는 높은 유전 상수 물질층이 대단히 얇게 적용되어야하는 경우 특히 중요하다. 상기 전체 유전층들의 두께(버퍼 옥사이드 및 높은 유전 물질을 포함하는 " 혼합된 유전" 층) 만이 원하는 두께(약 20□)보다 커지는 것이 아니라, 상기 혼합된 유전 물질의 유전 상수 역시 실질적으로 순수하게 높은 유전 상수 물질층에 비해 낮아진다. 상기 낮은 유전 상수는 디바이스 집적도를 제한하고, 그로인해 반도체 공정 속도를 제한한다.

따라서, 본 발명의 목적은 기본 옥사이드 및 버퍼 옥사이드 하부의 반도체 기판 오염을 최소화하면서 높은 유전 상수을 가지는 절연 물질 층들을 생산하는 것이다.

본 발명의 다른 목적은 높은 유전 상수를 가지는 얇은 물질층들을 생산하는 것이다.

본 발명의 또다른 목적은 현재 방도체 생산 공정에 쉽게 적용되어 높은 유전 상수를 가지는 물질 박막층들을 증착하기 위한 방법들 및 공정들을 개발하는 것이다.

발명의 상세한 설명

그래서, 본 발명은 반도체 웨이퍼 상의 버퍼 옥사이드층들의 성장을 줄이고 기본 옥사이드층들의 두께를 줄이기위한 방법을 제공한다. 본 발명의 공정들은 실질적으로 산소가 없는 낮은 작용제를 포함하는 낮은 압력 기상과 같은 낮아진 조건들 하에서 상기 웨이퍼를 열처리하는 단계를 포함한다. 상기 열처리 공정은 상기 기본 옥사이드층의 두께를 줄이다. 그 다음, 산소가 상기 반응로에서 배제되는 동안, 얇은 장벽층이 상기 반도체 기판 상에 생성되고, 후속적으로 높은 유전 물질이 상기 장벽층의 상부에 증착된다. 상기 장벽층은 카본 원자들이 상기 반도체 기판으로 확산되는 것을 줄일 수 있다. 상기 웨이퍼를 높은 온도로 산화하는 후속 단계는 높은 K 막에서 카본 오염물질들의 양을 줄일 수 있고, 상기 장벽층은 상기 기판을 통해 확산될 수 있는 산소의 양을 줄일 수 있으며, 그로인해 버퍼 옥사이드의 형성을 줄인다. 기본 옥사이드 및 버퍼 옥사이드층들 모두의 두께 감소는 상기 절연층의 낮은 K 물질의 양을 줄이고, 그로인해 옥사이드에의한 절연층의 희석으로 줄어드는 K를 완화할 수 있다. 그래서, 전체 절연층의 K는 순수 높은 K 물질들의 K값들에 근접할 수 있다.

그래서, 본 발명의 한 측면은 웨이퍼 상에 존재하는 기본 옥사이드을 줄이기위해 하이드로겐 또는 암모니아 가스들을 포함하는 줄어든 환경에서 반도체 웨이퍼들을 열처리하는 것이다.

본 발명의 다른 측면은 상기 기본 옥사이드가 제거된 기판 상에 장벽층을 증착하는 것이다.

본 발명의 다른 측면은 암모니아 가스에서 급속 열처리하는 것으로 상기 반도체 기판 상에 니트라이드 장벽층을 형성하는 것이다.

본 발명의 또 다른 측면은 니트라이드 장벽층 상에 높은 K 물질의 박막층을 증착하는 것이다.

본 발명의 부가적인 측면은 높은 유전 물질을 가지는 절연 물질들의 박막을 가지는 반도체 디바이스를 생산하는 것이다.

도면의 간단한 설명

본 발명은 그 특정한 실시예에 관해서 설명될 것이다. 본 발명의 다른 목적들, 특징들 그리고 이점들은 본 발명의 상세한 설명과 도면들을 참조하는 것으로 명백해질 수 있을 것이다.

도 1은 기본 옥사이드층을 가지는 종래 기술의 실리콘 웨이퍼를 도시한다.

도 2는 상기 기본 옥사이드 상에 증착된 탄탈륨 펜톡사이드층을 가진 후, 도 1에 도시된 종래 실리콘 웨이퍼를 도시하며, 카본에의한 탄탈륨 펜톡사이드의 오염을 보인다.

도 3은 카본 오염물을 제거하기위해 상기 탄탈륨 펜톡사이드층을 산화한 후, 도 2에 도시된 종래 실시콘 웨이퍼를 도시한다.

도 4는 도 1과 유사한 실리콘 웨이퍼를 도시하지만, 줄어든 환경에서 상기웨이퍼를 열처리 함으로서 기본 옥사이드층의 두께를 줄인 다음이다.

도 5는 도 4의 실리콘 웨이퍼를 묘사하며, 상기 실리콘 표면 상에 니트라이드층을 증착한 다음이다.

도 6은 도 4와 5의 실리콘 웨이퍼를 도시한 것으로 탄탈륨 펜톡사이드 층을 증착한 다음이며, 카본에의한 탄탈륨 펜톡사이드의 오염을 보인다.

도 7은 도 4-6의 실리콘 웨이퍼를 도시한 것으로, 카본 오염을 제거하기위해 탄탈륨 펜톡사이드층을 산화한 다음이다.

실시예

유전 물질로 얇고, 높은 제어성을 가지는 높은 유전 상수 층을 생산하기위해서, 반도체 웨이퍼는 먼저, 당 업계에 공지된 방법들에 따라서 세정되어야 한다. 이러한 단계들은 상기 웨이퍼를 PF에 노출시키고, 선-게이트 옥사이드 세정 과정을 통해 상기 웨이퍼를 세정하는 단계들을 포함할 수 있다. 이러한 일반적인 세정 단계는 상기 기본 옥사이드층의 두께를 줄일 수 있지만, 일반적으로 이러한 공정 후에도 상기 기본 옥사이드층은 약8□ 에서 약 10□의 두께로 잔류한다. 상기 기본 옥사이드층의 두께를 더욱 줄이기 위해서, 본 발명에 따르는 새로운 공정이 실시되며, 여기서 상기 웨이퍼는 상기 기본 옥사이드층을 화학적으로 줄이기위한 줄어든 환경에서 높아진 온도에 노출된다. 상기 화학적 환원(reduction)은 전형적으로 SiO2의 형태인 상기 기본 옥사이드층의 산소 양을 줄인다. 이러한 노출은 후속적으로 높은 유전 상수의 절연 물질들을 포함하는 다른 반도체 층들의 증착을 위해 사용될 수 있는 동일한 반응로에서 실시된다. 그래서, 상기 웨이퍼는 높은 유전 상수 물질의 증착 전에 옥사이드의 재구성을 개선할 수 있는 조건들에 노출될 필요가 없다. 상기 생산 공정은 도 4-7에 예시된다. 이 도면들에서 동일한 구성원들은 동일한 식별 번호들을 따른다.

도 1에 도시된 종래 기술의 웨이퍼의 표준 세정 후, 상기 기본 옥사이드층의 두께는 약 8□ 에서 약 10□의 두께가 된다. 상기 기본 옥사이드층의 두께를 줄이는 공정은 도 4에 도시된다. 도 4는 도 1에 도시된 것과 동일한 반도체 웨이퍼를 묘사하지만, 하이드로겐 가스에서 600℃로 상기 웨이퍼를 열처리 함으로써 기본 옥사이드층(108)을 화학적으로 줄인 것이다. 상기 표면(109)에서 옥사이드층의 잔류하는 두께는 약 1□ 에서 약 2□이다.

일반적으로, 상기 옥사이드를 줄이기 위해서 산소를 함유하지 않은 모든 줄어든 작용제가 사용될 수 있다. 또한, 암모니아를 이용하는 화학적 환원은 약 250℃에서 약 750℃ 영역의 온도에서 실시될수 있으며, 대안적으로 약 400℃에서 액 600℃일 수 있고, 다른 실시예에서 약 600℃일 수 있다. 하이드로겐이 환원 작용제로 사용되는 경우, 온도는 약 250℃에서 1100℃가 사용될 수 있다. 어떠한 이론에서, 기본 옥사이드층의 감소는 상기 하이드로겐이 상기 기본 옥사이드층의 산소 원자와 결합하기 때문이며, 그로인해 H_2O를 만들고, 이는 상기 기판에서 증발하거나 잔류한다고 한다. 그래서, 상기 잔류하는 표면은 실질적으로 옥사이드가 없다. 그러나, 다른 이론에서는 상기 기본 옥사이드층의 감소 만이 관찰되었다고 한다.

상기 기본 옥사이드층이 실질적으로 제거된 후, 예제로서, 니트라이드를 함유하는 장벽층이 상기 기판 표면에 제공된다. 이러한 실시예들에서, 상기 장벽층은 니트라이드층이고, 상기 니트라이드층은 실란과 암모니아 중 하나로부터 증착되거나, 니트리데이션 공정으로 통해 만들어질 수 있다. 도 5는 도 4에 도시한 것과 동일한 반도체 웨이퍼를 도시하며, 상기 기판(104)의 표면 상에 니트라이드층(112)의 박막이 형성된 것 만 다르다.

본 발명의 일 실시예에서, 상기 니트라이드층이 증착되고, 상기 반응로의 하이드로겐은 배출될 수 있으며, 그 다음, 약 1%에서 약 50%의 혼합 니트로겐(N_2) 또는 예를 들어 헬륨, 네온, 아르곤 그리고 암모니아(NH_3)와 같은 다른 불활성 가스가 상기 반응로에 주입될 수 있다. 그 다음, 상기 웨이퍼는 약 250℃에서 약 600℃의 영역 또는, 대안적으로 약 500℃에서 약 60초간 노출될 수 있다. 상기 시간은 상기 온도에 따라서 니트라이드층이 형성되는데 필요하다. 실란(SiH_4) 또는 다른 유사한 전구체가 상기 반응로에 유입될 수 있으며, 상기 반응로는 약 700℃로 가열될 수 있고, 상기 실란과 암모니아는 반응 중간물들로 분해될 수 있다. 상기 반응 중간물들은 상호 결합되고 상기 실리콘 표면에 증착되며, 그로인해 실리몬 니트라이드 층을 형성한다.

대안적으로, 실리콘 니트라이드층은 약 1와트/㎠에서 약 3와트/㎠ 영역의 전력을 가지는 무선주파수(RF) 에너지 소스를 이용하여 화학 기상 증착(PECVD) 시스템으로 증착될 수 있다. 상기 RF 에너지는 상기 전구체들을 반응 중간물들로 분리하는 플라즈마를 생성할 수 있고, 이는 그 다음 상기 기판 상에 증착되고 니트라이드층을 형성할 수 있다. 상기 니트라이드층의 증착을 위한 시간은 약 15초에서 30초일 수 있다.

상기 니트라이드층은 니트라이데이션으로 제공될 수 있으며, 여기서 상기 실리콘은 암모니아와 화학적 반응을 생성하기 위해 제공되는 에너지 소스에 노출될 수 있다. 열적 니트라이데이션은 상기 반응로의 온도를 약 850℃에서 약 1100℃의 영역으로 가열하는 것으로 실시될 수 있다. 니트라이데이션은 또한 당 업계에 공지된 급속 열처리(" RTA")를 통해 실시될 수도 있다. 또한, 니트라이데이션은 옥사이드 반응에 사용된 동일한 반응로에서 수행될 수 있다. 본 발명의 일 실시예에서, 암모니아는 화학적 환원과 니트라이데이션에 모두 사용된다. 암모니아의 존재에 있어서, 약 700℃ 이하의 온도에서 실리콘을 화학적으로 감소시키는 것은 우세 반응인데, 이는 실리콘과 니트로겐 원자들이 이러한 온도들에서 니트라이드를 형성하지 않는 경향이 있기 때문이다. 온도가 증가함에 따라, 니트라이데이션이 발생한다. 약 700℃ 이상, 800℃ 이하의 온도에서, 환원과 니트라이데이션의 혼합이 발생할 수 있으며, 약 850℃ 이상의 온도에서, 니트라이데이션은 발생하지 좋지만, 환원은 발생하기에 좋지 않다. 그래서, 상기 실시예에서, 암모니아는 반응로에 유입되며 실리콘을 감소시키기위해서 상기 반응로는 약 250℃에서 약 700℃로 가열되고, 상기 온도는 약 850℃로 증가하여 니트라이데이션을 발생시킨다. 상기 니트라이드 장벽층의 형성에 사용되는 방법에 상관 없이, 반응 조건은 약 5□ 에서 약 20□의 두께를 가지는 니트라이드층을 상기 실리콘 표면 상에 형성하도록 선택되어야한다.

상기 실리콘 기판 상의 니트라이트층의 형성에 후속적으로, 높은 유전 물질이 증착될 수 있다. 충분히 높은 유전 상수를 가진 어떠한 물질이라도 증착될 수 있다. 유전 상수는 약 5에서 75의 영역일 수 있고, 대안적으로 약 30일 수 있다. 다른 높은 유전 상수 절연층들의 증착을 위해서, 공정 조건들은 당 업계에서 공지된 바와 같이 선택될 수 있거나 당 업계에서 일반적으로 사용되는 방법이 이용될 수 있다.

적절한 높은 유전 상수 물질의 한 예제는 탄탈륨 펜톡사이드(Ta_2O_5)이다. 탄탈륨 펜톡사이드는 전형적으로 전구체,$Ta(OC_2H_5)_5$,로 부터 화학적 기상 증착(CVD)을 통해 증착된다. 상기 휘발성 전구체는 용적의 약 1%에서 약 5% 영역의 농도로 상기 반응로에 존재할 수 있고, 대안적으로 약 10%에서 약 20%일 수 있으며, 다른 실시예에서 예를 들어 니트로겐, 아르곤, 네온 또는 제온과 같은 불활성 가스와 용적의 약 10%로 유입될 수 있다. 상기 분해 온도는 상기 전구체를 반응 중간물들로 완전히 분해할 수 있는 온도로 선택된다. $Ta(OC_2H_5)_5$를 분해하기 위해서, 온도는 약 400℃에서 약 800℃의 영역이며, 대안적으로 약 400℃에서 550℃가 사용될 수 있다.

상기 전구체를 분해하는데 PECVD가 사용되는 실시예들에서, 무선주파수 전력은 약 1와트/㎠에서 약 3와트/㎠의 영역이 사용된다. 상기 반응로의 압력은 약 100미리토르에서 100토르이며, 증착 시간은 상기 니트라이드층이 약 5□ 에서 약 20□ 두께의 옥사이드와 동등하도록 선택된다.

상기 " 옥사이드 동등 두께" , 또는 OXeq는 다음과 같이 계산될 수 있는데,

OX_eq " =" {T'x'4} OVER K,

여기서 T는 상기 높은 유전 상수 물질의 □ 두께이고, 4는 옥사이드의 유전 상수이며, K는 상기 높은 유전 상수 물질의 유전 상수이다. 산화 탄탈륨 펜톡사이드 막의 유전 상수는 약 30이다. 증착되는 상기 탄탈륨 펜톡사이드층의 두께는 약 40□ 에서 약 150□이고, 대안적으로 약 70□ 에서 약 100□이며, 다른 실시예에서, 약 70이다.

도 6은 도 4-5에 도시된 반도체 웨이퍼와 동일한 것을 묘사하며, 이는 니트라이트층(112)을 가지는 기판(104)을 포함하며, 니트라이트층(112)의 표면 상에 탄탈륨 펜톡사이드층(116)을 증착한 후이다. 탄탈륨 펜톡사이드층(116)은 카본 원자 오염물들을 나타내는 점들로 묘사된다.

이러한 증착 후에, 상기 Ta_2O_5층은 결정 구조를 가질 수 있지만, 상기전구체의 잔류 집단(예를 들어, $-C_2H_5$)으로부터 유도되는 카본 혼합물을 포함한다. 상기 카본 오염물들은 상기 웨이퍼를 산호 분위기에서 약 800℃보다 높은 온도에서 약 1분에서 약 20분, 또는 대안적으로 약 5분 가열하는 것으로 제거 될 수 있다. 열처리 및 산화 후에, 상기 높은 유전 상수층의 옥사이드 동등 두께는 약 2□ 에서 약 20□이며, 다른 실시예에서는 5□이다.

도 7은 도 4-6에 도시된 반도체 웨이퍼와 동일한 것을 묘사하며, 이는 기판(104), 니트라이트층(112), 그리고 산화된 후의 탄탈륨 펜톡사이드층(116)을 포함한다. 상기 반응로의 산소는 탄탈륨 펜톡사이드층(116)의 카본과 반응하여 카본 다이옥사이드(CO_2)를 형성하고, 이는 휘발성이며 상기 탄탈륨 펜톡사이드층을 남기고 상기 반응로에서 배출될 수 있다.

상기 기본 옥사이드층이 실질적으로 상기 생산 공정 중에 상기 실리콘 기판으로부터 제거되기 때문에, 약 4의 유전 상수를 가지는 물질은 거의 남지 않는다. 결과적으로, 상기 절연 막의 전체 유전 상수는 상기 높은 유전 물질의 유전 상수에의해 대부분 결정되며, 옥사이드는 거의 영향을 미치지 못한다. 상기 전체 절연층의 유전 상수는 순수한 높은 유전 상수 물질층의 것에 거의 근접한다. 더 높은 유전 상수를 가지는 것으로, 상기 높은 유전층은 종래처럼 두꺼울 필요가 없는데, 이는 부가적으로 높은 유전 상수 물질이 종래 기술에서 상기 상대적으로 낮은 유전 상수를 제공하는 옥사이드를 보상해야 할 필요가 없기 때문이다. 그래서, 약 75의 유전 상수를 가지는 높은 유전 상수 물질을 선택하는 것으로 이 층의 옥사이드 동등 두께는 약 2.6□이다. 상기 옥사이드 동등 두께를 줄이는 것으로, 상기 막의 전체 용량을 증가시키고, 그로인해 좀더 효율적인 절연을 제공할 수 있다.

산업상 이용 가능성

본 발명의 방법들은 낮은 유전 상수 옥사이드들의 절연 능력 희석 없이 높은 유전 상수를 가지는 절연 물질층을 생산하기위해 제공된다. 이러한 높은 유전 상수층들은 반도체 디바이스의 도전성 라인들과 같은 고전압 부분들의 절연에 유용하다. 높은 유전 상수 물질을 증착하기 전에 상기 반도체 디바이스로부터 낮은 유전 상수층을 제거하는 것으로, 전체 층들의 유전 상수는 이전보다 높아진다. 그래서, 절연층들은 좀더 효율적이고, 그로인해 이전에 가능한것보다 더 얇아지며, 그에 따라 반도체 디바이스의 축소를 허용한다.

(57) 청구의 범위

청구항 1.

기본 옥사이드층을 가지는 반도체 웨이퍼 상에 높은 유전 상수를 가지는 절연층을 생산하는 방법에 있어서, 상기 방법은,

옥사이드 환원 작용제 분위기에서 상기 웨이퍼를 가열하는 단계와,

상기 기판 상에 장벽층을 형성하는 단계와,

상기 장벽층 상에 높은 유전 상수를 가지는 절연 물질층을 증착하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 2.

제 1항에 있어서, 옥시덴트 분위기에서 상기웨이퍼를 가열하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 3.

제 1항에 있어서, 상기 장벽층은 니트라이드층인 것을 특징으로 하는 방법.

청구항 4.

제 1항에 있어서, 상기 높은 유전 상수를 가지는 절연 물질은 탄탈륨 펜톡사이드인 것을 특징으로 하는 방법.

청구항 5.

제 1항에 있어서, 상기 옥사이드 환원 작용제는 암모니아이며, 상기 옥사이드 환원 작용제 분위기에서 상기 웨이퍼를 가열하는 단계는 약 250℃에서 약 700℃ 영역의 온도에서 실시되는 것을 특징으로 하는 방법.

청구항 6.

제 1항에 있어서, 상기 옥사이드 환원 작용제는 하이드로겐이며, 상기 옥사이드 환원 작용제 분위기에서 상기 웨이퍼를 가열하는 단계는 약 250℃에서 약 1100℃ 영역의 온도에서 실시되는 것을 특징으로 하는 방법.

청구항 7.

제 3항에 있어서, 상기 니트라이드층은 약 1와트/㎠에서 약 3와트/㎠의 영역의 무선주파수 전력, 약 15초에서 약 30초 영역의 증착 시간 그리고 약 100미리토르에서 약 100토르인 전체 압력으로 구성된 집단에서 선택된 적어도 하나의 변수를 사용하는 것으로 실시되는 플라즈마 개선된 화학 기상 증착으로 형성되는 것을 특징으로 하는 방법.

청구항 8.

제 3항에 있어서, 상기 니트라이드층은 상기 반응로에 암모니아를 유입하고 약 250℃에서 약 600℃ 영역의 온도로 약 1분간 상기 반응로를 가열한 후, 상기 반응로에 실란을 주입하고, 상기 반응로를 약 700℃로 가열하는 것으로 증착되며, 상기 암모니아와 상기 실란은 상기 웨이퍼 상에 니트라이드층을 형성하기위해 합성되고 증착되는 반응 중간물들을 형성하기위해 분해되는 것을 특징으로 하는 방법.

청구항 9.

제 3항에 있어서, 상기 니트라이드층은 니트라이데이션으로 형성되는 것을 특징으로 하는 방법.

청구항 10.

제 9항에 있어서, 상기 니트라이데이션은 약 700℃에서 약 1100℃ 영역의 온도에서 암모니아 분위기로 실시되는 것을 특징으로 하는 방법.

청구항 11.

제 3항에 있어서, 상기 니트라이드층은 약 5□ 에서 약 20□ 영역의 두께를 가지는 것을 특징으로 하는 방법.

청구항 12.

제 1항에 있어서, 상기 절연 물질층은 약 5에서 약 75 영역의 유전 상수를 가지는 것을 특징으로 하는 방법.

청구항 13.

제 1항에 있어서, 상기 절연 물질층은 $Me_m(O-R)_n$구조의 전구체를 가지며, 여기서 Me는 금속, R은 카본-함유 잔여 집단 그리고 m과 n은 정수인 것을 특징으로 하는 방법.

청구항 14.

제 13항에 있어서, 상기 금속은 탄탈륨, 텅스텐, 지르코늄, 스트론듐, 바륨 스트론듐 그리고 티타늄으로 형성된 집단에서 선택되는 것을 특징으로 하는 방법.

청구항 15.

제 13항에 있어서, 상기 R은 에틸, 메틸, 프로필, 이소프로필, 뷰틸, 그리고 이소뷰틸 부분들로 형성된 집단에서 선택되는 것을 특징으로 하는 방법.

청구항 16.

제 13항에 있어서, 상기 절연 물질층은 약 400℃에서 약 850℃ 영역의 온도와 불활성 가스의 약 1%에서 약 50% 영역의 전구체 농도로 구성되는 집단에서 선택되는 적어도 하나의 변수를 사용하는 것으로 증착되는 것을 특징으로 하는 방법.

청구항 17.

제 16항에 있어서, 상기 불활성 가스는 He, Ne, N_2, Ar 그리고 Xe로 구성되는 집단에서 선택되는 것을 특징으로 하는 방법.

청구항 18.

제 1항에 있어서, 상기 높은 유전 상수 물질은 약 40□ 에서 약 20□ 영역의 두께로 증착되는 것을 특징으로 하는 방법.

청구항 19.

제 1항에 있어서, 상기 절연 물질은 탄탈륨 펜톡사이드를 포함하는 것을 특징으로 하는 방법.

청구항 20.

제 2항에 있어서, 옥시덴트 분위기에서 상기 웨이퍼를 가열한 후, 상기 높은 유전 상수 물질은 약 2□ 에서 약 20□ 영역 두께인 옥사이드 동등 두께를 가지는 것을 특징으로 하는 방법.

청구항 21.

제 1항에 있어서, 상기 옥사이드 환원 작용제의 농도는 용적의 약 1%에서 약 50% 영역인 것을 특징으로 하는 방법.

청구항 22.

제 2항에 있어서, 상기 산화 단계는 산소를 이용하여 실시되는 것을 특징으로 하는 방법.

청구항 23.

제 2항에 있어서, 상기 옥시텐트 분위기에서 상기 웨이퍼를 가열하는 단계는 약 600℃에서 약 900℃ 영역의 온도와, 약 1분에서 약 20분 영역의 시간 중 적어도 하나에서 수행되는 것을 특징으로 하는 방법.

청구항 24.

약 2□ 이하의 두께를 가지는 버퍼 옥사이드층을 가지는 기판과, 그 상부에 장벽층과 상기 장벽층 상에 높은 유전 상수 물질층을 포함하는 것을 특징으로 하는 반도체 박막.

청구항 25.

제 24항에 있어서, 상기 장벽층은 니트라이드층인 것을 특징으로 하는 반도체 박막.

청구항 26.

제 25항에 있어서, 상기 니트라이트층은 약 5□ 에서 약 20□ 영역 두께를 가지는 것을 특징으로 하는 반도체 박막.

청구항 27.

제 24항에 있어서, 상기 높은 유전 상수 물질은 약 5에서 75 영역의 유전 상수를 가지는 것을 특징으로 하는 반도체 박막.

청구항 28.

제 27항에 있어서, 상기 높은 유전 상수 물질은 탄탈륨, 텅스텐, 티타늄, 지르코늄, 스트론듐 그리고 바륨 스트론듐으로 형성된 집단에서 선택되는 금속 요소를 가지는 금속 옥사이드를 포함하는 것을 특징으로 하는 반도체 박막.

청구항 29.

제 27항에 있어서, 상기 높은 유전 상수 물질은 탄탈륨 펜톡사이드를 포함하는 것을 특징으로 하는 반도체 박막.

청구항 30.

제 27항에 있어서, 상기 높은 유전 상수 물질의 두께는 약 2□ 에서 약 20□ 영역의 옥사이드 동등 두께인 것을 특징으로 하는 반도체 박막.

청구항 31.

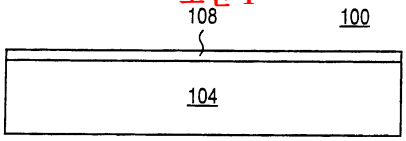
제 24항에 있어서, 상기 높은 유전 상수 물질의 두께는 약 40□ 에서 약 150□ 영역인 것을 특징으로 하는 반도체 박막.

청구항 32.

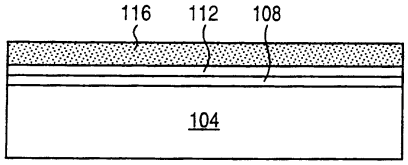
제 24항에 있어서, 상기 높은 유전 상수 물질층은 실질적으로 카본 오염물들이 없는 것을 특징으로 하는 반도체 박막.

도면

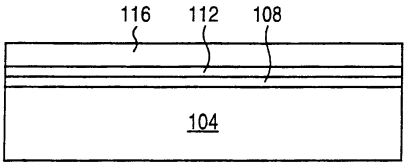
도면 1



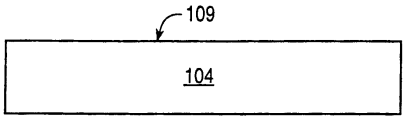
도면 2



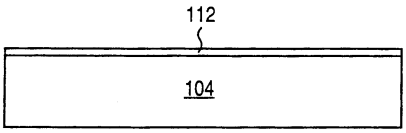
도면 3



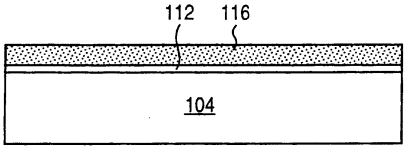
도면 4



도면 5



도면 6



도면 7

