

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年10月9日(2014.10.9)

【公開番号】特開2012-123889(P2012-123889A)

【公開日】平成24年6月28日(2012.6.28)

【年通号数】公開・登録公報2012-025

【出願番号】特願2011-168083(P2011-168083)

【国際特許分類】

G 11 C 11/406 (2006.01)

G 11 C 11/403 (2006.01)

G 11 C 11/4072 (2006.01)

【F I】

G 11 C 11/34 3 6 3 N

G 11 C 11/34 3 6 3 M

G 11 C 11/34 3 7 1 E

【手続補正書】

【提出日】平成26年8月27日(2014.8.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルアレイと、

前記メモリセルアレイにアクセスするよう構成されたアクセス制御回路と、

本半導体装置がリセット状態にある場合には前記アクセス制御回路が前記メモリセルアレイのリフレッシュを行わないよう、かつ、本半導体装置が前記リセット状態から初期状態に移行した場合には前記アクセス制御回路が本半導体装置の外部からリフレッシュ要求を受けることなく前記メモリセルアレイの前記リフレッシュを行うよう、前記アクセス制御回路を制御するよう構成されたリフレッシュ制御回路と、を備えることを特徴とする半導体装置。

【請求項2】

前記リフレッシュ制御回路は、複数回リフレッシュ信号を生成するよう構成され、

前記アクセス制御回路は、前記リフレッシュ信号が発生するごとにそれに応じて前記リフレッシュを行うよう構成されることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記リフレッシュ制御回路は、本半導体装置が前記リセット状態にある場合には前記リフレッシュ信号を生成しないよう、かつ、本半導体装置が前記リセット状態から前記初期状態に移行した後は前記リフレッシュ信号を生成するよう、構成されることを特徴とする請求項2に記載の半導体装置。

【請求項4】

前記リフレッシュ制御回路は、第1エグジット信号に応じて前記リフレッシュ信号の生成を止めるよう構成されることを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記第1エグジット信号はクロックイネーブル信号であることを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記リフレッシュ制御回路が前記リフレッシュ信号を第1の回数生成すると第2エグジット信号を生成するよう構成されたカウント制御回路をさらに備え、

前記リフレッシュ制御回路は、前記第2エグジット信号に応じて前記リフレッシュ信号の生成を止めるよう構成されることを特徴とする請求項3に記載の半導体装置。

【請求項7】

前記カウント制御回路は、前記第2エグジット信号が生成されると、前記リフレッシュ信号のカウントにおけるカウント値を初期化するよう構成されることを特徴とする請求項6に記載の半導体装置。

【請求項8】

メモリセルアレイと、

第1および第2論理レベルのうちのひとつをとるリセット信号を生成するよう構成されたリセット入力回路と、

前記リセット信号が前記第1論理レベルをとる場合にはリフレッシュ信号を発行せず、かつ、前記リセット信号の前記第1論理レベルから前記第2論理レベルへの移行に応じて前記リフレッシュ信号を発行するよう構成された第1制御回路と、

前記リフレッシュ信号に応じて前記メモリセルアレイのリフレッシュを行うよう構成された第2制御回路と、を備えることを特徴とする装置。

【請求項9】

前記第1制御回路は、外部からリフレッシュ要求を受けることなく、前記リセット信号の移行に応じて少なくとも2回前記リフレッシュ信号を発行するよう構成されることを特徴とする請求項8に記載の装置。

【請求項10】

前記第1制御回路は、クロックイネーブル信号が活性化されたときに前記リフレッシュ信号の発行を止めるよう構成されることを特徴とする請求項8または9に記載の装置。

【請求項11】

前記第1制御回路は、前記リフレッシュ信号が発行されるごとにそれに応じてそのカウント値をカウントアップするよう構成された第1回路部を含み、

前記第1制御回路は、前記第1回路部の前記カウント値が第1の値に達すると前記リフレッシュ信号の発行を止めるよう構成されることを特徴とする請求項8から10のいずれかに記載の装置。

【請求項12】

メモリセルアレイと、

第1期間において前記メモリセルアレイをリセット状態に維持し、前記メモリセルアレイを前記リセット状態から解放して初期状態とし、前記第1期間に続く第2期間において前記メモリセルアレイを前記初期状態に維持するよう構成された制御回路と、を備え、

前記制御回路はさらに、前記第1期間においては前記メモリセルアレイのリフレッシュを行わないよう、かつ、前記第2期間においては本装置の外部からリフレッシュ要求を受けることなく前記メモリセルアレイの前記リフレッシュを行うよう、構成されることを特徴とする装置。

【請求項13】

前記制御回路は、前記第2期間の後に前記メモリセルアレイを前記初期状態から解放して動作状態とするよう構成されることを特徴とする請求項12に記載の装置。

【請求項14】

前記制御回路は、前記第1期間において第1論理レベルをとり前記第2期間において第2論理レベルをとるリセット信号を受け、

前記制御回路は、前記リセット信号の前記第1論理レベルから前記第2論理レベルへの移行に応じて前記メモリセルアレイを前記リセット状態から解放して前記初期状態とするよう構成されることを特徴とする請求項12または13に記載の装置。

【請求項15】

前記第1制御回路は、前記リセット信号の移行に応じて複数回前記リフレッシュ信号を

発行するよう構成され、

前記第2制御回路は、前記リフレッシュ信号が発行されるごとにそれに応じて前記メモリセルアレイのリフレッシュを行うよう構成されることを特徴とする請求項8から11のいずれかに記載の装置。