

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3946874号
(P3946874)

(45) 発行日 平成19年7月18日(2007.7.18)

(24) 登録日 平成19年4月20日(2007.4.20)

(51) Int.C1.

F 1

HO1L 21/60	(2006.01)	HO1L 21/60	301N
HO1L 23/12	(2006.01)	HO1L 23/12	301C
		HO1L 23/12	301L

請求項の数 8 (全 17 頁)

(21) 出願番号 特願平10-190809
 (22) 出願日 平成10年7月6日(1998.7.6)
 (65) 公開番号 特開2000-21926(P2000-21926A)
 (43) 公開日 平成12年1月21日(2000.1.21)
 審査請求日 平成17年7月6日(2005.7.6)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (73) 特許権者 000233527
 株式会社ルネサス東日本セミコンダクタ
 東京都新宿区西新宿六丁目5番1号
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (72) 発明者 神代 岩道
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体事業部内
 (72) 発明者 菊池 栄
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体事業部内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

平面が四辺形状で形成された半導体チップと、
 第1面と前記第1面に対向する第2面とを有し、前記第1面側に前記半導体チップが搭載された基板と、
 前記半導体チップの第1面の第1領域に形成され、前記半導体チップの一辺側に配置された第1電極と、
 前記第1領域に形成され、入力部が前記第1電極と電気的に接続された第1増幅手段と、
 前記半導体チップの前記第1面の前記第1領域とは異なる第2領域に形成され、前記半導体チップの前記一辺側に配置された第2電極と、
 前記第2領域に形成され、出力部が前記第2電極と電気的に接続された第2増幅手段と、

前記半導体チップの前記一辺と向かい合うようにして前記基板の前記第1面に形成され、第1ワイヤを介して前記第1電極と電気的に接続された第3電極と、
 前記半導体チップの前記一辺と向かい合うようにして前記基板の前記第1面に形成され、第2ワイヤを介して前記第2電極と電気的に接続された第4電極と、
 前記第1領域に形成され、前記半導体チップの前記一辺と対向する他の辺側に配置され、前記第1増幅手段の出力部と電気的に接続された第5電極と、
 前記第2領域に形成され、前記半導体チップの前記他の辺側に配置され、前記第2増幅

10

20

手段の入力部と電気的に接続された第6電極と、

前記半導体チップの前記他の辺と向かい合うようにして前記基板の前記第1面に形成され、第3ワイヤを介して前記第5電極と電気的に接続された第7電極と、

前記半導体チップの前記他の辺と向かい合うようにして前記基板の前記第1面に形成され、第4ワイヤを介して前記第6電極と電気的に接続され、更に前記第7電極と電気的に接続された第8電極と、

前記半導体チップの前記一辺と向かい合うようにして前記基板の前記第1面に形成され、前記半導体チップの前記第1面の前記第1領域と前記第2領域との間の第3領域上を延在し、基準電位に電位固定される第5ワイヤの一端側が接続された第9電極と、

前記半導体チップの前記他の辺と向かい合うようにして前記基板の前記第1面に形成され、前記第5ワイヤの他端側が接続された第10電極とを有し、

前記第9電極と前記半導体チップの前記一辺との間の距離は、前記第4電極と前記半導体チップの前記一辺との間の距離よりも大きく、

前記第10電極と前記半導体チップの前記他の辺との間の距離は、前記第7電極と前記半導体チップの前記他の辺との間の距離よりも大きいことを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記第3電極は、前記半導体チップの前記一辺からの距離が前記第4電極とほぼ同一となる位置に配置され、

前記第7電極及び前記第8電極は、前記半導体チップの前記他の辺からの距離がほぼ同一となる位置に配置されていることを特徴とする半導体装置。

【請求項3】

請求項1に記載の半導体装置において、

前記第3電極と前記半導体チップの前記一辺との間の距離は、前記第9電極と前記半導体チップの前記一辺との間の距離よりも大きいことを特徴とする半導体装置。

【請求項4】

平面が四辺形状で形成された半導体チップと、

第1面と前記第1面に対向する第2面とを有し、前記第1面側に前記半導体チップが搭載された基板と、

前記半導体チップの第1面の第1領域に形成された第1電極と、

前記第1領域に形成され、入力部が前記第1電極と電気的に接続された第1增幅手段と、

前記半導体チップの前記第1面の前記第1領域とは異なる第2領域に形成された第2電極と、

前記第2領域に形成され、出力部が前記第2電極と電気的に接続された第2增幅手段と、

前記基板の前記第1面に形成され、第1ワイヤを介して前記第1電極と電気的に接続された第3電極と、

前記基板の前記第1面に形成され、第2ワイヤを介して前記第2電極と電気的に接続された第4電極とを具備して成り、

前記第1增幅手段の出力部と前記第2增幅手段の入力部とは電気的に接続され、

前記第4電極は前記半導体チップの一辺と向かい合う位置に配置され、

前記第3電極は前記半導体チップの前記一辺に対して交わる他の辺と向かい合う位置に配置されていることを特徴とする半導体装置。

【請求項5】

平面が四辺形状で形成された半導体チップと、

第1面と前記第1面に対向する第2面とを有し、前記第1面側に前記半導体チップが搭載された基板と、

前記半導体チップの第1面に形成された第1電極と、

前記半導体チップの前記第1面に形成され、入力部が前記第1電極と電気的に接続され

10

20

30

40

50

た第1增幅手段と、

前記半導体チップの前記第1面に形成された第2電極と、

前記半導体チップの前記第1面に形成され、出力部が前記第2電極と電気的に接続された第2增幅手段と、

前記基板の前記第1面に形成され、第1ワイヤを介して前記第1電極と電気的に接続された第3電極と、

前記基板の前記第1面に形成され、第2ワイヤを介して前記第2電極と電気的に接続された第4電極とを具備して成り、

前記第1增幅手段の出力部と前記第2增幅手段の入力部とは電気的に接続され、

前記第1ワイヤは、前記第1ワイヤと前記半導体チップの一辺とが互いに交差するよう 10 に、前記第1電極から前記第3電極まで延在し、

前記第2ワイヤは、前記第2のワイヤと前記半導体チップの前記一辺に対して交わる他の辺とが互いに交差するように、前記第2電極から前記第4電極まで延在することを特徴とする半導体装置。

【請求項6】

平面が四辺形状で形成された半導体チップと、

第1面と前記第1面に対向する第2面とを有し、前記第1面側に前記半導体チップが搭載された基板と、

前記半導体チップの第1面に形成された第1電極と、

前記半導体チップの前記第1面に形成され、入力部が前記第1電極と電気的に接続された第1增幅手段と、 20

前記半導体チップの前記第1面に形成された複数の第2電極と、

前記半導体チップの前記第1面に形成され、出力部が前記複数の第2電極と電気的に接続された第2增幅手段と、

前記基板の前記第1面に形成され、第1ワイヤを介して前記第1電極と電気的に接続された第3電極と、

前記基板の前記第1面に形成され、複数の第2ワイヤを介して前記複数の第2電極と電気的に接続された第4電極とを具備して成り、

前記第1增幅手段の出力部と前記第2增幅手段の入力部とは電気的に接続され、

前記第1ワイヤは、前記第1ワイヤと前記半導体チップの一辺とが互いに交差するよう 30 に、前記第1電極から前記第3電極まで延在し、

前記複数の第2ワイヤの夫々は、前記複数の第2のワイヤの夫々と前記半導体チップの前記一辺に対して交わる他の辺とが互いに交差するように、前記複数の第2電極から前記第4電極まで延在することを特徴とする半導体装置。

【請求項7】

請求項4乃至請求項6のうち何れか1項に記載の半導体装置において、

前記第1增幅手段の前記入力部に入力された信号を電圧増幅し、前記第2增幅手段の前記出力部から、電圧増幅された前記信号を出力することを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項6のうち何れか1項に記載の半導体装置において、 40

前記第1及び前記第2增幅手段の各々は、ゲート、ソース、及びドレインを有する電界効果トランジスタを含んで成り、

前記第1增幅手段の前記入力部は、前記第1增幅手段の前記電界効果トランジスタの前記ゲートであり、

前記第1增幅手段の前記出力部は、前記第1增幅手段の前記電界効果トランジスタの前記ドレインであり、

前記第2增幅手段の前記入力部は、前記第2增幅手段の前記電界効果トランジスタの前記ゲートであり、

前記第2增幅手段の前記出力部は、前記第2增幅手段の前記電界効果トランジスタの前記ドレインであることを特徴とする半導体装置。 50

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体装置に関し、特に、多段式増幅回路構成の半導体装置に適用して有効な技術に関するものである。

【0002】**【従来の技術】**

半導体装置として、PDC (Personal Digital Cellular) 方式の自動車電話及び携帯電話、或いはPHS (Personal Handyphone System) 方式の携帯電話等の携帯通信機器に組み込まれる高周波電力増幅器(高周波パワーモジュール)がある。この高周波電力増幅器は、複数の増幅手段を多段に接続した多段式増幅回路構成になっている。

10

【0003】

前記高周波電力増幅器は、一主面に増幅手段が形成された半導体チップを配線基板の一主面側に搭載し、半導体チップの一主面に形成された電極と配線基板の一主面に形成された電極とを導電性のワイヤで電気的に接続している。増幅手段は、例えば複数の電界効果トランジスタの夫々を電気的に並列に接続した構成になっており、増幅手段のゲート端子(入力部)は半導体チップの一主面に形成されたチップ側入力用電極と電気的に接続され、増幅手段のドレイン端子(出力部)は半導体チップの一主面に形成されたチップ側出力用電極と電気的に接続されている。チップ側入力用電極は半導体チップの一辺側に配置され、チップ側出力用電極は半導体チップの一辺と対向する他の辺側に配置されている。増幅手段のソース端子は半導体チップの一主面と対向する他の面(裏面)に形成された裏面電極と電気的に接続され、この裏面電極は基準電位に電位固定される。チップ側入力用電極は、半導体チップの一辺と向かい合うようにして配線基板の一主面に形成された基板側入力用電極と入力用ワイヤを介して電気的に接続され、チップ側出力用電極は、半導体チップの他の辺と向かい合うようにして配線基板の一主面に形成された基板側出力用電極と出力用ワイヤを介して電気的に接続されている。

20

【0004】

ところで、前記高周波電力増幅器においては、小型化及び低価格化を図るため、一つの半導体チップに複数の増幅手段を形成する試みが成されているが、例えば、一つの半導体チップに二つの増幅手段を形成する場合、前段の増幅手段と後段の増幅手段との入出力が逆になるため、入力用ワイヤと出力用ワイヤとが近接し、このワイヤ間での相互誘導作用によって高周波特性が劣化する問題があった。この問題は、特に、流れる電力差が大きい前段の入力用ワイヤと後段の出力用ワイヤとの間において顕著となる。

30

【0005】

そこで、ワイヤ間の相互誘導作用による高周波特性の劣化を防止する技術が、例えば特開平9-260412号公報に記載されている。この技術は、チップ側入力用電極とチップ側出力用電極との間にチップ側ボンディング用電極を形成し、基板側入力用電極と基板側出力用電極との間に基板側ボンディング用電極を形成し、このボンディング用電極間をワイヤで電気的に接続し、チップ側ボンディング用電極又は基板側ボンディング用電極を基準電位に電位固定することによって、入力用ワイヤと出力用ワイヤとの相互誘導作用による高周波特性の劣化を防止している。

40

【0006】**【発明が解決しようとする課題】**

しかしながら、本発明者等は前述の技術を検討した結果、以下の問題点を見出した。

【0007】

基板側ボンディング用電極は、基板側入力用電極と基板側出力用電極との間に配置されている。即ち、基板側入力用電極、基板側ボンディング用電極、基板側出力用電極の夫々は、半導体チップの一辺に沿って一直線上に配置されている。

【0008】

基板側電極は、一般的にスクリーン印刷法によって形成されるため、ホトリソグラフィ技

50

術によって形成されるチップ側電極よりも占有面積が大きくなる。また、伝搬経路を短縮するために基板側電極の直下においてスルーホール配線が形成される。このスルーホール配線の平面方向の面積(外形サイズ)は低抵抗化を図るためにある程度大きくしなければならないので、基板側電極の占有面積が大きくなる。更に、スルーホールの加工精度自体も低いので、基板側電極の占有面積が大きくなる。従って、基板側入力用電極、基板側ボンディング用電極、基板側出力用電極の夫々を半導体チップの一辺に沿って一直線上に配置した場合、これらの電極配列長が長くなり、チップ側入力用電極と基板側入力用電極とが向かい合わなくなると共に、チップ側出力用電極と基板側出力用電極とが向かい合わなくなるので、入力用ワイヤ及び出力用ワイヤの長さが長くなる。入力用ワイヤ及び出力用ワイヤの長さが長くなると、インダクタンスが増加し、高周波特性が劣化するため、前段の增幅手段と後段の増幅手段との間隔を広げてワイヤ長を短くしなければならず、半導体チップの占有面積が増加し、高周波電力増幅器の小型化を阻害する要因となる。10

【0009】

本発明の目的は、半導体装置の小型化を図ることが可能な技術を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によつて明らかになるであろう。

【0011】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。20

【0012】

本発明の参考例の半導体装置は、平面が方形で形成された半導体チップと、一主面側に前記半導体チップが搭載された配線基板と、前記半導体チップの一主面の第1領域に形成され、前記半導体チップの一辺側に配置された第1電極と、前記半導体チップの一主面の第1領域に形成され、入力部が前記第1電極と電気的に接続された第1増幅手段と、前記半導体チップの一主面の第2領域に形成され、前記半導体チップの一辺側に配置された第2電極と、前記半導体チップの一主面の第2領域に形成され、出力部が前記第2電極と電気的に接続された第2増幅手段と、前記半導体チップの一主面の第1領域と第2領域との間に第3領域に形成された第3電極と、前記半導体チップの一辺と向かい合うようにして前記配線基板の一主面に形成され、第1ワイヤを介して前記第1電極と電気的に接続された第4電極と、前記半導体チップの一辺と向かい合うようにして前記配線基板の一主面に形成され、第2ワイヤを介して前記第2電極と電気的に接続された第5電極と、前記半導体チップの一辺と向かい合うようにして前記配線基板の一主面に形成され、基準電位に電位固定される第3ワイヤを介して前記第3電極と電気的に接続された第6電極とを有する半導体装置であって、前記第6電極は、前記第5電極よりも前記半導体チップの一辺から遠く離れた位置に配置されている。前記第4電極は、前記半導体チップの一辺からの距離が前記第5電極とほぼ同一となる位置、又は前記第6電極よりも前記半導体チップの一辺から遠く離れた位置に配置されている。30

【0013】

上述した参考例によれば、第6電極の占有面積に相当する分、第4電極と第5電極との間隔を狭くすることができるので、半導体チップの第1領域と第2領域との間隔を狭くすることができる。この結果、半導体チップの占有面積を縮小することができるので、半導体装置の小型化を図ることができる。40

本発明の半導体装置は、

平面が四辺形状で形成された半導体チップと、

第1面と前記第1面に対向する第2面とを有し、前記第1面側に前記半導体チップが搭載された基板と、

前記半導体チップの第1面の第1領域に形成され、前記半導体チップの一辺側に配置された第1電極と、50

前記第1領域に形成され、入力部が前記第1電極と電気的に接続された第1増幅手段と

前記半導体チップの前記第1面の前記第1領域とは異なる第2領域に形成され、前記半導体チップの前記一辺側に配置された第2電極と、

前記第2領域に形成され、出力部が前記第2電極と電気的に接続された第2増幅手段と

前記半導体チップの前記一辺と向かい合うようにして前記基板の前記第1面に形成され、第1ワイヤを介して前記第1電極と電気的に接続された第3電極と、

前記半導体チップの前記一辺と向かい合うようにして前記基板の前記第1面に形成され、第2ワイヤを介して前記第2電極と電気的に接続された第4電極と、

前記第1領域に形成され、前記半導体チップの前記一辺と対向する他の辺側に配置され、前記第1増幅手段の出力部と電気的に接続された第5電極と、

前記第2領域に形成され、前記半導体チップの前記他の辺側に配置され、前記第2増幅手段の入力部と電気的に接続された第6電極と、

前記半導体チップの前記他の辺と向かい合うようにして前記基板の前記第1面に形成され、第3ワイヤを介して前記第5電極と電気的に接続された第7電極と、

前記半導体チップの前記他の辺と向かい合うようにして前記基板の前記第1面に形成され、第4ワイヤを介して前記第6電極と電気的に接続され、更に前記第7電極と電気的に接続された第8電極と、

前記半導体チップの前記一辺と向かい合うようにして前記基板の前記第1面に形成され、前記半導体チップの前記第1面の前記第1領域と前記第2領域との間の第3領域上を延在し、基準電位に電位固定される第5ワイヤの一端側が接続された第9電極と、

前記半導体チップの前記他の辺と向かい合うようにして前記基板の前記第1面に形成され、前記第5ワイヤの他端側が接続された第10電極とを有し、

前記第9電極と前記半導体チップの前記一辺との間の距離は、前記第4電極と前記半導体チップの前記一辺との間の距離よりも大きく、

前記第10電極と前記半導体チップの前記他の辺との間の距離は、前記第7電極と前記半導体チップの前記他の辺との間の距離よりも大きい。

【0014】

【発明の実施の形態】

以下、本発明の構成について、自動車電話、携帯電話等の携帯通信機器に組み込まれる高周波電力増幅器(高周波パワーモジュール)に本発明を適用した実施の形態とともに説明する。なお、実施の形態を説明するための図面において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0015】

(参考例)

図1は、本発明の参考例である高周波電力増幅器の外観構成を示す斜視図であり、図2は、前記高周波電力増幅器の等価回路図であり、図3は図2に示す一点鎖線で囲まれた部分と対応する配線基板の要部平面図であり、図4は図3の要部斜視図であり、図5は図3の要部拡大平面図であり、図6は前記高周波電力増幅器に組み込まれた半導体チップのトランジスタ形成領域における要部断面図であり、図7は、前記半導体チップのアイソレーション領域における要部断面図である。

【0016】

本参考例の高周波電力増幅器は、図1に示すように、板状の配線基板1の一主面上にキャップ8が重ねられ、外観的には偏平な矩形体構造になっている。配線基板1は、平面が方形状(本参考例においては長方形状)で形成され、多層配線構造のセラミックス基板で形成されている。キャップ8は、平面が方形状(本参考例においては長方形状)で形成され、導電性の金属材料で形成されている。このキャップ8は、シールド効果を持たせるために基準電位(例えば0[V])に電位固定される。

【0017】

10

20

30

40

50

前記高周波電力増幅器は、図2に示すように、多段式増幅回路で構成されている。この多段式増幅回路は、主に、容量素子C1～C11、抵抗素子R1～R4、マイクロストリップ線路STL1～STL3、増幅手段PW1～増幅手段PW3等で構成されている。

【0018】

増幅手段PW1、PW2、PW3の夫々は、複数の電界効果トランジスタの夫々を電気的に並列に接続した構成になっている。増幅手段PW1は、ゲートの総延長が4000[μm]程度で形成され、増幅手段PW2は、ゲートの総延長が3200[μm]程度で形成され、増幅手段PW3は、ゲートの総延長が8000[μm]程度で形成されている。

【0019】

増幅手段PW1のゲート端子(入力部)は高周波電力(例えば1[mW])が印加される入力用外部端子Pinと電気的に接続され、増幅手段PW1のドレイン端子(出力部)は後段の増幅手段PW2のゲート端子(入力部)及びマイクロストリップ線路STL1の一端側と電気的に接続されている。増幅手段PW2のドレイン端子(出力部)は後段の増幅手段PW3のゲート端子(入力部)及びマイクロストリップ線路STL2の一端側と電気的に接続されている。増幅手段PW3のドレイン端子(出力部)は出力用外部端子Poutと電気的に接続されている。

【0020】

増幅手段PW1、PW2、PW3の夫々のソース端子は、基準電位(例えば0[V])に電位固定される基準電位用外部端子と電気的に接続されている。マイクロストリップ線路STL1、STL2、STL3の夫々の他端側は、電源電位(例えば3.5[V])が印加される電源電位用外部端子VDDと電気的に接続されている。なお、増幅手段PW1、PW2、PW3の夫々のゲート端子には外部端子VGが電気的に接続され、この外部端子VGには出力電力を調整するための電圧(APC信号、オートマチック・パワー・コントロール・シグナル)が印加される。

【0021】

増幅手段PW1、PW2の夫々は、図3に示す半導体チップ5に形成され、増幅手段PW3は、図示していないが、半導体チップ5と異なる他の半導体チップに形成されている。半導体チップ5は配線基板1の一主面に形成された凹部1A内に搭載され、他の半導体チップは配線基板1の一主面に形成された他の凹部内に搭載されている。即ち、増幅手段が形成された半導体チップは配線基板1の一主面側に搭載されている。半導体チップ5、他の半導体チップの夫々は、平面が方形状(本参考例においては長方形状)で形成されている。なお、増幅手段PW3が形成された他の半導体チップについては以降の説明を省略する。

【0022】

半導体チップ5が搭載された凹部1Aの底面には、図4に示すように、導電プレート1Bが形成されている。導電プレート1Bは、その直下に形成されたスルーホール配線3を介して、配線基板1の一主面と対向する他の主面(裏面)に形成された基準電位用外部端子4と電気的に接続されている。この基準電位用外部端子4は例えば0[V]電位に電位固定される。なお、前述の入力用外部端子Pin、出力用外部端子Pout、電源電位用外部端子VDD、外部端子VGの夫々も配線基板1の裏面に形成されている。

【0023】

図5に示すように、増幅手段PW1は半導体チップ5の一主面の第1領域5Aに形成されている。増幅手段PW1のゲート端子は、半導体チップ5の一主面の第1領域5Aに形成され、半導体チップ5の一辺5X側(本参考例においては一長辺側)に配置されたチップ側入力用電極6Aと電気的に接続されている。また、増幅手段PW1のドレイン端子は、半導体チップ5の一主面の第1領域5Aに形成され、半導体チップ5の一辺5Xと対向する他の辺5Y側(本参考例においては他の長辺側)に配置されたチップ側出力用電極6Dと電気的に接続されている。

【0024】

増幅手段PW2は半導体チップ5の一主面の第2領域5Bに形成されている。増幅手段P

10

20

30

40

50

W 2 のドレイン端子は、半導体チップ 5 の一正面の第 2 領域 5 B に形成され、半導体チップ 5 の一辺 5 X 側に配置されたチップ側出力用電極 6 B と電気的に接続されている。また、増幅手段 P W 2 のゲート端子は、半導体チップ 5 の一正面の第 2 領域 5 B に形成され、半導体チップ 5 の他の辺 5 Y 側に配置されたチップ側入力用電極 6 E と電気的に接続されている。

【 0 0 2 5 】

増幅手段 P W 1、P W 2 の夫々のソース端子は、後で詳細に説明するが、半導体チップ 5 の一正面と対向する他の正面（裏面）に形成された裏面電極と電気的に接続されている。

【 0 0 2 6 】

半導体チップ 5 の一正面の第 1 領域 5 A と第 2 領域 5 B との間にはこれらの領域間を電気的に分離するための第 3 領域（アイソレーション領域）5 C が形成されている。この第 3 領域 5 C には、半導体チップ 5 の一辺 5 X 側に配置されたチップ側ポンディング用電極 6 C 及び半導体チップ 5 の他の辺 5 Y 側に配置されたチップ側ポンディング用電極 6 F が形成されている。

10

【 0 0 2 7 】

チップ側入力用電極 6 A は、半導体チップ 5 の一辺 5 X と向かい合うようにして配線基板 1 の一正面に形成された基板側入力用電極 2 A と入力用ワイヤ 7 A を介して電気的に接続されている。基板側入力用電極 2 A は、その直下に形成されたスルーホール配線 3 及び内部配線を介して、配線基板 1 の裏面に形成された入力用外部端子（Pin）と電気的に接続されている。

20

【 0 0 2 8 】

チップ側出力用電極 6 B は、半導体チップ 5 の一辺 5 X と向かい合うようにして配線基板 1 の一正面に形成された基板側出力用電極 2 B と出力用ワイヤ 7 B を介して電気的に接続されている。基板側出力用電極 2 B は、その直下に形成されたスルーホール配線 3 及び内部配線を介して、増幅手段 P W 3 が形成された他の半導体チップの一辺と向かい合うようにして配線基板 1 の一正面に形成された基板入力用電極と電気的に接続されている。

30

【 0 0 2 9 】

チップ側ポンディング用電極 6 C は、半導体チップ 5 の一辺 5 X と向かい合うようにして配線基板 1 の一正面に形成された基板側ポンディング用電極 2 C とワイヤ 7 C を介して電気的に接続されている。基板側ポンディング用電極 2 C は、その直下に形成されたスルーホール配線 3 及び内部配線を介して、配線基板 1 の裏面に形成された基準電位用外部端子 4 と電気的に接続されている。即ち、ワイヤ 7 C は基準電位に電位固定される。

30

【 0 0 3 0 】

チップ側出力用電極 6 D は、半導体チップ 5 の他の辺 5 Y と向かい合うようにして配線基板 1 の一正面に形成された基板側出力用電極 2 D と出力用ワイヤ 7 D を介して電気的に接続されている。基板側出力用電極 2 D は、その直下にスルーホール配線 3 が形成されている。

【 0 0 3 1 】

チップ側入力用電極 6 E は、半導体チップ 5 の他の辺 5 Y と向かい合うようにして配線基板 1 の一正面に形成された基板側入力用電極 2 E と入力用ワイヤ 7 E を介して電気的に接続されている。基板側入力用電極 2 E は、スルーホール配線 3 及び内部配線を介して、基板側出力用電極 2 D と電気的に接続されている。

40

【 0 0 3 2 】

チップ側ポンディング用電極 6 F は、半導体チップ 5 の他の辺 5 Y と向かい合うようにして配線基板 1 の一正面に形成された基板側ポンディング用電極 2 F とワイヤ 7 F を介して電気的に接続されている。基板側ポンディング用電極 2 F は、その直下に形成されたスルーホール配線 3 及び内部配線を介して、配線基板 1 の裏面に形成された基準電位用外部端子 4 と電気的に接続されている。即ち、ワイヤ 7 F は基準電位に電位固定される。

【 0 0 3 3 】

チップ側出力用電極 6 D と半導体チップ 5 の他の辺 5 Y との距離は、チップ側入力用電極

50

6 A と半導体チップ 5 の一辺 5 X との距離よりも短くなっている。また、チップ側出力用電極 6 B と半導体チップ 5 の一辺 5 X との距離は、チップ側入力用電極 6 E と半導体チップ 5 の他の辺 5 Y との距離よりも短くなっている。これは、出力用ワイヤの長さを短くし、出力抵抗を低くしている。

【 0 0 3 4 】

半導体チップ 5 の一主面の第 1 領域 5 A には、増幅手段 PW 1 のソース端子と電気的に接続されたソース電極 6 S が形成されている。このソース電極 6 S は、チップ側入力用電極 6 A よりも半導体チップ 5 の一辺 5 X 側に配置されている。また、半導体チップ 5 の一主面の第 2 領域 5 B には、増幅手段 PW 2 のソース端子と電気的に接続されたソース電極 6 S が配置されている。これらのソース電極 6 S はプローブ検査時に使用される。

10

【 0 0 3 5 】

本参考例の高周波電力増幅器において、入力用ワイヤ 7 A は出力用ワイヤ 7 B と近接して配置されている。入力ワイヤ 7 A は前段の増幅手段 PW 1 のゲート端子（入力部）に電気的に接続され、出力用ワイヤ 7 B は後段の増幅手段 PW 2 のドレイン端子（出力部）に電気的に接続されているので、入力用ワイヤ 7 A を流れる電力と出力用ワイヤ 7 B を流れる電力との差は大きいが、基準電位に電位固定されるワイヤ 7 C が入力用ワイヤ 7 A と出力用ワイヤ 7 B との間に配置されているので、入力用ワイヤ 7 A と出力用ワイヤ 7 B との相互誘導作用による高周波特性の劣化を防止することができる。

【 0 0 3 6 】

また、出力用ワイヤ 7 D は入力用ワイヤ 7 E と近接して配置されている。出力用ワイヤ 7 D は前段の増幅手段 PW 1 のドレイン端子（出力部）と電気的に接続され、入力用ワイヤ 7 E は後段の増幅手段 PW 2 のゲート端子（入力部）と電気的に接続されているので、出力用ワイヤ 7 D を流れる電力と入力用ワイヤ 7 E を流れる電力とはほぼ同一であり、このワイヤ間での相互誘導作用による高周波特性の劣化は小さいが、基準電位に電位固定されるワイヤ 7 F が出力用ワイヤ 7 D と入力用ワイヤ 7 E との間に配置されているので、出力用ワイヤ 7 D と入力用ワイヤ 7 E との相互誘導作用による高周波特性の劣化を防止することができる。

20

【 0 0 3 7 】

基板側ボンディング用電極 2 C は、基板側出力用電極 2 B よりも半導体チップ 5 の一辺 5 X から遠く離れた位置に配置されている。基板側入力用電極 2 A は、半導体チップ 5 の一辺 5 X からの距離が基板側出力用電極 2 B とほぼ同一となる位置に配置されている。即ち、基板側ボンディング用電極 2 C は、基板側入力用電極 2 A と基板側出力用電極 2 B との間に配置されておらず、基板側入力用電極 2 A 及び基板側出力用電極 2 B よりも半導体チップ 5 の一辺 5 X から遠く離れた位置に配置されている。従って、基板側ボンディング用電極 2 C の占有面積に相当する分、基板側入力用電極 2 A と基板側出力用電極 2 B との間隔を狭くすることができ、これに伴って半導体チップ 5 の第 1 領域 5 A と第 2 領域 5 B との間隔も狭くすることができるので、半導体チップ 5 の占有面積を縮小することができる。

30

【 0 0 3 8 】

基板側ボンディング用電極 2 F は、基板側出力用電極 2 D よりも半導体チップ 5 の他の辺 5 Y から遠く離れた位置に配置されている。基板側入力用電極 2 E は、半導体チップ 5 の他の辺 5 Y からの距離が基板側出力用電極 2 D とほぼ同一となる位置に配置されている。即ち、基板側ボンディング用電極 2 F は、基板側入力用電極 2 E と基板側出力用電極 2 D との間に配置されておらず、基板側入力用電極 2 E 及び基板側出力用電極 2 D よりも半導体チップ 5 の他の辺 5 Y から遠く離れた位置に配置されている。従って、基板側ボンディング用電極 2 F の占有面積に相当する分、基板側入力用電極 2 E と基板側出力用電極 2 D との間隔を狭くすることができ、これに伴って半導体チップ 5 の第 1 領域 5 A と第 2 領域 5 B との間隔も狭くすることができるので、半導体チップ 5 の占有面積を縮小することができる。

40

【 0 0 3 9 】

50

半導体チップ 5 は、図 6 に示すように、例えば、単結晶珪素からなる p+型半導体基板 10 A の一主面上に p-型エピタキシャル層 10 B が形成された半導体基体 10 を主体とする構成になっている。

【 0 0 4 0 】

増幅手段 PW 1 及び PW 2 を構成する電界効果トランジスタは、半導体基体 10 の一主面のトランジスタ形成領域に形成されている。この電界効果トランジスタは、主に、チャネル形成領域である p 型ウエル領域 12 、ゲート絶縁膜 14 、ゲート電極 15 、ソース領域及びドレイン領域である一対の n-型半導体領域 16 及び一対の n+型半導体領域 17 で構成されている。

【 0 0 4 1 】

ドレイン領域である n+型半導体領域 17 には、層間絶縁膜 18 に形成された接続孔を通して、第 1 層目の配線層に形成された配線 19 A が電気的に接続されている。ソース領域である n+型半導体領域 17 には、層間絶縁膜 18 に形成された接続孔を通して、第 1 層目の配線層に形成された配線 19 B が電気的に接続されている。配線 19 B は、層間絶縁膜 18 に形成された接続孔を通して、p-型エピタキシャル層 10 B に形成された p+型半導体領域 13 に電気的に接続されている。p+型半導体領域 13 は p+型半導体基板 10 A に電気的に接続されている。ゲート電極 15 には、詳細に図示していないが、層間絶縁膜 18 に形成された接続孔を通して、第 1 層目の配線層に形成された配線 19 C が電気的に接続されている。

【 0 0 4 2 】

配線 19 A には、層間絶縁膜 20 に形成された接続孔を通して、第 2 層目の配線層に形成された配線 21 A が電気的に接続されている。この配線 21 A の一部でチップ側出力用電極 6 D 及びチップ側出力用電極 6 B が形成されている。配線 19 B には、層間絶縁膜 20 に形成された接続孔を通して、第 2 層目の配線層に形成された配線 21 B が電気的に接続されている。この配線 21 B の一部でプローブ検査用の電極が形成されている。配線 19 C には、図示していないが、層間絶縁膜 20 に形成された接続孔を通して、第 2 層目の配線層に形成された配線が電気的に接続されている。この配線の一部でチップ側入力用電極 6 A 及びチップ側入力用電極 6 E が形成されている。

【 0 0 4 3 】

半導体チップ 5 の第 3 領域 5 C において、図 7 に示すように、フィールド絶縁膜 11 上には、第 1 層目の配線層に形成された配線 19 D が形成されている。この配線 19 D は、半導体チップ 5 の一辺 5 X と直行する方向に向かって延在している。配線 19 D には、層間絶縁膜 20 に形成された接続孔を通して、第 2 層目の配線層に形成された配線 21 D が形成されている。この配線 21 D は、配線 19 D と同様に、半導体チップ 5 の一辺 5 X と直行する方向に向かって延在している。この配線 21 D の一部でチップ側ボンディング用電極 6 C 及び 6 F が形成されている。

【 0 0 4 4 】

半導体基体 10 の一主面と対向する他の主面（裏面）には裏面電極 21 が形成されている。この裏面電極 21 は、導電性の接着材を介在して、配線基板 1 の凹部 1 A の底面に形成された導電プレート 1 B と電気的にかつ機械的に接続されている。即ち、増幅手段 PW 1 、 PW 2 の夫々のソース端子は基準電位に電位固定される。

【 0 0 4 5 】

本参考例の高周波電力増幅器において、半導体チップ 5 の第 1 領域 5 A と第 2 領域 5 B との間の第 3 領域（アイソレーション領域） 5 C には、基準電位に電位固定される配線 19 D 及び配線 21 D が半導体チップ 5 の一辺 5 X と直行する方向に向って延在している。また、第 3 領域 5 C には、基準電位に電位固定される p+型半導体領域 13 が半導体チップ 5 の一辺 5 X と直行する方向に向って延在し、しかも半導体基体 10 が基準電位に電位固定される。従って、半導体チップ 5 においては磁束の干渉を抑える構成になっているので、高周波特性が劣化することはない。

【 0 0 4 6 】

10

20

30

40

50

このように、本参考例によれば、以下の効果が得られる。

(1) 基板側ボンディング用電極 2 C は、基板側入力用電極 2 A 及び基板側出力用電極 2 B よりも半導体チップ 5 の一辺 5 X から遠く離れた位置に配置され、基板側ボンディング用電極 2 F は、基板側入力用電極 2 E 及び基板側出力用電極 2 D よりも半導体チップ 5 の他の辺 5 Y から遠く離れた位置に配置されていることから、基板側ボンディング用電極 2 C の占有面積に相当する分、基板側入力用電極 2 A と基板側出力用電極 2 B との間隔を狭くすることができ、また、基板側ボンディング用電極 2 F の占有面積に相当する分、基板側入力用電極 2 E と基板側出力用電極 2 D との間隔を狭くすることができるので、半導体チップ 5 の第 1 領域 5 A と第 2 領域 5 B との間隔を狭くすることができる。この結果、半導体チップ 5 の占有面積を縮小することができるので、高周波電力増幅器の小型化を図ることができる。10

【0047】

(2) 基板側入力用電極 2 A は半導体チップ 5 の一辺 5 X からの距離が基板側出力用電極 2 B とほぼ同一となる位置に配置され、基板側ボンディング用電極 2 C は基板側入力用電極 2 A 及び基板側出力用電極 2 B よりも半導体チップ 5 の一辺 5 X から遠く離れた位置に配置されていることから、基準電位に電位固定されるワイヤ 7 C が基板側入力用電極 2 A と基板側出力用電極 2 B との間を横切るので、基板側入力用電極 2 A と基板側出力用電極 2 B との間に基板側ボンディング用電極 2 C を配置した場合に比べて、磁束の干渉を更に抑制することができる。

【0048】

なお、本参考例では、基準電位に電位固定されるワイヤ 7 C 及びワイヤ 7 F を配置した例について説明したが、入力用ワイヤ 7 E を流れる電力と出力用ワイヤ 7 D を流れる電力とはほぼ同一なので、前段の増幅手段 P W 1 のドレイン端子（出力部）に接続された出力用ワイヤ 7 D と後段の増幅手段 P W 2 のゲート端子（入力部）に接続された入力用ワイヤ 7 E との間に、基準電位に電位固定されるワイヤを特に配置しなくてもよい。この場合、チップ側ボンディング用電極 6 F 及び基板側ボンディング用電極 2 F は不要になる。20

【0049】

また、本参考例では、基板側入力用電極 2 A を、半導体チップ 5 の一辺 5 X からの距離が基板側出力用電極 2 B とほぼ同一となる位置に配置した例について説明したが、基板側入力用電極 2 A は基板側ボンディング用電極 2 C よりも半導体チップ 5 の一辺 5 X から遠く離れた位置に配置してもよい。この場合においても、前述の参考例と同様の効果が得られるが、入力用ワイヤ 7 A の長さが長くなるので、高周波特性が若干劣化する。30

【0050】

（実施形態 1）

図 8 は、本発明の実施形態 1 である高周波電力増幅器の配線基板の要部平面図である。

【0051】

本実施形態の高周波電力増幅器は、前述の参考例と基本的に同様の構成になっており、以下の構成が異なっている。

【0052】

即ち、図 8 に示すように、基板側ボンディング用電極 2 C に半導体チップ 5 の第 3 領域 5 C 上を延在するワイヤ 7 G の一端側が電気的にかつ機械的に接続され、基板側ボンディング用電極 2 F にワイヤ 7 G の他端側が電気的にかつ機械的に接続されている。基板側ボンディング用電極 2 C 及び基板側ボンディング用電極 2 F は基準電位用外部端子 4 と電気的に接続されているので、ワイヤ 7 G は基準電位に電位固定される。40

【0053】

このように、基板側ボンディング用電極 2 C にワイヤ 7 の一端側を接続し、基板側ボンディング用電極 2 F にワイヤ 7 G の他端側を接続することにより、入力用ワイヤ 7 A と出力用ワイヤ 7 B との相互誘導作用による高周波特性の劣化、及び出力用ワイヤ 7 D と入力用ワイヤ 7 E との相互誘導作用による高周波特性の劣化を防止することができる。

【0054】

10

20

30

40

50

(実施形態2)

図9は、本発明の実施形態2である高周波電力増幅器の配線基板の要部平面図である。

【0055】

本実施形態の高周波電極増幅器は、前述の参考例と基本的に同様の構成になっており、以下の構成が異なっている。

【0056】

即ち、図9に示すように、増幅手段PW1、PW2及びPW3が一つの半導体チップ5に形成されている。PW3は半導体チップ5の一主面の第4領域5Dに形成されている。

【0057】

増幅手段PW3のゲート端子(入力部)は、半導体チップ5の一主面の第4領域5Dに形成され、半導体チップ5の一辺5X側(本実施形態においては一長辺側)に配置されたチップ側入力用電極6Hと電気的に接続されている。また、増幅手段PW3のドレイン端子(出力部)は、半導体チップ5の一主面の第4領域5Dに形成され、半導体チップ5の一辺5Xと対向する他の辺5Y側(本実施形態においては他の長辺側)に配置されたチップ側出力用電極6Kと電気的に接続されている。また、増幅手段PW3のソース端子は、増幅手段PW1と同様に、半導体チップ5の裏面に形成された裏面電極21と電気的に接続されている。

【0058】

半導体チップ5の一主面の第2領域5Bと第4領域5Dとの間には、これらの領域間を電気的に分離するための第5領域(アイソレーション領域)5Eが形成されている。

【0059】

チップ側入力用電極6Hは、半導体チップ5の一辺5Xと向かい合うようにして配線基板1の一主面に形成された基板側入力用電極2Hと入力用ワイヤ7Hを介して電気的に接続されている。基板側入力用電極2Hは、その直下に形成されたスルーホール配線3及び内部配線を介して、基板側出力用電極2Bと電気的に接続されている。

【0060】

チップ側出力用電極6Kは、半導体チップ5の他の辺5Yと向かい合うようにして配線基板1の一主面に形成された基板側出力用電極2Kと出力用ワイヤ7Kを介して電気的に接続されている。基板側出力用電極2Kは、その直下に形成されたスルーホール配線3及び内部配線を介して、配線基板1の裏面に形成された出力用外部端子と電気的に接続されている。

【0061】

配線基板1の一主面には、半導体チップ5の一辺5Xと向かい合うようにして基板側ボンディング用電極2Jが形成され、半導体チップ5の他の辺5Yと向かい合うようにして基板側ボンディング用電極2Lが形成されている。基板側ボンディング用電極2J及び2Lは、基板側ボンディング用電極2Cと同様に、配線基板1の裏面に形成された基準電位用端子4と電気的に接続されている。

【0062】

基板側ボンディング用電極2Jは、半導体チップ5の一辺5Xからの距離が基板側ボンディング用電極2Cとほぼ同一となる位置に配置され、基板側ボンディング用電極2Lは、半導体チップ5の他の辺5Yからの距離が基板側ボンディング用電極2Fとほぼ同一となる位置に配置されている。

【0063】

基板側ボンディング用電極2Jには半導体チップ5の第5領域5E上を延在するワイヤ7Lの一端側が電気的にかつ機械的に接続され、基板側ボンディング用電極2Lにはワイヤ7Lの他端側が電気的にかつ機械的に接続されている。

【0064】

本実施形態の高周波電力増幅器において、ワイヤ7Lは2本配置されている。入力用ワイヤ7Eを流れる電力と出力用ワイヤ7Kを流れる電力との差は、入力用ワイヤ7Aを流れる電力と出力用ワイヤ7Bを流れる電力との差よりも大きい。従って、本実施形態のよう

10

20

30

40

50

に、電力差に応じて基準電位に電位固定されるワイヤの本数を増加することにより、入力用ワイヤと出力用ワイヤとの相互誘導作用による高周波特性の劣化をより安定した状態で防止することができる。

【0065】

(実施形態3)

図10は、本発明の実施形態3である高周波電力増幅器の配線基板の要部平面図である。

【0066】

本実施形態の高周波電力増幅器は、前述の参考例と基本的に同様の構成になっており、以下の構成が異なっている。

10

【0067】

即ち、図10に示すように、基板側出力用電極2Bが半導体チップ5の一辺5Xと向かい合う位置に配置され、基板側入力用電極2Aが半導体チップ5の一辺5Xに対して交わる他の辺5Pと向い合う位置に配置されている。

【0068】

このように、基板側出力用電極2Bを半導体チップ5の一辺5Xと向かい合う位置に配置し、基板側入力用電極2Aが半導体チップ5の一辺5Xに対して交わる他の辺5Pと向い合う位置に配置することにより、入力用ワイヤ7Aと出力用ワイヤ7Bとの磁束が直交する状態になるので、このワイヤ間における相互誘導作用を抑制することができる。

【0069】

20

また、基準電位に電位固定されるワイヤを接続するための基板側ボンディング用電極を設ける必要がないので、半導体チップ5の第1領域5Aと第2領域5Bとの間隔を狭くすることができ、半導体チップ5の占有面積を縮小することができる。この結果、高周波電力増幅器の小型化を図ることができる。

【0070】

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0071】

【発明の効果】

30

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

半導体装置の小型化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の参考例である高周波電力増幅器の外観構成を示す斜視図である。

【図2】 前記高周波電力増幅器の等価回路図である。

【図3】 図2に示す一点鎖線で囲まれた部分と対応する配線基板の要部平面図である。

【図4】 図3の要部斜視図である。

【図5】 図3の要部拡大平面図である。

【図6】 前記高周波電力増幅器に組み込まれた半導体チップのトランジスタ形成領域における要部断面図である。

40

【図7】 前記半導体チップのアイソレーション領域における要部断面図である。

【図8】 本発明の実施形態1である高周波電力増幅器の配線基板の要部平面図である。

【図9】 本発明の実施形態2である高周波電力増幅器の配線基板の要部平面図である。

【図10】 本発明の実施形態3である高周波電力増幅器の配線基板の要部平面図である。

【符号の説明】

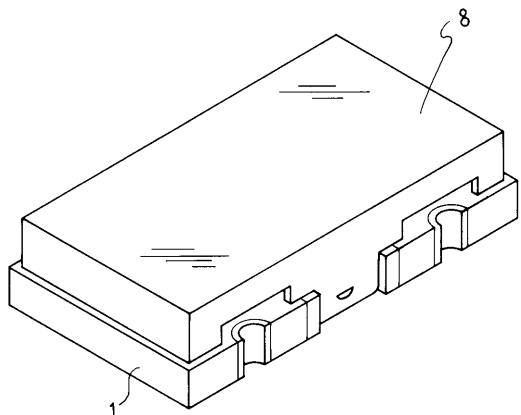
1...配線基板、1A...凹部、1B...導電プレート、2A,2D...基板側入力用電極、2B,2E...基板側出力用電極、2C,2F...基板側ボンディング用電極、3...スルーホール配線、4...基準電位用外部端子、5...半導体チップ、5A...第1領域、5B...第2領域

50

、 5 C … 第 3 領域 (アイソレーション領域) 、 6 A , 6 E … チップ側入力用電極、 6 B , 6 D … チップ側出力用電極、 6 C , 6 F … チップ側ボンディング用電極、 7 A , 7 E … 入力用ワイヤ、 7 B , 7 D … 出力用ワイヤ、 7 C , 7 F … ワイヤ、 C 1 ~ C 11 … 容量素子、 R 1 ~ R 4 … 抵抗素子、 S T L 1 ~ S T L 3 … マイクロストリップ線路、 P W 1 , P W 2 , P W 3 … 増幅手段。

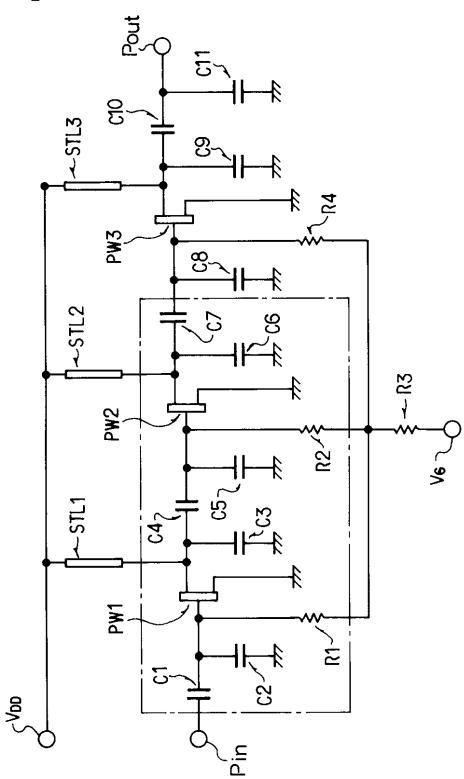
【図 1】

図 1



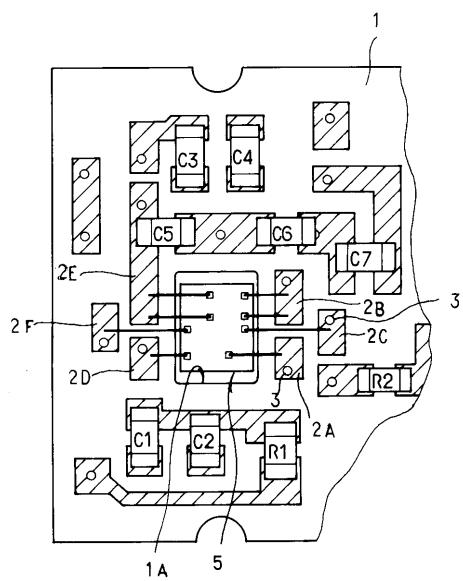
【図 2】

図 2

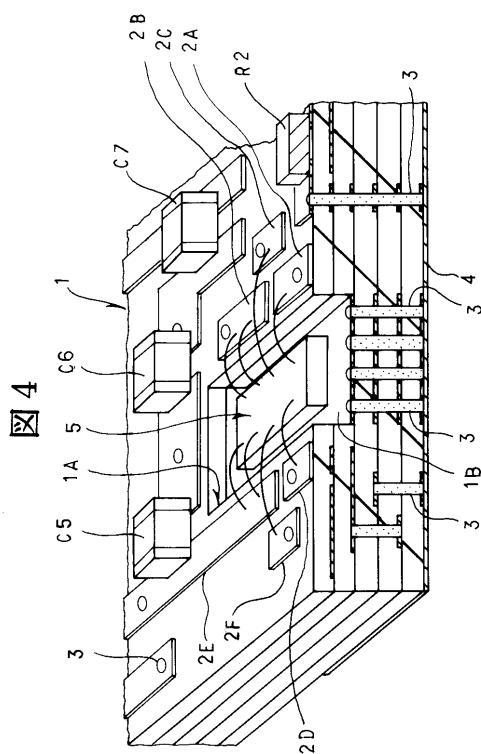


【図3】

図3

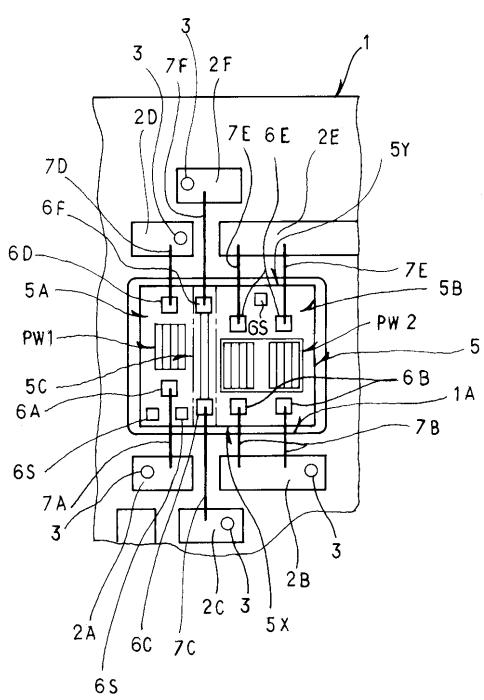


【図4】



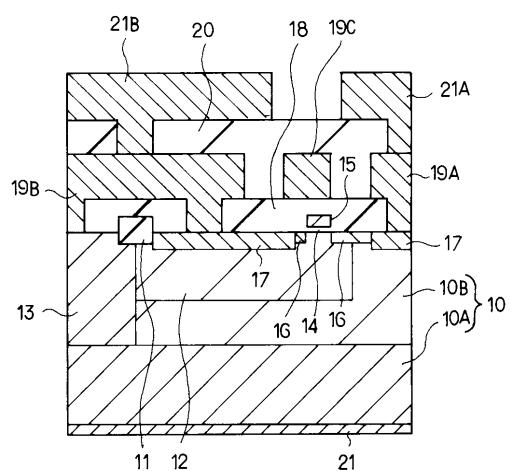
【図5】

図5



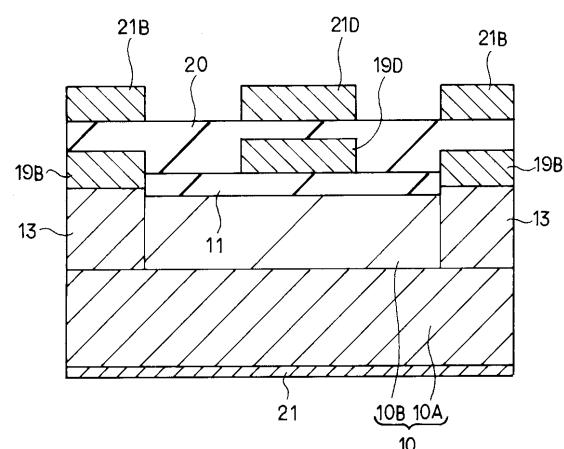
【図6】

図6



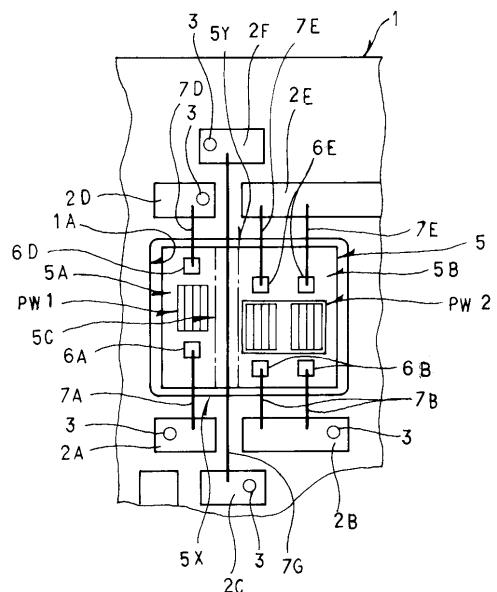
【図7】

図7



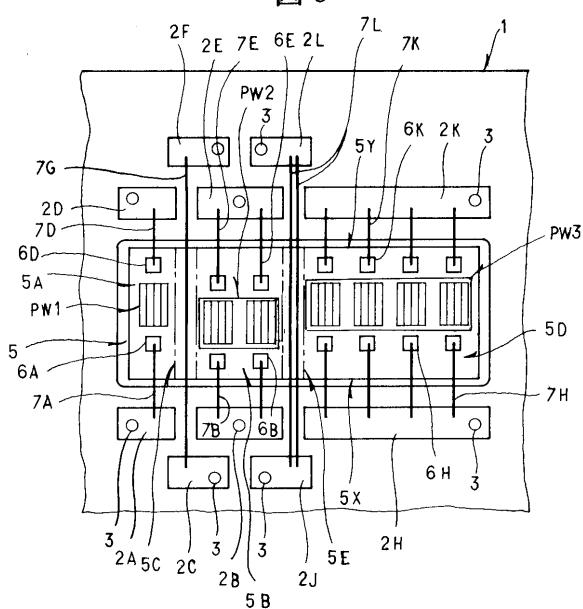
【図8】

図8



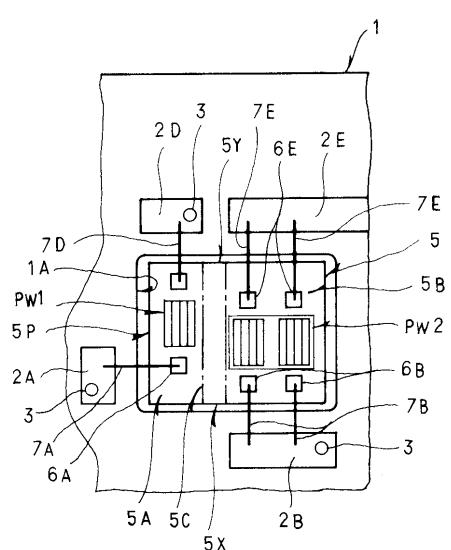
【図9】

図9



【図10】

図10



フロントページの続き

(72)発明者 布川 康弘
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内

(72)発明者 近藤 静雄
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内

(72)発明者 安達 徹朗
埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

審査官 市川 篤

(56)参考文献 特開平09-260412(JP,A)
特開昭51-009681(JP,A)
特開平09-115939(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60

H01L 23/12