(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 29/775

(11) 공개번호 특1999-0077669
(43) 공개일자 1999년10월25일

(21) 출원번호 10-1999-0007474
(22) 출원일자 1999년03월06일
(30) 우선권주장 1998-054569 1998년03월06일 일본(JP)
(71) 출원인 닛본 덴기 가부시끼가이샤 가네꼬 히사시
일본국 도꾜도 미나도꾸 시바 5쪼메 7방 1고
(72) 발명자 비또야스노리
일본 도꾜도 미나도꾸 시바 5쪼메 7방 1 고닛본덴기 가부시끼가이샤 내
이와따나오따까
일본 도꾜도 미나도꾸 시바 5쪼메 7방1 고닛본덴기 가부시끼가이샤 내
(74) 대리인 구영창, 주성민

심사청구 : 있음

(54) 전계 효과 트랜지스터

요약

본 발명의 FET(전계 효과 트랜지스터)는 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층을 포함하는 에피택셜 웨이퍼를 갖는다. Si로 도핑된 GaAs 게이트 매몰층, Si로 도핑된 $Al_{0.2}Ga_{0.8}As$ 의 와이드-리세스 스토퍼층, 도핑되지 않은 GaAs 층 및 Si로 도핑된 GaAs 캡층은 에피택셜 성장에 의해서 게이트 접촉층 상에 순차적으로 형성된다. 전자 축적층은 도핑되지 않은 GaAs 층상에 형성되며 전위 장벽을 감소시킨다. 이로 인하여 전자들이 높은 확율로 AlGaAs 층의 전위 장벽을 통과할 수 있게 된다. GaAs 층이 불순물로 도핑되어 있지 않으므로, 전자들은 거의 산란하지 않고 높은 이동도를 달성한다. 따라서, 캡층으로부터 채널층까지의 접촉 저항을 감소시키는 것이 가능하다. 게다가, 시트 저항은 게이트 접촉층이 외부에 노출되지 않으므로 약간 증가한다. 따라서, 종래의 ON 저항보다 0.2 Ω · ㎜ 만큼 낮은 1.4 Ω · ㎜ 정도의 낮은 ON 저항이 얻어질 수 있다.

대표도

도1

색인어

에칭 스토퍼, 게이트 접촉층, 전계 효과 트랜지스터, 에피텍셜 성장법, 게이트 매몰층

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 FET의 제1 실시예를 도시한 단면도.

도 2는 제1 실시예에 포함된 캡층과 채널층 사이의 전도대 프로파일을 도시한 도면.

도 3은 본 발명의 제2 실시예를 도시한 단면도.

도 4는 제2 실시예에 포함된 캡층과 채널층 사이의 전도대 프로파일을 도시한 도면.

도 5는 본 발명의 제3 실시예를 도시한 단면도.

도 6은 제3 실시예에 포함된 캡층과 채널층 사이의 전도대 프로파일을 도시한 도면.

도 7은 본 발명의 제4 실시예를 도시한 단면도.

도 8은 제4 실시예에 포함된 캡층과 채널층 사이의 전도대 프로파일을 도시한 도면.

도 9는 본 발명의 제5 실시예를 도시한 단면도.

도 10은 제5 실시예에 포함된 캡층과 채널층 사이의 전도대 프로파일을 도시한 도면.

도 11은 본 발명의 제6 실시예를 도시한 도면.

도 12는 제6 실시예에 포함된 캡층과 채널층 사이의 전도대 프로파일을 도시한 도면.

도 13은 본 발명의 제7 실시예를 도시한 도면.

도 14는 제7 실시예에 포함된 GaAs층과 채널층 사이의 전도대 프로파일을 도시한 도면.

도 15는 본 발명의 제8 실시예를 도시한 단면도.

도 16은 제8 실시예에 포함된 캡층과 채널층 사이의 전도대 프로파일을 도시한 도면.

도 17은 본 발명의 제9 실시예를 도시한 단면도.

도 18 내지 도 32는 본 발명의 제10 내지 제24 실시예들을 각각 도시한 단면도.

도 33은 종래의 특정한 FET를 도시한 단면도.

도 34는 도 33의 FET 내에 포함된 캡층과 채널층 사이의 전위 에너지를 도시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

101 : 기판

104 : 전자 공급층

109 : 게이트 접촉층

110 : 게이트 매몰층

111 : 와이드 리세스 스토퍼층

114 : 게이트 전극

115 : 소스 전극

116 : 드레인 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 FET (전계 효과 트랜지스터; Field Effect Transistor)에 관한 것으로, 특히 접합형 FET (Junction FET)에 관한 것이다.

GaAs FET는 고주파 소자로서 광범위하게 사용된다. 고전력 소자중에서 특히, 다단계 오목(recess) 구조는, 예를 들면, (1996년 8월 30일자로 발표된) 일본의 the Institute of Electronics and Information Engineers, Vol.1, p.30의 1996, Convetional of the Electronics Society에서 제공된 'PDC High Efficiency Power Module Using HEMT for PDC'란 제목의 논문에 개시되어 있는 바와 같이, 소스 저항을 감소시키고, 게이트 항복 전압(gate breakdown voltage)을 보장하는데 사용된다.

한편, 오목 구조를 갖는 FET의 ON 저항은 소스 전극으로부터 드레인 전극으로의 전체 분포 등가 저항이다. 낮은 ON 저항은 저전압 작동에서 원하는 전력 및 효율 특성을 구현하는데 필수적이다. 그러나, 캡층으로부터 채널층으로의 접촉 저항이 높기 때문에 종래의 FET에서 유효한 ON 저항이 높다. 또한, 노출된 GaAs층부분 및 노출된 AlGaAs 게이트 접촉층 부분의 시트 저항들이 높으므로, ON 저항 역시 증가한다.

본 발명의 관련 기술들은 예를 들어, 일본 특허 공개 공보 평 제 4-103136호와 제 7-335867호 및 일본 특허 출원 제 8-288610호에 개시되어 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 캡층으로부터 채널층까지의 낮은 접촉 저항 및 GaAs 게이트 매몰층이 외부로 노출되어 있는 부분에서 낮은 저항을 가진 헤테로 정션 FET(hetero junction transistor)를 제공하기 위한 것이다.

본 발명에 따르면, 도핑되지 않은 InGaAs 채널층 및 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층(cap layer)을 적어도 포함하며, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼층들(etching stopper layers)로 사용함으로써 형성된 2중 오목 구조(double recess structure)를 갖는 반도체 결정을 사용한 FET(전계 효과 트랜지스터)에서, 상기 제3 AlGaAs층은 고농도의 n형 불순물로 도핑된다. 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층과 고농도 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함한다. 제2 GaAs 게이트 매몰층과 게이트 전극은 임의의 갭(gap)없이 서로 접촉한다.

발명의 구성 및 작용

본 발명의 이해를 돕기 위해서, 도 33에 도시된 종래의 FET를 간단히 참조할 것이다. 다중 오목 구조는 예를 들면, GaAs/AlGaAs 적층 구조 및 선택적 에칭를 사용하여 형성된다. 도 33에 도시된 바와 같이, FET는 반절연성 GaAs 기판(1101)을 포함한다. 상기 기판(1101) 상에는 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼

층(1102), Si으로 도핑된 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(1103), 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(1104), 미도핑 $In_{0.2}Ga_{0.8}As$ 채널층(1105), 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(1106), Si으로 도핑된 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(1107), 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(1108), GaAs 게이트 매몰층(1109), Si으로 도핑된 $Al_{0.2}Ga_{0.8}As$ 와이드-리세스 스토퍼층(1110), Si으로 도핑된 GaAs 캡층(1111)을 포함한다. 이러한 오목 구조를 형성하기 위해서, 와이드-리세스 패턴으로 형성된 마스크가 형성된 후 GaAs층(1111)이 스토퍼층으로 동작하는 와이드-리세스 스토퍼층(1110)으로 선택적으로 에칭된다. 그 다음, 마스크를 제거한 후, 게이트 오목 패턴 위에 형성된 새로운 마스크가 형성된다. 이어서, GaAS층(1109)이 스토퍼층의 역활을 하는 게이트 접촉층(1108)으로 선택적으로 에칭된다. 도 33에 도시된 특정 구조에서는 게이트 전극의 측부가 비교적 큰 갭들에 의해서 GaAs층과 간격을 가지게 된다.

도 33은 또한 종래의 FET의 분포 등가 저항을 도시하고 있다. 이 저항은 오믹 전극(ohmic electrode)으로부터 캡층으로의 접촉 저항(R1), 캡층으로부터 채널층으로의 접촉 저항(R2), 게이트 매몰 GaAs층이 노출된 부분에서의 시트 저항(R3), AlGaAs 게이트 접촉층이 노출된 부분에서의 시트 저항(R4), 및 게이트 전극 하부의 시트 저항(R5)을 포함한다. FET의 ON 저항은 이미 설명하였던 이유들로 인하여 낮아진다.

그러나, 상기 종래의 FET는 다음과 같은 해결되지 않은 몇가지 문제점을 안고 있다. 먼저, 캡층으로부터 채널층으로의 접촉 저항(R2)이 높으므로 ON 저항이 높다. 도 34는 도 33에 도시된 방향 X11-Y11에서 전도대 형상을 도시한다. 도 34에 나타난 바와 같이, 높은 접촉 저항은 다단계 오목 구조를 형성하는데 사용된 AlGaAs 스토퍼층이 캡층으로부터 채널층으로의 터널화 가능성을 제한하면서, 높은 전위 장벽을 갖는다는 사실에 기인한다.

다른 문제점은 와이드 리세스부를 형성한 후 AlGaAs 스토퍼층이 제거되면 노출된 GaAs층 표면과 그 하부의 채널간의 거리가 줄어들어, 시트 저항(R3)이 증가하므로 ON 저항이 높아진다는 것이다. 이는 공핍층이 채널층을 향해 노출된 GaAs층의 표면으로부터 연장되어 채널 내의 전자들이 공핍되기 때문이다.

또 다른 문제점은 게이트 전극의 측부가 GaAs층에 접촉되지 않기 때문에, AlGaAs 게이트 접촉층이 게이트 전극의 측부에서 외부로 노출된다는 것이다. 그 결과, 채널층 내의 전극이 또한 AlGaAs 게이트 접촉층으로부터 연장된 표면 공핍층에 의해서 공핍된다.

이제, 본 발명에 따라서 상기 문제점들을 해소할 수 있는 FET의 바람직한 실시예가 설명될 것이다.

제1 실시예

도 1을 참조하면, 본 발명을 구체화한 FET가 도시되어 있으며 이는 반절연성 GaAs 기판(101)을 포함하고 있다. 도시된 바와 같이, 기판(101) 상에, 400nm 두께의 도핑되지 않은 GaAs 버퍼층(102), 100nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(103), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 4nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(104), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서 층(105), 15nm 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(106), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(107), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 9nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(108), 10nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(109), $5 \times 10^{16} cm^{-3}$의 Si로 도핑된 30nm 두께의 GaAs 게이트 매몰층(110), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 6nm 두께의 $Al_{0.2}Ga_{0.8}As$ 와이드-리세스 스토퍼층(111), 6nm 두께의 도핑되지 않은 GaAs층(112), 및 $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 100nm 두께의 GaAs 캡층(113)을 에피텍셜 성장법에 의해 순서대로 형성한다. 이러한 에피텍셜 웨이퍼를 생성하기 위해, 분자 빔 에피텍셜 성장 (molecular beam epitaxial growth; MBE) 기법 또는 금속 유기 기상 에피텍셜 성장 (metal organic vapor phase epitaxial growth; MOVPE) 기법을 이용할 수 있다.

상기 에피텍셜 웨이퍼를 생성한 후, 오목한 패턴으로 형성된 마스크를 웨이퍼 상에 형성한다. 그 다음, 스토퍼층으로서 작용하는 와이드 리세스층(111)을 이용하여 GaAs층(113 및 112)을 선택적으로 에칭한다. 두 개의 층(112 및 113)을 에칭하기 위해, ECR (Electron Cyclotron Resonance) 에칭 시스템 또는 RIE (Reactive Ion Etching) 시스템, 및 할로겐 원소로서 염소만을 함유하는 염소 가스와 불소만을 함유하는 불화물 가스의 혼합물, 예컨대, BCl_3과 SF6의 혼합물을 이용한 건식 에칭을 사용할 수 있다.

상기 마스크를 제거한 후에, 스토퍼층으로서 작용하는 게이트 접촉층(109)을 이용하여 게이트 오목 패턴으로 형성된 새로운 마스크를 통해 GaAs 게이트 매몰층(110)을 선택적으로 에칭한다. 그 결과, 도핑되지 않은 게이트 접촉층(109)은 바깥으로 노출된다. 그 순간, 매몰층(110)이 오버에칭된다. 게이트 전극(114)을 노출된 게이트 접촉층(109) 상에 형성한다. 이는 게이트 전극(114)의 측면들에 간극이 없는 구조를 생성한다.

후속하여, 증착 리프트 오프(evaporation lift-off) 및 AuGe의 합금법 (예컨대, 400℃/1min)에 의해 오믹 전극으로서 작용하는 소스 전극(115) 및 드레인 전극(116)을 형성한다.

도 2는 도 1의 X1-Y1 방향으로의 전도대 프로파일을 도시한다. 비교를 위해, 와이드-리세스 스토퍼층(111) 상에 도핑되지 않은 GaAs 층(112)이 없는 종래 구조의 전도대 프로파일이 도 2에서 점선으로 표시된다. 도시된 바와 같이, 도 1에 도시된 구조에서, 도핑되지 않은 GaAs층(112)에 형성된 2차원 전자 가스가 전위 장벽을 저하시킴으로써, 전자가 스토퍼층(111)의 전위 장벽을 통과할 가능성을 증가시킨다. 또한, GaAs층(112)에는 불순물이 도핑되어 있지 않기 때문에, 층(112) 내에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 이에 따라서, 캡층(113)으로부터 채널층(106)의 접촉 저항은 성공적으로 감소된다. 또한, 게이트 접촉층(209)이 밖으로 노출되지 않기 때문에 시트 저항의 증가는 억제된다.

도 1의 구조로, 1.4Ωmm 정도로 낮은 ON 저항이 성취되었다. 이 ON 저항은 종래의 FET의 ON 저항보다

0.2Ωmm 만큼 낮다.

제2 실시예

본 발명에 따른, 반절연성 GaAs 기판(201)을 포함하는 FET의 제2 실시예가 도 3에 도시되어 있다. 도시되어 있는 바와 같이, 기판(201) 상에, 400nm 두께의 도핑되지 않은 GaAs 버퍼층(202), 100nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(203), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 4nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(204), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서 층(205), 15nm 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(206), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(207), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 9nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(208), 10nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(209), $5 \times 10^{16} cm^{-3}$의 Si로 도핑된 24nm 두께의 GaAs 게이트 매몰층(210), 6nm 두께의 도핑되지 않은 GaAs층(211), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 6nm 두께의 $Al_{0.2}Ga_{0.8}As$ 와이드-리세스 스토퍼층(212), 6nm 두께의 도핑되지 않은 GaAs 층(213) 및 $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 100nm 두께의 GaAs 캡층(214)를 에피텍셜 성장법에 의해 순서대로 형성한다. 다시, 이러한 에피텍셜 웨이퍼를 생성하기 위해, 원하는 바에 따라 MBE 기법 또는 MOVPE 기법을 사용할 수 있다.

상기 에피텍셜 웨이퍼 상에 와이드-리세스 패턴으로 형성된 마스크를 형성한다. 그 다음, GaAs 층들(213 및 214)을 스토퍼층으로서 작용하는 와이드-리세스 스토퍼층(212)을 이용하여 선택적으로 에칭한다. 두 개의 층들(213 및 214)을 에칭하기 위해, 할로겐 원소로서 염소만을 함유하는 염소 가스와 플루오르만을 함유하는 플루오르화 가스의 혼합물, 예컨대, BCl_6 및 SF_6 혼합물을 이용한 건식 에칭을 사용할 수 있다.

상기 마스크를 제거한 후에, 도핑되지 않은 GaAs 층(21) 및 GaAs 층(210)을 스토퍼층으로서 작용하는 게이트 접촉층(209)을 이용하여 게이트 오목 패턴으로 형성된 새로운 마스크를 통해 선택적으로 에칭한다. 그 결과, 도핑되지 않은 접촉층(209)이 밖으로 노출된다. 이 때, 매몰층(212)이 오버에칭되지 않는다. 게이트 전극(215)을 노출된 게이트 접촉층(209) 상에 형성한다. 이는 게이트 전극(15)의 측면들에 간극이 없는 구조를 생성한다.

후속하여, 증착 리프트 오프 및 AuGe의 합금 (예컨대, 400℃/1min)에 의해 오믹 전극으로서 작용하는 소스 전극(216) 및 드레인 전극(217)을 형성한다.

도 4는 도 3의 X2-Y2 방향으로의 전도대 프로파일을 도시한다. 비교를 위해, 와이드-리세스 스토퍼층(212)의 상부 및 하부 상에 각각 존재하는 도핑되지 않은 GaAs 층(213 및 211)이 없는 종래 구조의 전도대 프로파일을 도 2에서 대시 라인으로 표시한다. 도시된 바와 같이, 도 3에 도시된 구조에서, 도핑되지 않은 GaAs 층(213 및 211)에 형성된 2차원 전자 가스가 전위 장벽을 강하시킴으로써 전자가 스토퍼층(212)의 전위 장벽을 통과할 가능성을 증가시킨다. 또한, GaAs 층(213 또는 211) 내에 불순물이 도핑되어 있지 않기 때문에, 층들(213 및 211) 내에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 따라서, 캡층(214)으로부터 채널층(206) 까지의 접촉 저항은 성공적으로 감소된다. 또한, 게이트 접촉층(209)이 바깥으로 노출되지 않기 때문에 시트 저항의 증가가 억제된다.

도 3의 구조로, 1.3Ωmm 정도로 낮은 ON 저항이 성취되었다. ON 저항은 종래의 FET의 ON 저항보다 0.3Ωmm 만큼 낮다.

제3 실시예

본 발명에 따른, 반절연성 GaAs 기판(301)을 포함하는 FET의 제3 실시예가 도 5에 도시되어 있다. 도시된 바와 같이, 기판(301) 상에 400nm 두께의 도핑되지 않은 GaAs 버퍼층(302), 100nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(303), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 4nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(304), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(305), 15nm 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(306), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(307), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 9nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(308), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 10nm 두께의 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(309), 6nm 두께의 도핑되지 않은 GaAs 게이트 접촉층(309), 6nm 두께의 도핑되지 않은 GaAs 게이트 매몰층(310), $5 \times 10^{16} cm^{-3}$의 Si로 도핑된 24nm 두께의 GaAs 게이트 매몰층(311), $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 6nm 두께의 $Al_{0.2}Ga_{0.8}As$ 와이드-리세스 스토퍼층(312), 및 $4 \times 10^{18} cm^{-3}$의 Si로 도핑된 100nm 두께의 GaAs 캡층(214)을 에피텍셜 성장법에 의해 순서대로 형성한다. 이와 같은 에피텍셜 웨이퍼를 생성하기 위해, 원하는 바에 따라 MBE 스킴 또는 MOVPE 스킴을 사용할 수 있다.

상기 에피텍셀 웨이퍼 상에 와이드 리세스 패턴을 갖는 마스크를 형성한다. 그 다음, GaAs층(313)을 스토퍼층으로서 작용하는 와이드-리세스 스토퍼층(312)을 이용하여 선택적으로 에칭한다. GaAs층(313)을 에칭하기 위해, 할로겐 소자로서 염소만을 함유하는 염소 가스와 불소만을 함유하는 불화물 가스의 혼합물, 예컨대, BCl_6 및 SF_6 혼합물을 이용한 건식 에칭을 사용할 수 있다.

상기 마스크를 제거한 후에, 스토퍼층으로서 작용하는 게이트 접촉층(309)을 이용하여 게이트 오목 패턴을 갖는 새로운 마스크를 통해 GaAs층(310 및 311)을 선택적으로 에칭한다. 그 결과, 게이트 접촉층(309)이 바깥에 노출된다. 이 때, 게이트 매몰층(310 및 311)이 오버에칭된다. 게이트 전극(314)은 노출된 게이트 접촉층(309) 상에 형성된다. 이는 게이트 전극(314)의 측면들에 간극이 없는 구조를 생성한다.

후속하여, 소스 전극(315) 및 드레인 전극(316)을 기상 리프트 오프 및 AuGe 합금(예컨대, 400℃/1min)에 의해 형성한다.

도 6은 도 5의 X3-Y3 방향으로의 전도대 프로파일을 도시한다. 비교를 위해, 오핑되지 않은 게이트 접촉층을 포함하나, 도핑되지 않은 GaAs층(310)이 없는 종래 구조의 전도대 프로파일을 도 6에서 점선으로 표시한다. 도시된 바와 같이, 도 5에 도시된 구조에서, 도핑되지 않은 GaAs 층(310) 내에 형성된 양방향 전자 기체는 전위 장벽을 낮게 하여, 전자가 $Al_{0.2}Ga_{0.8}As$ 층(309, 308 및 307)에 의해 형성된 전위 장벽을 통과할 가능성을 증가시킨다. 게다가, GaAs 층(310) 내에 불순물이 도핑되지 않으므로, 층(310) 내에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 결과적으로, 캡층(313)으로부터 채널층(306)으로의 접촉 저항은 효과적으로 감소된다. 또한, 높은 전자 이동도를 갖는 도핑되지 않은 GaAs 층 내에 형성된 양방향 전자 기체는, 채널층(306) 내에 형성된 전류 경로(P1, 도 5)에 더해 저 저항 전류 경로(P2, 도 5)를 형성한다. 전류 경로(P2)는, GaAs 게이트 매몰층이 외부로 노출되는 부분의 시트 저항을 감소시키는 역할을 한다. 또한, 게이트 접촉층(309)은 외부로 노출되지 않으므로, 이 부분의 시트 저항은 크게 증가하지 않는다.

도 5의 구조를 이용하여, 1.3Ω · ㎜의 ON 저항이 달성되었다. 이 ON 저항은 종래의 FET의 ON 저항보다 0.3Ω · ㎜만큼 낮은 것이다.

제4 실시예

본 발명에 따른 제4 실시예의 FET가 도 7에 도시되어 있으며, 반절연성 GaAs 기판(401)을 포함한다. 도시된 바와 같이, 기판(401) 상에는 400㎚ 두께의 도핑되지 않은 GaAs 버퍼층(402), 100㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(403), $4\times10^{18}cm^{-3}$의 Si로 도핑된 4㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(404), 2㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(405), 15㎚ 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(406), 2㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(407), $4\times10^{18}cm^{-3}$의 Si로 도핑된 9㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(408), $5\times10^{17}cm^{-3}$의 Si로 도핑된 10㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(409), 6㎚ 두께의 도핑되지 않은 GaAs 게이트 매몰층(410), $4\times10^{18}cm^{-3}$의 Si로 도핑된 24㎚ 두께의 GaAs 게이트 매몰층(411), 6㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 넓은 오목 스토퍼층(412), 6㎚ 두께의 도핑되지 않은 GaAs 층(413) 및 $4\times10^{16}cm^{-3}$의 Si로 도핑된 100㎚ 두께의 GaAs 캡층(414)이 에피텍셜 성장법에 의해 순차적으로 형성되어 있다. 이러한 에피텍셜 웨이퍼를 생성하기 위해, MBE 시스템 또는 MOVPE 시스템을 원하는 대로 사용하여 제조할 수 있다.

와이드-리세스 패턴을 이용하여 형성된 마스크가 상기 에피텍셜 웨이퍼 상에 형성된다. 그 다음, GaAs 층(414 및 413)은 스토퍼층의 역할을 하는 와이드-리세스 스토퍼층(412)을 이용하여 선택적으로 에칭된다. 이렇게 GaAs 층(414 및 413)을 에칭하기 위해, 할로겐 원소로서 염소만을 함유하는 염소 기체와 불소만을 함유하는 불소 기체의 혼합물 - 예를 들어, BCl_3 및 SF_6 혼합물 - 이 사용될 수 있다.

상기 마스크를 제거한 후, GaAs 층(411 및 410)은, 게이트 리세스 패턴으로 형성된 새로운 마스크를 통해 스토퍼층의 역할을 하는 게이트 접촉층(409)과 함께 선택적으로 에칭된다. 결과적으로, 게이트 접촉층(409)이 외부로 노출된다. 이 때, 게이트 매몰층(411 및 410)은 오버에칭되지 않는다. 게이트 전극(414)은 노출된 게이트 접촉층(409) 상에 형성된다. 이것은, 게이트 전극(414)의 측면에 갭이 생기지 않는 구조를 형성한다.

그 다음, AuGe의 증발 리프트 오프 및 합금(예를 들어, 400℃/분)에 의해, 옴 전극의 역할을 하는 소스 전극(416) 및 드레인 전극(417)이 형성된다.

도 8은 도 7의 X4-Y4 방향으로의 전도대 단면을 도시한다. 비교를 위해, 도핑되지 않은 게이트 접촉층은 포함하지만 도핑되지 않은 GaAs 층(410 및 413)은 포함하지 않는 종래 구조의 전도대 단면이 도 8에 점선으로 도시되어 있다. 도시된 바와 같이, 도 7에 도시된 구조에서, 도핑되지 않은 GaAs 층(410 및 413) 내에 형성된 양방향 전자 기체는 전위 장벽을 낮춰서, 전자가 $Al_{0.2}Ga_{0.8}As$ 층(412)의 전위 장벽과 $Al_{0.2}Ga_{0.8}As$ 층(409, 408 및 407)에 의해 형성된 전위 장벽을 통과할 가능성을 증가시킨다. 게다가, GaAs 층(410 또는 413) 내에 불순물이 도핑되지 않으므로, 층(410 및 413) 내에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 결과적으로, 캡층(414)으로부터 채널층(406)으로의 접촉 저항은 효과적으로 감소된다. 또한, 큰 전자 이동도를 가지는 도핑되지 않은 GaAs 층 내에 형성된 양방향 전자 기체는, 채널층(406) 내에 형성된 전류 경로(P1, 도 7)에 더해 저 저항 전류 경로(P2, 도 7)를 형성한다. 전류 경로(P2)는, GaAs 게이트 매몰층이 외부로 노출되는 부분(S, 도 7)의 시트 저항을 감소시키는 역할을 한다. 또한, 게이트 접촉층(409)은 외부로 노출되지 않으므로, 이 부분의 시트 저항은 크게 증가하지 않는다.

도 7의 구조를 이용하여, 1.2Ω · ㎜의 ON 저항이 달성되었다. 이 ON 저항은 종래의 FET의 ON 저항보다 0.4Ω · ㎜만큼 낮은 것이다.

제5 실시예

본 발명에 따른 제5 실시예의 FET가 도 9에 도시되어 있으며, 반절연성 GaAs 기판(501)을 포함한다. 도시된 바와 같이, 기판(501) 상에는 400㎚ 두께의 도핑되지 않은 GaAs 버퍼층(503), 100㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 버퍼층(503), $4\times10^{18}cm^{-3}$의 Si로 도핑된 4㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(504), 2㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(505), 15㎚ 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(506), 2

nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(507), $4\times10^{18}cm^{-3}$의 Si으로 도핑된 9nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(508), $5\times10^{17}cm^{-3}$의 Si로 도핑된 10nm 두께의 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(509), 6nm 두께의 도핑되지 않은 GaAs 게이트 매몰층(510), $5\times10^{16}cm^{-3}$의 Si로 도핑된 18nm 두께의 GaAs 게이트 매몰층(511), 6nm의 도핑되지 않은 GaAs 게이트 매몰층(512), $4\times10^{16}cm^{-3}$의 Si로 도핑된 와이드-리세스 스토퍼층(513), 6nm 두께의 도핑되지 않은 GaAs 층(154) 및 $4\times10^{16}cm^{-3}$의 Si로 도핑된 100nm 두께의 GaAs 캡층(515)이 에피텍셜 성장법에 의해 순차적으로 형성되어 있다. 이러한 에피텍셜 웨이퍼를 생성하기 위해, MBE 시스템 또는 MOVPE 시스템을 원하는 대로 사용하여 제조할 수 있다.

와이드-리세스 패턴을 이용하여 형성된 마스크가 상기 에피텍셜 웨이퍼 상에 형성된다. 그 다음, GaAs층(515 및 514)은 스토퍼층의 역할을 하는 와이드-리세스 스토퍼층(513)을 이용하여 선택적으로 에칭된다. 이렇게 GaAs 층(515 및 514)을 에칭하기 위해, 할로겐 원소로서 염소만을 함유하는 염소 기체와 불소만을 함유하는 불소 기체의 혼합물 -예를 들어 BCl_3 및 SF_6 혼합물-이 사용될 수 있다.

상기 마스크를 제거한 후, GaAs 층(512, 511 및 510)은, 게이트 리세스 패턴으로 형성된 새로운 마스크를 통해 스토퍼층의 역할을 하는 게이트 접촉층(509)과 함께 선택적으로 에칭된다. 결과적으로, 게이트 접촉층(509)이 외부로 노출된다. 이 때, 게이트 매몰층(511 및 510)은 오버에칭되지 않는다. 게이트 전극(516)은 노출된 게이트 접촉층(509) 상에 형성된다. 이것은, 게이트 전극(514)의 측면에 갭이 생기지 않는 구조를 형성한다.

그 다음, AuGe의 증발 리프트 오프 및 합금(예를 들어, 400℃/분)에 의해, 옴 전극의 역할을 하는 소스 전극(516) 및 드레인 전극(517)이 형성된다.

도 10은 도 9의 X4-Y4 방향으로의 전도대 단면을 도시한다. 비교를 위해, 도핑되지 않은 게이트 접촉층은 포함하지만 도핑되지 않은 GaAs 층(510, 512 및 514)은 포함하지 않는 종래 구조의 전도대 단면이 도 10에 점선으로 도시되어 있다. 도시된 바와 같이, 도 9에 도시된 구조에서, 도핑되지 않은 GaAs 층(510, 512 및 514) 내에 형성된 양방향 전자 기체는 전위 장벽을 낮춰서, 전자가 $Al_{0.2}Ga_{0.8}As$ 층(513)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$ 층(509, 508 및 507)에 의해 형성된 전위 장벽을 통과할 가능성을 증가시킨다. 게다가, GaAs 층(510, 512 또는 514) 내에 불순물이 도핑되지 않으므로, 층(510, 512 및 514) 내에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 결과적으로, 캡층(515)으로부터 채널층(506)으로의 접촉 저항은 효과적으로 감소된다. 또한, 큰 전자 이동도를 가지는 도핑되지 않은 GaAs 층 내에 형성된 양방향 전자 기체는, 채널 층(506) 내에 형성된 전류 경로(P1, 도 9)에 더해 저 저항 전류 경로(P2, 도 9)를 형성한다. 전류 경로(P2)는, GaAs 게이트 매몰층이 외부로 노출되는 부분(S, 도 9)의 시트 저항을 감소시키는 역할을 한다. 또한, 게이트 접촉층(509)은 외부로 노출되지 않으므로, 이 부분의 시트 저항의 증가가 억제된다.

도 9의 구조를 이용하여, 1.1Ω · mm의 ON 저항이 성취되었다. 이 ON 저항은 종래의 FET의 ON 저항보다 0.5Ω · mm 낮다.

제6 실시예

본 발명에 따른 제6 실시예의 FET가 도 11에 도시되어 있으며, 반절연성 GaAs 기판(601)을 포함한다. 도시된 바와 같이, 기판(401) 상에는 400nm 두께의 도핑되지 않은 GaAs 버퍼층(602), 100nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(603), $4\times10^{18}cm^{-3}$으로 도핑된 4nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(604), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(605), 15nm 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(606), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(607), $4\times10^{18}cm^{-3}$의 Si로 도핑된 9nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(608), $5\times10^{17}cm^{-3}$의 Si로 도핑된 25nm 두께의 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(609), 15nm 두께의 도핑되지 않은 GaAs 게이트 매몰층(610), $5\times10^{18}cm^{-3}$ Si로 도핑된 6nm 두께의 $Al_{0.2}Ga_{0.8}As$ 와이드-리세스 스토퍼층(612) 및 $4\times10^{18}cm^{-3}$의 Si로 도핑된 100nm 두께의 GaAs 캡층(614)이 에피텍셜 성장법에 의해 순차적으로 형성되어 있다. 이러한 에피텍셜 웨이퍼를 생성하기 위해, MBE 시스템 또는 MOVPE 시스템을 원하는 대로 사용하여 제조할 수 있다.

와이드 리세스 패턴과 함께 형성된 마스크는 상술된 에피텍셜 웨이퍼 상에 형성된다. 다음, GaAs층(613, 612)은 스토퍼층으로서 서브된 광역-리세르 스토퍼층(611)과 함께 선택적으로 에칭된다. GaAs층(612, 613)을 에칭하기 위해, 할로겐 원소로서 단지 염소를 포함하는 염화 가스 및 불화물만을 포함하는 불소 가스의 혼합물, 예를 들면, BCl_3 및 SF_6의 혼합물을 사용한 건식 에칭이 사용된다.

위의 마스크를 제거한 후, GaAs층(610)은 스토퍼층으로서 제공된 게이트 접촉층(609)과 함께 게이트 리세스 패턴을 경유하여 선택적으로 에칭된다. 그 결과, 게이트 접촉층(609)이 외부로 노출된다. 이 경우, 게이트 매몰층(610)은 다시 에칭되지 않는다. 게이트 전극(614)은 노출된 게이트 접촉층(609) 상에 형성된다. 이는 게이트 전극(614)의 측면부 상에 어떠한 갭도 존재하지 않는 구조를 발생시킨다.

그 결과, 저항의 전극의 역할을 하는 소스 전극(615) 및 드레인 전극(616)이 AuGe(예를 들면, 400℃/1 min)의 리프트 오프를 증착 및 합금시킴으로써 형성된다.

도 12는 도 11의 XY-Y6 방향으로의 전도대의 프로파일을 도시한다. 비교를 위해, 도핑되지 않은 게이트 접촉층 및 n형 불순물로 도핑된 GaAs층(610)을 포함하나, 도핑되지 않은 GaAs층(612)이 부족한 전도대의 종래 구조가 도 12에서 점선으로 지시된다. 도시된 바와 같이, 도 11에 도시된 구조에서 도핑되지 않은

GaAs층(610, 612)에 형성된 양차원의 전자 가스는 전위 장벽을 강하시키므로, 전자가 $Al_{0.2}Ga_{0.8}As$층(611)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$층(609, 608, 및 607)에 의해 형성된 전위 장벽을 통과할 가능성이 증가한다. 또한, 어떠한 불순물도 GaAs층(612, 610)에서 도핑되지 않으므로, 층(612, 610)에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 한편, 접촉 저항은 캡층(614)으로부터 채널층(606)으로 연속적으로 감소한다. 게다가, 높은 전자 이동도를 갖는 도핑되지 않은 GaAs층(610)에 형성된 양차원의 전자 가스는 채널층(606)에 형성된 전류 경로(P1, 도11)에 부가하여, 낮은 저항 전류 경로(P2, 도 11)를 형성한다. 전류 경로 P2가 서브되어, GaAs 게이트 매몰층이 외부로 노출되는 부분(S, 도 11)에서의 시트 저항을 감소시킨다. 게다가, 게이트 접촉층(609)이 외부로 노출되지 않으므로, 이 부분에서의 시트 저항의 증가가 억제된다.

도 11의 구조에서, 1.1Ω㎜만큼 낮은 ON 저항을 얻을 수 있다. ON 저항은 종래의 FETs의 저항보다 0.5 Ω㎜만큼 낮다.

제7 실시예

본 발명에 따른 FET의 제7 실시예가 도 13에 도시되고, 반절연성 GaAs 기판(701)을 포함한다. 도시된 바와 같이, 기판(701)상에 400㎚의 두꺼운 도핑되지 않은 GaAs 버퍼층(702), 100㎚의 두꺼운 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(703), $4\times10^{18}cm^{-3}$의 Si로 도핑된 4㎚의 두꺼운 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(704), 2㎚의 두꺼운 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(707), $4\times10^{18}cm^{-3}$의 Si로 도핑된 9㎚의 두꺼운 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(708), 10㎚의 두꺼운 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(709), $5\times10^{16}cm^{-3}$의 Si으로 도핑된 20㎚의 두꺼운 도핑되지 않은 GaAs 매몰층(710), $1\times10^{18}cm^{-3}$ 의 Si으로 도핑된 6㎚의 두꺼운 도핑되지 않은 GaAs 매몰층(711), $4\times10^{18}cm^{-3}$의 Si으로 도핑된 6㎚의 두꺼운 $Al_{0.2}Ga_{0.8}As$ 광역-리세스 스토퍼층(713), 및 6㎚의 도핑되지 않은 GaAs층(714) 및 $4\times10^{18}cm^{-3}$ 의 Si로 도핑된 100㎚의 두꺼운 GaAs 캡층(715)이 에피텍셜 성장에 의해 순차적으로 형성된다. 이러한 에피텍셜 웨이퍼를 형성하기 위해, MBE 구성이나 MOVPE 구성을 사용하는 것이 바람직하다.

와이드 리세스 패턴과 함께 형성된 마스크는 상술된 에피텍셜 웨이퍼 상에 형성된다. 다음, GaAs층(715, 714)은 스토퍼층으로서 서브된 와이드 리세스 스토퍼층(713)과 함께 선택적으로 에칭된다. GaAs층(715, 714)을 에칭하기 위해, 할로겐 소자로서 염소만을 포함하는 염화 가스 및 불소 만을 포함하는 불화 가스의 혼합물, 예를 들면 BCl_3 및 SF_4의 혼합물을 사용한 건식 에칭이 사용될 수 있다.

상술된 마스크를 제거한 후, GaAs층(712, 711, 및 710)은 스토퍼층으로서 서브된 게이트 접촉층(709)과 함께 게이트 리세스 패턴을 구비하여 형성된 새로운 마스크를 경유하여 선택적으로 에칭된다. 그 결과, 게이트 접촉층(709)은 외부로 노출된다. 이 경우, 게이트 매몰층(712, 711, 및 710)은 다시 에칭되지 않는다. 이는 어떠한 갭도 게이트 전극(716)의 측면부에 존재하지 않는 구조를 발생시킨다.

계속해서, AuGe를 증착 리프트 오프 및 알로잉 (예를 들어 400℃/1 min)하여, 오믹 전극으로서 작용하는 소스 전극(717) 및 드레인 전극(718)을 형성한다.

도 14는 도 13의 X7-Y7 방향의 전도대 프로파일을 도시한다. 비교를 위해, n형 불순물이 고농도로 도핑된 GaAs층이 결여 되어 있는 종래 구조의 전도대 프로파일을 도 14에서 점선으로 표시한다. 도시한 바와 같이, 도 13에 도시한 구조에서, GaAs층(712)의 표면으로부터 채널측 쪽으로 연장되는 경향이 있는 공핍층은 GaAs층(712, 711, 710) 내에서 멈춘다. 이 때문에, 채널의 표면측 전도대의 상승을 억제할 수 있어, 다량의 전자를 상기한 층에 저장할 수 있다. 또한, 전류 경로를 채널(P1: 도 13)뿐만 아니라 게이트 매몰층(P2: 도 13)에도 형성하여, GaAs 게이트 매몰층(S: 도 13)의 노출 부분에서 시트 저항을 감소시킨다.

또한, 도핑되지 않은 GaAs층(714)에 형성된 2차원 원자 가스는 $Al_{0.2}Ga_{0.8}As$층(713)의 전위 장벽을 저하시켜, 전자가 $Al_{0.2}Ga_{0.8}As$층(713)의 전위 장벽을 통과할 확률을 높인다. 아울러, GaAs층(714)에 불순물이 도핑되지 않으므로, 층에서 이온화에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 그 결과, 캡층(715)으로부터 채널층(706)으로의 접촉 저항을 감소시킬 수 있다. 또한, 게이트 접촉층(709)이 외부에 노출되지 않으므로, 이 부분에서의 시트 저항의 증가가 억제된다.

도 13의 구조에 따르면, 1.2 Ω㎜ 정도의 ON 저항을 얻을 수 있다. 이 ON 저항은 종래의 FET의 ON 저항에 비해 0.4 Ω㎜만큼 낮다.

제8 실시예

본 발명에 따른 FET의 제8 실시예를 도 15에 도시하며, 반절연성 GaAs 기판(801)을 포함한다. 도시한 바와 같이, 기판(801) 상에 400 ㎚ 두께의 도핑되지 않은 GaAs 버퍼층(802), 100 ㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(803), 4×10^{18} cm^{-3}의 Si로 도핑된 4 ㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(804), 2 ㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(805), 15 ㎚ 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(806), 2 ㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(807), 4×10^{18} cm^{-3}의 Si로 도핑된 9 ㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(808), 10 ㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(809), 5×10^{16} cm^{-3}의 Si로 도핑된 18 ㎚ 두께의 GaAs 게이트 매몰층(810), 1×10^{18} cm^{-3}의 Si로 도핑된 6 ㎚ 두께의 GaAs 게이트 매몰층(811), 5×10^{16} cm^{-3}의 Si로 도핑된 6 ㎚ 두께의 GaAs 게이트 매몰층(812),

4×10^{18} cm^{-3}의 Si로 도핑된 6 ㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 와이드 리세스 스토퍼층(813), 6 ㎚ 두께의 도핑되지 않은 GaAs 게이트층(814) 및 4×10^{18} cm^{-3}의 Si로 도핑된 100 ㎚ 두께의 GaAs 캡 층(815)이 에피택셜 성장에 의해 순차적으로 형성된다. 이러한 에피택셜 웨이퍼를 제조하기 위하여, 필요에 따라, MBE 스킴 또는 MOVPE 스킴을 사용할 수 있다.

상기한 에피택셜 웨이퍼 상에 와이드 리세스 패턴으로 형성된 마스크를 형성한다. 이어서, 스토퍼로서 작용하는 와이드 리세스 스토퍼층(813)으로 GaAs층(815, 814)을 선택적으로 에칭한다. 이와 같이 GaAs층(815, 814)을 에칭하기 위하여, 할로겐 원소로서 염소만을 함유하는 염화물 가스 및 불소만을 함유하는 불화물 가스의 혼합물, 예를 들어 BCL_3 및 SF_6 혼합물을 사용하는 건식 에칭을 사용할 수 있다.

상기한 마스크를 제거한 후, 스토퍼층으로서 작용하는 게이트 접촉층(809)을 사용하여 게이트 리세스 패턴으로 형성된 새로운 마스크를 통해 GaAs층(812, 811, 810)을 선택적으로 에칭한다. 그 결과, 게이트 접촉층(809)이 외부에 노출된다. 이 때, 게이트 매몰층(812, 811, 810)이 오버에칭되지 않는다. 이 노출된 게이트 접촉층(809) 상에 게이트 전극(816)을 형성한다. 이로써, 게이트 전극(816)의 측부에 갭이 존재하지 않는 구조를 만들 수 있다.

계속해서, AuGe를 증착 리프트 오프 및 알로잉 (예를 들어 400℃/1 min)하여, 오믹 전극으로서 작용하는 소스 전극(817) 및 드레인 전극(818)을 형성한다.

도 16은 도 15의 방향(X8-Y8)으로의 전도대 특성을 도시하고 있다. 비교를 위해서, 도핑되지 않은 GaAs층(814 및 812)과 고농도로 도핑된 GaAs 층(811)이 없는 종래 구조의 전도대 특성에서, n-형 불순물은 도 15에서 빗금으로 표시된다. 도시된 것처럼, 도 15에 도시된 구조에서, GaAs 층(811)의 고농도 도핑은 GaAs 층(812, 811, 및 810)내이 GaAs 층(812)의 표면으로부터 공핍층의 연장을 차단한다. 이는 노출된 GaAs층 바로 아래의 채널내의 표면측에서의 전도대의 상승을 방해하는데 기여하여, 다량의 전자가 상술한 층내에 저장될 수 있다. 또한, 전류 경로가 채널(P1, 도 16)내에서만 형성되는 것이 아니라 게이트 매몰층(P2, 도 15)에도 형성되어, GaAs 게이트 매몰층의 노출된 부분(S, 도 16)에서 판저항은 감소된다.

더우기, 도핑되지 않은 GaAs 층(812 및 814)내에 형성된 2차원 전자 가스는 전위 장벽을 낮춰서 전자가 $Al_{0.2}Ga_{0.8}As$ 층(813)의 전위 장벽을 통과할 확률을 증가시킨다. 또한, GaAs 층(812 또는 814)내에 어떠한 불순물도 도핑되지 않으므로, 층(812 및 814)에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 결과적으로, 캡 층(815)으로부터 채널층(806)까지의 접촉 저항은 성공적으로 감소된다. 또한, 게이트 접촉층(809)가 외부에 노출되지 않으므로, 이 부분에서의 시트 저항의 증가는 억제된다.

도 15의 구조로, 1.1Ω㎜만큼 낮은 ON 저항이 수용된다. 이러한 ON 저항은 종래의 FET의 ON 저항에 비해 0.5Ω㎜만큼 낮다.

제9 실시예

본 발명에 따른 FET의 제9 실시예가 도 17에 도시되며, 반절연성 GaAs 기판(901)을 포함한다. 도시된 것처럼, 기판(901) 상에 400nm 두께의 도핑되지 않은 GaAs 버퍼층(902), 100nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(903), 4×10^{18} cm^{-3}의 Si로 도핑된 4nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(904), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(905), 15nm 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(906), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(907), 4×10^{18} cm^{-3}의 Si로 도핑된 9nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(908), 5×10^{17} cm^{-3}의 Si로 도핑된 10nm 두께의 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(909), 15nm 두께의 도핑되지 않은 GaAs 게이트 매몰층(910), 1×10^{18} cm^{-3}의 Si로 도핑된 6nm 두께의 GaAs 게이트 매몰층(911), 5×10^{16} cm^{-3}의 Si로 도핑된 9nm 두께의 GaAs 게이트 매몰층(912), 4×10^{18} cm^{-3}의 Si로 도핑된 6nm 두께의 $Al_{0.2}Ga_{0.8}As$ 와이드-리세스 스토퍼층(913), 6nm 두께의 도핑되지 않은 GaAs 층(914) 및 4×10^{18} cm^{-3}의 Si로 도핑된 100nm 두께의 GaAs 캡층(915)을 기상 성장에 의해 순서대로 형성된다. 에피택셜 웨이퍼를 생성하기 위해서, 원하는 바대로 MBE 방식 또는 MOVPE 방식으로 시행될 수 있다.

와이드 리세스 패턴으로 형성된 마스크가 상술한 에피택셜 웨이퍼 상에 형성된다. 다음으로, GaAs층(915 및 914)가 스토퍼층의 역할을 하는 와이드-리세스 스토퍼층(913)으로 선택적으로 에칭된다. GaAs 층(915 및 914)를 에칭하기 위해서, 할로겐 원소와 같은 염소만을 함유하는 염화물 가스의 혼합물 및 BCl_3 및 SF_6 혼합물과 같은 불소만을 함유하는 불화물 가스를 이용하는 건식 에칭이 이용된다.

상술한 마스크의 제거 이후에, GaAs 층(912, 911 및 910)은 스토퍼층의 역할을 하는 게이트 접촉층(909)으로 패턴된 게이트 리세스를 갖도록 형성된 새로운 마스크를 통해 선택적으로 에칭된다. 결과적으로, 게이트 접촉층(909)은 외부로 노출된다. 이 경우, 게이트 매몰층(912, 911 및 910)은 오버에칭되지 않는다. 게이트 전극(916)은 노출된 게이트 접촉층(909) 상에 형성된다. 이는 게이트 전극(916)의 측면에 어떠한 갭도 존재하지 않는 구조를 생성한다.

결과적으로, 소스 전극(917) 및 드레인 전극(918)은 저항성 전극의 역할을 하는 AuGe의 증발 리프트-오프 및 합금(즉, 400℃/1 분)에 의해 형성된다.

도 17에 도시된 구조에서, GaAs층(911)의 고 농도 도핑은 GaAs층(912, 911 및 910)내의 GaAs층(912)의 표면으로부터의 공핍층의 연장을 차단한다. 이는 노출된 GaAs층 바로 아래의 채널내의 표면에서의 전도대의 상승을 방지하여, 다량의 전자가 상술한 층내에 저장될 수 있다. 또한, 2차원 전자 가스가 GaAs

층(910)내에 형성된다. 즉, GaAs 층(910)이 도핑되지 않은 사실과 결부되어 확산을 감소시키고 그러므로 이동도를 강화시킨다. 낮은 저항 전류 경로(P2, 도 17)가 채널층(906)에 의해 형성된 전류 경로(P1, 도 17)에 부가해서 도핑되지 않은 GaAs 층(910)에 의해 형성된다. 결과적으로, 시트 저항은 GaAs 게이트 매몰층(912)이 노출된 부분에서 감소된다(S, 도 17).

더우기, 도핑되지 않은 GaAs 층(910 및 914)내에 형성된 2차원 전자 가스는 전위 장벽을 낮추어서 $Al_{0.2}Ga_{0.8}As$ 층(913)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$층(909, 908 및 907)에 의해 형성된 전위 장벽을 전자가 통과하는 확률을 증가시킨다. 도핑되지 않은 GaAs 층(910 및 914)내의 전자 이동도는 높으므로, 캡층(915)로부터 채널층(906) 까지의 접촉 저항은 낮아진다. 또한, 게이트 접촉층(909)이 외부로 노출되지 않으므로, 이 부분에서의 시트 저항의 증가는 억제된다.

도 17의 구조로, 1.1Ω㎜만큼 낮은 ON 저항이 수용된다. 이러한 ON 저항은 종래의 FET의 ON 저항에 비해 0.5Ω㎜만큼 낮다.

제10 실시예

본 발명에 따른 FET의 제10 실시예가 도 18에 도시되고 반절연성 GaAs 기판(1001)을 포함한다. 도시된 것처럼, 기판(1001) 상에 400nm 두께의 도핑되지 않은 GaAs 버퍼층(1002), 100nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(1003), $4\times10^{18}cm^{-3}$의 Si로 도핑된 4nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(1004), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서 층(1005), 15nm 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(1006), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(1007), $4\times10^{18}cm^{-3}$의 Si로 도핑된 9nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(1008), $5\times10^{17}cm^{-3}$의 Si로 도핑된 10nm 두께의 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(1009), 15nm 두께의 도핑되지 않은 GaAs 게이트 매몰층(1010), $1\times10^{18}cm^{-3}$의 Si로 도핑된 5nm 두께의 GaAs 게이트 매몰층(1011), 10nm 두께의 도핑되지 않은 GaAs 게이트 매몰층(1012), $4\times10^{18}cm^{-3}$의 Si로 도핑된 6nm 두께의 $Al_{0.2}Ga_{0.8}As$ 와이드-리세스 스토퍼층(1013), 6nm 두께의 도핑되지 않은 GaAs 층(1014) 및 $4\times10^{18}cm^{-3}$의 Si로 도핑된 100nm 두께의 GaAs 캡층(1015)을 기상 성장에 의해 순서대로 형성된다. 에피택셜 웨이퍼를 생성하기 위해서, 원하는 바대로 MBE 방식 또는 MOVPE 방식으로 시행될 수 있다.

와이드 리세스 패턴으로 형성된 마스크가 상술한 에피택셜 웨이퍼 상에 형성된다. 다음으로, GaAs 층(1015 및 1014)가 스토퍼층의 역할을 하는 와이드-리세스 스토퍼층(913)으로 선택적으로 에칭된다. GaAs 층(1015 및 1014)를 에칭하기 위해서, 할로겐 원소와 같은 염소만을 함유하는 염화물 가스의 혼합물 및 BCl_3 및 SF_6 혼합물과 같은 불소만을 함유하는 불화물 가스를 이용하는 건식 에칭이 이용되어야 한다.

상술한 마스크의 제거 이후에, GaAs 층(1012, 1011 및 1010)은 스토퍼층의 역할을 하는 게이트 접촉층(1009)으로 패턴된 게이트 리세스를 갖도록 형성된 새로운 마스크를 통해 선택적으로 에칭된다. 결과적으로, 게이트 접촉층(1009)은 외부로 노출된다. 이 경우, 게이트 매몰층(1012, 1011 및 1010)은 오버에칭되지 않는다. 게이트 전극(1016)은 노출된 게이트 접촉층(1009) 상에 형성된다. 이는 게이트 전극(1016)의 측면에 어떠한 갭도 존재하지 않는 구조를 생성한다.

결과적으로, 소스 전극(1017) 및 드레인 전극(1018)은 저항성 전극의 역할을 하는 AuGe의 증발 리프트-오프 및 합금(즉, 400℃/1 분)에 의해 형성된다.

도 18에 도시된 구조에서, GaAs층(1011)의 고 농도 도핑은 GaAs층(1012, 1011 및 1019)내의 GaAs층(912)의 표면으로부터의 공핍층의 연장을 차단한다. 이는 노출된 GaAs층(1012) 바로 아래의 채널내의 표면에서의 전도대의 상승을 방지하여, 다량의 전자가 상술한 층내에 저장될 수 있다. 또한, 2차원 전자 가스가 GaAs 층(1010)내에 형성된다. 즉, GaAs 층(1010)이 도핑되지 않은 사실과 결부되어 확산을 감소시키고 그러므로 이동도를 강화시킨다. 낮은 저항 전류 경로(P2, 도 18)가 채널층(1006)에 의해 형성된 전류 경로(P1, 도 18)에 부가해서 도핑되지 않은 GaAs 층(1010)에 의해 형성된다. 결과적으로, 시트 저항은 GaAs 게이트 매몰층(1012)이 노출된 부분에서 감소된다(S, 도 18).

더우기, 도핑되지 않은 GaAs 층(1010 및 1014)내에 형성된 2차원 전자 가스는 전위 장벽을 낮추어서 $Al_{0.2}Ga_{0.8}As$ 층(1013)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$층(1009, 1008 및 1007)에 의해 형성된 전위 장벽을 전자가 통과하는 확률을 증가시킨다. 도핑되지 않은 GaAs 층(1010 및 1014)내의 전자 이동도는 높으므로, 캡층(1015)로부터 채널층(1006) 까지의 접촉 저항은 낮아진다. 또한, 게이트 접촉층(1009)이 외부로 노출되지 않으므로, 이 부분에서의 시트 저항의 증가는 억제된다.

도 18의 구조에 따르면, 1.0 Ω㎜ 정도로 낮은 ON 저항을 얻을 수 있다. 이러한 ON 저항은 종래의 FET의 ON 저항에 비해 0.6 Ω㎜만큼 낮다.

제11 실시예

도 19는 본 발명에 따른 FET의 제11 실시예를 도시한다. 이 실시예는 제1 실시예에서 제조된 에피택셜 웨이퍼를 사용한다. 도시한 바와 같이, 와이드 리세스 패턴으로 형성된 마스크를 에피택셜 웨이퍼 상에 형성한 후, 스토퍼층으로서 작용하는 와이드 리세스 스토퍼층(111)으로 GaAs층(113, 112)을 선택적으로 에칭한다. 이와 같이 두 층(113, 112)을 에칭하기 위하여, ECR 에칭 시스템 또는 RIE 시스템을 사용하고 할로겐 원소로서 염소만을 함유하는 염화물 가스 및 불소만을 함유하는 불화물 가스의 혼합물, 예를 들어 BCL_3 및 SF_6 혼합물을 사용하는 건식 에칭을 사용할 수 있다.

상기한 마스크를 제거한 후, 게이트 접촉층(109)을 스토퍼층으로서 이용하여 게이트 리세스 패턴으로 형

성된 새로운 마스크를 통해 GaAs 게이트 매몰층(110)을 선택적으로 에칭한다. 그 결과, 도핑되지 않은 게이트 접촉층(109)이 외부에 노출된다. 이 때, 매몰층(110)을 오버에칭하여, 에칭이 게이트 매몰층(110)의 수평 방향으로 진행하게 한다. 노출된 게이트 접촉층(109) 상에 게이트 전극(114)을 형성할 때, 게이트 전극(114)의 측부에 갭을 형성한다. 예를 들어, BCL_3 및 SF_6 가스 혼합물을 사용하여 100% 오버에칭을 실시한 경우, 게이트 전극(114)의 측부에 약 20 ㎚의 갭이 형성된다. 이러한 갭은 약 10 ㎚ 내지 약 50 ㎚인 것이 바람직하다.

계속해서, AuGe를 증착 리프트 오프 및 알로잉(alloying) (예를 들어 400℃/1 min)을 행하여, 오믹 전극으로서 작용하는 소스 전극(115) 및 드레인 전극(116)을 형성한다.

도 19에 도시한 구조에서, 도핑되지 않은 GaAs층(112)에 형성된 2차원 원자 가스에 의해 전위 장벽이 저하되며, 이에 의해 전자가 스토퍼층(111)의 전위 장벽을 통과할 확률이 높아진다. 또한, GaAs층(112)에 불순물이 도핑되지 않으므로, 층(112)에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 따라서, 캡 층(113)으로부터 채널층(106)으로의 접촉 저항을 저감시킬 수 있다. 도 19의 구조에 따르면, ON 저항이 종래의 FET의 ON 저항에 비해 0.1 Ω㎜만큼 낮아진다. 또한, 게이트 전극(114)의 측부에 형성된 갭으로 인해 15 V의 게이트 항복 전압을 얻을 수 있다.

제12 실시예

도 20은 본 발명에 따른 FET의 제12 실시예를 도시한다. 이 실시예는 제2 실시예의 에피택셜층을 사용하여 제11 실시예의 처리를 행한다. 도시한 바와 같이, 게이트 전극(215)의 측부에 갭이 형성된다.

도 20에 도시한 구조에서, 도핑되지 않은 GaAs층(213, 211)에 형성된 2차원 전자 가스에 의해 전위 장벽이 저하되어, 전자가 스토퍼층(212)의 전위 장벽을 통과할 확률이 증가한다. 또한, GaAs층(213 또는 211)에 불순물이 도핑되지 않으므로, 층(213, 211)에서 이온화에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 따라서, 캡 층(214)으로부터 채널층(206)으로의 접촉 저항을 저감시킬 수 있다. 도 20의 구조에 따르면, 1.2 Ω㎜ 정도로 낮은 ON 저항을 얻을 수 있다. 이러한 ON 저항은 종래의 FET의 ON 저항에 비해 0.2 Ω㎜만큼 낮다. 또한, 게이트 전극(215)의 측부에 형성된 갭으로 인해 15 V의 게이트 항복 전압을 얻을 수 있다.

제13 실시예

도 21은 본 발명에 따른 FET의 제13 실시예를 도시한다. 이 실시예는 제3 실시예의 에피택셜 웨이퍼를 사용하여 제11 실시예의 처리를 행한다. 도시한 바와 같이, 게이트 전극(314)의 측부에 갭이 형성된다.

도 21에 도시한 구조에서, 도핑되지 않은 GaAs층(310)에 형성된 2차원 전자 가스에 의해 전위 장벽이 저하되어, 전자가 $Al_{0.2}Ga_{0.8}As$층(309, 308, 307)에 의해 형성된 전위 장벽을 통과할 확률이 증가한다. 또한, GaAs층(313)에 불순물이 도핑되지 않으므로, 층(313)에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 따라서, 캡 층(313)으로부터 채널층(306)으로의 접촉 저항을 저감시킬 수 있다. 또한, 높은 전자 이동도를 갖는 도핑되지 않은 GaAs층(310)에 형성된 2차원 전자 가스는 채널층(306)에 형성된 전류 경로(P1: 도 21)뿐만 아니라 저 저항 전류 경로(P2: 도 21)를 형성한다. 전류 경로(P2)는 GaAs 게이트 매몰층이 외부에 노출되는 부분(S: 도 21)의 시트 저항을 감소시키도록 작용한다.

도 21의 구조에 따르면, 1.4 Ω㎜ 정도로 낮은 ON 저항을 얻을 수 있다. 이러한 ON 저항은 종래의 FET의 ON 저항에 비해 0.2 Ω㎜만큼 낮다. 또한, 게이트 전극(314)의 측부에 형성된 갭으로 인해 15 V의 게이트 항복 전압을 얻을 수 있다.

제14 실시예

도 22는 본 발명에 따른 FET의 제14 실시예를 도시한다. 이 실시예는 제4 실시예의 에피택셜 웨이퍼를 사용하여 도 11의 처리를 행한다. 도시한 바와 같이, 게이트 전극(415)의 측부에 갭이 형성된다.

도 22에 도시한 구조에서, 도핑되지 않은 GaAs층(410, 413)에 형성된 2차원 전자 가스에 의해 전위 장벽이 저하되어, 전자가 $Al_{0.2}Ga_{0.8}As$층(412)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$층(409, 408, 407)에 의해 형성된 전위 장벽을 통과할 확률이 증가한다. 또한, GaAs층(410 또는 413)에 불순물이 도핑되지 않으므로, 층(410, 413)에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 따라서, 캡 층(414)으로부터 채널층(406)으로의 접촉 저항을 저감시킬 수 있다. 또한, 전자 이동도가 큰 도핑되지 않은 GaAs층(410)에 형성된 2차원 전자 가스는 채널층(406)에 형성된 전류 경로(P1: 도 22)뿐만 아니라 저 저항 전류 경로(P2: 도 22)를 형성한다. 전류 경로(P2)는 GaAs 게이트 매몰층이 외부에 노출되는 부분(S: 도 22)의 시트 저항을 감소시키도록 작용한다.

도 22의 구조에 따르면, 1.3 Ω㎜ 정도로 낮은 ON 저항을 얻을 수 있다. 이러한 ON 저항은 종래의 FET의 ON 저항에 비해 0.3 Ω㎜만큼 낮다. 또한, 게이트 전극(415)의 측부에 형성된 갭으로 인해 15 V의 게이트 항복 전압을 얻을 수 있다.

제15 실시예

도 23은 본 발명에 따른 FET의 제15 실시예를 도시한다. 이 실시예는 제5 실시예의 에피택셜 웨이퍼를 사용하여 제11 실시예의 처리를 행한다. 도시한 바와 같이, 게이트 전극(516)의 측부에 갭이 형성된다.

도 23에 도시한 구조에서, 도핑되지 않은 GaAs층(510, 512, 514)에 형성된 2차원 전자 가스에 의해 전위 장벽이 저하되어, 전자가 $Al_{0.2}Ga_{0.8}As$층(513)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$층(509, 508, 507)에 의해 형성된 전위 장벽을 통과할 확률이 증가한다. 또한, GaAs층(510, 512, 51)에 불순물이 도핑되지 않으므로, 층(510, 512, 514)에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 따라서, 캡 층(515)으로부터 채널층(506)으로의 접촉 저항을 저감시킬 수 있다. 또한, 높은 전자 이동도를

갖는 도핑되지 않은 GaAs층(510)에 형성된 2차원 전자 가스는 채널층(506)에 형성된 전류 경로(P1: 도 23)뿐만 아니라 저 저항 전류 경로(P2: 도 23)를 형성한다. 전류 경로(P2)는 GaAs 게이트 매몰층이 외부에 노출되는 부분(S: 도 23)의 시트 저항을 감소시키도록 작용한다.

도 23의 구조에 따르면, 1.2 Ω㎜ 정도로 낮은 ON 저항을 얻을 수 있다. 이러한 ON 저항은 종래의 FET의 ON 저항에 비해 0.4 Ω㎜만큼 낮다. 또한, 게이트 전극(516)의 측부에 형성된 갭으로 인해 15 V의 게이트 항복 전압을 얻을 수 있다.

제16 실시예

도 24는 본 발명에 따른 FET의 제16 실시예를 도시한다. 이 실시예는 제6 실시예의 에피택셜 웨이퍼를 사용하여 도 11의 처리를 행한다. 도시한 바와 같이, 게이트 전극(614)의 측부에 갭이 형성된다.

도 24에 도시한 구조에서, 도핑되지 않은 GaAs층(610, 612)에 형성된 2차원 전자 가스에 의해 전위 장벽이 저하되어, 전자가 $Al_{0.2}Ga_{0.8}As$층(611)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$층(609, 608, 607)에 의해 형성된 전위 장벽을 통과할 확률이 증가한다. 또한, GaAs층(612 또는 610)에 불순물이 도핑되지 않으므로, 층(612, 610)에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 결국, 캡층(614)에서 채널층(606)으로의 접촉 저항은 성공적으로 감소한다. 또한, 높은 전기 이동도를 갖는 도핑되지 않은 GaAs 층(610)에 형성된 2차원 전자 가스는 채널층(606)에 형성된 전류 통로(P1, 도 24) 외에 저저항 전류 통로(P2, 도 24)를 형성한다. 전류 통로(P2)는 GaAs 게이트 매몰층이 노출된 부분(S, 도 24)의 시트 저항을 줄이는 역할을 한다.

도 24의 구조로써 1.2Ω · ㎜의 낮은 온 저항이 얻어진다. 이러한 온 저항은 종래의 FET의 온 저항보다 0.4Ω · ㎜ 만큼 낮다. 또한, 게이트 전극(614)의 측부에 형성된 갭으로 인해 15V의 게이트 항복 전압이 얻어진다.

제17 실시예

도 25는 본 발명에 따른 FET의 제17 실시예를 나타낸다. 이 실시예는 제7 실시예의 에피텍셜층을 사용함으로써 제11 실시예의 절차를 수행한다. 도시된 바와 같이, 게이트 전극(716)의 측부에 갭이 형성된다.

도 25에 도시된 구조에서, GaAs층(712)의 표면에서 채널 측부를 향해 연장된 공핍층은 GaAs 층(712, 711, 710)에서 멈춘다. 이것은 채널의 표면측의 전도대의 상승을 방지할 수 있어서, 많은 수의 전자가 상기 층에 저장될 수 있다. 또한, 채널(P1, 도 25)뿐만 아니라 게이트 매몰층(P2, 도 25)에도 전류 통로가 형성되어, GaAs 게이트 매몰층(S, 도 25)의 노출부의 시트 저항이 감소된다. 더우기, 도핑되지 않은 GaAs 층(714)에 형성된 2차원 전자 가스가 $Al_{0.2}Ga_{0.8}As$ 층(713)의 전위 장벽을 낮추어, 전자가 $Al_{0.2}Ga_{0.8}As$ 층(713)의 전위 장벽을 통과하는 확률을 증가시킨다. 또한, GaAs 층(714)에는 불순물이 도핑되어 있지 않기 때문에 층(714)내서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 결과적으로, 캡층(715)에서 채널층(706)으로의 접촉 저항은 성공적으로 감소한다.

도 25의 구조로써 1.3Ω · ㎜의 낮은 온 저항이 얻어졌다. 이러한 온 저항은 종래의 FET의 온 저항보다 0.3Ω · ㎜ 만큼 낮다. 또한, 게이트 전극(716)의 측부에 형성된 갭으로 인해 15V의 게이트 항복 전압이 달성된다.

제18 실시예

도 26은 본 발명에 따른 FET의 제18 실시예를 나타낸다. 이 실시예는 제8 실시예의 에피텍셜층을 사용함으로써 제11 실시예의 절차를 수행한다. 도시된 바와 같이, 게이트 전극(816)의 측부에 갭이 형성된다.

도 26에 도시된 구조에서 GaAs 층(811)의 고농도 도핑은 GaAs 층(812)의 표면에서 채널을 향한 공핍층의 연장을 GaAs 층(812, 811, 810)에서 멈춘다. 이것은 노출된 GaAs 층 바로 아래의 채널의 표면측의 전도대의 상승을 방지할 수 있어, 많은 양의 전자가 상기 층에 저장될 수 있다. 또한, 채널(P1, 도 26)뿐만 아니라 게이트 매몰층(P2, 도 26)에도 전류 통로가 형성되어, GaAs 게이트 매몰층(S, 도 26)의 노출부의 시트 저항이 감소된다.

더우기, 도핑되지 않은 GaAs 층(812, 814)에 형성된 2차원 전자 가스는 전위 장벽을 낮추어, 전자가 $Al_{0.2}Ga_{0.8}As$ 층(813)의 전위 장벽을 통과하는 확률을 증가시킨다. 또한, GaAs 층(812 또는 814)에는 불순물이 도핑되지 않기 때문에 층(812 및 814)에서 이온화된 불순물에 의한 산란이 억제되고 전자 이동도가 높아지게 된다. 결과적으로, 캡층(815)에서 채널층(806)으로의 접촉 저항은 성공적으로 감소한다.

도 26의 구조로써 1.2Ω · ㎜의 낮은 온 저항이 달성되었다. 이러한 온 저항은 종래의 FET의 온 저항보다 0.4Ω · ㎜ 만큼 낮다. 또한, 게이트 전극(816)의 측부에 형성된 갭으로 인하여 15V의 게이트 항복 전압이 달성될 수 있었다.

제19 실시예

도 27은 본 발명에 따른 FET의 제19 실시예를 나타낸다. 이 실시예는 제9 실시예의 에피텍셜 웨이퍼를 사용함으로써 제11 실시예의 절차를 수행한다. 도시된 바와 같이, 게이트 전극(916)의 측부에 갭이 형성된다.

도 27에 도시된 구조에서, GaAs 층(911)의 고농도 도핑은 GaAs 층(912)의 표면에서 채널을 향한 공핍층의 연장을 GaAs 층(912, 911, 910)에서 중지시킨다. 이것은 노출된 GaAs 층 바로 아래의 채널의 표면측의 전도대의 상승을 방지할 수 있어 많은 수의 전자가 상기 층에 저장될 수 있게 한다. 또한, 2차원 전자 가스가 GaAs 층(910)에 형성된다. 이것은 GaAs 층(910)이 도핑되지 않은 사실과 함께 확산을 감소시

켜 이동도를 증가시킨다. 채널층(906)에 의해 형성된 전류 통로(P1, 도 27)에 더하여 도핑되지 않은 GaAs 층(910)에 의해 저저항 전류 통로(P2, 도 27)가 형성된다. 결과적으로, GaAs 게이트 매몰층(912)이 노출된 부분(S, 도 28)의 시트 저항이 감소한다.

더우기, 도핑되지 않은 GaAs 층(910, 914)에 형성된 2차원 전자 가스가 전위 장벽을 낮추어, 전자가 $Al_{0.2}Ga_{0.8}As$ 층(913)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$ 층(909, 908, 907)에 의해 형성된 전위 장벽을 통과하는 확률을 증가시킨다. 도핑되지 않은 GaAs 층(910, 914)에서의 전자 이동도가 높기 때문에, 캡층(915)에서 채널층(906)으로의 접촉 저항이 낮아진다.

도 27의 구조로써 1.2Ω · mm의 낮은 온 저항이 달성되었다. 이러한 온 저항은 종래의 FET의 온 저항보다 0.4Ω · mm 만큼 낮다. 또한, 게이트 전극(916)의 측부에 형성된 갭으로 인하여 15V의 게이트 항복 전압이 달성되었다.

제20 실시예

도 28은 본 발명에 따른 FET의 제20 실시예를 나타낸다. 이 실시예는 제10 실시예의 에피텍셜 웨이퍼를 사용함으로써 제11 실시예의 절차를 수행한다. 도시된 바와 같이, 게이트 전극(1016)의 측부에 갭이 형성된다.

도 28에 도시된 구조에서, GaAs 층(1011)의 고농도 도핑은 GaAs 층(1012)의 표면에서 채널측을 향한 공핍층의 연장을 GaAs 층(1012, 1011, 1010)에서 중지시킨다. 이것은 노출된 GaAs 층(1012) 바로 아래의 채널의 표면측의 전도대의 상승을 방지할 수 있어 많은 수의 전자가 상기 층에 저장될 수 있게 한다. 또한, 2차원 전자 가스가 GaAs 층(1010)에 형성된다. 이것은 GaAs 층(1010)이 도핑되지 않은 사실과 함께 확산을 감소시켜 이동도를 증가시킨다. 채널층(1006)에 의해 형성된 전류 통로(P1, 도 28)에 더하여 도핑되지 않은 GaAs 층(1010)에 의해 저저항 전류 통로(P2, 도 28)가 형성된다. 결과적으로, GaAs 게이트 매몰층(1012)이 노출된 부분(S, 도 28)의 시트 저항이 감소한다.

더우기, 도핑되지 않은 GaAs 층(1010, 1012, 1014)에 형성된 2차원 전자 가스가 전위 장벽을 낮추어, 전자가 $Al_{0.2}Ga_{0.8}As$ 층(1013)의 전위 장벽 및 $Al_{0.2}Ga_{0.8}As$ 층(1009, 1008, 1007)에 의해 형성된 전위 장벽을 통과하는 확률을 증가시킨다. 도핑되지 않은 GaAs 층(1010, 1012, 1014)에서의 전자 이동도가 높기 때문에, 캡층(1015)에서 채널층(1006)으로의 접촉 저항이 낮아진다.

도 28의 구조로써 1.1Ω · mm의 낮은 온 저항이 달성되었다. 이러한 온 저항은 종래의 FET의 온 저항보다 0.5Ω · mm 만큼 낮다. 또한, 게이트 전극(1016)의 측부에 형성된 갭으로 인하여 15V의 게이트 항복 전압이 달성되었다.

제21 실시예

도 29를 참조하면, 본 발명에 따른 FET의 제21 실시예가 도시되어 있고 이것은 반절연성 GaAs 기판(2101)을 포함한다. 도시된 바와 같이, 기판(2101) 상에는 400nm 두께의 도핑되지 않은 GaAs 버퍼층(2102), 100nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(2103), $4\times10^{18}cm^{-3}$의 Si가 도핑된 4nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(2104), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(2105), 15nm 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(2106), 2nm 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 스페이서층(2107), $4\times10^{18}cm^{-3}$의 Si가 도핑된 9nm 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(2108), $5\times10^{17}cm^{-3}$의 Si가 도핑된 10nm 두께의 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(2109), $5\times10^{16}cm^{-3}$의 Si가 도핑된 30nm 두께의 GaAs 게이트 매몰층(2110), $4\times10^{18}cm^{-3}$의 Si가 도핑된 6nm 두께의 $Al_{0.2}Ga_{0.8}As$ 와이드 리세스 스토퍼층(2111) 및 에피텍셜 성장에 의해 $4\times10^{18}cm^{-3}$의 Si가 도핑된 100nm 두께의 GaAs 캡층(2112)이 연속 형성되어 있다. 이러한 에피텍셜 웨이퍼를 제조하기 위하여는 필요에 따라 MBE 방법 또는 MOVPE 방법을 사용할 수 있다.

상기 에피텍셜 웨이퍼가 생성된 후에, 넓은 리세스 패턴으로 형성된 마스크는 웨이퍼 상에 형성된다. 그런 다음, GaAs층(2112)은 스탑층으로서 작용하는 넓은 리세스 스토퍼층(2111)으로 선택적으로 에칭된다. 따라서, 2개의 층(2112)을 에칭하기 위하여, 할로겐 원소로서 단지 염소를 포함하는 염화물 가스 및 불소, 예를 들어 BCl_3 및 SF_6 혼합물만을 포함하는 불소물 가스의 혼합물을 사용하여 건식 에칭될 수 있다.

상기 마스크를 제거한 후에, GaAs 게이트 매몰층(2110)은 스토퍼층으로서 작용하는 게이트 접촉층(2109)를 갖는 게이트 리세스 패턴으로 형성된 새로운 마스크를 통해 선택적으로 에칭된다. 따라서, 도핑되지 않은 게이트 접촉층(2109)은 외부가 노출된다. 즉시, 매몰층(2110)은 오버에칭되지 않는다. 게이트 전극(2113)은 상기 노출된 게이트 접촉층(2109) 상에 형성된다. 이러한 것은 게이트 전극(2113)의 측에 갭이 없는 구조를 생성한다.

계속해서, 소스 전극(2114) 및 드레인 전극(2115)은 증기 발진 및 옴 전극으로서 작용하는 AuGe의 합금(예를 들어, 400℃/1min)에 의해 형성된다.

도 29에 도시된 구조에서, 게이트 접촉층(2109) 및 넓은 리세스 스토퍼층(2111)에 도핑된 고농도 n-형 불순물들은 게이트 매몰층(2110)과 캡층(2112)과 게이트 접촉층(2109) 사이의 접촉면 주위에 저장된 전자들의 양을 증가시킨다. 이러한 것은 캡층(2112)에서 채널층(2106)으로 접촉 저항을 성공적으로 감소시킨다. 또한, 게이트 접촉층(2109)이 외부로 노출되지 않기 때문에, 이러한 부분의 시트 저항의 증가는 억제된다.

도 29의 구조로, 1.3Ω㎜와 같은 낮은 ON 저항이 달성되었다. 이러한 ON 저항은 0.3Ω㎜로 종래의 FET

의 ON 저항보다 더 낮다.

제22 실시예

도 30은 본 발명에 따른 FET의 22실시예를 도시한다. 도시된 바와 같이, 반절연성 GaAs 기판(2201)상에, 400㎚ 두께의 도핑되지 않은 GaAs 버퍼층(2202), 100㎚두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$ 버퍼층(2203), $4\times10^{18}cm^{-3}$의 Si로 도핑된 4㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(2204), 15㎚ 두께의 도핑되지 않은 $In_{0.2}Ga_{0.8}As$ 채널층(2206), 2㎚ 두께의 도핑되지 않은 $Al_{0.2}Ga_{0.8}As$스페이서층(2207), $4\times10^{18}cm^{-3}$의 Si로 도핑된 9㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 전자 공급층(2208), $5\times10^{17}cm^{-3}$의 Si로 도핑된 10㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 게이트 접촉층(2209), $5\times10^{16}cm^{-3}$의 Si로 도핑된 20㎚ 두께의 GaAs 게이트 매몰층(2210), $1\times10^{18}cm^{-3}$의 Si로 도핑된 6㎚ 두께의 GaAs 게이트 매몰층(2211), $5\times10^{16}cm^{-3}$의 Si로 도핑된 4㎚ 두께의 GaAs 게이트 매몰층(2212), $4\times10^{18}cm^{-3}$의 Si로 도핑된 6㎚ 두께의 $Al_{0.2}Ga_{0.8}As$ 넓은 리세스 스토퍼층(2213) 및 에피텍셜 성장에 의한 $4\times10^{18}cm^{-3}$의 Si로 도핑된 100㎚ 두께의 GaAs 캡층(2214)를 형성한다. 그러한 에피텍셜 웨이퍼를 생성하기 위하여, 원하는 바와 같이, MBE 기법 또는 MOVPE 기법을 사용할 수 있다.

상기 에피텍셜 웨이퍼를 생성한 후에, 넓은 리세스 패턴으로 형성된 마스크는 웨이퍼 상에 형성된다. 그런 다음, GaAs층(2214)은 스토퍼층으로서 작용하는 넓은 리세스 스토퍼층(2213)으로 선택적으로 에칭된다. 따라서 층(2214)을 에칭하기 위하여, 할로겐 원소로서 단지 염소를 포함하는 염화물 가스 및 불소, 예를 들어 BCl_3 및 SF_6 혼합물만을 포함하는 불소물 가스의 혼합물을 사용하여 건식 에칭될 수 있다.

상기 마스크를 제거한 후에, GaAs 게이트 매몰층(2210, 2211 및 2212)은 스토퍼층으로서 작용하는 게이트 접촉층(2209)을 갖는 게이트 리세스 패턴으로 형성된 새로운 마스크를 통해 선택적으로 에칭된다. 따라서, 도핑되지 않은 게이트 접촉층(2209)은 외부가 노출된다. 즉시, 게이트 매몰층(2210, 2211 및 2212)은 오버 에칭되지 않는다. 게이트 전극(2215)은 상기 노출된 게이트 접촉층(2209) 상에 형성된다. 이러한 것은 게이트 전극(2215)의 측에 갭이 없는 구조를 생성한다.

계속해서, 소스 전극(2216) 및 드레인 전극(2217)은 증기 발진 및 옴 전극으로서 작용하는 AuGe의 합금(예를 들어, 400℃/1min)에 의해 형성된다.

도 30에 도시된 구조에서, 게이트 접촉층(2209) 및 넓은 리세스 스토퍼층(2211)에 도핑된 고농도 n-형 불순물들은 게이트 매몰층(2210)과 캡층(2214)과 게이트 접촉층(2209)사이의 접촉면 주위에 저장된 전자들의 양을 증가시킨다. 이러한 것은 캡층(2214)에서 채널층(2206)으로 접촉 저항을 성공적으로 감소시킨다. 또한, GaAs층(2212)의 표면에서 채널측으로 공핍층의 확장은 GaAs층들(2212, 2211 및 2210)에서 중단된다. 이러한 것은 채널 내의 표면측에서 도전 대역의 증가를 성공적으로 방해하고 따라서 채널 내의 전자들의 방출을 제거한다. 또한, 전류 경로는 채널(P1, 도 30)에서 뿐만 아니라 게이트 매몰층(P2, 도 30)에서 형성되어, 시트 저항은 노출된 GaAs 게이트 매몰층(S, 도 30)에서 축소된다. 또한, 게이트 접촉층(2209)은 노출되지 않기 때문에, 이 부분에서 시트 저항은 부족하게 감소된다.

제23 실시예

도 31은 본 발명에 따른 FET의 제23 실시예를 도시한다. 이러한 실시예는 제21 실시예의 에피텍셜 웨이퍼를 사용하여 제11 실시예의 처리를 실행한다. 도시된 바와 같이, 게이트 전극(2313)의 측에 갭이 형성된다.

도 31에 도시된 구조에서, 게이트 접촉층(2309) 및 넓은 리세스 스토퍼층(2311)에 도핑된 고농도 n형 불순물들은 게이트 매몰층(2310)과 캡층(2312)과 게이트 접촉층(2309)사이의 접촉면 주위에 저장된 전극의 양을 증가시킨다. 이러한 것은 캡층(2309)에서 채널층(2306)으로 접촉 저항을 성공적으로 감소시킨다. 또한, 게이트 접촉층(2309)이 외부로 노출되지 않기 때문에, 이러한 부분의 시트 저항의 증가는 억제된다.

도 30의 구조로, 1.4Ω㎜과 같은 낮은 ON 저항이 달성될 수 있었다. 이러한 ON 저항은 0.2Ω㎜로 종래의 FET의 ON 저항보다 더 낮다. 또한, 15V의 게이트 항복 전압은 게이트 전극(2313)의 측면에서 형성된 갭으로 인해 달성될 수 있었다.

제24 실시예

도 32는 본 발명에 따라 FET의 제24 실시예를 도시한다. 이러한 실시예는 제22 실시예의 에피텍셜 웨이퍼를 사용하여 제11 실시예의 처리를 실행한다. 도시된 바와 같이, 게이트 전극(2413)의 측면에 갭이 형성된다.

도 32에 도시된 구조에서, 게이트 접촉층(2409) 및 넓은 리세스 스토퍼층(2411)에 도핑된 고농도 n형 불순물들은 게이트 매몰층(2410)과 캡층(2412)과 게이트 접촉층(2409)사이의 접촉면 주위에 저장된 전극의 양을 증가시킨다. 이러한 것은 캡층에서 채널층(2406)으로 접촉 저항을 성공적으로 감소시킨다. 또한, GaAs층(2412)의 표면에서 채널측으로의 공핍층의 확장은 GaAs층들 (2412, 2411, 및 2410)에서 멈춰진다. 이러한 것은 채널의 표면측에서 도전 대역의 상승을 성공적으로 방해하고 따라서 채널내의 전극 배출구를 제거한다. 또한, 전류 경로가 채널(P1, 도 32)뿐만 아니라 게이트 매몰층(P2, 도 32)에서 형성됨에 따라, 시트 저항은 노출된 GaAs 게이트 매몰층부(S, 도 32)에서 감소된다.

도 32의 구조로, 1.3Ω㎜과 같은 낮은 ON 저항이 얻어질 수 있었다. 이러한 ON 저항은 0.3Ω㎜로 종래의 FET의 ON 저항보다 더 낮다. 또한, 15V의 게이트 항복 전압은 게이트 전극(2413)의 측면에서 형성된

갭으로 인해 달성될 수 있었다.

도시되고 기술된 도시적 실시예는 통상적으로 GaAs 기판상에 사용된 약 0.2의 조성물을 갖는 InGaAs 채널층을 포함한다. 그런 InGaAs 채널층은 만약 원한다면, GaAs채널층으로 대체될 수 있다. 또한, 본 발명은 단일 도핑, 이중 도핑 대신에 단일 헤테로 구조, 채널층의 상부 및 하부 상에 AlGaAs 전자 공급층을 위치시키는 이중 헤테로 구조로 실행할 수 있다.

또한, 본 발명은 즉, AlGaAs층 대신에 $In_{0.5}Al_{0.5}As$층 및 $In_{0.2}Ga_{0.8}As$층 대신에 $In_{0.5}Ga_{0.5}As$층을 포함하는 InP상에 제조된 헤테로 접합 FET로 구현될 수 있다. 이러한 종류의 FET를 생산하기 위하여, 도시적 실시예와 관련해서 언급된 건식 에칭 기법대신에 주석 에칭제를 사용할 수 있다.

발명의 효과

요약하면, 본 발명은 종래의 ON 저항보다 현저하게 낮은 ON 저항을 달성할 수 있는 헤테로 접합 FET를 제공한다.

(57) 청구의 범위

청구항 1

도핑되지 않은 InGaAs 채널층 및 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층(cap layer)을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼층들(etching stopper layers)로 사용함으로써 형성된 2중 오목 구조(double recess structure)를 갖는 반도체 결정을 사용한 FET(전계 효과 트랜지스터)에 있어서,

상기 제3 AlGaAs층은 고농도의 n형 불순물로 도핑되고, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭(gap)없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 2

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제3 AlGaAs층은 고농도의 n형 불순물로 도핑되고, 상기 제2 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층을 포함하며, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 3

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 AlGaAs층은 고농도의 n형 불순물로 도핑되고, 상기 제2 GaAs층은 상기 제1 AlGaAs층과 접촉하는 도핑되지 않은 층을 포함하며, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 4

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제2 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제2 GaAs층의 상부를 형성하는 층을 포함하며, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 5

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs 층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제2 GaAs층은 각각 상기 제1 및 제3 AlGaAs층과 접촉하는 도핑되지 않은 층들을 포함하며, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지

스터.

청구항 6

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 n형 불순물로 도핑된 층과 도핑되지 않은 층 중 어느 하나와, 고농도의 n형 불순물로 도핑된 층과, n형 불순물로 도핑된 층으로 구성된 3층 구조를 갖고, 상기 제3 AlGaAs층은 고농도의 n형 불순물로 도핑되며, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 7

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 n형 불순물로 도핑된 층과 도핑되지 않은 층 중 어느 하나와, 고농도의 n형 불순물로 도핑된 층과, 도핑되지 않은 층으로 구성된 3층 구조를 갖고, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하며, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 8

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 도핑되지 않은 층과, 고농도의 n형 불순물로 도핑된 층과, n형 불순물로 도핑된 층으로 구성된 3층 구조를 갖고, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하며, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 9

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 도핑되지 않은 층과, 고농도의 n형 불순물로 도핑된 층과, 도핑되지 않은 층으로 구성된 3층 구조를 갖고, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하며, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 10

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제3 AlGaAs층은 고농도의 n형 불순물로 도핑되고, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하며, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 11

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제3 AlGaAs층은 고농도의 n형 불순물로 도핑되고, 상기 제2 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층을 포함하며, 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs

게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압(gate breakdown voltage)을 보장하는 최소 갭만큼 분리되어 있는 전계

효과 트랜지스터.

청구항 12

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제2 GaAs층은 상기 제1 AlGaAs층과 접촉하는 도핑되지 않은 층을 포함하며 상기 제4 GaAs층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압(gate withstanding voltage)을 보장하는 최소 갭만큼 분리되어 있는 전계 효과 트랜지스터.

청구항 13

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 AlGaAs층은 고농도의 n-형 불순물로 도핑되고, 제2 GaAs층은 상기 제1 AlGaAs층과 접촉하는 도핑되지 않은 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압을 보장하는 최소 갭만큼 분리되어 있는 전계 효과 트랜지스터.

청구항 14

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n-형 불순물로 도핑되고, 제2 GaAs층은 각각 상기 제1 및 제3 AlGaAs층과 접촉하는 도핑되지 않은 층을 포함하며, 상기 제4 GaAs 게이트층은 상기 제3 AlGaAs층과 접촉하는 도핑되지 않은 층 및 고농도의 n-형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압을 보장하는 최소 갭만큼 분리되어 있는 전계 효과 트랜지스터.

청구항 15

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 n형 불순물로 도핑된 층과 도핑되지 않은 층 중 어느 하나와, 고농도의 n형 불순물로 도핑된 층과, n형 불순물로 도핑된 층으로 구성된 3층 구조를 갖고, 상기 제3 AlGaAs층은 고농도의 n-형 불순물로 도핑되며, 상기 제4 GaAs 층은 상기 제3 AlGaAs 층과 접촉하는 도핑되지 않은 층 및 고농도의 n-형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압을 보장하는 최소 거리만큼 분리되어 있는 전계 효과 트랜지스터.

청구항 16

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 n형 불순물로 도핑된 층과 도핑되지 않은 층 중 어느 하나와, 고농도의 n형 불순물로 도핑된 층과, 도핑되지 않은 층으로 구성된 3층 구조를 갖고, 상기 제3 AlGaAs층은 고농도의 n-형 불순물로 도핑되며, 상기 제4 GaAs 층은 상기 제3 AlGaAs 층과 접촉하는 도핑되지 않은 층 및 고농도의 n-형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압을 보장하는 최소 거리만큼 분리되어 있는 전계 효과 트랜지스터.

청구항 17

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGa층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 도핑되지 않은 층, 고농도의 n형 불순물로 도핑된 층, 및 n형 불순물로 도핑된 층으로 구성된 3층 구조를 갖고, 상기 제4 GaAs 층은 상기 제3 AlGaAs 층과 접촉하는 도핑되지 않은 층 및 고농도의 n-형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하며, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압을 보장하는 최소 거리만큼 분리되어 있는 전계 효과 트랜지스터.

청구항 18

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n-형 불순물로 도핑되고, 상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 도핑되지 않은 층, 고농도의 n형 불순물로 도핑된 층, 및 도핑되지 않은 층으로 구성된 3층 구조를 갖고, 상기 제4 GaAs 층은 상기 제3 AlGaAs 층과 접촉하는 도핑되지 않은 층 및 고농도의 n-형 불순물로 도핑되고 상기 제4 GaAs층의 상부를 형성하는 층을 포함하며, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압을 보장하는 최소 갭만큼 분리되어 있는 전계 효과 트랜지스터.

청구항 19

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 20

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 n형 불순물로 도핑된 층, 고농도의 n형 불순물로 도핑된 층, 및 n형 도핑층으로 구성된 3층 구조를 갖고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 갭없이 서로 접촉하는 전계 효과 트랜지스터.

청구항 21

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제2 GaAs 게이트 매몰층과 게이트 전극은 충분한 게이트 항복 전압을 보장하는 최소 거리만큼 분리되어 있는 전계 효과 트랜지스터.

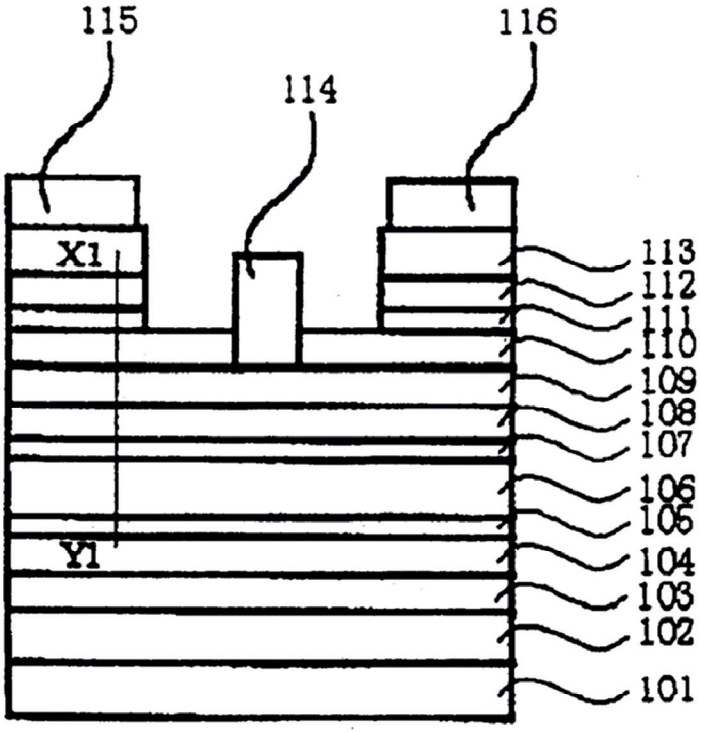
청구항 22

도핑되지 않은 InGaAs 채널층과 도핑되지 않은 GaAs 채널층 중 어느 하나와, 상기 도핑되지 않은 InGaAs 채널층 또는 상기 도핑되지 않은 GaAs 채널층 상에 순차적으로 형성된 제1 AlGaAs 게이트 접촉층, 제2 GaAs 게이트 매몰층, 제3 AlGaAs층, 및 제4 GaAs 캡층을 적어도 포함하고, 상기 제1 및 제3 AlGaAs층을 에칭 스토퍼 층들로 사용함으로써 형성된 2중 오목 구조를 갖는 반도체 결정을 사용한 FET에 있어서,

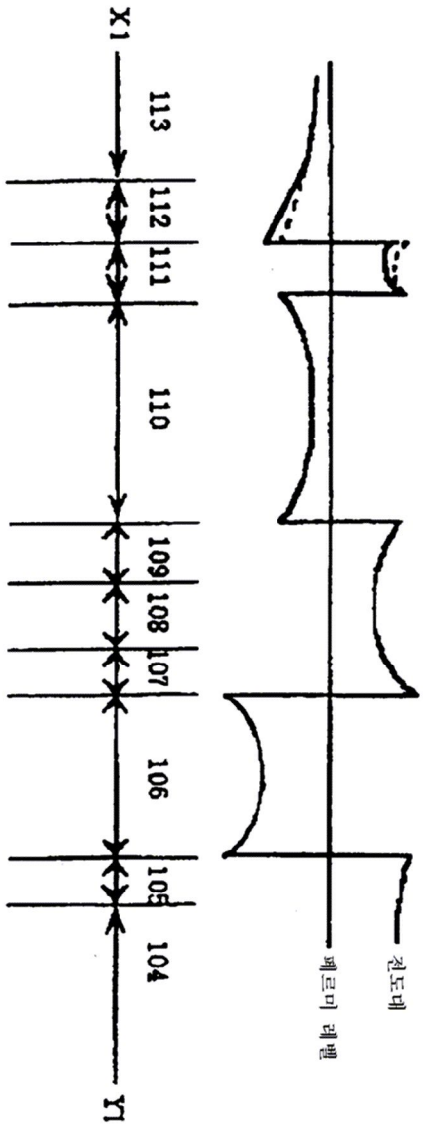
상기 제1 및 제3 AlGaAs층들 각각은 고농도의 n형 불순물로 도핑되고, 상기 제1 AlGaAs층과 접촉하는 측면으로부터, 상기 제2 GaAs층은 n형 불순물로 도핑된 층, 고농도의 n형 불순물로 도핑된 층, 및 n형 불순물로 도핑된 층으로 구성된 3층 구조를 갖고, 상기 제2 GaAs 매몰층과 게이트 전극은 충분한 게이트 항복 전압을 보장하는 최소 갭만큼 분리되어 있는 전계 효과 트랜지스터.

도면

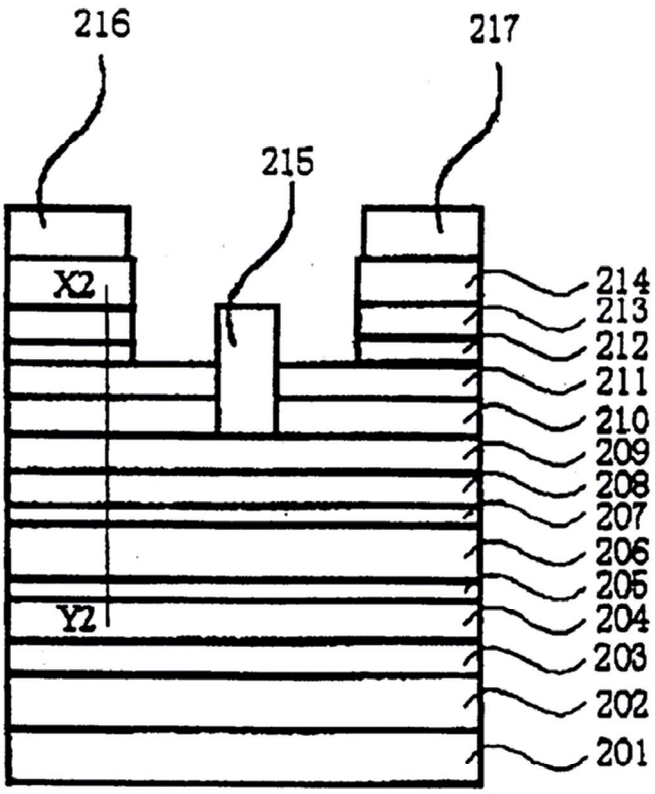
도면1


115
116
114
X1
Y1
113
112
111
110
109
108
107
106
105
104
103
102
101

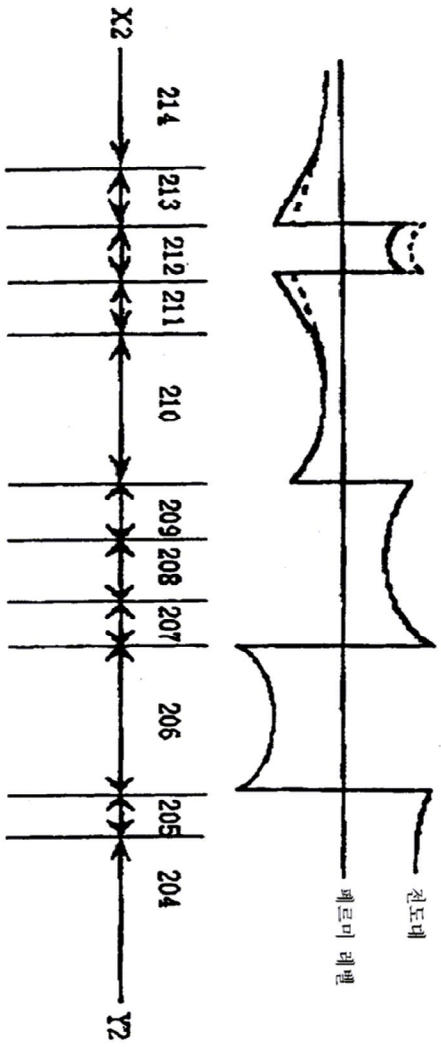
도면2



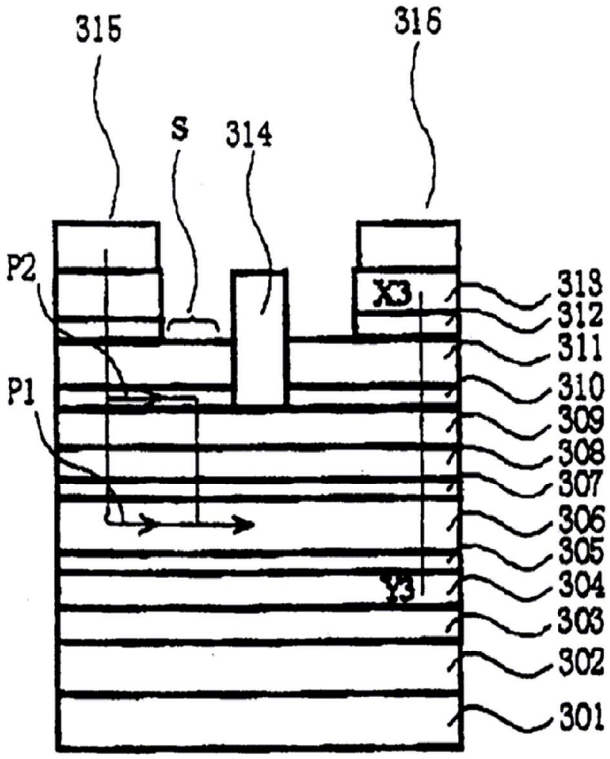
도면3


216
217
215
X2
214
213
212
211
210
209
208
207
206
205
Y2
204
203
202
201

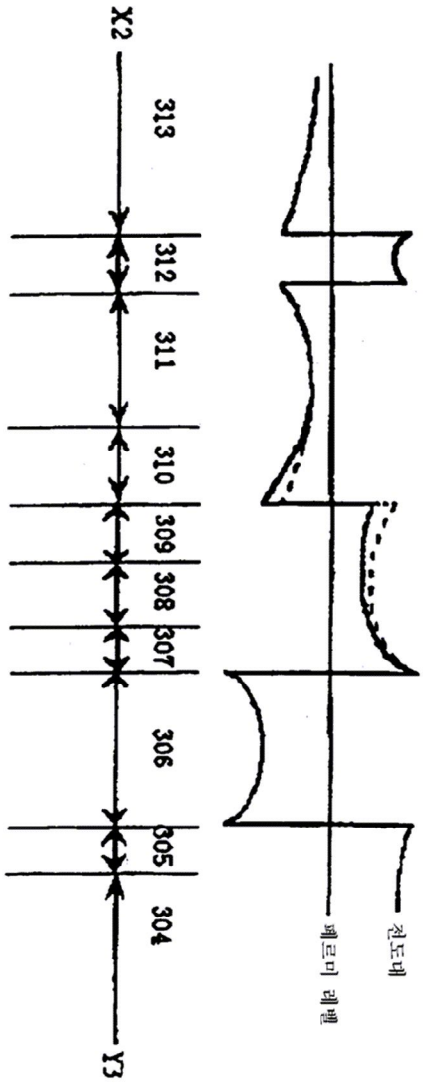
도면4



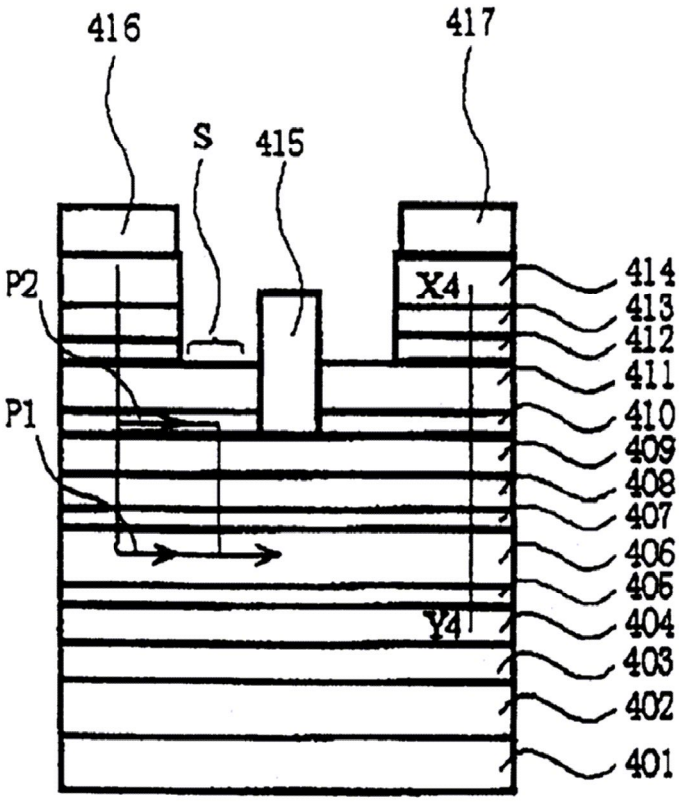
도면5


315
316
S
314
P2
P1
X3
Y3
318
312
311
310
309
308
307
306
305
304
303
302
301

도면6



도면7


416
417
S
415
P2
X4
414
413
412
411
P1
410
409
408
407
406
405
Y4
404
403
402
401