

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4335234号
(P4335234)

(45) 発行日 平成21年9月30日(2009.9.30)

(24) 登録日 平成21年7月3日(2009.7.3)

(51) Int.Cl.

F 1

HO3M 1/08	(2006.01)	HO3M	1/08	A
HO3M 1/12	(2006.01)	HO3M	1/12	B
HO3M 1/82	(2006.01)	HO3M	1/82	
HO3K 17/16	(2006.01)	HO3K	17/16	H
HO3K 17/687	(2006.01)	HO3K	17/687	E

請求項の数 4 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2006-174563 (P2006-174563)
(22) 出願日	平成18年6月23日 (2006.6.23)
(62) 分割の表示	特願2001-332530 (P2001-332530) の分割
原出願日	平成13年10月30日 (2001.10.30)
(65) 公開番号	特開2006-254515 (P2006-254515A)
(43) 公開日	平成18年9月21日 (2006.9.21)
審査請求日	平成18年6月23日 (2006.6.23)

(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(74) 代理人	110000338 特許業務法人原謙三國際特許事務所
(72) 発明者	荒木 誠 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

審査官 栗栖 正和

最終頁に続く

(54) 【発明の名称】アナログ／デジタル変換回路

(57) 【特許請求の範囲】

【請求項 1】

アナログ／デジタル変換されたデジタル信号に基づいて、ハイサイド出力素子と、ロウサイド出力素子とを交互に駆動することにより、上記デジタル信号を増幅出力するスイッチング手段を備えているアナログ／デジタル変換回路において、

上記ハイサイド出力素子を駆動する側の入力端子および出力端子と、上記ロウサイド出力素子を駆動する側の入力端子および出力端子とを備えていると共に、上記ハイサイド出力素子を駆動する側の入力端子および出力端子における入出力波形における立ち上がり時間のずれの大きさと、上記ロウサイド出力素子を駆動する側の入力端子および出力端子における入出力波形における立ち上がり時間のずれの大きさとを異なる値に設定するバランス調整手段とを備えており、

上記アナログ／デジタル変換回路は、

上記ハイサイド出力素子を駆動する側の入力端子および出力端子における入出力波形における立ち上がり時間のずれの大きさと、上記ロウサイド出力素子を駆動する側の入力端子および出力端子における入出力波形における立ち上がり時間のずれの大きさとを異なる値に設定することで、

上記ハイサイド出力素子及び上記ロウサイド出力素子のいずれかに、DCオフセットを与えた状態と同じ状態にするように構成されていることを特徴とするアナログ／デジタル変換回路。

【請求項 2】

10

上記アナログ／デジタル変換回路は、

上記ハイサイド出力素子を駆動する側の入力端子および出力端子における入出力波形における立ち上がり時間のずれの大きさと、上記ロウサイド出力素子を駆動する側の入力端子および出力端子における入出力波形における立ち上がり時間のずれの大きさとを異なる値に設定することで、

完全な0レベルの入力信号に対して上記アナログ／デジタル変換回路のループ特性に応じて発生する巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやるように構成されていることを特徴とする請求項1に記載のアナログ／デジタル変換回路。

【請求項3】

上記ハイサイド出力素子を駆動する側の入力端子と出力端子との間、および上記ロウサイド出力素子を駆動する側の入力端子と出力端子との間には、

抵抗と、

上記抵抗と直列に接続されたコンデンサと、

上記抵抗にフィードバック接続されたダイオードとを有している回路がそれぞれ接続されている一方、

上記ハイサイド出力素子を駆動する側の入力端子と出力端子との間に接続された上記抵抗と上記コンデンサにより決定される時定数と、上記ロウサイド出力素子を駆動する側の入力端子と出力端子との間に接続された上記抵抗と上記コンデンサにより決定される時定数とが異なっていることを特徴とする請求項1又は2に記載のアナログ／デジタル変換回路。

10

20

【請求項4】

上記ハイサイド出力素子を駆動する側の入力端子に入力されるデジタル信号の立ち上がりを上記ハイサイド出力素子を駆動する側の入力端子および出力端子における入出力波形における立ち上がり時間のずれの大きさだけ遅延させる一方、該デジタル信号の立ち下がりを遅延させずに上記ハイサイド出力素子を駆動する側の出力端子に出力するとともに、

上記ロウサイド出力素子を駆動する側の入力端子に入力されるデジタル信号の立ち上がりを上記ロウサイド出力素子を駆動する側の入力端子および出力端子における入出力波形における立ち上がり時間のずれの大きさだけ遅延させる一方、該デジタル信号の立ち下がりを遅延させずに上記ロウサイド出力素子を駆動する側の出力端子に出力することを特徴とする請求項1～3のいずれか1項に記載のアナログ／デジタル変換回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、完全な0レベルの入力信号に対してアナログ／デジタル変換回路のループ特性に応じて発生するノイズが可聴帯域の出力信号に与える影響を回避することが可能なアナログ／デジタル変換回路に関する。

【背景技術】

【0002】

音響機器等に搭載される、アナログ信号をデジタル信号に変換するアナログ／デジタル変換回路については、完全な0レベルの入力信号に対してアナログ／デジタル変換回路のループ特性に応じて発生するノイズ（以下、単にこのようなノイズを「巡回ノイズ」と称す）が可聴帯域の出力信号に与える影響が問題とされている。

40

【0003】

上記の巡回ノイズの対策として、以下に説明するような2通りの方法が従来講じられてきた。

【0004】

その1つの方法は、アナログ／デジタル変換回路の帯域外の信号をディザとして混入する方法である。たとえば、帯域が20KHzのアナログ／デジタル変換回路に対して、100KHz程度の大きな周波数の信号をディザとして混入する。これにより、入力信号が完全な「0」レベルであるときにも、入力信号が100KHzである場合と同様となる。

50

したがって、巡回ノイズ成分を可聴帯域外に押しやることができる。

【0005】

もう1つの方法は、DCオフセットを入力信号に加算する方法である。たとえば、帯域が20KHzのアナログ/デジタル変換回路に対して、100KHz程度まで入力信号にDCオフセットを加算する。これにより、入力信号が完全な「0」レベルであるときにも、入力信号が100KHzである場合と同様となる。したがって、巡回ノイズ成分を可聴帯域外に押しやることができる。

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記したディザを混入する方法では、ディザを生成するとともに、アナログ/デジタル変換回路の出力段において、ディザを除去する必要がある。そのようなディザの生成および除去のための回路をアナログ/デジタル変換回路に備えている必要があり、アナログ/デジタル変換回路の回路設計が複雑になるという問題点が生ずる。

10

【0007】

一方、DCオフセットを入力信号に加算する方法においては、アナログ/デジタル変換回路の出力段におけるDCオフセットの影響を無くすため、ハイパスフィルターをアナログ/デジタル変換回路の出力段に備えている必要がある。したがって、上記したディザを混入する方法と同様に、アナログ/デジタル変換回路の回路設計が複雑になるという問題点が生じる。

20

【0008】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、簡易な回路設計にて、巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ/デジタル変換回路を提供することにある。

【課題を解決するための手段】

【0009】

本発明のアナログ/デジタル変換回路は、上記課題を解決するため、アナログ/デジタル変換されたデジタル信号に基づいて、ハイサイド出力素子と、ロウサイド出力素子とを交互に駆動することにより、上記デジタル信号を増幅出力するスイッチング手段を備え、上記ハイサイド出力素子をオン状態にする時間と、上記ロウサイド出力素子をオン状態にする時間とが異なるように設定することができるバランス調整手段を備えるアナログ/デジタル変換回路であって、上記バランス調整手段を用いて、上記ハイサイド出力素子及び上記ロウサイド出力素子のいずれかに、DCオフセットを与えた状態と同じ状態にすることを特徴としている。

30

【0010】

また、本発明のアナログ/デジタル変換回路は、上記構成にくわえて、上記バランス調整手段は、上記ハイサイド出力素子と上記ロウサイド出力素子とを異なる電位で駆動することで、上記ハイサイド出力素子及び上記ロウサイド出力素子のいずれかに、DCオフセットを与えた状態と同じ状態にすることが好ましい。

【0011】

また、本発明のアナログ/デジタル変換回路は、上記構成にくわえて、上記バランス調整手段は、上記ハイサイド出力素子及び上記ロウサイド出力素子のいずれかに、DCオフセットを与えた状態と同じ状態にして、完全な0レベルの入力信号に対してアナログ/デジタル変換回路のループ特性に応じて発生する巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることが好ましい。

40

【0012】

すなわち、アナログ/デジタル変換回路は、アナログ/デジタル変換されたデジタル信号に基づいて、ハイサイド出力素子と、ロウサイド出力素子とを、スイッチング手段を用いて交互に駆動することにより、上記デジタル信号を増幅出力する。

【0013】

50

ところで、アナログ／デジタル変換回路においては、完全な0レベルの入力信号に対してアナログ／デジタル変換回路のループ特性に応じて発生するノイズ（巡回ノイズ）が可聴帯域の出力信号に与える影響が問題とされている。

【0014】

そこで、本発明では、特に、上記ハイサイド出力素子をオン状態にする時間と、および上記ロウサイド出力素子をオン状態にする時間とが異なるように設定することで、完全な0レベルの入力信号に対してアナログ／デジタル変換回路のループ特性に応じて発生する巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやる。

【0015】

上記の構成によれば、ハイサイド出力素子をオン状態にする時間と、ロウサイド出力素子をオン状態とする時間とが異なるように設定することができる。すなわち、ハイサイド出力素子と、ロウサイド出力素子とを、異なる電位にて駆動することができる。したがって、ハイサイド出力素子またはロウサイド出力素子のいずれかに、DCオフセットを与えた状態と同じ状態とすることができる。

【0016】

これにより、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。また、ハイサイド出力素子をオン状態にする時間と、上記ロウサイド出力素子をオン状態にする時間とのバランスは、アナログ／デジタル変換回路内部において調整可能であり、アナログ／デジタル変換回路の出力段や入力段に特別な回路を設ける必要が無い。

10

【0017】

それゆえ、簡易な回路設計にて、巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ／デジタル変換回路を提供することができるという効果を奏する。

20

【0018】

また、本発明のアナログ／デジタル変換回路は、上記構成にくわえて、上記バランス調整手段は、プラス側の入力端子および出力端子と、マイナス側の入力端子および出力端子とを備えているとともに、上記プラス側の入力端子と出力端子との間、および上記マイナス側の入力端子と出力端子との間には、抵抗と、上記抵抗と直列に接続されたコンデンサと、上記抵抗にフィードバック接続されたダイオードとを有している回路がそれぞれ接続されている一方、上記プラス側の入力端子と出力端子との間に接続された上記抵抗と上記コンデンサとにより決定される時定数と、上記マイナス側の入力端子と出力端子との間に接続された上記抵抗と上記コンデンサとにより決定される時定数とが異なることが好ましい。

30

【0019】

上記の構成によれば、バランス調整手段は、抵抗とコンデンサとからなる積分回路を構成するとともに、抵抗にはダイオードがフィードバック接続されている。また、バランス調整手段におけるプラス側の入力端子と出力端子との間に接続された抵抗とコンデンサとにより決定される時定数と、バランス調整手段におけるマイナス側の入力端子と出力端子との間に接続された抵抗とコンデンサとにより決定される時定数とが異なる。

40

【0020】

したがって、バランス調整手段のプラス側の入力端子にあるクロックパルスを入力すると、プラス側の出力端子には、上記クロックパルスよりも立ち上がりタイミングが時間T1だけ遅れ、上記クロックパルスと立ち下がりタイミングが同じであるクロックパルスが出力される。

【0021】

また、マイナス側の入力端子には、プラス側の入力端子に入力されたクロックパルスを反転したクロックパルスが入力される。そして、マイナス側の出力端子には、上記の反転されたクロックパルスよりも立ち上がりが時間T2だけ遅れ、反転されたクロックパルスと立ち下がりタイミングが同じであるクロックパルスが出力される。

50

【0022】

ここで、プラス側の入力端子と出力端子との間に接続された抵抗とコンデンサにより決定される時定数と、マイナス側の入力端子と出力端子との間に接続された抵抗とコンデンサにより決定される時定数とが異なるため、上記の T1 と T2 とは、異なる値となる。

【0023】

すなわち、バランス調整手段のプラス側の出力端子から出力されるクロックパルスと、マイナス側の出力端子から出力されるクロックパルスとのそれぞれにおいて、電圧が High 状態となる時間は異なるものとなる。したがって、バランス調整手段のプラス側の出力端子から出力されるクロックパルスと、マイナス側の出力端子から出力されるクロックパルスとを、ハイサイド出力素子およびロウサイド出力素子を駆動するための信号としてスイッチング手段に出力すれば、ハイサイド出力素子をオン状態にする時間と、ロウサイド出力素子をオン状態とする時間とが異なるように設定することができる。10

【0024】

それゆえ、ハイサイド出力素子またはロウサイド出力素子のいずれかに、DC オフセットを与えた状態と同じ状態とし、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。また、巡回ノイズを回避するための構成を、バランス調整手段に、抵抗と、コンデンサと、ダイオードとにより構成するという簡易な構成により実現することができる。

【0025】

これにより、より簡易な回路設計にて巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ / デジタル変換回路を提供することができるという効果を奏する。20

【0026】

また、本発明のアナログ / デジタル変換回路は、上記構成にくわえて、上記バランス調整手段は、プラス側の入力端子および出力端子と、マイナス側の入力端子および出力端子とを備えているとともに、上記プラス側の入力端子に入力されるデジタル信号の立ち上がりを時間 T1 だけ遅延させる一方、該デジタル信号の立ち下がりを遅延させずに上記プラス側の出力端子に出力するとともに、上記マイナス側の入力端子に入力されるデジタル信号の立ち上がりを上記 T1 と異なる時間である時間 T2 だけ遅延させる一方、該デジタル信号の立ち下がりを遅延させずに上記マイナス側の出力端子に出力することが好ましい。30

【0027】

上記の構成によれば、バランス調整手段のプラス側の入力端子にあるクロックパルスを入力し、そのクロックパルスを反転したクロックパルスをマイナス側の入力端子に入力することにより、バランス調整手段のプラス側の出力端子から出力されるクロックパルスと、マイナス側の出力端子から出力されるクロックパルスとのそれぞれにおいて、電圧が High 状態となる時間は異なるものとなる。

【0028】

したがって、バランス調整手段のプラス側の出力端子から出力されるクロックパルスと、マイナス側の出力端子から出力されるクロックパルスとを、ハイサイド出力素子およびロウサイド出力素子を駆動するための信号としてスイッチング手段に出力すれば、ハイサイド出力素子をオン状態にする時間と、ロウサイド出力素子をオン状態とする時間とが異なるように設定することができる。40

【0029】

それゆえ、ハイサイド出力素子またはロウサイド出力素子のいずれかに、DC オフセットを与えた状態と同じ状態とし、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。

【0030】

それゆえ、簡易な回路設計にて、巡回ノイズが可聴帯域の出力信号に与える影響を低減50

することができるアナログ／デジタル変換回路を提供することができるという効果を奏する。

【発明の効果】

【0031】

本発明のアナログ／デジタル変換回路は、以上のように、アナログ／デジタル変換されたデジタル信号に基づいて、ハイサイド出力素子と、ロウサイド出力素子とを交互に駆動することにより、上記デジタル信号を増幅出力するスイッチング手段を備え、上記ハイサイド出力素子をオン状態にする時間と、上記ロウサイド出力素子をオン状態にする時間とが異なるように設定することができるバランス調整手段を備えるアナログ／デジタル変換回路であって、上記バランス調整手段を用いて、上記ハイサイド出力素子及び上記ロウサイド出力素子のいずれかに、DCオフセットを与えた状態と同じ状態にするものである。10

【0032】

上記の構成によれば、ハイサイド出力素子またはロウサイド出力素子のいずれかに、DCオフセットを与えた状態と同じ状態とすることができる。これにより、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。

【0033】

また、ハイサイド出力素子をオン状態にする時間と、ロウサイド出力素子をオン状態にする時間とのバランスは、アナログ／デジタル変換回路内部において調整可能であり、アナログ／デジタル変換回路の出力段や入力段に特別な回路を設ける必要が無い。20

【0034】

それゆえ、簡易な回路設計にて、巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ／デジタル変換回路を提供することができるという効果を奏する。

【発明を実施するための最良の形態】

【0035】

本発明の実施の一形態について図1ないし図3に基づいて説明すれば、以下の通りである。

【0036】

本実施の形態のアナログ／デジタル変換回路1は、図2に示すように、アナログ／デジタルコンバータ(以下、単にADコンバータとする)2と、デッドタイムコントロール回路(バランス調整手段)3と、レベルシフト回路4と、第1ゲートドライバ回路(スイッチング手段、一方側スイッチング手段)5と、第2ゲートドライバ回路(スイッチング手段、他方側スイッチング手段)6と、複数の出力FET(電界効果トランジスタ：Field Effect Transistor)7...などを備えている。30

【0037】

ADコンバータ2は、外部から差動入力されたアナログ信号を、PDM(Pulse Duration Modulation：パルス期間変調)デジタル信号に変調する。デッドタイムコントロール回路3は、ADコンバータ2から入力されたPDMデジタル信号のパルスの立ち上がりタイミングと立ち下がりタイミングとを調整して、レベルシフト回路4に出力するものである。デッドタイムコントロール回路3の詳細な構成については、後述する。40

【0038】

レベルシフト回路4は、デッドタイムコントロール回路3からの出力信号をレベルシフトするものである。さらに、レベルシフト回路4からのプラス出力は、後述する第1ゲートドライバ回路5のHigh側と、後述する第2ゲートドライバ回路6のLow側に入力されている。一方、レベルシフト回路4からのマイナス出力は、第1ゲートドライバ回路5のLow側と、第2ゲートドライバ回路6のHigh側とに入力されている。

【0039】

第1ゲートドライバ回路5は、High側の出力およびLow側の出力のそれぞれに接続された出力FET(一方側ハイサイド出力素子、一方側ロウサイド出力素子)7...を駆動するものである。同様に、第2ゲートドライバ回路6は、High側の出力およびLow

10

20

30

40

50

w側の出力のそれぞれに接続された出力FET（他方側ハイサイド出力素子、他方側ロウサイド出力素子）7...を駆動するものである。

【0040】

上記の構成により、アナログ／デジタル変換回路1は、ADコンバータ2に入力されたアナログ信号を、第1ゲートドライバ回路5に接続された出力FET7...と、第2ゲートドライバ回路6に接続された出力FET7...とからデジタル信号としてそれぞれ出力する。出力FET7...からのデジタル信号は、ローパスフィルタ8により高周波成分が除去され、外部の負荷9に出力される。

【0041】

次に、本発明の特徴点であるデッドタイムコントロール回路3の詳細な構成について説明する。

10

【0042】

図1に示すように、デッドタイムコントロール回路3におけるプラス側入力とプラス側出力との間には、抵抗R1と、ダイオードD1と、コンデンサC1と、アンドゲートU1とが接続されている。同様に、デッドタイムコントロール回路3におけるマイナス側入力とマイナス側出力との間には、抵抗R2と、ダイオードD2と、コンデンサC2と、アンドゲートU2とが接続されている。

【0043】

なお、デッドタイムコントロール回路3におけるプラス側入力とプラス側出力との間の回路構成と、マイナス側入力とマイナス側出力との間の回路構成とは同じであるので、以下の説明では、プラス側入力とプラス側出力との間の回路構成について代表して説明する。

20

【0044】

デッドタイムコントロール回路3におけるプラス側入力とプラス側出力との間において、ダイオードD1は、抵抗R1に対してフィードバック接続されている。また、コンデンサC1の一方の接点は、抵抗R1の出力とアンドゲートU1との間に接続されている。一方、コンデンサC1の他方の接点は接地されている。

【0045】

上記の構成により、コンデンサC1は、ADコンバータ2からデッドタイムコントロール回路3のプラス側に入力されるデジタル信号に対して、時定数RC1により決定される応答特性により充電される。一方、コンデンサC1が放電される場合には、放電電流はダイオードD1を経由するので、瞬時に放電が行われることとなる。

30

【0046】

すなわち、図3に示すように、デッドタイムコントロール回路3における、プラス側の入力波形と、プラス側出力波形とを比較した場合、出力波形の立ち上がりが入力波形の立ち上がりに対して一定時間遅れることとなる。一方、コンデンサC1の放電は瞬時に行われるため、プラス側の入力波形と出力波形とを比較した場合に、立ち下がりは同一のタイミングとなる。

【0047】

上記の入出力波形における立ち上がりの時間のずれをデッドタイムと称し、同図中T1として示している。このデッドタイムT1は、デッドタイムコントロール回路3におけるプラス側の入出力を接続する回路の時定数RC1により決定されるものである。

40

【0048】

同様に、マイナス側の入力波形と出力波形とを比較した場合、出力波形の立ち上がりは入力波形に対してデッドタイムT2だけ遅れ、出力波形の立ち下がりは入力波形の立ち下がりと同一タイミングとなる。上記のデッドタイムT2は、デッドタイムコントロール回路3におけるマイナス側の入出力を接続する回路の時定数RC2により決定されるものである。

【0049】

上記のデッドタイムT1の期間は、デッドタイムコントロール回路3のプラス側の出

50

力、およびマイナス側の出力はともに Low レベルである。同様に、デッドタイム T2 の期間も、プラス側、マイナス側の出力は共に Low レベルとなる。すなわち、デッドタイム T1・T2 の間は、第 1 および第 2 ゲートドライバ回路 5・6 の High 側の出力 FET7... と、Low 側の出力 FET7... とは、共にオフ状態となる。

【0050】

なお、上記のようにデッドタイム T1・T2 を設けていない場合、デッドタイムコントロール回路 3 への入力波形と出力波形との立ち上がりおよび立ち下がりタイミングが同一となり、出力 FET7... の立ち上がりおよび立ち下がりの遅れにより、High 側の出力 FET7 と、Low 側の出力 FET7 とを同時にオンするタイミングが発生する。このように、High 側の出力 FET7 と、Low 側の出力 FET7 とを同時にオンすると、回路素子の破壊を誘引し好ましくない。10

【0051】

また、T1 と、T2 とは、巡回ノイズを回避するため、異なる値に設定されている。より具体的には、T1 を決定する時定数 R1C1 と、T2 を決定する時定数 R2C2 とが異なる値に設定されている。以下、時定数 R1C1 と R2C2 とが異なる値に設定されている理由について説明する。

【0052】

T1 と、T2 とが同じ値である場合は、時定数 R1C1 と時定数 R2C2 とは同じ値である。この場合、デッドタイムコントロール回路 3 へのプラス側に入力された電圧は、抵抗 R1 とコンデンサ C1 とにより積分された後、入力電圧の 1/2 である電位にて出力される。同様に、デッドタイムコントロール回路 3 のマイナス側に入力された電圧も、抵抗 R2 とコンデンサ C2 とにより積分された後、入力電圧の 1/2 である電位にて出力される。なお、上記のように、入力電圧の 1/2 である電位にて出力されるのは、出力電圧が入力電圧の平均値となるからである。20

【0053】

すなわち、デッドタイムコントロール回路 3 からのプラス側出力およびマイナス側出力は、後段のレベルシフト回路 4 (図 2)、第 1 ゲートドライバ回路 5 (図 2)、および第 2 ゲートドライバ回路 6 (図 2) とを経由して、High 側の出力 FET7... と、Low 側の出力 FET7... とを、同じ電位にて駆動する。

【0054】

このような場合、巡回ノイズは、High 側の出力 FET7... と、Low 側の出力 FET7... とから同じ電位で出力されてしまうので、出力信号に与える影響が大きくなる。30

【0055】

しかしながら、T1 と T2 とが異なる値である場合、デッドタイムコントロール回路 3 のプラス側出力と、マイナス側出力とは、異なる電位となる。したがって、デッドタイムコントロール回路 3 からのプラス側出力およびマイナス側出力は、後段のレベルシフト回路 4 (図 2)、第 1 ゲートドライバ回路 5 (図 2)、および第 2 ゲートドライバ回路 6 (図 2) とを経由して、High 側の出力 FET7... と、Low 側の出力 FET7... とを、異なる電位にて駆動することになる。

【0056】

すなわち、T1 と T2 とが異なる値である場合、High 側の出力 FET7 あるいは Low 側の出力 FET7 のいずれかに DC オフセットを与えた状態と同じ状態となる。したがって、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。40

【0057】

このように、本実施の形態のアナログ / デジタル変換回路 1 は、アナログ / デジタル変換されたデジタル信号に基づいて、High 側の出力 FET7 と、Low 側の出力 FET7 とを交互に駆動することにより、デジタル信号を增幅出力する第 1 ゲートドライバ回路 5 あるいは第 2 ゲートドライバ回路 6 を備えているアナログ / デジタル変換回路において、High 側の出力 FET7 をオン状態にする時間と、Low 側の出力 FET7 をオン状50

態にする時間とのバランスを調整するデッドタイムコントロール回路3を備えているものである。

【0058】

上記の構成によれば、デッドタイムコントロール回路3により、High側の出力FET7をオン状態にする時間と、Low側の出力FET7をオン状態とする時間とが異なるように設定することができる。すなわち、High側の出力FET7と、Low側の出力FET7とを、異なる電位にて駆動することができる。したがって、High側の出力FET7またはLow側の出力FET7のいずれかに、DCオフセットを与えた状態とすることができる。

【0059】

これにより、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。また、High側の出力FET7をオン状態にする時間と、Low側の出力FET7をオン状態にする時間とのバランスは、アナログ/デジタル変換回路1内部において調整可能であり、アナログ/デジタル変換回路1の出力段や入力段に特別な回路を設ける必要が無い。

【0060】

それゆえ、簡易な回路設計にて、巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ/デジタル変換回路1を提供することができるという効果を奏する。

【0061】

また、本実施の形態のアナログ/デジタル変換回路1は、上記構成のアナログ/デジタル変換回路1において、High側の出力FET7とLow側の出力FET7とを交互に駆動する第1ゲートドライバ回路5と、High側の出力FET7とLow側の出力FET7とを交互に駆動する第2ゲートドライバ回路6とを備えているとともに、High側の出力FET7を駆動する信号を入力するための第1ゲートドライバ回路5への入力ラインと、Low側の出力FET7を駆動する信号を入力するための第2ゲートドライバ回路6への入力とが接続されている一方、Low側の出力FET7を駆動する信号を入力するための第1ゲートドライバ回路5への入力ラインと、High側の出力FET7を駆動する信号を入力するための第2ゲートドライバ回路6への入力ラインとが接続されており、デッドタイムコントロール回路3は、第1ゲートドライバ回路5におけるHigh側の出力FET7をオン状態にする時間とLow側の出力FET7をオン状態にする時間とのバランス、および第2ゲートドライバ回路6におけるHigh側の出力FET7をオン状態にする時間とLow側の出力FET7をオン状態とする時間とのバランスを調整するものである。

【0062】

上記の構成によれば、デッドタイムコントロール回路3により、第1ゲートドライバ回路5におけるHigh側の出力FET7をオン状態にする時間と、Low側の出力FET7をオン状態とする時間とが異なるように設定することができる。同様に、第2ゲートドライバ回路6におけるHigh側の出力FET7をオン状態にする時間と、Low側の出力FET7をオン状態とする時間とが異なるように設定することができる。

【0063】

すなわち、第1ゲートドライバ回路5においてHigh側の出力FET7およびLow側の出力FET7とを、異なる電位にて駆動することができる。したがって、第1ゲートドライバ回路5におけるHigh側の出力FET7またはLow側の出力FET7のいずれかに、DCオフセットを与えた状態とすることができます。同様に、第2ゲートドライバ回路6におけるLow側の出力FET7またはHigh側の出力FET7のいずれかについても、DCオフセットを与えた状態とすることができます。

【0064】

これにより、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができます。また、High側の出力FET7をオン状態にする時間と、Low側の出力F

10

20

30

40

50

E T 7 をオン状態にする時間とのバランスは、アナログ / デジタル変換回路 1 内部において調整可能であり、アナログ / デジタル変換回路 1 の出力段や入力段に特別な回路を設ける必要が無い。

【 0 0 6 5 】

さらに、第 1 ゲートドライバ回路 5 における H i g h 側の出力 F E T 7 および第 2 ゲートドライバ回路 6 における L o w 側の出力 F E T 7 への入力ラインが接続されているとともに、第 1 ゲートドライバ回路 5 における L o w 側の出力 F E T 7 および第 2 ゲートドライバ回路 6 における H i g h 側の出力 F E T 7 への入力ラインが接続されている。したがって、4 つの出力素子を、2 つの入力信号で駆動することができ、回路設計を簡略化することができる。

10

【 0 0 6 6 】

それゆえ、より簡易な回路設計にて巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ / デジタル変換回路 1 を提供することができるという効果を奏する。

【 0 0 6 7 】

また、本実施の形態のアナログ / デジタル変換回路 1 は、デッドタイムコントロール回路 3 は、プラス側の入力端子および出力端子と、マイナス側の入力端子および出力端子とを備えているとともに、プラス側の入力端子と出力端子との間、およびマイナス側の入力端子と出力端子との間には、抵抗 R 1 (R 2) と、抵抗 R 1 (R 2) と直列に接続されたコンデンサ C 1 (C 2) と、抵抗 R 1 (R 2) にフィードバック接続されたダイオード D 1 (D 2) とを有している回路がそれぞれ接続されている一方、プラス側の入力端子と出力端子との間に接続された抵抗 R 1 とコンデンサ C 1 とにより決定される時定数 R 1 C 1 と、マイナス側の入力端子と出力端子との間に接続された抵抗 R 2 とコンデンサ C 2 とにより決定される時定数 R 2 C 2 とが異なるものである。

20

【 0 0 6 8 】

上記の構成によれば、デッドタイムコントロール回路 3 は、抵抗 R 1 (R 2) とコンデンサ C 1 (C 2) とからなる積分回路を構成するとともに、抵抗 R 1 (R 2) にはダイオード D 1 (D 2) がフィードバック接続されている。また、デッドタイムコントロール回路 3 におけるプラス側の入力端子と出力端子との間に接続された抵抗 R 1 とコンデンサ C 1 とにより決定される時定数 R 1 C 1 と、デッドタイムコントロール回路 3 におけるマイナス側の入力端子と出力端子との間に接続された抵抗 R 2 とコンデンサ C 2 とにより決定される時定数 R 2 C 2 とが異なる。

30

【 0 0 6 9 】

したがって、デッドタイムコントロール回路 3 のプラス側の入力端子にあるクロックパルスを入力すると、プラス側の出力端子には、クロックパルスよりも立ち上がりタイミングが時間 T 1 だけ遅れ、上記クロックパルスと立ち下がりタイミングが同じであるクロックパルスが出力される。

【 0 0 7 0 】

また、マイナス側の入力端子には、プラス側の入力端子に入力されたクロックパルスを反転したクロックパルスが入力される。そして、マイナス側の出力端子には、上記の反転されたクロックパルスよりも立ち上がりが時間 T 2 だけ遅れ、反転されたクロックパルスと立ち下がりタイミングが同じであるクロックパルスが出力される。

40

【 0 0 7 1 】

ここで、プラス側の入力端子と出力端子との間に接続された抵抗 R 1 とコンデンサ C 1 とにより決定される時定数 R 1 C 1 と、マイナス側の入力端子と出力端子との間に接続された抵抗 R 2 とコンデンサ C 2 とにより決定される時定数 R 2 C 2 とが異なるため、上記の T 1 と T 2 とは、異なる値となる。

【 0 0 7 2 】

すなわち、デッドタイムコントロール回路 3 のプラス側の出力端子から出力されるクロックパルスと、マイナス側の出力端子から出力されるクロックパルスとのそれぞれにおい

50

て、電圧が H i g h 状態となる時間は異なるものとなる。したがって、デッドタイムコントロール回路 3 のプラス側の出力端子から出力されるクロックパルスと、マイナス側の出力端子から出力されるクロックパルスとを、H i g h 側の出力 F E T 7 および L o w 側の出力 F E T 7 を駆動するための信号として第 1 ゲートドライバ回路 5 あるいは第 2 ゲートドライバ回路 6 に出力すれば、H i g h 側の出力 F E T 7 をオン状態にする時間と、L o w 側の出力 F E T 7 をオン状態とする時間とが異なるように設定することができる。

【 0 0 7 3 】

それゆえ、H i g h 側の出力 F E T 7 または L o w 側の出力 F E T 7 のいずれかに、D C オフセットを与えた状態とし、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。また、巡回ノイズを回避するための構成を、デッドタイムコントロール回路 3 に、抵抗 R 1 (R 2) と、コンデンサ C 1 (C 2) と、ダイオード D 1 (D 2) とにより構成するという簡易な構成により実現することができる。10

【 0 0 7 4 】

これにより、より簡易な回路設計にて巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ / デジタル変換回路 1 を提供することができるという効果を奏する。

【 0 0 7 5 】

また、本実施の形態のアナログ / デジタル変換回路 1 は、上記構成のアナログ / デジタル変換回路 1 において、デッドタイムコントロール回路 3 は、プラス側の入力端子および出力端子と、マイナス側の入力端子および出力端子とを備えているとともに、上記プラス側の入力端子に入力されるデジタル信号の立ち上がりを時間 T 1 だけ遅延させる一方、該デジタル信号の立ち下がりを遅延させずに上記プラス側の出力端子に出力するとともに、上記マイナス側の入力端子に入力されるデジタル信号の立ち上がりを上記 T 1 と異なる時間である時間 T 2 だけ遅延させる一方、該デジタル信号の立ち下がりを遅延させずに上記プラス側の出力端子に出力するものである。20

【 0 0 7 6 】

上記の構成によれば、デッドタイムコントロール回路 3 のプラス側の入力端子にあるクロックパルスを入力し、そのクロックパルスを反転したクロックパルスをマイナス側の入力端子に入力することにより、デッドタイムコントロール回路 3 のプラス側の出力端子から出力されるクロックパルスと、マイナス側の出力端子から出力されるクロックパルスとのそれぞれにおいて、電圧が H i g h 状態となる時間は異なるものとなる。30

【 0 0 7 7 】

したがって、デッドタイムコントロール回路 3 のプラス側の出力端子から出力されるクロックパルスと、マイナス側の出力端子から出力されるクロックパルスとを、H i g h 側の出力 F E T 7 および L o w 側の出力 F E T 7 を駆動するための信号としてスイッチング手段に出力すれば、H i g h 側の出力 F E T 7 をオン状態にする時間と、L o w 側の出力 F E T 7 をオン状態とする時間とが異なるように設定することができる。

【 0 0 7 8 】

それゆえ、H i g h 側の出力 F E T 7 または L o w 側の出力 F E T 7 のいずれかに、D C オフセットを与えた状態とし、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。40

【 0 0 7 9 】

それゆえ、簡易な回路設計にて、巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ / デジタル変換回路 1 を提供することができるという効果を奏する。

【 0 0 8 0 】

なお、本発明のアナログ / デジタル変換回路は、アナログ信号入力部と、上記アナログ信号をデジタル信号に変換する A D 変換部と、ハイサイド出力素子とロウサイド出力素とのペアによって構成されるものであって、上記 A D 変換部から出力された信号を増幅出力するスイッチング手段と、上記スイッチング手段に貫通電流が流れるのを防止する為の50

デッドタイムコントロール手段とを備えたアナログ／デジタル変換回路において、上記デッドタイムコントロール手段において、上記ハイサイド出力素子および上記ロウサイド出力素子に与える電圧付与時間のバランスを調整するバランス調整手段を設ける構成であつてもよい。

【0081】

また、本発明のアナログ／デジタル変換回路は、上記構成のアナログ／デジタル変換回路において、上記スイッチング手段は、ハイサイド出力素子とロウサイド出力素子とが交互に出力する一方の出力手段と、ハイサイド出力素子とロウサイド出力素子とが交互に出力する他方の出力手段とを備え、一方の出力手段のハイサイド出力素子と他方の出力手段のロウサイド出力素子と、他方の出力手段のハイサイド出力素子と一方の出力手段のロウサイド出力素子とが交互に結線されることによって、上記A/D変換部から出力された信号を増幅出力する平衡出力スイッチング手段である構成であつてもよい。10

【0082】

また、本発明のアナログ／デジタル変換回路は、上記構成のアナログ／デジタル変換回路において、上記バランス調整手段はコンデンサおよび抵抗による遅延特性と帰還ダイオードの瞬時応答特性を利用してなる構成であつてもよい。

【0083】

また、本発明のアナログ／デジタル変換回路は、上記構成のアナログ／デジタル変換回路において、上記バランス調整手段はプラス入力の立ち上がり時に T1 時間遅延させ、プラス入力の立ち下がり時は遅延せず、マイナス入力の立ち上がり時は T2 時間遅延させ、マイナス入力の立ち下がり時は遅延せず、T1 と T2 に時間差を設ける構成であつてもよい。20

【0084】

本発明のアナログ／デジタル変換回路は、アナログ／デジタル変換されたデジタル信号に基づいて、ハイサイド出力素子と、ロウサイド出力素子とを交互に駆動することにより、上記デジタル信号を増幅出力するスイッチング手段を備えているアナログ／デジタル変換回路において、上記ハイサイド出力素子をオン状態にする時間と、上記ロウサイド出力素子をオン状態にする時間とのバランスを調整するバランス調整手段を備えている構成であつてもよい。

【0085】

すなわち、アナログ／デジタル変換回路は、アナログ／デジタル変換されたデジタル信号に基づいて、ハイサイド出力素子と、ロウサイド出力素子とを、スイッチング手段を用いて交互に駆動することにより、上記デジタル信号を増幅出力する。30

【0086】

ところで、アナログ／デジタル変換回路においては、完全な 0 レベルの入力信号に対してアナログ／デジタル変換回路のループ特性に応じて発生するノイズ（巡回ノイズ）が可聴帯域の出力信号に与える影響が問題とされている。

【0087】

そこで、上記構成では、特に、ハイサイド出力素子をオン状態にする時間と、ロウサイド出力素子をオン状態にする時間とのバランスを調整するバランス調整手段を備えている。40

【0088】

上記の構成によれば、バランス調整手段により、ハイサイド出力素子をオン状態にする時間と、ロウサイド出力素子をオン状態とする時間とが異なるように設定することができる。すなわち、ハイサイド出力素子と、ロウサイド出力素子とを、異なる電位にて駆動することができる。したがって、ハイサイド出力素子またはロウサイド出力素子のいずれかに、DC オフセットを与えた状態とすることができます。

【0089】

これにより、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。また、ハイサイド出力素子をオン状態にする時間と、上記ロウサイド出力素子50

をオン状態にする時間とのバランスは、アナログ／デジタル変換回路内部において調整可能であり、アナログ／デジタル変換回路の出力段や入力段に特別な回路を設ける必要が無い。

【0090】

それゆえ、簡易な回路設計にて、巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ／デジタル変換回路を提供することができるという効果を奏する。

【0091】

また、本発明のアナログ／デジタル変換回路は、上記構成において、上記構成のアナログ／デジタル変換回路において、上記スイッチング手段は、一方側ハイサイド出力素子と一方側ロウサイド出力素子とを交互に駆動する一方側スイッチング手段と、他方側ハイサイド出力素子と他方側ロウサイド出力素子とを交互に駆動する他方側スイッチング手段とを含んでいるとともに、上記一方側ハイサイド出力素子を駆動する信号を入力するための上記一方側スイッチング手段への入力ラインと、上記他方側ロウサイド出力素子を駆動する信号を入力するための上記他方側スイッチング手段への入力とが接続されている一方、上記一方側ロウサイド出力素子を駆動する信号を入力するための上記一方側スイッチング手段への入力ラインと、上記他方側ハイサイド出力素子を駆動する信号を入力するための上記他方側スイッチング手段への入力ラインとが接続されており、上記バランス調整手段は、上記一方側ハイサイド出力素子をオン状態にする時間と上記一方側ロウサイド出力素子をオン状態にする時間とのバランス、および他方側ハイサイド出力素子をオン状態にする時間と上記他方側ロウサイド出力素子をオン状態とする時間とのバランスを調整する構成であってもよい。10 20

【0092】

上記の構成によれば、バランス調整手段により、一方側ハイサイド出力素子をオン状態にする時間と、一方側ロウサイド出力素子をオン状態とする時間とが異なるように設定することができる。同様に、他方側ハイサイド出力素子をオン状態にする時間と、他方側ロウサイド出力素子をオン状態とする時間とが異なるように設定することができる。

【0093】

すなわち、一方側ハイサイド出力素子および一方側ロウサイド出力素子と、異なる電位にて駆動することができる。したがって、一方側ハイサイド出力素子または一方側ロウサイド出力素子のいずれかに、DCオフセットを与えた状態とすることができる。同様に、他方側ロウサイド出力素子または他方側ハイサイド出力素子のいずれかについても、DCオフセットを与えた状態とすることができる。30

【0094】

これにより、巡回ノイズによって発生するスペクトラムを、可聴帯域外に押しやることができる。また、ハイサイド出力素子をオン状態にする時間と、上記ロウサイド出力素子をオン状態にする時間とのバランスは、アナログ／デジタル変換回路内部において調整可能であり、アナログ／デジタル変換回路の出力段や入力段に特別な回路を設ける必要が無い。

【0095】

さらに、一方側ハイサイド出力素子および他方側ロウサイド出力素子への入力ラインが接続されているとともに、一方側ロウサイド出力素子および他方側ハイサイド出力素子への入力ラインが接続されている。したがって、4つの出力素子を、2つの入力信号で駆動することができ、回路設計を簡略化することができる。40

【0096】

それゆえ、より簡易な回路設計にて巡回ノイズが可聴帯域の出力信号に与える影響を低減することが可能なアナログ／デジタル変換回路を提供することができるという効果を奏する。

【図面の簡単な説明】

【0097】

【図1】本発明のアナログ／デジタル変換回路の一実施形態におけるデッドタイムコントロール回路を示す回路図である。

【図2】図1のデッドタイムコントロール回路を備えるアナログ／デジタル変換回路を示すブロック図である。

【図3】図1のデッドタイムコントロール回路への入出力信号の波形を示すタイミングチャートである。

【符号の説明】

【0098】

1 アナログ／デジタル変換回路

3 デッドタイムコントロール回路（バランス調整手段）

10

5 第1ゲートドライバ回路（スイッチング手段、一方側スイッチング手段）

6 第2ゲートドライバ回路（スイッチング手段、他方側スイッチング手段）

7 出力FET（ハイサイド出力素子、ロウサイド出力素子、一方側／他方側ハイサイド出力素子、一方側／他方側ロウサイド出力素子）

C1 コンデンサ

C2 コンデンサ

D1 ダイオード

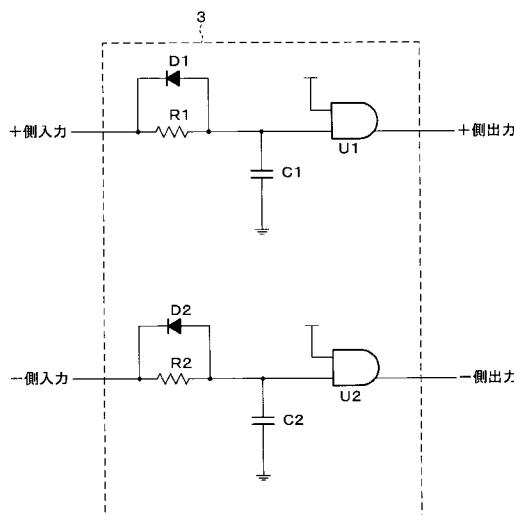
D2 ダイオード

R1 抵抗

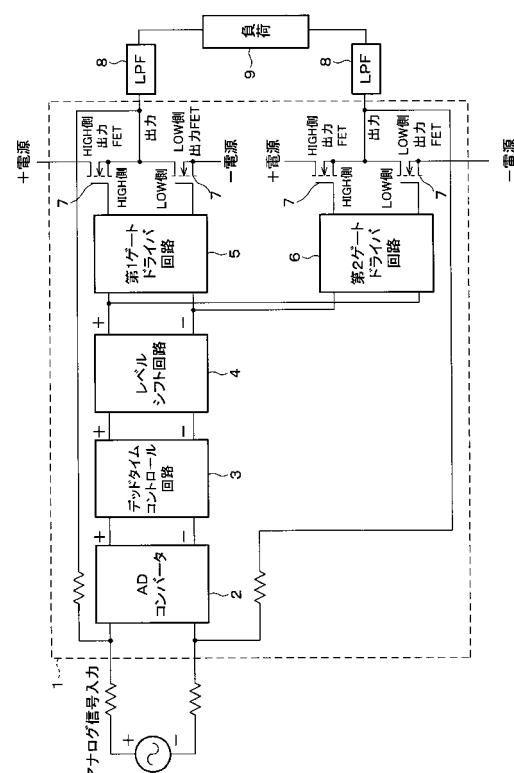
R2 抵抗

20

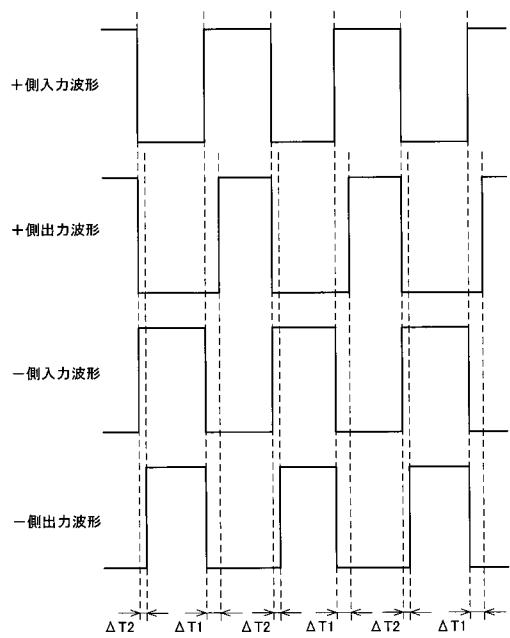
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl. F I
H 03F 3/217 (2006.01) H 03F 3/217

(56)参考文献 特開昭57-192113(JP,A)
実開平05-070019(JP,U)
特開平02-278928(JP,A)
特開昭57-208712(JP,A)
特開2002-230905(JP,A)
特開2000-174627(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 03M 1/00 - 1/88
H 03K 17/00 - 17/70
H 03F 3/217