

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2013年9月19日(19.09.2013)



(10) 国際公開番号  
**WO 2013/136997 A1**

- (51) 国際特許分類:  
G06F 9/445 (2006.01)
- (21) 国際出願番号: PCT/JP2013/055309
- (22) 国際出願日: 2013年2月28日(28.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2012-056978 2012年3月14日(14.03.2012) JP
- (71) 出願人: オムロン株式会社(OMRON CORPORATION) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町801番地 Kyoto (JP).
- (72) 発明者: 栗原 泰之(KURIHARA, Yasuyuki); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町801番地 オムロン株式会社内 Kyoto (JP).
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町8番1号梅

田阪急ビルオフィスタワー青山特許事務所  
Osaka (JP).

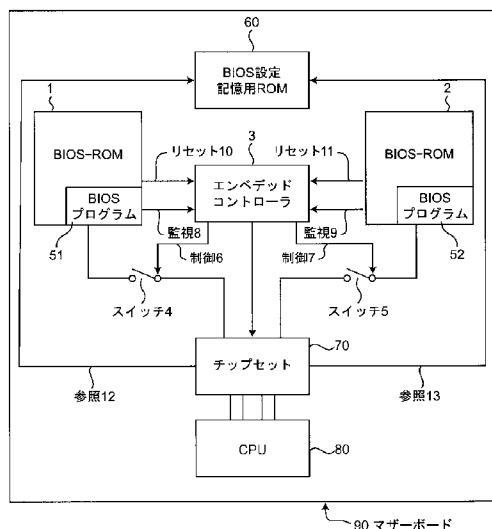
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: PROGRAM CONTROL DEVICE, MOTHER BOARD, AND INFORMATION PROCESSING DEVICE

(54) 発明の名称: プログラム制御装置、マザーボードおよび情報処理装置

【図1】



3... EMBEDDED CONTROLLER  
4, 5... SWITCH  
6, 7... CONTROLS  
8, 9... MONITORS  
10, 11... RESETS  
12, 13... REFERS TO  
51, 52... BIOS PROGRAM  
60... ROM FOR STORING BIOS SETTINGS  
70... CHIPSET  
90... MOTHER BOARD

(57) Abstract: This program control device is provided with a first storage unit (1) which stores the main body of a first control program, a second storage unit (2) which stores the main body of a second control program, and a third storage unit (60) which stores common settings information for the first and second control programs. The program control device is provided with a control program selecting unit (3, 4, 5) which selects either the first control program or the second control program. The program bodies (51, 52) of the first control program or the second control program selected by the control program selection unit refer to the common settings information stored in the third storage unit (60).

(57) 要約: 本発明のプログラム制御装置は、第1の制御プログラムのプログラム本体を記憶する第1の記憶部(1)と、第2の制御プログラムのプログラム本体を記憶する第2の記憶部(2)と、第1および第2の制御プログラムのための共通の設定情報を記憶する第3の記憶部(60)とを備える。第1の制御プログラムと第2の制御プログラムとのいずれかを選択する制御プログラム選択部(3, 4, 5)を備える。制御プログラム選択部によって選択された第1の制御プログラムまたは第2の制御プログラムのプログラム本体(51, 52)は、第3の記憶部(60)に記憶されている共通の設定情報を参照する。

**WO 2013/136997 A1**



---

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：

プログラム制御装置、マザーボードおよび情報処理装置

### 技術分野

[0001] この発明はプログラム制御装置に関し、より詳しくは、複数の制御プログラムのうちいずれかの制御プログラムを選択して動作させる制御装置に関する。

[0002] また、この発明は、そのようなプログラム制御装置を備えたマザーボードおよび情報処理装置に関する。

### 背景技術

[0003] 従来、この種のプログラム制御装置としては、特許文献1（特開2003-316582号公報）に記載のように、複数のフラッシュROM（Read Only Memory；読出専用メモリ）にそれぞれ記憶されたBIOS（Basic Input/Output System；ベーシック インプット/アウトプット システム）を有し、選択手段によっていずれかのフラッシュROM（つまりBIOS）を選択して起動させる装置が知られている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2003-316582号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] しかしながら、上記従来の装置では、例えば上記選択手段によって第1のBIOSから第2のBIOSへ切り替えられた場合、第1のBIOSにおける設定情報が第2のBIOSへ継承されないという問題がある。このため、ユーザは、コンピュータのBIOSセットアップ画面を立ち上げて、第2のBIOSに対して設定情報を設定する手間を強いられる。そして、この問題は、複数のBIOSのうちいずれかのBIOSを選択して起動させる装置に

限られず、一般的に、複数の制御プログラムのうちいずれかの制御プログラムを選択して動作させる装置について起こり得る。

[0006] そこで、この発明の課題は、複数の制御プログラムのうちいずれかの制御プログラムを選択して動作させるプログラム制御装置であって、いずれの制御プログラムが起動したとしても、ユーザが設定情報を設定する手間を省くことができるものを提供することにある。

[0007] また、この発明の課題は、そのようなプログラム制御装置を備えたマザーボードおよび情報処理装置を提供することにある。

### 課題を解決するための手段

[0008] 上記課題を解決するため、この発明のプログラム制御装置は、  
少なくとも第1の制御プログラムと第2の制御プログラムとを含む複数の制御プログラムのうちいずれかを選択して動作させるプログラム制御装置であって、

上記第1の制御プログラムのプログラム本体を記憶する第1の記憶部と、  
上記第2の制御プログラムのプログラム本体を記憶する第2の記憶部と、  
上記第1および第2の制御プログラムのための共通の設定情報を記憶する第3の記憶部と、

上記第1の制御プログラムと上記第2の制御プログラムとのいずれかを選択する制御プログラム選択部とを備え、

上記制御プログラム選択部によって選択された上記第1の制御プログラムまたは上記第2の制御プログラムのプログラム本体は、上記第3の記憶部に記憶されている共通の設定情報を参照することを特徴とする。

[0009] 本明細書で、制御プログラムとは、処理を実行するプログラム本体と、このプログラム本体によって参照される設定情報とを含む概念である。

[0010] なお、設定情報とは、制御プログラムの可変設定部分に設定される情報であり、CPU (Central Processing Unit ; 中央演算処理装置) やチップセットの動作設定データ、各種タイマ設定値、OS (Operating System ; オペレーティング・システム) が入っているデバイス種別などの情報が含まれる。

[0011] このプログラム制御装置が有する制御プログラムの数は、上記第 1、第 2 の制御プログラムの 2 つに限られるものではなく、3 つ以上であっても良い。

[0012] この発明のプログラム制御装置では、例えば制御プログラム選択部が上記第 1 の制御プログラムを選択したとき、上記第 1 の制御プログラムのプログラム本体は、上記第 3 の記憶部に記憶されている共通の設定情報を参照する。これにより、上記第 1 の制御プログラムが正常に起動したとき、ユーザは上記第 1 の制御プログラムのための各種設定情報を設定する必要がない。一方、上記第 1 の制御プログラムが正常に起動せず、このため、上記制御プログラム選択部が、上記第 1 の制御プログラムに代えて上記第 2 の制御プログラムを選択したとき、上記第 2 の制御プログラムのプログラム本体は、上記第 3 の記憶部に記憶されている共通の設定情報を参照する。これにより、上記第 2 の制御プログラムが正常に起動したとき、ユーザは上記第 2 の制御プログラムのための各種設定情報を設定する必要がない。このように、この発明のプログラム制御装置によれば、複数の制御プログラムのうちいずれの制御プログラムが起動したとしても、ユーザが各種設定情報を設定する手間を省くことができる。

[0013] 一実施形態のプログラム制御装置では、  
上記第 1 の制御プログラムと上記第 2 の制御プログラムとの間の起動優先度を記憶する制御プログラム優先度記憶部を備え、

上記制御プログラム選択部は、

上記制御プログラム優先度記憶部に記憶されている起動優先度に応じて上記第 1 の制御プログラムと上記第 2 の制御プログラムとのいずれか一方を選択する 1 次選択部と、

上記 1 次選択部によって選択された制御プログラムが起動しなかったとき、別の制御プログラムを選択する 2 次選択部とを含むことを特徴とする。

[0014] この一実施形態のプログラム制御装置では、上記制御プログラム選択部は、まず 1 次選択部によって、上記制御プログラム優先度記憶部に記憶されて

いる起動優先度に応じて上記第 1 の制御プログラムと上記第 2 の制御プログラムとのいずれか一方を選択する。上記 1 次選択部によって選択された制御プログラムが起動しなかったとき、上記制御プログラム選択部は、2 次選択部によって、上記制御プログラム優先度記憶部に記憶されている起動優先度に応じて別の制御プログラムを選択する。このようにして、上記制御プログラム選択部は、上記第 1 の制御プログラムと上記第 2 の制御プログラムとのいずれかを選択することができる。

[0015] 一実施形態のプログラム制御装置では、上記 2 次選択部によって選択された制御プログラムが起動したとき、その起動した制御プログラムについて、上記制御プログラム優先度記憶部に記憶されている起動優先度を 1 位に変更する起動優先度変更部を備えることを特徴とする。

[0016] この一実施形態のプログラム制御装置では、上記 2 次選択部によって選択された制御プログラムが起動したとき、起動優先度変更部は、その起動した制御プログラムについて、上記制御プログラム優先度記憶部に記憶されている起動優先度を 1 位に変更する。この結果、次の起動時には、上記制御プログラム選択部の 1 次選択部によって、その起動した制御プログラムがまず選択される。ここで、その起動した制御プログラムは、次の起動時にも正常に起動することが期待される。したがって、次の起動時には、何回も制御プログラムの起動を試みることなく、迅速な起動を行うことができる。

[0017] 一実施形態のプログラム制御装置では、

上記制御プログラム選択部は、

上記 1 次選択部または上記 2 次選択部によって制御プログラムが選択されたとき、その制御プログラムが選択されてからの時間を計数するタイマを備え、

上記タイマが計数する時間が一定時間に達しても上記選択された制御プログラムの起動が完了しないとき、上記選択された制御プログラムが起動しないと判断することを特徴とする。

[0018] この一実施形態のプログラム制御装置では、上記制御プログラム選択部は

、上記１次選択部または上記２次選択部によって制御プログラムが選択されたとき、その制御プログラムが選択されてからの時間を計数するタイマを備える。そして、上記タイマが計数する時間が一定時間に達しても上記選択された制御プログラムの起動が完了しないとき、上記選択された制御プログラムが起動しないと判断する。したがって、上記選択された制御プログラムが起動するか否かを確実に判断できる。

[0019] 一実施形態のプログラム制御装置では、上記制御プログラム優先度記憶部に記憶されている起動優先度とは別に、上記第３の記憶部は上記第１の制御プログラムと上記第２の制御プログラムとの間の起動優先度を記憶していることを特徴とする。

[0020] この一実施形態のプログラム制御装置では、上記制御プログラム優先度記憶部に記憶されている起動優先度とは別に、上記第３の記憶部は上記第１の制御プログラムと上記第２の制御プログラムとの間の起動優先度を記憶している。したがって、上記制御プログラム優先度記憶部と上記第３の記憶部とによって、制御プログラムの起動優先度を冗長化して記憶できる。したがって、上記制御プログラム優先度記憶部と上記第３の記憶部とのいずれかの記憶内容が破損していたとしても、上記第１の制御プログラムと上記第２の制御プログラムとのいずれかを選択することができる。

[0021] 別の局面では、この発明のプログラム制御装置は、

少なくとも第１の制御プログラムと第２の制御プログラムとを含む複数の制御プログラムのうちいずれかを選択して動作させるプログラム制御装置であって、

上記第１の制御プログラムのプログラム本体を記憶する第１の記憶部と、  
上記第２の制御プログラムのプログラム本体を記憶する第２の記憶部と、  
上記第１の制御プログラムと上記第２の制御プログラムとの間の起動優先度を記憶する制御プログラム優先度記憶部と、

上記制御プログラム優先度記憶部に記憶されている起動優先度とは別に、  
上記第１の制御プログラムと上記第２の制御プログラムとの間の起動優先度

を記憶する第3の記憶部と、

上記第1の制御プログラムと上記第2の制御プログラムとのいずれかを選択する制御プログラム選択部とを備え、

上記制御プログラム選択部は、

上記制御プログラム優先度記憶部または上記第3の記憶部に記憶されている起動優先度に応じて上記第1の制御プログラムと上記第2の制御プログラムとのいずれか一方を選択する1次選択部と、

上記1次選択部によって選択された制御プログラムが起動しなかったとき、別の制御プログラムを選択する2次選択部とを含むことを特徴とする。

[0022] この発明のプログラム制御装置が有する制御プログラムの数は、上記第1、第2の制御プログラムの2つに限られるものではなく、3つ以上であっても良い。

[0023] この発明のプログラム制御装置では、上記制御プログラム優先度記憶部と上記第3の記憶部とによって、制御プログラムの起動優先度を冗長化して記憶できる。したがって、上記制御プログラム優先度記憶部と上記第3の記憶部とのいずれかの記憶内容が破損していたとしても、上記第1の制御プログラムと上記第2の制御プログラムとのいずれかを選択することができる。

[0024] この発明のマザーボードは、上記プログラム制御装置を備えたことを特徴とする。

[0025] この発明のマザーボードによれば、複数の制御プログラムのうちいずれの制御プログラムが起動したとしても、ユーザが各種設定情報を設定する手間を省くことができる。

[0026] この発明の情報処理装置は、上記プログラム制御装置を備えたことを特徴とする。

[0027] この発明の情報処理装置によれば、複数の制御プログラムのうちいずれの制御プログラムが起動したとしても、ユーザが各種設定情報を設定する手間を省くことができる。

[0028] 別の局面では、上記制御プログラムはBIOSに特定され得る。その場合

、この発明は、次のようにBIOS起動装置として把握される。

[0029] この発明のBIOS起動装置は、

少なくとも第1のBIOSと第2のBIOSとを含む複数のBIOSのうちいずれかを選択して起動させるBIOS起動装置であって、

上記第1のBIOSのプログラム本体を記憶する第1の記憶部と、

上記第2のBIOSのプログラム本体を記憶する第2の記憶部と、

上記第1および第2のBIOSのための共通の設定情報を記憶する第3の記憶部と、

上記第1のBIOSと上記第2のBIOSとのいずれかを選択するBIOS選択部とを備え、

上記BIOS選択部によって選択された上記第1のBIOSまたは上記第2のBIOSのプログラム本体は、上記第3の記憶部に記憶されている共通の設定情報を参照することを特徴とする。

[0030] 本明細書で、BIOSとは、処理を実行するプログラム本体と、このプログラム本体によって参照される設定情報とを含む概念である。

[0031] なお、設定情報とは、BIOSの可変設定部分に設定される情報であり、CPUやチップセットの動作設定データ、各種タイマ設定値、OSが入っているデバイス種別などの情報が含まれる。

[0032] このBIOS起動装置が有するBIOSの数は、上記第1、第2のBIOSの2つに限られるものではなく、3つ以上であっても良い。

[0033] この発明のBIOS起動装置では、例えばBIOS選択部が上記第1のBIOSを選択したとき、上記第1のBIOSのプログラム本体は、上記第3の記憶部に記憶されている共通の設定情報を参照する。これにより、上記第1のBIOSが正常に起動したとき、ユーザは上記第1のBIOSのための各種設定情報を設定する必要がない。一方、上記第1のBIOSが正常に起動せず、このため、上記BIOS選択部が、上記第1のBIOSに代えて上記第2のBIOSを選択したとき、上記第2のBIOSのプログラム本体は、上記第3の記憶部に記憶されている共通の設定情報を参照する。これによ

り、上記第2のBIOSが正常に起動したとき、ユーザは上記第2のBIOSのための各種設定情報を設定する必要がない。このように、この発明のBIOS起動装置によれば、複数のBIOSのうちいずれのBIOSが起動したとしても、ユーザが各種設定情報を設定する手間を省くことができる。

[0034] 一実施形態のBIOS起動装置では、

上記第1のBIOSと上記第2のBIOSとの間の起動優先度を記憶するBIOS優先度記憶部を備え、

上記BIOS選択部は、

上記BIOS優先度記憶部に記憶されている起動優先度に応じて上記第1のBIOSと上記第2のBIOSとのいずれか一方を選択する1次選択部と、

上記1次選択部によって選択されたBIOSが起動しなかったとき、別のBIOSを選択する2次選択部とを含むことを特徴とする。

[0035] この一実施形態のBIOS起動装置では、上記BIOS選択部は、まず1次選択部によって、上記BIOS優先度記憶部に記憶されている起動優先度に応じて上記第1のBIOSと上記第2のBIOSとのいずれか一方を選択する。上記1次選択部によって選択されたBIOSが起動しなかったとき、上記BIOS選択部は、2次選択部によって、上記BIOS優先度記憶部に記憶されている起動優先度に応じて別のBIOSを選択する。このようにして、上記BIOS選択部は、上記第1のBIOSと上記第2のBIOSとのいずれかを選択することができる。

[0036] 一実施形態のBIOS起動装置では、上記2次選択部によって選択されたBIOSが起動したとき、その起動したBIOSについて、上記BIOS優先度記憶部に記憶されている起動優先度を1位に変更する起動優先度変更部を備えることを特徴とする。

[0037] この一実施形態のBIOS起動装置では、上記2次選択部によって選択されたBIOSが起動したとき、起動優先度変更部は、その起動したBIOSについて、上記BIOS優先度記憶部に記憶されている起動優先度を1位に

変更する。この結果、次回の起動時には、上記ＢＩＯＳ選択部の１次選択部によって、その起動したＢＩＯＳがまず選択される。ここで、その起動したＢＩＯＳは、次回の起動時にも正常に起動することが期待される。したがって、次回の起動時には、何回もＢＩＯＳの起動を試みることなく、迅速な起動を行うことができる。

- [0038] 一実施形態のＢＩＯＳ起動装置では、  
上記ＢＩＯＳ選択部は、  
上記１次選択部または上記２次選択部によってＢＩＯＳが選択されたとき、そのＢＩＯＳが選択されてからの時間を計数するタイマを備え、  
上記タイマが計数する時間が一定時間に達しても上記選択されたＢＩＯＳの起動が完了しないとき、上記選択されたＢＩＯＳが起動しないと判断することを特徴とする。
- [0039] この一実施形態のＢＩＯＳ起動装置では、上記ＢＩＯＳ選択部は、上記１次選択部または上記２次選択部によってＢＩＯＳが選択されたとき、そのＢＩＯＳが選択されてからの時間を計数するタイマを備える。そして、上記タイマが計数する時間が一定時間に達しても上記選択されたＢＩＯＳの起動が完了しないとき、上記選択されたＢＩＯＳが起動しないと判断する。したがって、上記選択されたＢＩＯＳが起動するか否かを確実に判断できる。
- [0040] 一実施形態のＢＩＯＳ起動装置では、上記ＢＩＯＳ優先度記憶部に記憶されている起動優先度とは別に、上記第３の記憶部は上記第１のＢＩＯＳと上記第２のＢＩＯＳとの間の起動優先度を記憶していることを特徴とする。
- [0041] この一実施形態のＢＩＯＳ起動装置では、上記ＢＩＯＳ優先度記憶部に記憶されている起動優先度とは別に、上記第３の記憶部は上記第１のＢＩＯＳと上記第２のＢＩＯＳとの間の起動優先度を記憶している。したがって、上記ＢＩＯＳ優先度記憶部と上記第３の記憶部とによって、ＢＩＯＳの起動優先度を冗長化して記憶できる。したがって、上記ＢＩＯＳ優先度記憶部と上記第３の記憶部とのいずれかの記憶内容が破損していたとしても、上記第１のＢＩＯＳと上記第２のＢＩＯＳとのいずれかを選択することができる。

- [0042] 別の局面では、この発明のBIOS起動装置は、  
少なくとも第1のBIOSと第2のBIOSとを含む複数のBIOSのうちいずれかを選択して起動させるBIOS起動装置であって、  
上記第1のBIOSのプログラム本体を記憶する第1の記憶部と、  
上記第2のBIOSのプログラム本体を記憶する第2の記憶部と、  
上記第1のBIOSと上記第2のBIOSとの間の起動優先度を記憶するBIOS優先度記憶部と、  
上記BIOS優先度記憶部に記憶されている起動優先度とは別に、上記第1のBIOSと上記第2のBIOSとの間の起動優先度を記憶する第3の記憶部と、  
上記第1のBIOSと上記第2のBIOSとのいずれかを選択するBIOS選択部とを備え、  
上記BIOS選択部は、  
上記BIOS優先度記憶部または上記第3の記憶部に記憶されている起動優先度に応じて上記第1のBIOSと上記第2のBIOSとのいずれか一方を選択する1次選択部と、  
上記1次選択部によって選択されたBIOSが起動しなかったとき、別のBIOSを選択する2次選択部とを含むことを特徴とする。
- [0043] この発明のBIOS起動装置が有するBIOSの数は、上記第1、第2のBIOSの2つに限られるものではなく、3つ以上であっても良い。
- [0044] この発明のBIOS起動装置では、上記BIOS優先度記憶部と上記第3の記憶部とによって、BIOSの起動優先度を冗長化して記憶できる。したがって、上記BIOS優先度記憶部と上記第3の記憶部とのいずれかの記憶内容が破損していたとしても、上記第1のBIOSと上記第2のBIOSとのいずれかを選択することができる。
- [0045] この発明のマザーボードは、上記BIOS起動装置を備えたことを特徴とする。
- [0046] この発明のマザーボードによれば、複数のBIOSのうちいずれのBIOS

Sが起動したとしても、ユーザが各種設定情報を設定する手間を省くことができる。

## 発明の効果

[0047] 以上より明らかなように、この発明のプログラム制御装置、マザーボードおよび情報処理装置によれば、複数の制御プログラムのうちいずれの制御プログラムが起動したとしても、ユーザが各種設定情報を設定する手間を省くことができる。

## 図面の簡単な説明

[0048] [図1]この発明のプログラム制御装置の一実施形態としてのB I O S 起動装置を備えたマザーボードのブロック構成を示す図である。

[図2]上記マザーボード上に搭載されたエンベデッドコントローラのブロック構成を示す図である。

[図3]上記マザーボード上に搭載された第1のB I O S - R O Mの記憶内容を例示する図である。

[図4A]上記マザーボード上に搭載されたB I O S 設定記憶用R O Mの記憶内容の一例を示す図である。

[図4B]上記マザーボード上に搭載されたB I O S 設定記憶用R O Mの記憶内容の別の例を示す図である。

[図5]上記エンベデッドコントローラの動作フローを示す図である。

[図6]第1のB I O Sを起動させる場合のB I O S プログラムの動作フローを示す図である。

[図7]第2のB I O Sを起動させる場合のB I O S プログラムの動作フローを示す図である。

## 発明を実施するための形態

[0049] 以下、この発明を、図示の実施の形態により詳細に説明する。

[0050] 図1は、この発明のプログラム制御装置の一実施形態としてのB I O S 起動装置を備えたマザーボード（全体を符号90で示す。）のブロック構成を示している。この実施形態では、選択されるべき制御プログラムは、B I O

Sであるものとする。

[0051] このマザーボード90は、第1の記憶部としてのBIOS-ROM1と、第2の記憶部としてのBIOS-ROM2と、第3の記憶部としてのBIOS設定記憶用ROM60と、エンベデッドコントローラ3と、このエンベデッドコントローラ3によってON（オン）、OFF（オフ）制御されるスイッチ4、5と、チップセット70と、CPU80とを搭載している。エンベデッドコントローラ3とスイッチ4、5とは、BIOS選択部を構成している。

[0052] BIOS-ROM1、2は、いずれもフラッシュROMからなっている。BIOS-ROM1は、第1のBIOSのプログラム本体としてBIOSプログラム51を記憶している。BIOS-ROM2は、第2のBIOSのプログラム本体としてBIOSプログラム52を記憶している。例えばBIOSプログラム51は、図3に示すように、BIOS設定記憶用ROM60から設定（設定情報）を読み出す処理51aと、読み出した設定に基づきCPU80やチップセット70を設定する処理51bと、後述するエンベデッドコントローラ3のWDT（WatchDog Timer；ウォッチドッグタイマ）を一定周期でリセットする処理51cと、BIOS起動完了監視信号を制御する処理51dとを実行する。BIOSプログラム52は、BIOSプログラム51と同様の処理を実行する。これらの処理については、動作フローを用いて後に詳述する。

[0053] BIOS設定記憶用ROM60は、フラッシュROMからなり、図4Aに示すように、共通の設定情報61として、CPU80やチップセット70のための動作設定データ61aと、各種タイマ設定値61bと、OSが入っているデバイス（図示せず）の種別61cと、その他の情報61dとを記憶している。

[0054] この例では、CPU80やチップセット70のための設定情報は、BIOS設定記憶用ROM60のみに記憶されており、BIOS-ROM1、2には記憶されていない。

- [0055] 第1のBIOSは、BIOS-ROM1に記憶されているBIOSプログラム51と、BIOS設定記憶用ROM60に記憶されている設定情報とからなる。第2のBIOSは、BIOS-ROM2に記憶されているBIOSプログラム52と、BIOS設定記憶用ROM60に記憶されている設定情報とからなる。
- [0056] 図1中に示すように、スイッチ4はBIOS-ROM1とチップセット70との間に接続され、また、スイッチ5はBIOS-ROM2とチップセット70との間に接続されている。これらのスイッチ4, 5は、ノーマリオフ（常開）スイッチであり、第1のBIOSと第2のBIOSとを切り替えて選択するためにエンベデッドコントローラ3によってON、OFF制御される。すなわち、第1のBIOSが選択されるときは、スイッチ4がONされ、スイッチ5がOFFに維持される。一方、第2のBIOSが選択されるときは、スイッチ4がOFFに維持され、スイッチ5がONされる。
- [0057] エンベデッドコントローラ3は、図2に示すように、フラッシュROM31と、ハードウェア34とを含んでいる。
- [0058] フラッシュROM31は、このエンベデッドコントローラ3が実行するプログラムを記憶しているプログラム記憶部32と、第1のBIOSと第2のBIOSとの間の起動優先度を記憶するBIOS優先度記憶部33とを有している。この起動優先度は、デフォルトでは、第1のBIOSが1位、第2のBIOSが2位になっているものとする。
- [0059] ハードウェア34は、WDT35と、RAM（Random Access Memory；ランダム・アクセス・メモリ）36と、入出力ポート37とを含んでいる。WDT35は、時間を計数して、一定期間内に第1のBIOSまたは第2のBIOSの起動が完了したか否かを監視する。RAM36は、このエンベデッドコントローラ3の作業領域として用いられる。入出力ポート37は、WDT35をリセットするWDTリセット信号10, 11を受けるためのポートと、スイッチ4, 5をON、OFF制御するためのスイッチ制御信号6, 7を出力するためのポートと、CPU80とチップセット70をリセットする

ためのリセット信号14を出力するためのポートと、第1, 第2のBIOSが起動完了したことを表すBIOS監視信号8, 9を受けるためのポートとを有している。

[0060] なお、BIOS監視信号8, 9は、それぞれON、OFFを表す2値をとる。BIOS監視信号8, 9がOFFであれば、BIOSが起動していないか、または起動が完了していないことを表す。BIOS監視信号8, 9がONであれば、BIOSの起動が完了したことを表す。

[0061] 図5は、エンベデッドコントローラ3の動作フローを示している。

[0062] 図示しない電源がONされると、まずエンベデッドコントローラ3が起動する(ステップS1)。より正確には、フラッシュROM31のプログラム記憶部32に記憶されたプログラムが起動する。

[0063] 続いて、エンベデッドコントローラ3は、1次選択部として働いて、BIOS優先度記憶部33に記憶されている起動優先度に応じてBIOSを選択する(ステップS2)。この例では、デフォルトで優先度が1位になっている第1のBIOSを選択する。具体的には、エンベデッドコントローラ3は、入出力ポート37を通してスイッチ制御信号6, 7を出力して、スイッチ4をONし、スイッチ5をOFFに維持する。

[0064] 続いて、エンベデッドコントローラ3は、入出力ポート37を通してリセット信号14を出力して、CPU80とチップセット70を初期状態にリセットする(ステップS3)。

[0065] 続いて、エンベデッドコントローラ3は、後述するBIOSプログラム51からのWDTリセット信号10を受けて、WDT35のタイマを初期状態にリセットする。そして、WDT35のタイマが一定期間を計数(タイムアップ)するまで、BIOS(ここでは第1のBIOS)の起動が完了するのを待つ(ステップS4, S5)。

[0066] WDT35がタイムアップするまでに、後述するBIOSプログラム51からのBIOS監視信号8がONになったことを受けたとき、エンベデッドコントローラ3は、第1のBIOSの起動が完了したと判断する。第1のB

I O Sの起動が完了すれば（ステップS 5でY E S）、エンベデッドコントローラ3は、W D T 3 5を停止して（ステップS 1 2）、動作を完了する。

[0067] 一方、W D T 3 5がタイムアップするまでに第1のB I O Sの起動が完了せず（ステップS 5でN O）、W D T 3 5がタイムアップしたとき（ステップS 4でY E S）、エンベデッドコントローラ3は、第1のB I O Sが正常に起動しないと判断する。そして、エンベデッドコントローラ3は、2次選択部として働いて、第1のB I O Sに代えて第2のB I O Sを選択する。具体的には、スイッチ制御信号6によってスイッチ4をO F Fし（ステップS 6）、スイッチ制御信号7によってスイッチ5をO Nする（ステップS 7）。

[0068] 続いて、エンベデッドコントローラ3は、入出力ポート3 7を通してリセット信号1 4を出力して、C P U 8 0とチップセット7 0を初期状態にリセットする（ステップS 8）。

[0069] 続いて、エンベデッドコントローラ3は、後述するB I O Sプログラム5 2からのW D Tリセット信号1 1を受けて、W D T 3 5のタイマを初期状態にリセットする。そして、W D T 3 5のタイマが一定期間を計数（タイムアップ）するまで、B I O S（ここでは第2のB I O S）の起動が完了するのを待つ（ステップS 9, S 1 0）。

[0070] W D T 3 5がタイムアップするまでに、後述するB I O Sプログラム5 2からのB I O S監視信号9がO Nになったことを受けたとき、エンベデッドコントローラ3は、第2のB I O Sの起動が完了したと判断する。第2のB I O Sの起動が完了すれば（ステップS 1 0でY E S）、エンベデッドコントローラ3は、起動優先度変更部として働いて、その起動したB I O S（ここでは第2のB I O S）について、B I O S優先度記憶部に記憶されている起動優先度を1位に変更する（ステップS 1 1）。第1のB I O Sの起動優先度は最下位に変更する。

[0071] その後、エンベデッドコントローラ3は、W D T 3 5を停止して（ステップS 1 2）、動作を完了する。

- [0072] 図6は、図5中のステップS4～S5において、第1のBIOS（つまり、BIOSプログラム51）を起動させる場合のBIOSプログラム51の動作フローを示している。
- [0073] 図5中のステップS3においてCPU80とチップセット70が初期状態にリセットされると、図6のステップS21に示すように、CPU80とチップセット70が起動して、スイッチ4に接続されたBIOS-ROM1から起動すべきBIOSを読み込む。これにより、ステップS22に示すように、BIOS-ROM1に記憶されているBIOSプログラム51が起動する。
- [0074] そして、ステップS23に示すように、BIOSプログラム51は、エンベデッドコントローラ3へWDTリセット信号10を出力するとともに、BIOS監視信号8をOFF状態にする。既述のように、エンベデッドコントローラ3は、入出力ポート37を通してWDTリセット信号10を受けて、WDT35のタイマを初期状態にリセットする。
- [0075] 続いて、ステップS24に示すように、BIOSプログラム51は、チップセット70から参照信号12（図1参照）を送って、特定アドレスに割り当てられた、BIOS設定記憶用ROM60に記憶されている設定情報61を参照する。具体的には、例えば、CPU80やチップセット70のための動作設定データ61aと、各種タイマ設定値61bと、OSが入っているデバイス（図示せず）の種別61cを得る。
- [0076] 続いて、ステップS25に示すように、BIOSプログラム51は、取得した設定（設定情報61）に従って動作設定を実行する。そして、ステップS26に示すように、BIOSの起動が完了したか否かを判断する。
- [0077] このようにしてBIOS（ここでは第1のBIOS）の起動が完了するまで、一定周期（例えば1秒周期）でステップS23～S26までの処理を繰り返す。
- [0078] そして、第1のBIOSの起動が完了したとき（ステップS27でYES）、BIOSプログラム51はBIOS監視信号8をONにする。既述のよ

うに、エンベデッドコントローラ3は、WDT35がタイムアップするまでに、BIOS監視信号8がONになったか否かに応じて、第1のBIOSの起動が正常に完了したか否かを判断する。これにより、選択された第1のBIOSが起動するか否かを確実に判断できる。

[0079] 図7は、図5中のステップS9～S10において、第2のBIOS（つまり、BIOSプログラム52）を起動させる場合のBIOSプログラム52の動作フローを示している。

[0080] 図5中のステップS8においてCPU80とチップセット70が初期状態にリセットされると、図7のステップS31に示すように、CPU80とチップセット70が起動して、スイッチ5に接続されたBIOS-ROM2から起動すべきBIOSを読み込む。これにより、ステップS32に示すように、BIOS-ROM2に記憶されているBIOSプログラム52が起動する。

[0081] そして、ステップS33に示すように、BIOSプログラム52は、エンベデッドコントローラ3へWDTリセット信号11を出力するとともに、BIOS監視信号9をOFF状態にする。既述のように、エンベデッドコントローラ3は、入出力ポート37を通してWDTリセット信号11を受けて、WDT35のタイマを初期状態にリセットする。

[0082] 続いて、ステップS34に示すように、BIOSプログラム52は、チップセット70から参照信号13（図1参照）を送って、特定アドレスに割り当てられた、BIOS設定記憶用ROM60に記憶されている設定情報61を参照する。具体的には、例えば、CPU80やチップセット70のための動作設定データ61aと、各種タイマ設定値61bと、OSが入っているデバイス（図示せず）の種別61cを得る。

[0083] 続いて、ステップS35に示すように、BIOSプログラム52は、取得した設定（設定情報61）に従って動作設定を実行する。そして、ステップS36に示すように、BIOSの起動が完了したか否かを判断する。

[0084] このようにしてBIOS（ここでは第2のBIOS）の起動が完了するま

で、一定周期（例えば１秒周期）でステップＳ３３～Ｓ３６までの処理を繰り返す。

[0085] そして、第２のＢＩＯＳの起動が完了したとき（ステップＳ３７でＹＥＳ）、ＢＩＯＳプログラム５２はＢＩＯＳ監視信号９をＯＮにする。既述のように、エンベデッドコントローラ３は、ＷＤＴ３５がタイムアップするまでに、ＢＩＯＳ監視信号９がＯＮになったか否かに応じて、第２のＢＩＯＳの起動が正常に完了したか否かを判断する。これにより、選択された第２のＢＩＯＳが起動するか否かを確実に判断できる。

[0086] 図５、図６および図７の動作フローから分かるように、エンベデッドコントローラ３は、まず１次選択部として働いて、ＢＩＯＳ優先度記憶部３３に記憶されている起動優先度に応じて第１のＢＩＯＳを選択する。選択された第１のＢＩＯＳが起動しなかったとき、エンベデッドコントローラ３は、２次選択部として働いて、ＢＩＯＳ優先度記憶部３３に記憶されている起動優先度に応じて第２のＢＩＯＳを選択する。このようにして、エンベデッドコントローラ３は、第１のＢＩＯＳと第２のＢＩＯＳとのいずれかを選択することができる。

[0087] ここで、第１のＢＩＯＳと第２のＢＩＯＳとのいずれが起動したとしても、ＢＩＯＳプログラム５１、５２は、ＢＩＯＳ設定記憶用ＲＯＭ６０に記憶されている共通の設定情報６１を参照して起動する。したがって、ユーザは、わざわざＢＩＯＳセットアップ画面を立ち上げて、起動したＢＩＯＳのための設定情報を設定する必要がない。つまり、第１のＢＩＯＳと第２のＢＩＯＳとのいずれが起動したとしても、ユーザが各種設定情報を設定する手間を省くことができる。

[0088] なお、ＢＩＯＳ優先度記憶部３３に、デフォルトで第２のＢＩＯＳの起動優先度を１位、第２のＢＩＯＳの起動優先度を２位として記憶させておき、先に第２のＢＩＯＳの起動を試み、次に第１のＢＩＯＳの起動を試みても良い。

[0089] 上述の例では、ＢＩＯＳの数は、第１のＢＩＯＳと第２のＢＩＯＳとの２

つとしたが、これに限られるものではない。BIOSの数は、3つ以上であっても良い。この場合、BIOS-ROM1, 2に加えて、さらに第3のBIOSのプログラム本体を記憶したBIOS-ROM、第4のBIOSのプログラム本体を記憶したBIOS-ROM、…を設ける。そして、例えば図5中のステップS10で、WDT35がタイムアップするまでに第2のBIOSの起動が完了せず（ステップS10でNO）、WDT35がタイムアップしたとき（ステップS9でYES）、エンベデッドコントローラ3は、再び2次選択部として働いて、第2のBIOSに対する図5中のステップS6～S10と同様の処理を、第3のBIOS、第4のBIOS…に対して実行する（BIOSの数だけ繰り返す。）。これにより、複数のBIOSのうちいずれかのBIOSを起動させる。そして、いずれかのBIOSが起動したとき、その起動したBIOSについて、BIOS優先度記憶部33に記憶されている起動優先度を1位に変更する。

[0090] この結果、次回の起動時には、その起動したBIOSがまず選択される。その起動したBIOSは、次回の起動時にも正常に起動することが期待される。したがって、次回の起動時には、何回もBIOSの起動を試みることなく、迅速な起動を行うことができる。

[0091] また、上述の例では、第1および第2のBIOSのための共通の設定情報61がBIOS設定記憶用ROM60に記憶されているものとしたが、これに限られるものではない。第1および第2のBIOSのための共通の設定情報61は、プログラム本体としてのBIOSプログラム51, 52が起動過程で参照できればどこに記憶されていても良く、例えばエンベデッドコントローラ3のフラッシュROM31に記憶されていても良い。

[0092] また、上述の例では、スイッチ4, 5とともにエンベデッドコントローラ3がBIOS選択部として働いたが、これに限られるものではない。例えば、ハードウェア34、特にWDT35と入出力ポート37とを有するマイクロコンピュータであれば、BIOS選択部として働くためのエンベデッドコントローラ3の機能を実現することができる。

[0093] また、B I O S 優先度記憶部 3 3 に記憶されている起動優先度とは別に、図 4 B 中に示すように、B I O S 設定記憶用 R O M 6 0 にその他の情報 6 1 d' として、第 1 の B I O S と第 2 の B I O S との間の起動優先度（B I O S 優先度）を記憶しても良い。または、第 1、第 2 の B I O S に加えて、第 3 の B I O S、第 4 の B I O S、…が選択可能な場合は、それらの多数の B I O S の間の起動優先度（B I O S 優先度）を記憶しても良い。このようにした場合、フラッシュ R O M 3 1 の B I O S 優先度記憶部 3 3 と B I O S 設定記憶用 R O M 6 0 とによって、B I O S の起動優先度を冗長化して記憶できる。したがって、フラッシュ R O M 3 1（の B I O S 優先度記憶部 3 3）と B I O S 設定記憶用 R O M 6 0 のいずれかの記憶内容が破損していたとしても、複数の B I O S のうちのいずれかを選択することができる。

[0094] なお、B I O S 優先度記憶部 3 3 に記憶されている起動優先度と、B I O S 設定記憶用 R O M 6 0 にその他の情報 6 1 d' として記憶されている起動優先度とは、例えばエンベデッドコントローラ 3 が定期的に同期させる（記憶内容を揃える）処理を行うのが望ましい。

[0095] 上述の実施形態では、選択されるべき制御プログラムは B I O S であるものとしたが、これに限られるものではない。例えば、選択されるべき制御プログラムは、O S 上で動作するアプリケーションプログラムであっても良い。その場合、この発明のプログラム制御装置によれば、複数のアプリケーションプログラムのうちいずれかのアプリケーションプログラムを選択して動作させることができる。その際、いずれのアプリケーションが起動したとしても、ユーザが設定情報を設定する手間を省くことができる。

[0096] 当業者ならば分かるように、例えば一般的なタワー型のケーシングに、上記マザーボード 9 0 と、O S が入っているデバイスと、R A Mなどを組み込めば、コンピュータを構成することができる。そのように構成されたコンピュータでは、複数の制御プログラムのうちいずれの制御プログラムが起動したとしても、ユーザが各種設定情報を設定する手間を省くことができる。さらに、この発明は、コンピュータに限られず、複数の制御プログラムのうち

いずれかの制御プログラムを選択して動作させる情報処理装置に広く適用され得る。

### 符号の説明

- [0097]
- 1 第1のBIOS-ROM
  - 2 第2のBIOS-ROM
  - 3 エンベデッドコントローラ
  - 60 BIOS設定記憶用ROM
  - 90 マザーボード

## 請求の範囲

- [請求項1]           少なくとも第1の制御プログラムと第2の制御プログラムとを含む複数の制御プログラムのうちいずれかを選択して動作させるプログラム制御装置であって、
- 上記第1の制御プログラムのプログラム本体を記憶する第1の記憶部と、
- 上記第2の制御プログラムのプログラム本体を記憶する第2の記憶部と、
- 上記第1および第2の制御プログラムのための共通の設定情報を記憶する第3の記憶部と、
- 上記第1の制御プログラムと上記第2の制御プログラムとのいずれかを選択する制御プログラム選択部とを備え、
- 上記制御プログラム選択部によって選択された上記第1の制御プログラムまたは上記第2の制御プログラムのプログラム本体は、上記第3の記憶部に記憶されている共通の設定情報を参照することを特徴とするプログラム制御装置。
- [請求項2]           請求項1に記載のプログラム制御装置において、
- 上記第1の制御プログラムと上記第2の制御プログラムとの間の起動優先度を記憶する制御プログラム優先度記憶部を備え、
- 上記制御プログラム選択部は、
- 上記制御プログラム優先度記憶部に記憶されている起動優先度に応じて上記第1の制御プログラムと上記第2の制御プログラムとのいずれか一方を選択する1次選択部と、
- 上記1次選択部によって選択された制御プログラムが起動しなかったとき、別の制御プログラムを選択する2次選択部とを含むことを特徴とするプログラム制御装置。
- [請求項3]           請求項2に記載のプログラム制御装置において、
- 上記2次選択部によって選択された制御プログラムが起動したとき

、その起動した制御プログラムについて、上記制御プログラム優先度記憶部に記憶されている起動優先度を１位に変更する起動優先度変更部を備えることを特徴とするプログラム制御装置。

[請求項4]

請求項２または３に記載のプログラム制御装置において、  
上記制御プログラム選択部は、

上記１次選択部または上記２次選択部によって制御プログラムが選択されたとき、その制御プログラムが選択されてからの時間を計数するタイマを備え、

上記タイマが計数する時間が一定時間に達しても上記選択された制御プログラムの起動が完了しないとき、上記選択された制御プログラムが起動しないと判断することを特徴とするプログラム制御装置。

[請求項5]

請求項１から４までのいずれか一つに記載のプログラム制御装置において、

上記制御プログラム優先度記憶部に記憶されている起動優先度とは別に、上記第３の記憶部は上記第１の制御プログラムと上記第２の制御プログラムとの間の起動優先度を記憶していることを特徴とするプログラム制御装置。

[請求項6]

少なくとも第１の制御プログラムと第２の制御プログラムとを含む複数の制御プログラムのうちいずれかを選択して動作させるプログラム制御装置であって、

上記第１の制御プログラムのプログラム本体を記憶する第１の記憶部と、

上記第２の制御プログラムのプログラム本体を記憶する第２の記憶部と、

上記第１の制御プログラムと上記第２の制御プログラムとの間の起動優先度を記憶する制御プログラム優先度記憶部と、

上記制御プログラム優先度記憶部に記憶されている起動優先度とは別に、上記第１の制御プログラムと上記第２の制御プログラムとの間

の起動優先度を記憶する第3の記憶部と、

上記第1の制御プログラムと上記第2の制御プログラムとのいずれかを選択する制御プログラム選択部とを備え、

上記制御プログラム選択部は、

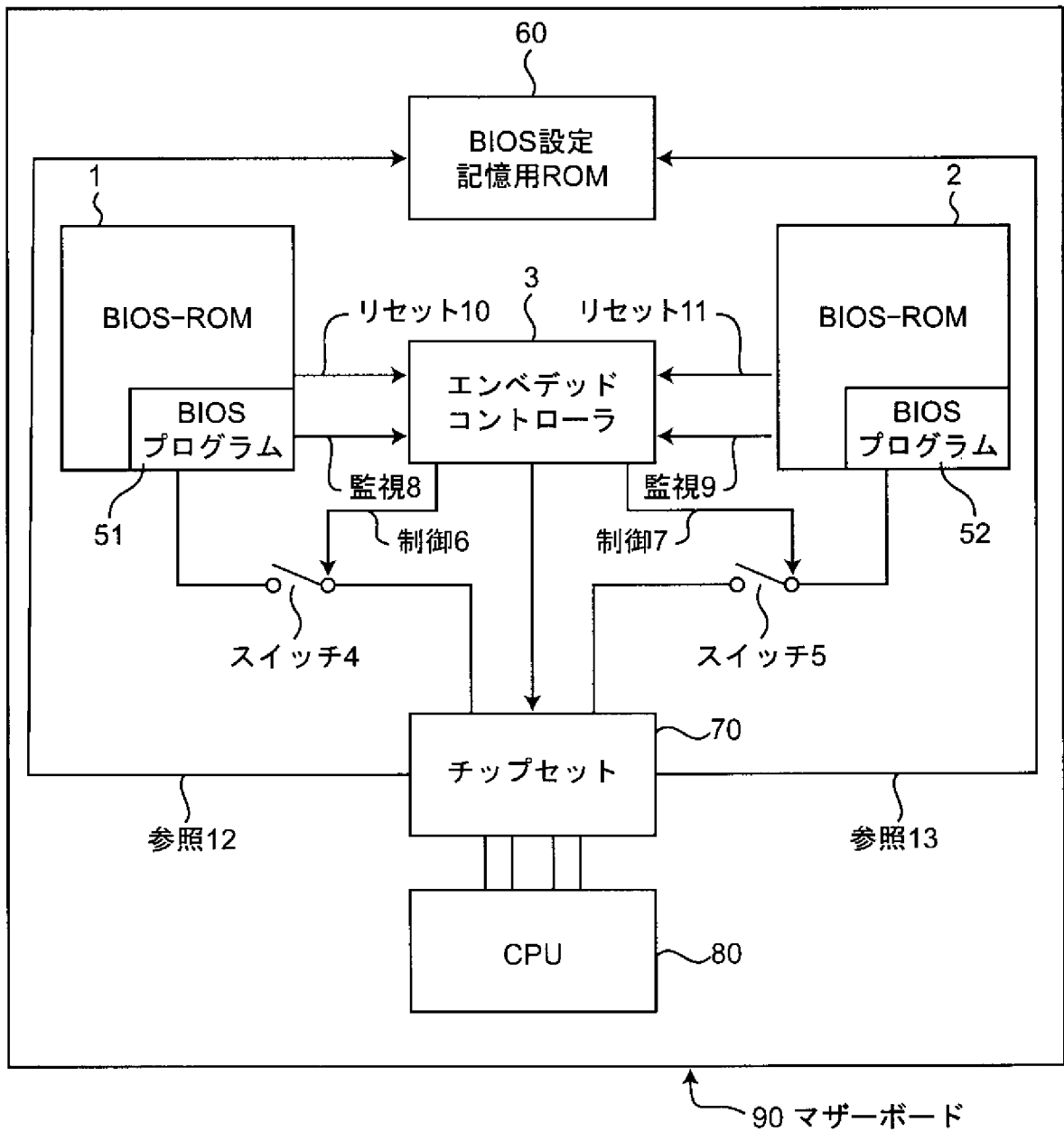
上記制御プログラム優先度記憶部または上記第3の記憶部に記憶されている起動優先度に応じて上記第1の制御プログラムと上記第2の制御プログラムとのいずれか一方を選択する1次選択部と、

上記1次選択部によって選択された制御プログラムが起動しなかったとき、別の制御プログラムを選択する2次選択部とを含むことを特徴とするプログラム制御装置。

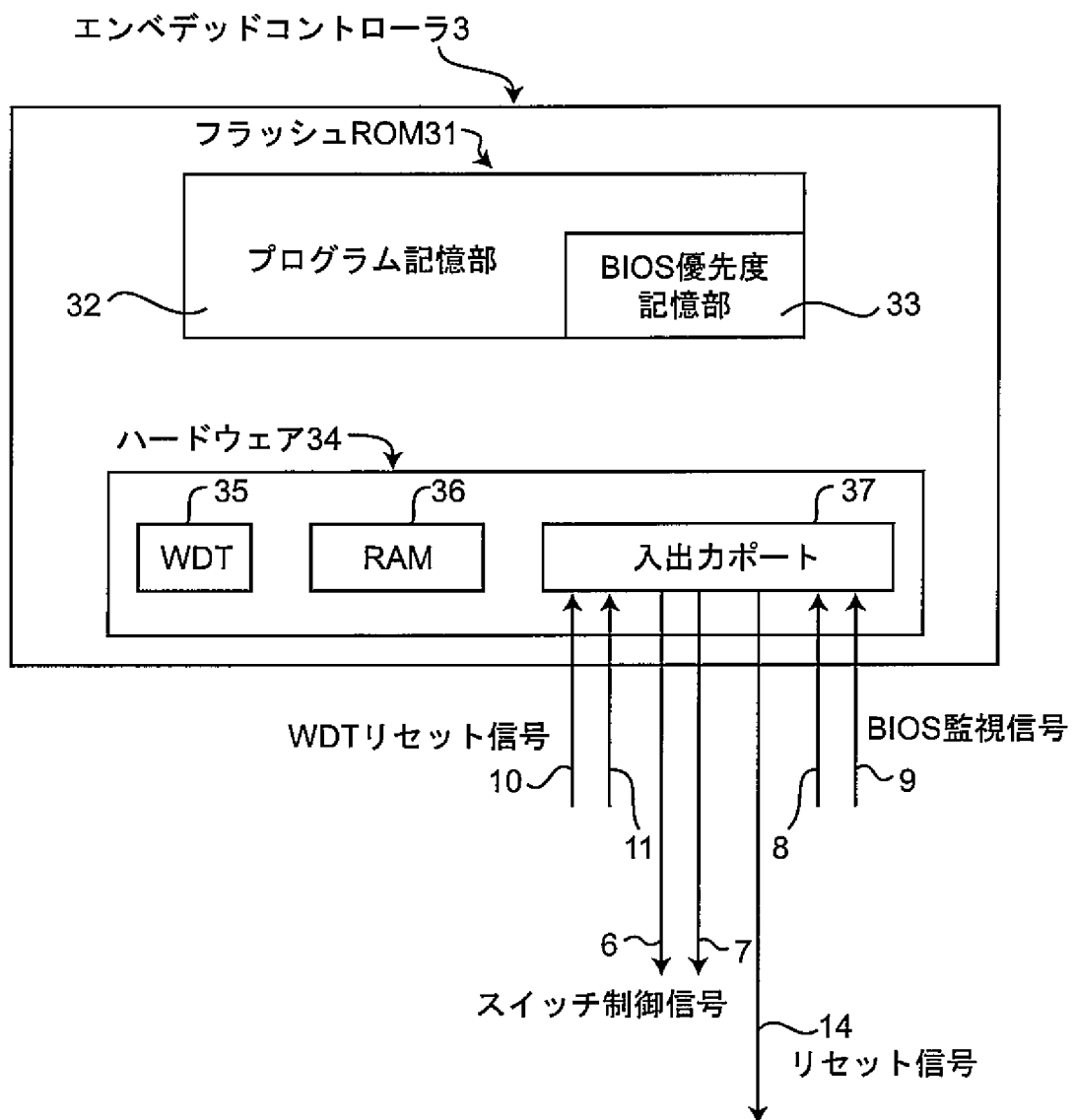
[請求項7]       請求項1から6までのいずれか一つに記載のプログラム制御装置を備えたことを特徴とするマザーボード。

[請求項8]       請求項1から6までのいずれか一つに記載のプログラム制御装置を備えたことを特徴とする情報処理装置。

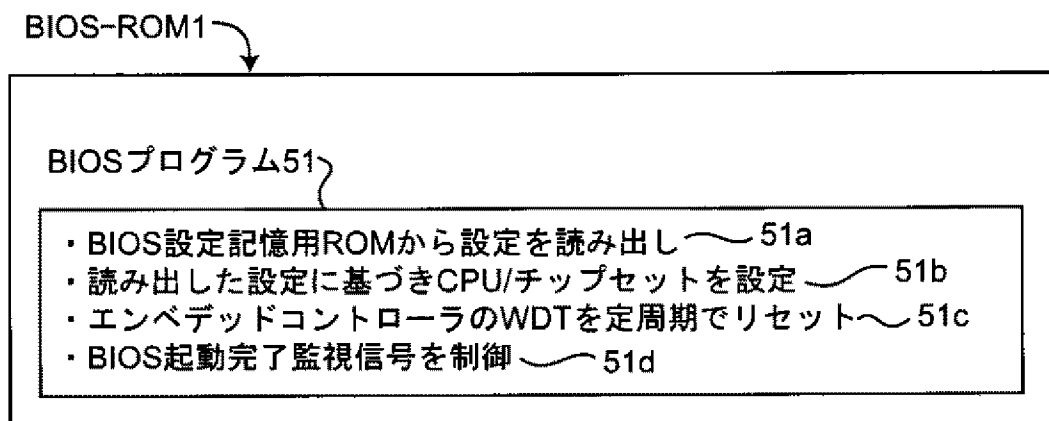
[図1]



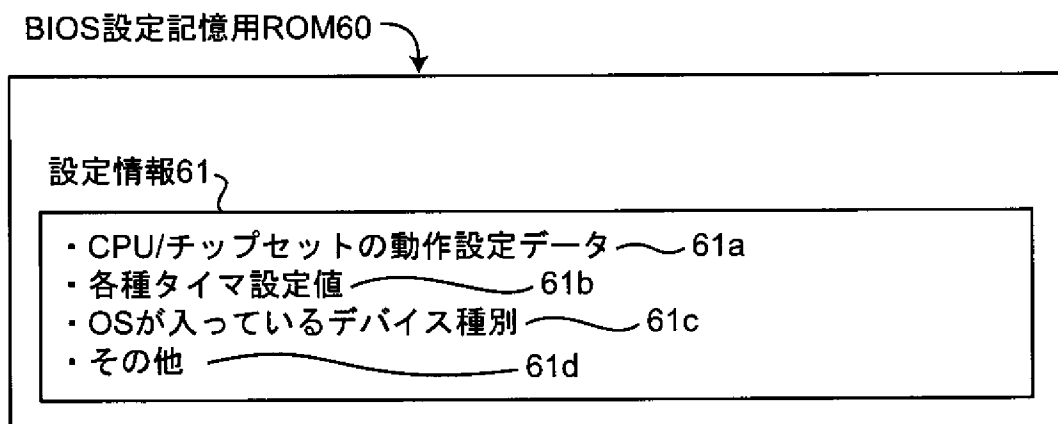
[図2]



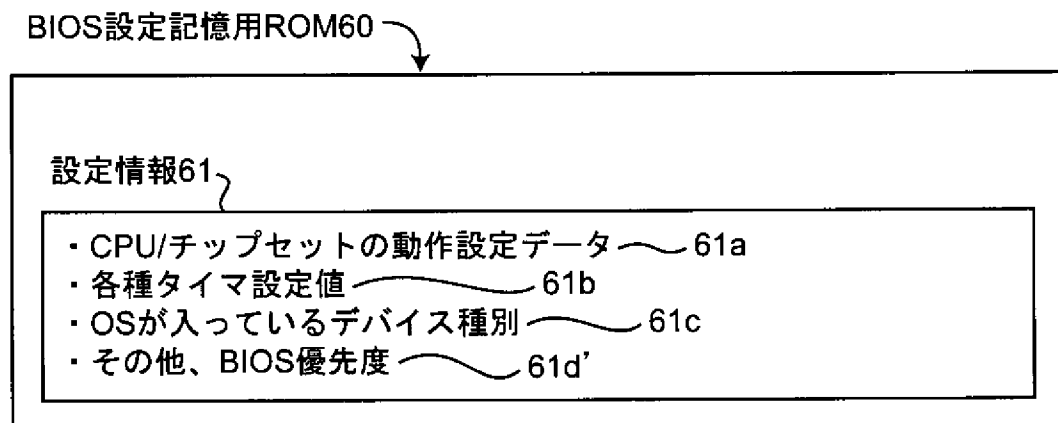
[図3]



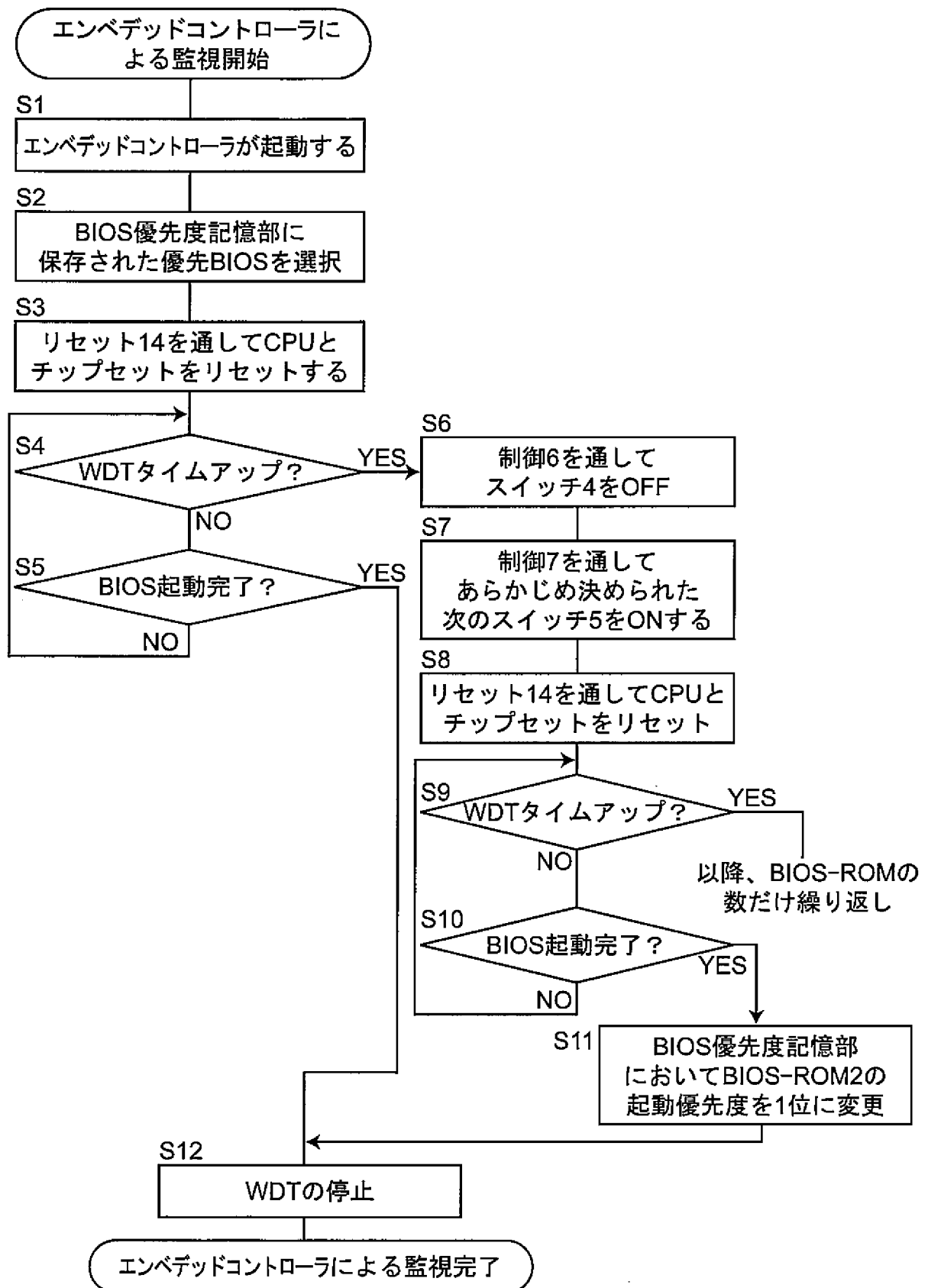
[図4A]



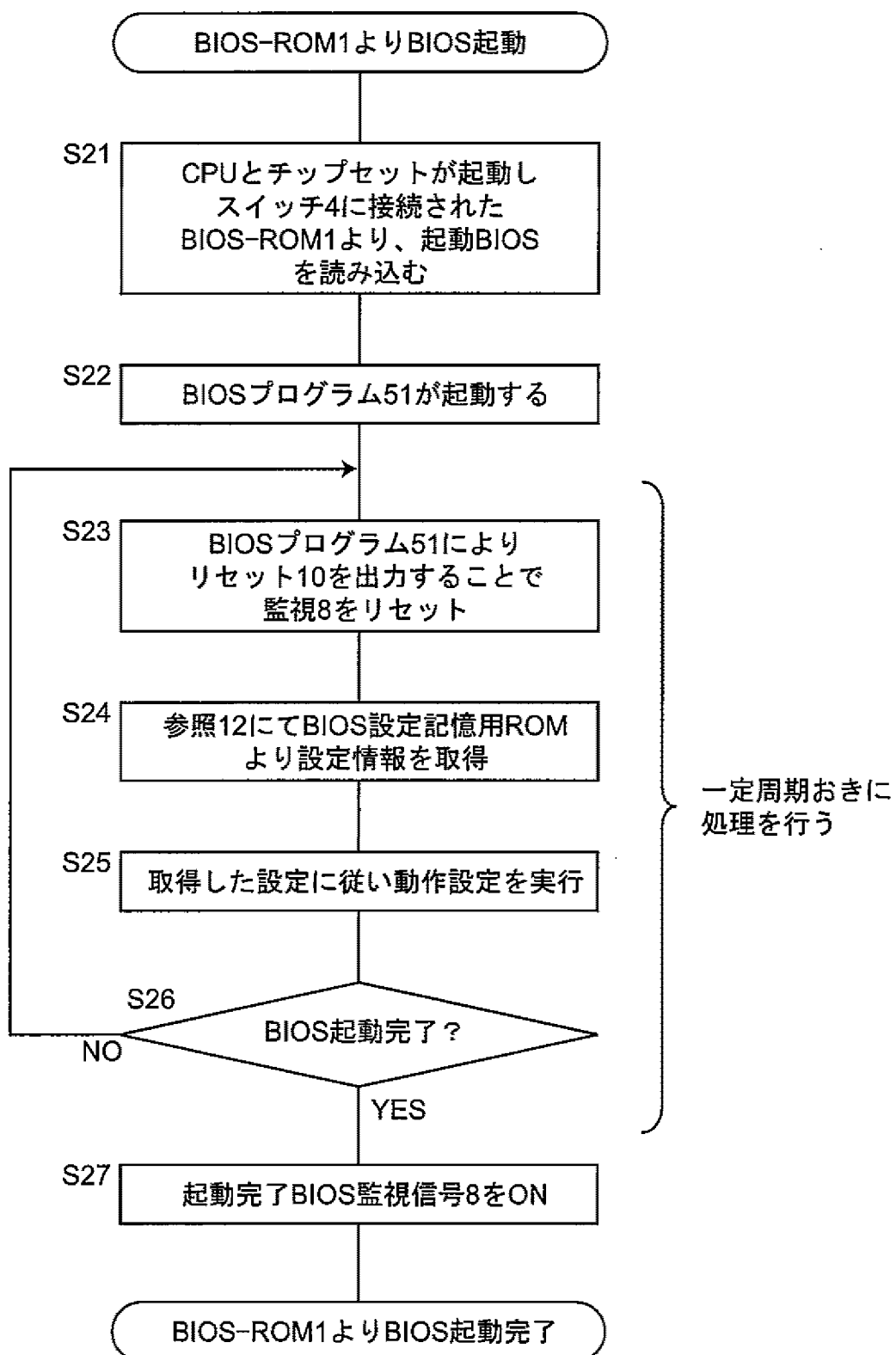
[図4B]



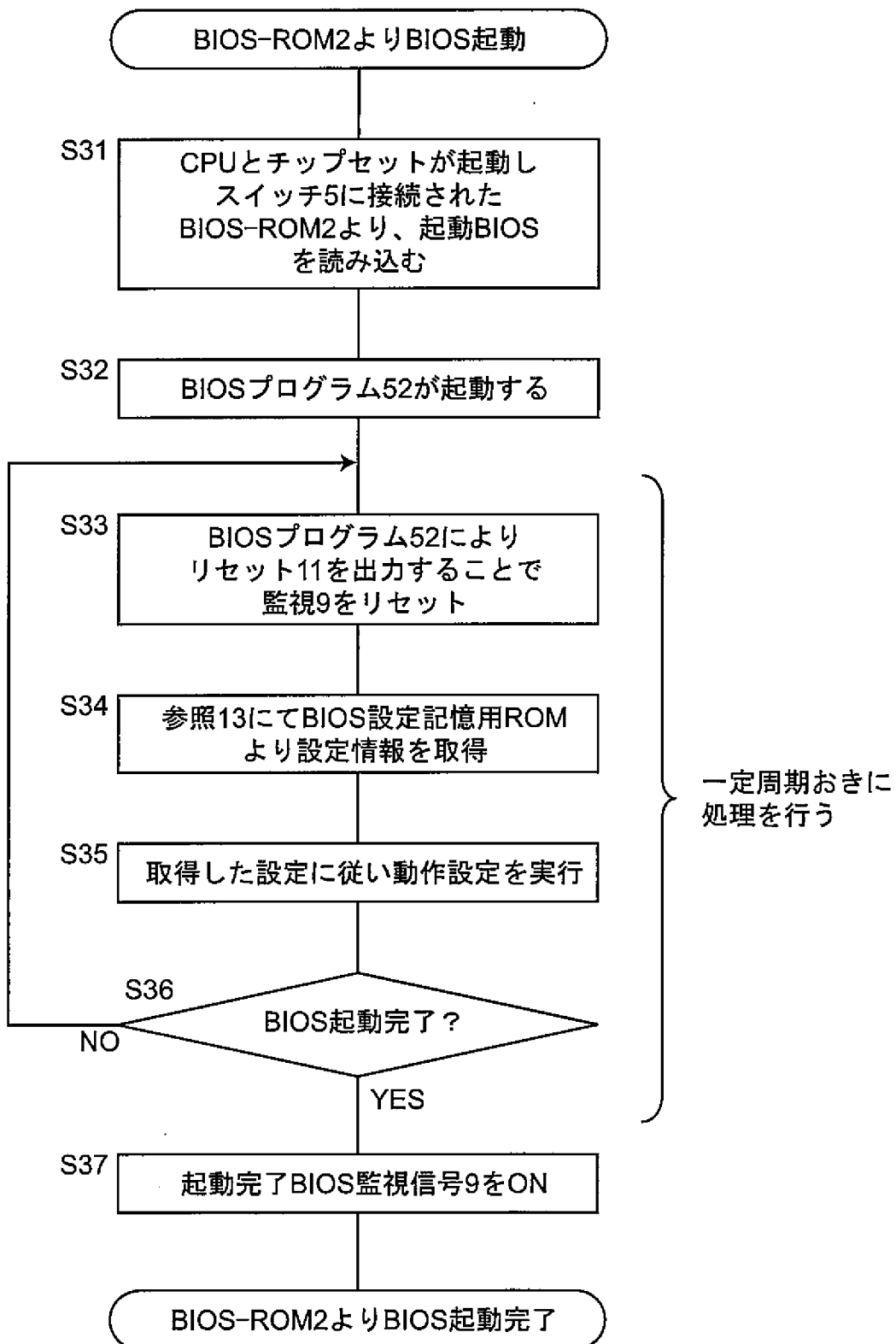
[図5]



[図6]



[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055309

## A. CLASSIFICATION OF SUBJECT MATTER

G06F9/445 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/445

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2013 |
| Kokai Jitsuyo Shinan Koho | 1971-2013 | Toroku Jitsuyo Shinan Koho | 1994-2013 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                 | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>Y    | JP 2004-355067 A (Konica Minolta Business Technologies, Inc.),<br>16 December 2004 (16.12.2004),<br>paragraphs [0024], [0034], [0057]; fig. 1, 2<br>(Family: none) | 1, 7, 8<br>2-6        |
| Y         | JP 2003-316582 A (NEC System Technologies, Ltd.),<br>07 November 2003 (07.11.2003),<br>paragraphs [0029] to [0040]; fig. 1, 2<br>(Family: none)                    | 2-6                   |
| Y         | JP 2004-295542 A (Sony Corp.),<br>21 October 2004 (21.10.2004),<br>paragraphs [0077] to [0080]<br>& US 2004/0250167 A1                                             | 3-6                   |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
26 March, 2013 (26.03.13)

Date of mailing of the international search report  
02 April, 2013 (02.04.13)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/055309

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                     | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2002-123401 A (Fujitsu Ltd.) ,<br>26 April 2002 (26.04.2002) ,<br>paragraphs [0046], [0047]<br>& US 2002/0016909 A1 | 3-6                   |

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F9/445 (2006.01) i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F9/445

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 3 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 3 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 3 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                            | 関連する<br>請求項の番号   |
|-----------------|----------------------------------------------------------------------------------------------|------------------|
| X<br>Y          | JP 2004-355067 A (コニカミノルタビジネステクノロジー株式会社) 2004. 12. 16, 段落 0024, 0034, 0057, 図 1, 2 (ファミリーなし) | 1, 7, 8<br>2 - 6 |
| Y               | JP 2003-316582 A (エヌイーシーシステムテクノロジー株式会社) 2003. 11. 07, 段落 0029 から 0040, 図 1, 2 (ファミリーなし)      | 2 - 6            |
| Y               | JP 2004-295542 A (ソニー株式会社) 2004. 10. 21, 段落 0077 から 0080 & US 2004/0250167 A1                | 3 - 6            |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 3 . 2 0 1 3

国際調査報告の発送日

0 2 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

前田 浩

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5

5 B

2 9 4 3

| C (続き) . 関連すると認められる文献 |                                                                                |                |
|-----------------------|--------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                              | 関連する<br>請求項の番号 |
| Y                     | JP 2002-123401 A (富士通株式会社) 2002. 04. 26,<br>段落 0046, 0047 & US 2002/0016909 A1 | 3 - 6          |