

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-129581
(P2007-129581A)

(43) 公開日 平成19年5月24日(2007.5.24)

(51) Int.Cl.
H04N 9/07 (2006.01)
H04N 101/00 (2006.01)

F I
H04N 9/07
H04N 101:00

テーマコード (参考)
5C065

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号	特願2005-321398 (P2005-321398)	(71) 出願人	000001007
(22) 出願日	平成17年11月4日 (2005.11.4)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100076428
			弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(72) 発明者	橋本 誠二
			東京都大田区下丸子3丁目30番2号
			キヤノン株式会社内
		Fターム(参考)	5C065 AA03 BB13 CC01 CC08 DD15 EE06 GG13 GG21 GG22

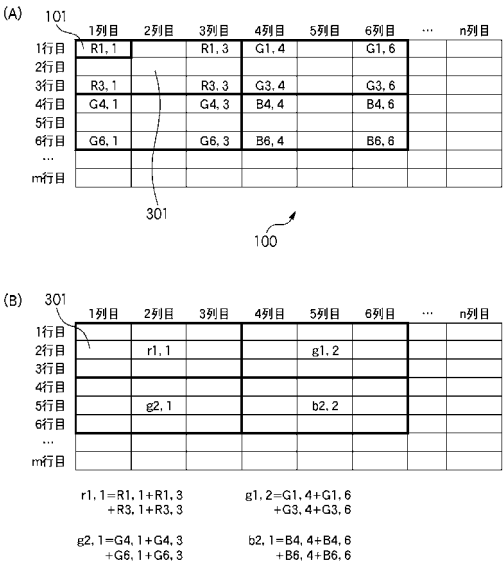
(54) 【発明の名称】 撮像装置及び撮像システム

(57) 【要約】

【課題】 間引きによるモアレの発生を抑えること。

【解決手段】 撮像装置は、行方向及び列方向に配列された複数の画素101を含む構成要素301が複数配列された画素部100と、構成要素301内に配列された複数の画素101が出力する色信号R、G、Bのうち、同一色の色信号を加算する加算部、を備える。前記加算部は、構成要素301内で加算される画素101の空間的な重心が前記行方向及び前記列方向の少なくとも一方において等ピッチとなるように前記加算を行う。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

行方向及び列方向に配列された複数の画素を含む構成要素が複数配列された画素部と、前記構成要素内に配列された前記複数の画素が出力する色信号のうち、同一色の色信号を加算する加算部と、

を備え、

前記加算部は、前記構成要素内で加算される画素の空間的な重心が前記行方向及び前記列方向の少なくとも一方において等ピッチとなるように前記加算を行うことを特徴とする撮像装置。

【請求項 2】

前記加算部は、前記行方向及び前記列方向に配列された複数の画素のうち、偶数行及び偶数列の少なくとも一方に配列された画素から出力される色信号を加算しないことを特徴する請求項 1 に記載の撮像装置。

【請求項 3】

前記加算部は、前記行方向及び前記列方向に配列された複数の画素のうち、奇数行及び奇数列の少なくとも一方に配列された画素から出力される色信号を加算しないことを特徴する請求項 1 又は請求項 2 に記載の撮像装置。

【請求項 4】

前記複数の構成要素の少なくとも 1 つの一部は、他の構成要素の一部と空間的にオーバーラップしていることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記複数配列された構成要素の各々は、前記行方向及び前記列方向に $2N + 1$ 個 (N は 1 以上の自然数) ずつ配列された複数の画素を含むことを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記複数配列された構成要素の各々は、前記行方向及び前記列方向に $2N$ 個 (N は 1 以上の自然数) ずつ配列された複数の画素を含むことを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の撮像装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項に記載の撮像装置と、

前記撮像装置へ光を結像する光学系と、

前記撮像装置から出力される信号を記録する記録系と、

システム全体を制御するシステムコントロール回路と、

を備えることを特徴とする撮像システム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、被写体像を撮像する撮像装置及び撮像システムに関する。

【背景技術】**【0002】**

近年、静止画像撮影を主用途とするデジタルスチルカメラには、画素数が数百万から一千万画素以上の撮像素子が使用されている。また、用途も超高精細な静止画だけではなく、高精細な静止画、高解像度な動画や NTSC のような動画撮影も重要な機能になりつつある。超高精細画像では全画素信号を利用するが、高精細以下の画像では、読み出す画素信号を間引いたり、また、感度を上げるために画素信号の加算を行ったりしている。(例えば、特許文献 1、特許文献 2、特許文献 3 参照)。

【0003】

特許文献 1 に示される実施例(特許文献 1 の図 3)では、 4×4 画素を単位として各画素の出力信号を加算することにより、同一色を間引いて読み出している。

10

20

30

40

50

【 0 0 0 4 】

特許文献 2 に示される実施例（特許文献 2 の図 1）では、 4×4 画素を 1 構成要素として、加算前の各色の空間的色配列と、加算後の各色の空間的配列が同じになるように複数の画素の信号を加算している。

【 0 0 0 5 】

特許文献 3 では各画素に共通アンプを備えて、共通アンプのフローティング部で画素加算を行っている。

【特許文献 1】特開平 9 - 2 4 7 6 8 9 号公報

【特許文献 2】特開 2 0 0 1 - 3 6 9 2 0 号公報

【特許文献 3】特開平 9 - 0 4 6 5 9 6 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

特許文献 1 に示される実施例（特許文献 1 の図 2）では、間引き加算が行われているが、垂直信号線と水平信号線とを用いて加算している。そのため、信号線の寄生容量による kTC ノイズが大きく SN の向上は困難である。また、実施例（特許文献 1 の図 3）では、マトリクス状に配列された複数の画素を 4×4 画素単位の構成要素にグループ化し、この構成要素内に配置された画素の色信号のうち、同一色の 4 つの信号を加算する。特許文献 1 の図 3（a）を参照すると、 $(X, Y) = (1, 1)$ の構成要素では、 $(N, n) = (1, 1)$ 、 $(3, 1)$ 、 $(1, 3)$ 、 $(3, 3)$ の 4 画素の信号が加算される。この場合、加算対象となる 4 画素の空間的な重心は $(2, 2)$ となる。同様に、 $(X, Y) = (1, 2)$ の構成要素では、 $(N, n) = (6, 1)$ 、 $(8, 1)$ 、 $(6, 3)$ 、 $(8, 3)$ の 4 画素の信号が加算される。この場合、加算対象となる 4 画素の空間的な重心は $(7, 2)$ となる。従って、 $(X, Y) = (1, 1)$ の構成要素と $(X, Y) = (1, 2)$ の構成要素との間の配列ピッチは、5 画素である。同様にして、 X, Y 方向における各構成要素間の配列ピッチを求めると、5 画素と 3 画素の繰り返しであることが分かる。

20

【 0 0 0 7 】

このように、加算対象となる各画素の光学的なサンプリングピッチ、すなわち空間的な重心は、水平方向及び垂直方向で等ピッチではないため、非常に大きなモアレが発生し、画質が大きく劣化する。

30

【 0 0 0 8 】

特許文献 2 では、1 構成要素内での画素信号の加算数を増やし感度は向上しているが、画素行が間引きされておらず、高速駆動が困難である。画素アンプタイプのエリアセンサでは、各画素行単位で画素アンプをリセットし、ノイズを読み出し、光電変換信号を転送し、光電変換信号を読み出す駆動を行っている。この駆動には数 μ 秒の時間が必要であり、画素行が多いセンサでは高速化ができない。

【 0 0 0 9 】

特許文献 3 では、フローティング部で信号加算を行っているので感度は向上している。しかし、結果的に特許文献 2 と同様に、全画素の信号を、フローティング部へ転送しており、また、画素アンプから読み出しているため、それらの駆動に時間を要し、動画の駆動周波数で動作させることができない。

40

【 0 0 1 0 】

上述の様に、従来技術では、間引きと画素加算を行っても、加算対象となる画素の空間的な重心が等ピッチでないため、モアレが発生していた。また、共通画素アンプで画素信号の加算を行っても、画素駆動に時間を要し、動画の駆動周波数が得られないという課題があった。

【 0 0 1 1 】

本発明は、上記の問題点に鑑みてなされたものであり、間引きによるモアレの発生を抑えることができる撮像装置及び撮像システムを提供することを目的とする。

【課題を解決するための手段】

50

【 0 0 1 2 】

本発明の第 1 の側面は、撮像装置に係り、行方向及び列方向に配列された複数の画素を含む構成要素が複数配列された画素部と、前記構成要素内に配列された前記複数の画素が出力する色信号のうち、同一色の色信号を加算する加算部と、を備え、前記加算部は、前記構成要素内で加算される画素の空間的な重心が前記行方向及び前記列方向の少なくとも一方において等ピッチとなるように前記加算を行うことを特徴とする。

【 0 0 1 3 】

本発明の第 2 の側面は、撮像システムに係り、上記の撮像装置と、前記撮像装置へ光を結像する光学系と、前記撮像装置から出力される信号を記録する記録系と、システム全体を制御するシステムコントロール回路と、を備えることを特徴とする。

10

【発明の効果】

【 0 0 1 4 】

本発明によれば、間引きによるモアレの発生を抑えることができる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【 0 0 1 6 】

[第 1 の実施形態]

図 1 は、画素信号を加算する前の各色の配置の一例を示す図である。1 0 1 は 1 画素に対応する。画素部 1 0 0 には、行方向及び列方向に配列された複数の画素を含む構成要素が複数配列される。図 2 は、画素信号を加算した後の色配置を示す図である。2 0 1 は加算後の 1 画素に対応する。

20

【 0 0 1 7 】

まず、図 1 における色配置例では、撮像装置の各フォトダイオードの上にカラーフィルタ G (緑)、R (赤)、B (青) が構成されているものとする。この例では、G が市松状に、R と B が線順次状に、別の言い方をすれば R , G , G , B の $2 \times 2 = 4$ 画素が一単位画素色配列として 2 次元状に配置されている。

【 0 0 1 8 】

本実施形態の画素信号の加算読み出し撮影モードでは、図 2 に示すように図 1 と同じ色配置になるように撮像装置内で画素信号が加算され、メモリに記憶された後に撮像装置から読み出される。このように、画素信号の加算前後で画素配置が同じなので、共通の画像処理が可能となる。

30

【 0 0 1 9 】

図 3 ~ 図 5 は、本発明の好適な第 1 の実施形態に係る間引き駆動を示す図である。図 3 ~ 図 5 では、奇数行と奇数列の画素を有する構成要素が複数配列され、各構成要素内で同一色の色信号を加算する画素加算を例示的に示す。図 3 において、3 0 1 は、1 つの構成要素に対応する。また、図 4 において、4 0 1 は、1 つの構成要素に対応する。図 3 は、3 行 3 列の 9 画素を 1 つの構成要素 3 0 1 とし、その構成要素内で同一色の 4 画素を加算する例を示す図である。図 3 (A) は加算対象となる画素を示す図である。図 3 (A) では、4 つの画素信号を加算することによって感度を向上させ、中間の画素行と画素列を間引き駆動することによって (すなわち、画素信号として使用しない)、動作周波数を上げることができる。この例では、垂直駆動周波数及び水平駆動周波数をそれぞれ約 $2 / 3$ に低減することができる。図 3 (B) には、図 3 (A) の加算信号の演算式が示されている。なお、各図面では図示を簡単にするため、座標を表す括弧の表記を省略した。図 2 に示す画素 r (1 , 1) は、図 1 に示す画素 R (1 , 1)、R (1 , 3)、R (3 , 1)、R (3 , 3) の画素信号を加算したものである。同様に、図 2 に示す画素 g (1 , 2) は、図 1 に示す画素 G (1 , 4)、G (1 , 6)、G (3 , 4)、G (3 , 6) の画素信号を加算したものである。また、図 2 に示す画素 g (2 , 1) は、図 1 に示す画素 G (4 , 1)、G (4 , 3)、G (6 , 1)、G (6 , 3) の画素信号を加算したものである。また、図 2 に示す画素 b (2 , 2) は、図 1 に示す画素 B (4 , 4)、B (4 , 6)、B (6

40

50

, 4)、B(6, 6)の画素信号を加算したものである。

【0020】

構成要素内において加算対象となる画素の空間的な重心は、以下のように求められる。ここで、加算対象となる画素の空間的な重心とは、加算対象となる各画素の幾何学的な重心をいう。従って、例えば、図3に示す画素R(1, 1)、R(1, 3)、R(3, 1)、R(3, 3)の空間的な重心は、 $(N, n) = (2, 2)$ である。同様に、画素G(1, 4)、G(1, 6)、G(3, 4)、G(3, 6)の空間的な重心は、 $(N, n) = (2, 5)$ である。また、画素G(4, 1)、G(4, 3)、G(6, 1)、G(6, 3)の空間的な重心は、 $(N, n) = (5, 2)$ である。また、画素B(4, 4)、B(4, 6)、B(6, 4)、B(6, 6)の空間的な重心は、 $(N, n) = (5, 5)$ である。このように、加算対象である各画素の空間的な重心の配列ピッチは、行方向及び列方向において3画素と等ピッチとなる。本実施形態では、行方向と列方向の両方のピッチを等ピッチとしたが、いずれか一方のみを等ピッチとしてもよい。

10

【0021】

なお、本実施形態では、行方向及び列方向に3ずつ配列された複数の画素を1つの構成要素としたが、これに限定されず、行方向及び前記列方向に $2N + 1$ 個又は $2N$ 個(N は1以上の自然数)ずつ配列された複数の画素を1つの構成要素としてもよい。また、必ずしも構成要素内に配列された全ての同一色の画素を加算する必要はない。例えば、図3では、 $3L - 1$ 行目と $3M - 1$ 列目を間引いたが、 $3L - 1$ 行目及び $3M - 1$ 列目のいずれか一方だけを間引いてもよい(L, M は1以上の整数)。

20

【0022】

このように、間引き対象となる画素数を増加させると、感度が上がる一方で、駆動周波数が低下する。従って、必要な駆動周波数が得られる範囲内で、間引き駆動を行う画素数を設定することが望ましい。

【0023】

また、加算対象となる画素の空間的な重心が等ピッチで配列されれば、必ずしも加算対象となる画素の空間的な重心が加算後の画素の中心に位置しなくてもよい。例えば、図3では、 $3L - 1$ 行目と $3N - 1$ 列目を間引いたが、 $3L$ 行目及び $3N$ 列目を間引く等を行ってもよい(L, N は1以上の整数)。

【0024】

しかしながら、加算対象となる画素の空間的な重心が加算後の画素の中心に位置しない場合には、中心に位置する場合に比べて画質が低下し得る。従って、加算対象となる画素の空間的な重心は、これに限定されないが、加算後の画素の中心に位置するのが望ましい。

30

【0025】

以上のように、本実施形態によれば、間引き駆動を行う際に、加算対象である各画素の空間的な重心を等ピッチにすることによって、モアレの発生を抑えることができる。

【0026】

[第2の実施形態]

図4は、本発明の好適な第2の実施形態に係る間引き駆動を示す図である。

40

【0027】

本実施形態では、5行5列の25画素を1つの構成要素401とし、同一構成要素内で同一色の9画素を加算する例を示す図である。図4(B)に示すように、加算後の画素 $r(1, 1)$ 、 $g(1, 2)$ 、 $g(2, 1)$ 、 $b(2, 2)$ は、それぞれ図4(B)に示される式に基づいて加算される。

【0028】

このように、構成要素内で9つの画素信号を加算することによって、第1の実施形態よりも加算対象となる画素数が増加し、感度が向上する。また、中間の画素行と画素列を間引き駆動するため、垂直、水平駆動周波数をそれぞれ約 $3/5$ に低減することができる。

【0029】

50

なお、本実施形態においても、加算対象となる画素の空間的な重心が等ピッチで配列されれば、必ずしも構成要素内に配列された同一色の全ての画素を加算する必要はない。

【0030】

また、加算対象となる画素の空間的な重心が等ピッチで配列されれば、必ずしも加算対象となる画素の空間的な重心が加算後の画素の中心に位置しなくてもよい。

【0031】

[第3の実施形態]

図5は、本発明の好適な第3の実施形態に係る間引き駆動を示す図である。本実施形態では、3行5列を1つの構成要素とし、同一構成要素内で中間行を間引き駆動する。図5(B)は、本実施形態における加算例を示す図である。図5(B)において、501r、501gは、それぞれ1つの構成要素に対応する。本実施形態では、水平方向において各色をオーバーラップして加算する。

10

【0032】

例えば、図5(B)に示す画素 $r_{1,1}$ は、構成要素501r内の画素 $R(1,1)$ 、 $R(1,3)$ 、 $R(1,5)$ 、 $R(3,1)$ 、 $R(3,3)$ 、 $R(3,5)$ の画素信号を加算したものである。同様に、図5(B)に示す画素 $g(1,2)$ は、構成要素501g内の画素 $G(1,4)$ 、 $G(1,6)$ 、 $G(1,8)$ 、 $G(3,4)$ 、 $G(3,6)$ 、 $G(3,8)$ の画素信号を加算したものである。同様に、画素 $r(1,3)$ 、 $g(2,1)$ 、 $g(2,1)$ 、 $b(2,2)$ 、 $g(2,3)$ 等が求められる。

【0033】

この場合、構成要素501rと構成要素501gを例に挙げると、両者は(行、列) = (1,4)、(1,5)、(2,4)、(2,5)、(3,4)、(3,5)で空間的にオーバーラップしている。

20

【0034】

このように構成要素の一部を空間的にオーバーラップさせて加算することによって、さらに感度が向上させることができる。また、加算した水平方向の各色信号間の空間的サンプリングの重心が等ピッチであるため、モアレを低減することができる。

【0035】

なお、本実施形態では、なお、3行5列を1つの構成要素としたが、これに限定されず、行方向及び前記列方向に $2N+1$ 個又は $2N$ 個(N は1以上の自然数)ずつ配列された複数の画素を1つの構成要素としてもよい。また、構成要素内で中間行を間引き駆動したが、これに代えて又はこれに加えて、構成要素内で他の行(すなわち、構成要素内の奇数行)を間引き駆動してもよい。

30

【0036】

また、さらに駆動周波数を上げるために、中間列を間引きしてもよいし、中間行に代えて又はこれに加えて、他の列(すなわち、構成要素内の奇数列)を間引き駆動してもよい。

【0037】

また、本実施形態においても、加算対象となる画素の空間的な重心が等ピッチで配列されれば、必ずしも構成要素内に配列された同一色の全ての画素を加算する必要はない。

40

【0038】

また、必ずしも加算対象となる画素の空間的な重心が加算後の画素の中心に位置しなくてもよい。

【0039】

[撮像装置の内部構成例]

次に、撮像装置の内部構成の一例を説明する。図6は、本発明の好適な実施の形態に係る撮像装置のブロック図である。図6において、撮像領域には後述する図12及び図13に示す光電変換用のフォトダイオード及び画素アンプを含む画素部がマトリックス状に配置される。この撮像領域の画素部は、垂直走査回路(VSR)10から出力される複数の駆動パルスによって制御される。撮像領域の奇数番目の垂直信号線は、CDS、増幅回

50

路、メモリを含む回路 20 - 1 に接続され、偶数番目の垂直信号線は、CDS、増幅回路、メモリを含む回路 20 - 2 に接続される。以下の説明では、図 6 において撮像領域の上方の回路には奇数列の信号 R と信号 G が順次転送され、下方の回路には偶数列の信号 G と信号 B が順次転送される。しかしながら、上下の回路は同様の構成であるため、ここでは下方の回路ブロックについて説明し、上方の回路ブロックの説明を省略する。

【0040】

画素部からの信号は、CDS、増幅回路でノイズが除去され、信号成分のみが増幅された後にメモリに一時蓄積される。本実施形態では、図示していないが、各増幅回路間のオフセットバラツキの補正回路を設けてもよい。本撮像装置が加算読み出しモードではなく、全画素読み出しモードの場合には、メモリの信号は水平走査回路 (H・SR) からの走査パルス h_n ($h_n(1)$ 、 $h_n(2)$ 、 $h_n(3)$) により制御され、出力信号線に読み出される。加算読み出しモードの場合は、メモリの信号は加算回路 30 - 1 に導かれる。加算回路 30 - 1 では、メモリからの同一色の信号が加算される。加算回路 30 - 1 で加算された信号は、水平走査回路 (H・SR) からの走査パルス $h_n(a1)$ 、 $a2$) により制御され、出力信号線に読み出される。

10

【0041】

図 12 に画素部の単位画素の回路図、図 7 に撮像領域からの画素信号読み出し信号処理回路の一部の回路図、図 11 に画素信号の加算タイミング図を示す。以下、図 7、図 11 及び図 12 を用いて画素部からの信号読み出しと信号加算を説明する。なお、図 7 は、図 3 の加算方式を実現するための概略的な回路図である。

20

【0042】

図 12 の画素部は、フォトダイオード PD、転送スイッチ NTX、画素アンプ NSF、リセットスイッチ NRES 及びセレクトスイッチ NSEL を含む。フォトダイオード PD は、光電変換部として機能する。フォトダイオード PD からの信号電荷の転送は、転送スイッチ NTX によって制御される。画素アンプ NSF は、転送スイッチ NTX に接続される。リセットスイッチ NRES は、画素アンプ NSF のゲート部 (フローティングディフュージョン) の残留電荷をリセットする。セレクトスイッチ NSEL は、画素アンプ NSF からの信号電荷の転送を制御する。画素アンプ NSF の電流源スイッチ NRV は、撮像領域の外部に設けられる。

【0043】

次に、図 7 に示す読み出し信号処理回路について説明する。CDS (Correlated Double Sampling) 回路は、クランプ容量 C1、C3、C5、クランプスイッチ NC1、NC3、NC5、基準電圧源 Vr 及び増幅器 Anp1、Anp3、Anp5 を含む。CDS 回路は、画素部のノイズを除去する。クランプ容量 C1、C3、C5 は、垂直信号線 L1、L3、L5 に接続される。メモリ回路のメモリ容量 Ct1、Ct2、Ct3 は、CDS 法によりサンプリングされた信号を一時蓄積する。メモリ容量 Ca1 は、メモリの 2 つの信号を加算し、一時的に蓄積する。同様に、メモリ容量 Ca2 は、異なる水平画素行の加算信号を一時的に蓄積する。これらのメモリ容量 Ca1、Ca2 の出力端を接続することによって信号の加算が行われる。図 7 においては、垂直信号線 L5 では信号の加算を行わないので加算メモリは設けられていない。以上の様に、図 6、図 7 においては、撮像素子 (センサ) 内で信号の間引きと加算を行った。高速撮影ではこの方法が有利である。しかしながら、他の方法として、信号の間引きは同様に撮像素子 (センサ) 内で行い、信号の加算は図 14 に示す信号処理回路 73 のメモリ内で行っても良い。

30

40

【0044】

次に、図 10 のタイミング図を使って説明する。まず、任意の露光期間が過ぎると、各回路部のノードにある残留電荷が各パルスの制御でリセットされる。

【0045】

時刻 t1 では、画素アンプ NSF のゲート部がパルス RES により、メモリ Ct がパルス C1、TS1 により、加算部容量 Ca1、Ca2 がパルス AD1、AD2、AD3、C2 によりそれぞれリセットされる。時刻 t2 ではパルス C1 の OFF 時

50

に画素アンプノイズがクランプ容量 $C_1 \sim 3$ にクランプされ、パルス T_X によりフォトダイオード P_D の電荷が画素アンプ $N_S F$ を経てクランプ容量 $C_1 \sim 3$ に入力される。

【0046】

その結果、画素ノイズは CDS 除去され、増幅器 A_{Np} を経てメモリに一時蓄積される。ここで、垂直走査を図3における N 行の走査とすれば、垂直信号線 L_1 、 L_3 からの信号により、メモリ容量 C_t には $R(1, 1)$ 、 C_{t3} には $R(1, 3)$ の信号がそれぞれ一時蓄積されたことになる。

【0047】

時刻 t_3 では、パルス SEL 、 TS_1 の OFF により、 N 行画素の光電変換信号の転送が終了する。

【0048】

時刻 t_4 では、パルス TS_2 、 AD_1 により、メモリの信号 $R(1, 1)$ と $R(1, 3)$ が加算メモリ容量 C_a で加算される。次いで、 $N+1$ 行がスキップ走査され、 $N+2$ 行では N 行と同様な走査と動作により、時刻 t_5 では、 $N+2$ 行の画素信号 $R_{3, 1}$ と $R_{3, 3}$ とがメモリ容量 C_a で加算される。時刻 t_6 では、パルス AD_3 で $R(1, 1)$ 、 $R(1, 3)$ 、 $R(3, 1)$ 及び $R(3, 3)$ の4画素が加算され、加算信号 $r(1, 1)$ が得られる。説明は省略したが、結果的として他の加算信号 $g(1, 2)$ 、 $r(1, 3)$ 、 $g(1, 4)$ も形成される。同様な動作を繰り返して、画面内での加算信号を形成する。

【0049】

上述の4画素の加算読み出しモードでは、感度が2倍(対光ショットノイズ)改善されるので、システムとしては露光量制御を行い、入射光量を約 $1/2$ に設定する。これは、各フォトダイオードでの光電変換信号が $1/2$ になることを意味する。撮像装置が CCD を用いる場合では、入射光量が $1/2$ でも4画素電荷加算により加算後の信号電荷量は2倍になる。従って、このままでは信号の飽和が問題になり、感度と飽和特性がトレードオフになるという欠点がある。

【0050】

本実施形態の $CNOS$ センサでは、信号電圧の平均値を加算するため、容量分割による信号レベルの低下を無視すれば、4画素信号の加算後も信号レベルは約 $1/2$ となる。これは、信号の飽和が2倍強化されたことを意味する。しかしながら、信号レベルが小さいことは、水平出力線に接続される(図7では省略)出力アンプのノイズが問題となり得る。そこで、本発明の好適な実施の形態では、加算読み出しモード時に、 CDS 後の増幅回路 A_{Np} のアンプゲインを全画素読み出しモード時の約2倍に設定する。その結果、出力アンプのノイズを軽減することができ、画素信号加算による感度アップと読み出し画素数を少なくしたことによる高速読み出し、高ダイナミックレンジの維持及び低電力化を実現することができる。

【0051】

加算読み出しモードでの信号読み出し方法の実施形態を図8に示す。図8は加算する複数行単位での信号読み出し例である。これは、加算する行単位で画素から信号を読み出し、信号のメモリ(C_t)と加算(C_a)を行う。その後、2つの加算メモリ C_a から1水平走査期間内に信号を外部に出力するものである。

【0052】

図9はメカニカルシャッタを利用した場合を示す図である。この場合、撮像領域の全画素を全面一括リセットし、メカニカルシャッタで露光終了後、任意の加算単位で画素信号を加算後メモリ2から1水平走査期間に信号を外部に出力する。

【0053】

図11に全画素信号読み出しのタイミング例を示す。本実施形態では、時刻 t_1 で画素アンプ、メモリをリセットし、時刻 t_2 で画素アンプノイズ電位のクランプを行い、時刻 t_3 で CDS 処理を終了し、信号をメモリ C_t にメモリする。時刻 t_4 以降では、信号を水平信号出力線に読み出す。

10

20

30

40

50

【 0 0 5 4 】

図 1 2 において、撮像領域の画素部としては、1つのフォトダイオードに対し1つの画素アンプ構成を示したが、他の画素部実施形態として図 1 3 に共通アンプ画素構成を示す。これは1つの画素アンプに対し複数のフォトダイオードを構成した例である。1つのアンプに対し複数のフォトダイオード P D 1、P D 2、P D 3 を配置させると1つのフォトダイオードに対する画素アンプの面積が小さくなり、結果的にフォトダイオードの開口率が向上するという効果がある。なお、本実施形態では、1つの画素アンプに対し3つのフォトダイオードを構成したが、これに限定されず、1つの画素アンプに対し任意の数のフォトダイオードを構成することができる。

【 0 0 5 5 】

図 1 4 は、上記撮像装置を用いた撮像システムの概略図を示す図である。本撮像システムは、センサ 7 2、信号処理回路 7 3 及びタイミング制御回路 7 5 で構成される撮像装置 7 0 0 を備える。同図のように光学系 7 1 を通って入射した被写体光はセンサ 7 2 上に結像する。センサに配置されている画素により光情報は電気信号に変換される。その電気信号は信号処理回路 7 3 によって予め決められた方法によって信号変換処理される。信号処理された信号は記録系、通信系 7 4 により情報記録装置により記録あるいは情報伝達される。記録あるいは転送された信号は再生系、表示系で再生や表示が行なわれる。センサ 7 2、信号処理回路 7 3 はタイミング制御回路 7 5 により制御され、タイミング制御回路 7 5、記録系、通信系 7 4、再生系、表示系 7 7 はシステムコントロール回路 7 6 により制御される。タイミング制御回路 7 5 により全画素読み出しモードか加算読み出しモードか

10

20

【 0 0 5 6 】

前述した全画素読み出しモードと加算読み出しモードでは水平と垂直駆動パルスが異なる。従って、読み出しモード毎にセンサの駆動タイミング、信号処理回路の解像度処理、記録系の記録画素数を変える必要がある。これらの制御はシステムコントロール回路で各読み出しモードに応じて行なわれる。また、読み出しモードで加算により感度が異なる。これはシステムコントロール回路で絞り（不図示）制御を行い、また、タイミング制御回路からの制御パルス（不図示）でセンサの増幅回路 A N p ゲインを上げるように切り替えて適正信号を得る。

【 0 0 5 7 】

本撮像システムにより高精細撮影では全画素読み出しを行い、低解像度撮影では画素信号加算による高感度、間引き駆動による高速読み出し、加算後の信号のサンプリングピッチを等ピッチとすることにより高画質が可能となる。

30

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】 画素信号を加算する前の各色の配置例を示す図図である。

【 図 2 】 画素信号の加算後の色配置と各色毎の加算信号を示す図である。

【 図 3 】 本発明の好適な第 1 の実施形態に係る加算方式を示す図である。

【 図 4 】 本発明の好適な第 2 の実施形態に係る加算方式を示す図である。

【 図 5 】 本発明の好適な第 3 の実施形態に係るオーバーラップ画素加算方式を示す図である。

40

【 図 6 】 本発明の好適な実施形態に係る撮像装置の回路ブロック図である。

【 図 7 】 本発明の好適な第 1 の実施形態に係る撮像領域からの画素信号を読み出す読み出し信号処理回路の一部を示す図である。

【 図 8 】 画素信号の読み出しと加算のタイミング図である。

【 図 9 】 メカニカルシャッタを利用した場合の説明図である。

【 図 1 0 】 図 3 の画素信号の加算タイミング図である。

【 図 1 1 】 図 7 の全画素信号の読み出しタイミング図である。

【 図 1 2 】 画素部の単位画素を示す回路図である。

【 図 1 3 】 共通アンプ画素構成例を示す回路図である。

50

【図 1 4】本発明の好適な実施の形態に係る撮像装置を用いた撮像システムの概略図を示す図である。

【符号の説明】

【 0 0 5 9 】

1 0 0 画素部

1 0 1 画素

3 0 1 構成要素

R、G、B 色信号

【図 1】

	1列目	2列目	3列目	4列目	5列目	6列目	...	n列目
1行目	R1, 1	G1, 2	R1, 3	G1, 4	R1, 5	G1, 6		
2行目	G2, 1	B2, 2	G2, 3	B2, 4	G2, 5	B2, 6		
3行目	R3, 1	G3, 2	R3, 3	G3, 4	R3, 5	G3, 6		
4行目	G4, 1	B4, 2	G4, 3	B4, 4	G4, 5	B4, 6		
5行目	R5, 1	G5, 2	R5, 3	G5, 4	R5, 5	G5, 6		
6行目	G6, 1	B6, 2	G6, 3	B6, 4	G6, 5	B6, 6		
...								
m行目								

100

【図 2】

	1列目	2列目	3列目	4列目	5列目	6列目
1行目	r1, 1	g1, 2	r1, 3	g1, 4	r1, 5	g1, 6
2行目	g2, 1	b2, 2	g2, 3	b2, 4	g2, 5	b2, 6
3行目	r3, 1	g3, 2	r3, 3	g3, 4	r3, 5	g3, 6
4行目	g4, 1	b4, 2	g4, 3	b4, 4	g4, 5	b4, 6
5行目	r5, 1	g5, 2	r5, 3	g5, 4	r5, 5	g5, 6
6行目	g6, 1	b6, 2	g6, 3	b6, 4	g6, 5	b6, 6

【図 3】

(A)

	1列目	2列目	3列目	4列目	5列目	6列目	...	n列目
1行目	R1, 1		R1, 3	G1, 4		G1, 6		
2行目								
3行目	R3, 1		R3, 3	G3, 4		G3, 6		
4行目	G4, 1		G4, 3	B4, 4		B4, 6		
5行目								
6行目	G6, 1		G6, 3	B6, 4		B6, 6		
...								
m行目								

301

100

(B)

	1列目	2列目	3列目	4列目	5列目	6列目	...	n列目
1行目		r1, 1			g1, 2			
2行目								
3行目								
4行目								
5行目		g2, 1			b2, 2			
6行目								
...								
m行目								

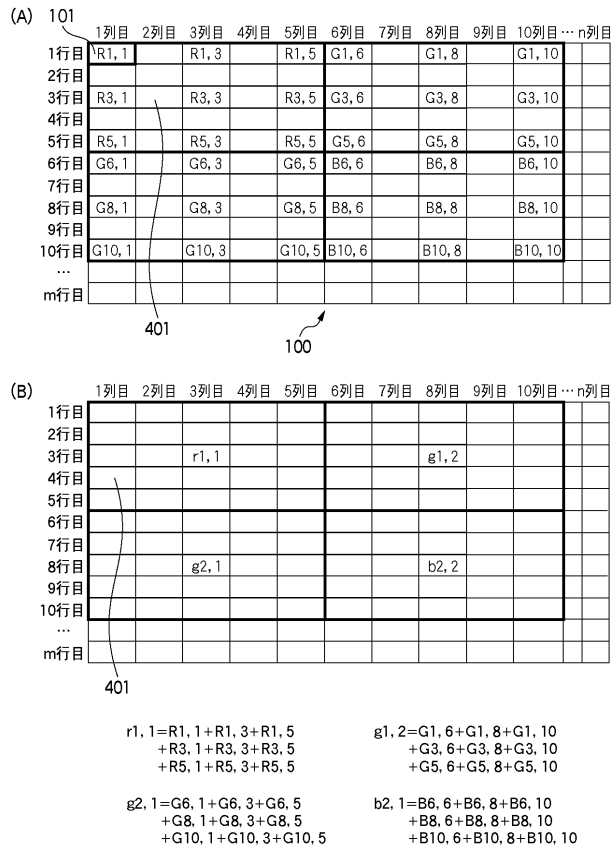
$$r1, 1 = R1, 1 + R1, 3 + R3, 1 + R3, 3$$

$$g1, 2 = G1, 4 + G1, 6 + G3, 4 + G3, 6$$

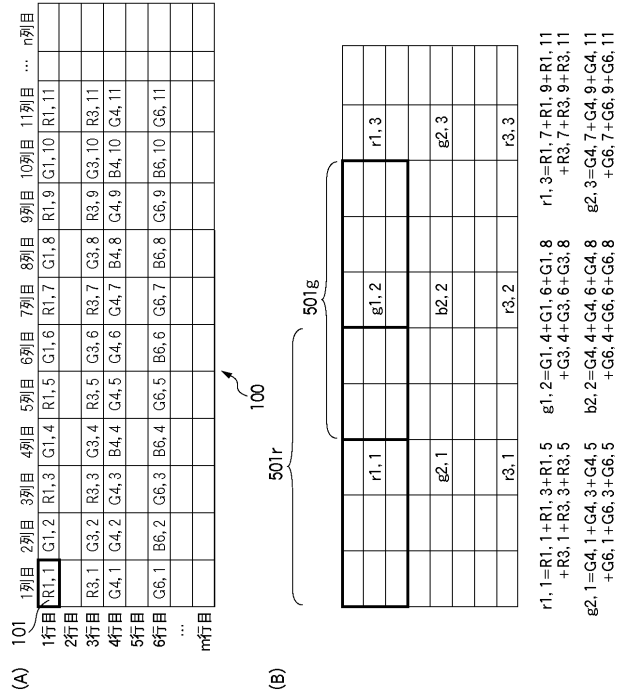
$$g2, 1 = G4, 1 + G4, 3 + G6, 1 + G6, 3$$

$$b2, 1 = B4, 4 + B4, 6 + B6, 4 + B6, 6$$

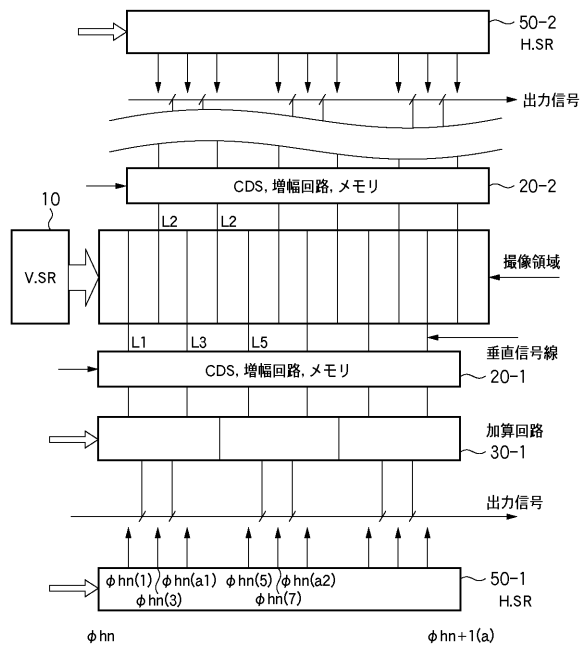
【図 4】



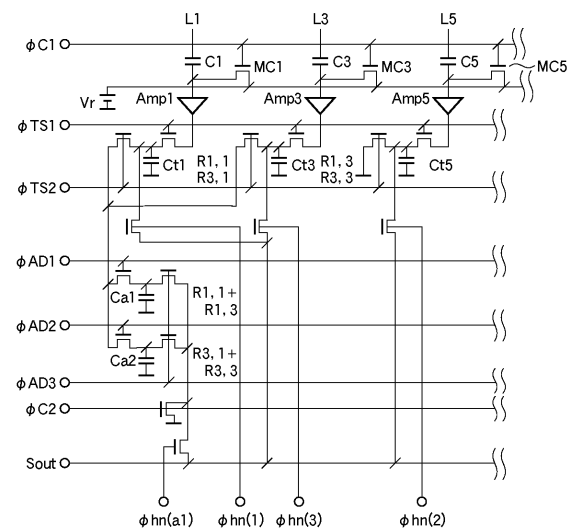
【図 5】



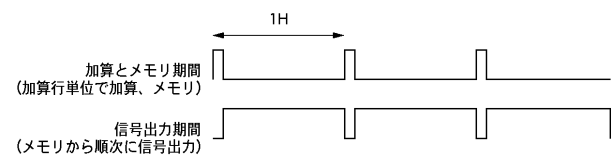
【図 6】



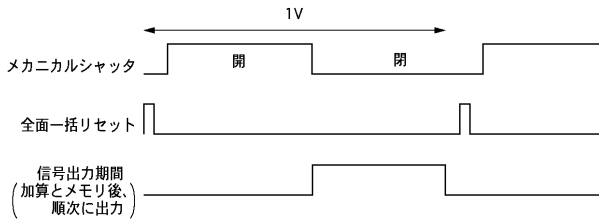
【図 7】



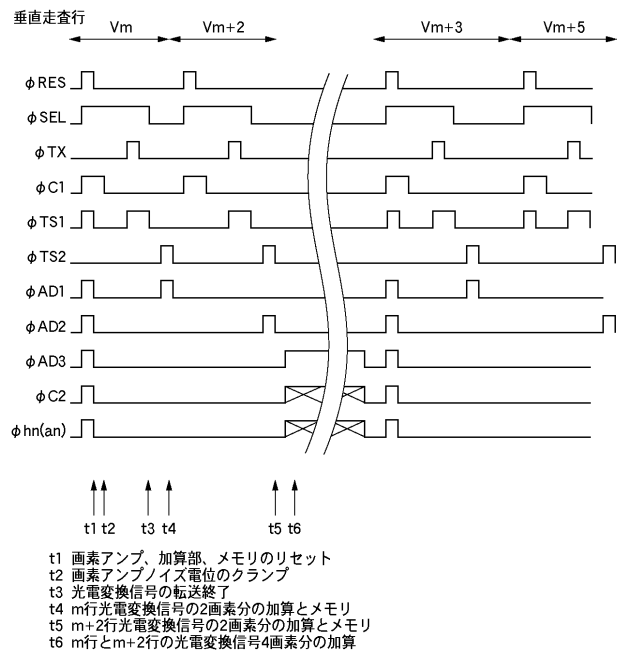
【図 8】



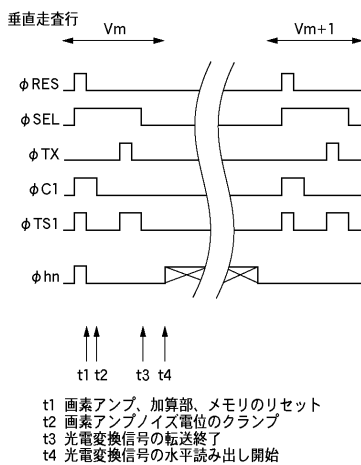
【図 9】



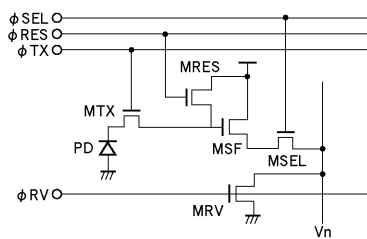
【図 10】



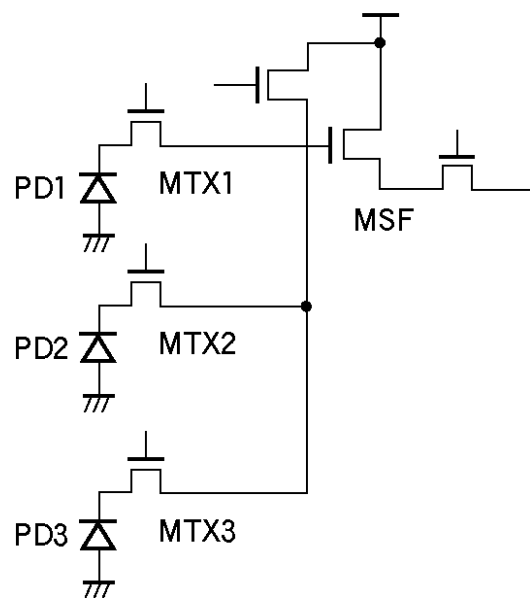
【図 11】



【図 12】



【図 13】



【図 14】

