

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
26. Juni 2014 (26.06.2014)



(10) Internationale Veröffentlichungsnummer
WO 2014/095353 A1

(51) Internationale Patentklassifikation:

H01L 33/14 (2010.01) H01L 33/44 (2010.01)
H01L 33/20 (2010.01) H01L 33/42 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2013/075399

(22) Internationales Anmeldedatum:
3. Dezember 2013 (03.12.2013)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2012 112 771.9
20. Dezember 2012 (20.12.2012) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **PERZLMAIER, Korbinian**; Bischof-Konrad-
Str. 2, 93051 Regensburg (DE). **TAEGER, Sebastian**;
Rudolf-Schlichtinger-Str. 24, 93055 Regensburg (DE).

(74) Anwalt: **EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH**;
Schlossschmidstr. 5, 80639 Munich (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,
SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

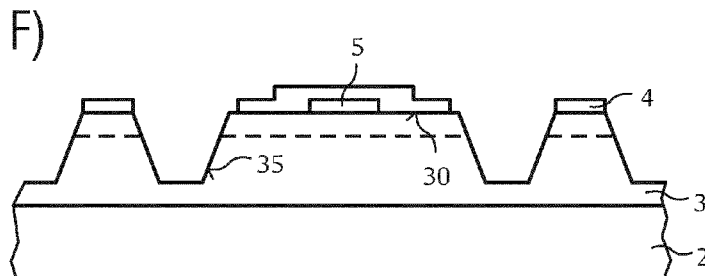
Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: METHOD FOR PRODUCING AN OPTOELECTRONIC SEMICONDUCTOR CHIP, AND OPTOELECTRONIC
SEMICONDUCTOR CHIP

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG EINES OPTOELEKTRONISCHEN HALBLEITERCHIPS UND
OPTOELEKTRONISCHER HALBLEITERCHIP

FIG 1



(57) Abstract: In at least one embodiment, the method is designed for producing an optoelectronic semiconductor chip (1) and comprises the following steps: A) epitaxially growing a semiconductor layer sequence (3) on a growth substrate (2), B) applying a current spreading layer (4) composed of a transparent conductive oxide to the semiconductor layer sequence (3), C) applying an etching mask (6) to the current spreading layer (4), D) patterning the current spreading layer (4) and the semiconductor layer sequence (3) by etching with the aid of the same etching mask (6), wherein a distance between an edge of the semiconductor layer sequence (3) and an edge of the current spreading layer (4) is at most 3 µm.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]



In mindestens einer Ausführungsform ist das Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (1) eingerichtet und umfasst die Schritte: A) Epitaktisches Wachsen einer Halbleiterschichtenfolge (3) auf einem Aufwachssubstrat (2), B) Aufbringen einer Stromaufweitungsschicht (4) aus einem transparenten, leitfähigen Oxid auf die Halbleiterschichtenfolge (3), C) Aufbringen einer Ätzmaske (6) auf die Stromaufweitungsschicht (4), D) Strukturieren der Stromaufweitungsschicht (4) sowie der Halbleiterschichtenfolge (3) durch Ätzen anhand derselben Ätzmaske (6), wobei ein Abstand einer Kante der Halbleiterschichtenfolge (3) zu einer Kante der Stromaufweitungsschicht (4) höchstens 3 μm beträgt.

Beschreibung

Verfahren zur Herstellung eines optoelektronischen
Halbleiterchips und optoelektronischer Halbleiterchip

5

Es wird ein Verfahren zur Herstellung eines
optoelektronischen Halbleiterchips angegeben. Darüber hinaus
wird ein derart hergestellter Halbleiterchip angegeben.

- 10 Eine zu lösende Aufgabe besteht darin, ein Verfahren
anzugeben, mit dem effizient optoelektronische
Halbleiterchips herstellbar sind.

- 15 Diese Aufgabe wird unter anderem durch ein Verfahren und
durch einen Halbleiterchip mit den Merkmalen der unabhängigen
Patentansprüche gelöst. Bevorzugte Weiterbildungen sind
Gegenstand der abhängigen Ansprüche.

- 20 Gemäß zumindest einer Ausführungsform weist das Verfahren den
Schritt des epitaktischen Wachsens einer
Halbleiterschichtenfolge auf. Die Halbleiterschichtenfolge
wird auf einem Aufwachssubstrat aufgewachsen. Bei dem
Aufwachssubstrat handelt es sich beispielsweise um ein
Saphir-Substrat oder ein SiC-Substrat.

25

- Gemäß zumindest einer Ausführungsform weist die
Halbleiterschichtenfolge eine oder mehrere aktive Zonen zur
Erzeugung einer Strahlung auf. Die mindestens eine aktive
Zone erstreckt sich, in einer Ebene senkrecht zu einer
30 Wachstumsrichtung der Halbleiterschichtenfolge, bevorzugt
durchgehend und lückenlos über die Halbleiterschichtenfolge.

Die Halbleiterschichtenfolge basiert bevorzugt auf einem III-V-Verbindungshalbleitermaterial. Bei dem Halbleitermaterial handelt es sich zum Beispiel um ein Nitrid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{N}$ oder um ein
5 Phosphid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{P}$ oder auch um ein Arsenid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{As}$, wobei jeweils $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n + m \leq 1$ ist. Dabei kann die Halbleiterschichtenfolge Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit
10 halber sind jedoch nur die wesentlichen Bestandteile des Kristallgitters der Halbleiterschichtenfolge, also Al, As, Ga, In, N oder P, angegeben, auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt und/oder ergänzt sein können.

15 Beispielsweise wird im Betrieb des fertigen Halbleiterchips eine ultraviolette Strahlung, sichtbares Licht und/oder nahinfrarote Strahlung emittiert. Insbesondere ist die aktive Zone zur Erzeugung von blauem Licht, etwa im Spektralbereich
20 zwischen einschließlich 430 nm und 485 nm, eingerichtet.

Gemäß zumindest einer Ausführungsform umfasst das Verfahren den Schritt des Aufbringens einer Stromaufweitungsschicht auf die Halbleiterschichtenfolge. Die Stromaufweitungsschicht
25 wird bevorzugt auf eine dem Aufwachssubstrat abgewandte Seite der Halbleiterschichtenfolge aufgebracht. Es umfasst die Stromaufweitungsschicht eines oder mehrere transparente, leitfähige Oxide oder es besteht die Stromaufweitungsschicht aus einem oder mehreren solcher Oxiden. Es kann hierbei die
30 Stromaufweitungsschicht zusätzlich eine Dotierung aufweisen.

Gemäß zumindest einer Ausführungsform ist die Halbleiterschichtenfolge unmittelbar auf das Aufwachssubstrat

aufgebracht. Es berühren sich die Halbleiterschichtenfolge und das Aufwachssubstrat dann bevorzugt ganzflächig. Es ist möglich, dass das Aufwachssubstrat an einer der Halbleiterschichtenfolge zugewandten Seite eine

5 Strukturierung aufweist. Bei dem Aufwachssubstrat kann es sich um ein so genanntes strukturiertes Saphir-Substrat, englisch patterned sapphire substrate oder kurz PSS, handeln.

Gemäß zumindest einer Ausführungsform steht die

10 Stromaufweitungsschicht wenigstens stellenweise in direktem Kontakt zu der Halbleiterschichtenfolge. Das heißt, stellenweise berührt die Stromaufweitungsschicht die Halbleiterschichtenfolge. Insbesondere beträgt ein Flächenanteil der Stromaufweitungsschicht, in dem die

15 Stromaufweitungsschicht die Halbleiterschichtenfolge berührt, in Draufsicht gesehen, mindestens 70 % oder 80 % oder 90 % einer Fläche der Halbleiterschichtenfolge.

Gemäß zumindest einer Ausführungsform umfasst das Verfahren

20 den Schritt des Aufbringens einer Ätzmaske auf die Stromaufweitungsschicht. Die Ätzmaske ist dazu eingerichtet, damit die Stromaufweitungsschicht sowie die Halbleiterschichtenfolge zu strukturieren. Beispielsweise ist die Ätzmaske durch einen Fotolack gebildet.

25

Gemäß zumindest einer Ausführungsform weist das Verfahren den Schritt des Strukturierens der Stromaufweitungsschicht auf. Die Strukturierung erfolgt bevorzugt durch ein Ätzen, wobei die Strukturierung durch die Ätzmaske vorgegeben ist. Nach

30 dem Strukturieren wird die Ätzmaske bevorzugt entfernt, insbesondere vollständig und rückstandsfrei entfernt.

Gemäß zumindest einer Ausführungsform werden die Stromaufweitungsschicht und die Halbleiterschichtenfolge anhand derselben Ätzmaske strukturiert. Durch die genau eine Ätzmaske sind dann die Struktur der Stromaufweitungsschicht
5 als auch der Halbleiterschichtenfolge vorgegeben.

Gemäß zumindest einer Ausführungsform beträgt ein Abstand oder ein mittlerer Abstand einer Kante der Halbleiterschichtenfolge zu einer Kante der
10 Stromaufweitungsschicht, entlang einer lateralen Richtung senkrecht zu der Wachstumsrichtung, stellenweise oder ringsum höchstens 3 μm oder 2,5 μm oder 2 μm oder 1,5 μm . Alternativ oder zusätzlich ist der Abstand oder der mittlere Abstand höchstens ein Zwanzigfaches, ein Zehnfaches, ein Fünffaches
15 oder das Doppelte einer mittleren Schichtdicke der Stromaufweitungsschicht. Mit anderen Worten verläuft die Kante der Stromaufweitungsschicht näherungsweise deckungsgleich zu der Kante der Halbleiterschichtenfolge.

20 In mindestens einer Ausführungsform ist das Verfahren zur Herstellung eines optoelektronischen Halbleiterchips, insbesondere zur Herstellung einer Leuchtdiode, eingerichtet. Das Verfahren umfasst zumindest die folgenden Schritte:

- 25 A) Epitaktisches Wachsen einer Halbleiterschichtenfolge auf einem Aufwachssubstrat, wobei die Halbleiterschichtenfolge mindestens eine aktive Zone zur Erzeugung einer Strahlung aufweist,
- B) Aufbringen einer Stromaufweitungsschicht aus einem
30 transparenten, leitfähigen Oxid auf eine dem Aufwachssubstrat abgewandte Seite der Halbleiterschichtenfolge, wobei die Stromaufweitungsschicht zumindest stellenweise in direktem Kontakt zu der Halbleiterschichtenfolge steht,

C) Aufbringen einer Ätzmaske auf die Stromaufweitungsschicht,
D) Strukturieren der Stromaufweitungsschicht sowie der Halbleiterschichtenfolge durch Ätzen anhand derselben Ätzmaske, wobei ein Abstand oder ein mittlerer Abstand einer Kante der Halbleiterschichtenfolge zu einer Kante der Stromaufweitungsschicht, in einer Richtung senkrecht zu einer Wachstumsrichtung der Halbleiterschichtenfolge, höchstens 3 µm beträgt.

- Die oben genannten Verfahrensschritte werden bevorzugt in der angegebenen Reihenfolge durchgeführt. Hierbei ist es möglich, dass zwischen einzelnen Verfahrensschritten weitere, nicht aufgezählte Verfahrensschritte durchgeführt werden oder dass die genannten Verfahrensschritte genau in der angegebenen Reihenfolge ohne Zwischenschritte erfolgen.

Bei dem angegebenen Verfahren erfolgt also die Strukturierung der Stromaufweitungsschicht und der Halbleiterschichtenfolge mit derselben Ätzmaske. Es ist zur Strukturierung der Halbleiterschichtenfolge und der Stromaufweitungsschicht somit nur eine einzige Fotoebene erforderlich. Dies geht mit einer Kostenreduktion und einer Effizienzsteigerung, durch Maximieren einer strahlungsaktiven Fläche, einher.

- Eine Halbleiterschichtenfolge wird häufig in einer ersten Fotoebene strukturiert und eine Stromaufweitungsschicht aus einem transparenten leitfähigen Oxid, kurz TCO, wird erst in einer späteren Fotoebene strukturiert. Ein solches Auftrennen in Fotoebenen ist insbesondere erforderlich, falls die Halbleiterschichtenfolge etwa mittels Laserstrahlung geritzt wird. Bei einem solchen Laserritzen entstehen vergleichsweise große Mengen an Schlacke, weshalb bei einem solchen Laserritzen die Halbleiterschichtenfolge mit einer

Opferschicht, etwa aus Siliziumdioxid, zu bedecken ist. Um Schäden an der Stromaufweitungsschicht zu vermeiden, ist ein solches Laserritzen üblicherweise vor dem Aufbringen der Stromaufweitungsschicht durchzuführen.

5

Gemäß zumindest einer Ausführungsform umfasst der Schritt des Strukturierens der Stromaufweitungsschicht den Teilschritt des nasschemischen Ätzens der Stromaufweitungsschicht. Bei diesem nasschemischen Ätzen wird bevorzugt kein Material der Halbleiterschichtenfolge abgetragen oder es wird die Halbleiterschichtenfolge nicht signifikant durch das Ätzen beeinflusst. Das nasschemische Ätzen kann also auf die Stromaufweitungsschicht begrenzt sein.

10

15 Gemäß zumindest einer Ausführungsform umfasst der Schritt des Strukturierens den Teilschritt des trockenchemischen Ätzens der Halbleiterschichtenfolge. Dieser Teilschritt wird durchgeführt, nachdem die Stromaufweitungsschicht zum Beispiel nasschemisch stellenweise entfernt ist. Bei dem trockenchemischen Ätzen wird bevorzugt nur ein Material der Halbleiterschichtenfolge abgetragen und nicht oder nicht in signifikantem Umfang ein Material der Stromaufweitungsschicht. Hierdurch ist die aktive Zone an Flanken der Halbleiterschichtenfolge von einer Kontamination mit elektrisch leitfähigem Material aus der Stromaufweitungsschicht schützbar.

20

25

Gemäß zumindest einer Ausführungsform umfasst die Stromaufweitungsschicht Zinn und/oder Zink. Beispielsweise handelt es sich bei der Stromaufweitungsschicht um eine Schicht aus Indium-Zinn-Oxid oder Zinkoxid. Auch ein Mehrschichtaufbau der Stromaufweitungsschicht aus Lagen unterschiedlicher TCOs ist möglich.

30

Gemäß zumindest einer Ausführungsform verbleibt das Aufwachssubstrat an der Halbleiterschichtenfolge. Es wird die Halbleiterschichtenfolge dann nicht auf ein von dem Aufwachssubstrat verschiedenes Trägersubstrat umgebondet. Das Aufwachssubstrat ist in dem fertig hergestellten Halbleiterchip somit vorhanden.

Gemäß zumindest einer Ausführungsform beträgt der Abstand oder der mittlere Abstand zwischen den Kanten der Halbleiterschichtenfolge und der Stromaufweitungsschicht mindestens 100 nm oder 200 nm oder 300 nm oder 500 nm und/oder mindestens 50 % oder 100 % einer mittleren Schichtdicke der Stromaufweitungsschicht, in Draufsicht gesehen. Durch einen solchen Abstand sind die Kanten der Halbleiterschichtenfolge und der Stromaufweitungsschicht, beispielsweise durch Lichtmikroskopie oder Elektronenmikroskopie, voneinander unterscheidbar.

Gemäß zumindest einer Ausführungsform wird im Schritt des nasschemischen Ätzens der Stromaufweitungsschicht die Ätzmaske unterätzt. Dies bedeutet, dass die Ätzmaske die Stromaufweitungsschicht überragt. Die Stromaufweitungsschicht ist dann vollständig von der Ätzmaske bedeckt und die Ätzmaske weist eine größere Fläche auf als die Stromaufweitungsschicht, in Draufsicht gesehen.

Gemäß zumindest einer Ausführungsform werden die Stromaufweitungsschicht und die Halbleiterschichtenfolge trockenchemisch geätzt. Wie auch sonst kann es sich bei dem trockenchemischen Ätzen um Chemical Dry Etching, kurz CDE, oder um Reactive Ion Etching, kurz RIE, handeln. Es können

mehrere Trockenätzschritte miteinander kombiniert werden oder lediglich ein einziger Trockenätzschritt angewendet werden.

Werden die Stromaufweitungsschicht und die

- 5 Halbleiterschichtenfolge jeweils trockenchemisch geätzt, so liegt ein Abstand zwischen den Kanten der Stromaufweitungsschicht und der Halbleiterschichtenfolge bevorzugt bei höchstens 200 nm oder 100 nm oder 50 nm. Es können die Kanten auch deckungsgleich übereinander liegen.

10

Gemäß zumindest einer Ausführungsform umfasst das Verfahren einen Schritt E), der dem Schritt D) nachfolgt. In Schritt E) wird ein Abstand der Kanten der Stromaufweitungsschicht und der Halbleiterschichtenfolge zueinander verändert. Dieses

15 Verändern erfolgt bevorzugt durch Ätzen, insbesondere durch nasschemisches Ätzen, der Stromaufweitungsschicht.

Gemäß zumindest einer Ausführungsform umfasst das Verfahren einen Schritt F). Der Schritt F) folgt dem Schritt D) nach.

20

In dem Schritt F) werden das Aufwachssubstrat und die Halbleiterschichtenfolge zu den Halbleiterchips vereinzelt. Das Vereinzeln erfolgt bevorzugt teilweise oder vollständig durch Laserstrahlung. Insbesondere kann das Vereinzeln ein so genanntes Stealth Dicing sein. Hierbei wird durch

25 nichtlineare Absorption eines fokussierten, gepulsten Laserstrahls mit einer Wellenlänge, für die das Aufwachssubstrat bei moderaten Intensitäten transparent ist, innerhalb des Trägerverbunds eine Schadstelle in dem Material erzeugt.

30

Gemäß zumindest einer Ausführungsform erfolgt das Vereinzeln durch Laserstrahlung, wobei die Laserstrahlung durch eine der Halbleiterschichtenfolge abgewandte Rückseite in das

Aufwachssubstrat eingestrahlt wird. Hierdurch ist eine Schlackenbildung an der Halbleiterschichtenfolge zu verhindern. Durch die Laserstrahlung können Sollbruchstellen in dem Aufwachssubstrat und/oder in der

- 5 Halbleiterschichtenfolge erzeugt werden. Nach dem Erzeugen der Sollbruchstellen erfolgt beispielsweise ein Brechen zu den einzelnen Halbleiterchips.

Gemäß zumindest einer Ausführungsform weist die

- 10 Halbleiterschichtenfolge eine Dicke von mindestens 2,5 μm oder 3 μm auf. Alternativ oder zusätzlich liegt die Dicke der Halbleiterschichtenfolge bei höchstens 15 μm oder 12 μm oder 9 μm .

- 15 Gemäß zumindest einer Ausführungsform liegt eine Dicke des Aufwachssubstrats bei mindestens 50 μm oder 75 μm oder 100 μm . Die Dicke des Aufwachssubstrats kann alternativ oder zusätzlich höchstens 3 mm oder 1,5 mm oder 500 μm oder 400 μm oder 300 μm betragen. Nach einem Wachsen der

- 20 Halbleiterschichtenfolge kann das Aufwachssubstrat gedünnt werden.

Gemäß zumindest einer Ausführungsform erstreckt sich die Stromaufweitungsschicht durchgehend über die

- 25 Halbleiterschichtenfolge hinweg. Es ist also möglich, dass in der Stromaufweitungsschicht keine Ausnehmungen oder Löcher geformt sind.

Gemäß zumindest einer Ausführungsform weist die

- 30 Stromaufweitungsschicht über die Halbleiterschichtenfolge hinweg eine konstante Dicke auf. Konstante Dicke kann bedeuten, dass eine Dickenschwankung höchstens 30 % oder 20 % oder 15 % oder 10 % oder 5 % einer mittleren Dicke der

Halbleiterschichtenfolge beträgt, über den Halbleiterchip hinweg.

Gemäß zumindest einer Ausführungsform weist die

5 Stromaufweitungsschicht nach dem Schritt D) Flanken auf, die seitliche Begrenzungsflächen der Stromaufweitungsschicht sind. Ein Winkel dieser Flanken, relativ zu einer Wachstumsrichtung der Halbleiterschichtenfolge, liegt zum Beispiel bei mindestens 15° oder 30° und/oder bei höchstens
10 60° oder 75° . Eine Breite der Flanken, in Draufsicht, liegt zum Beispiel bei höchstens $1,0\ \mu\text{m}$ oder $0,5\ \mu\text{m}$. Dies ist insbesondere dann der Fall, wenn die Stromaufweitungsschicht trockenchemisch strukturiert wird. Ebenso können die Flanken, in Draufsicht auf die Stromaufweitungsschicht gesehen,
15 zumindest stellenweise sägezahnförmig oder ausgefranst die Stromaufweitungsschicht begrenzen, sodass ein Rand der Stromaufweitungsschicht vergleichsweise stark gezackt wirkt, in Draufsicht betrachtet, wobei eine mittlere Tiefe solcher Zacken, in Richtung senkrecht zur Wachstumsrichtung,
20 beispielsweise bei mindestens $100\ \text{nm}$ oder $250\ \text{nm}$ oder der mittleren Dicke der Stromaufweitungsschicht und/oder bei höchstens $600\ \text{nm}$ oder $400\ \text{nm}$ liegt. Letzteres ist speziell dann der Fall, wenn die Stromaufweitungsschicht nasschemisch strukturiert wird.

25

Gemäß zumindest einer Ausführungsform ist auf einer der Halbleiterschichtenfolge abgewandte Seite der Stromaufweitungsschicht mindestens ein Metallkontakt aufgebracht. Der Metallkontakt ist aus einem oder mehreren
30 Metallen oder Metalllegierungen geformt. Insbesondere handelt es sich bei dem Metallkontakt um ein Bondpad. Die Stromaufweitungsschicht kann sich durchgehend und ununterbrochen unter dem Metallkontakt erstrecken.

Gemäß zumindest einer Ausführungsform befindet sich zwischen der Halbleiterschichtenfolge und der Stromaufweitungsschicht in einem von dem Metallkontakt überdeckten Bereich eine

5 elektrisch isolierende Isolationsschicht. Die Isolationsschicht kann dieselbe Grundform und Grundfläche aufweisen wie der Metallkontakt, insbesondere mit einer Toleranz von höchstens einem Faktor 5 oder 3 oder 2. Bevorzugt ist die Isolationsschicht größer als der

10 Metallkontakt, in Draufsicht gesehen, und überragt den Metallkontakt ringsum. Es besteht aufgrund der Isolationsschicht insbesondere kein direkter Strompfad von dem Metallkontakt zur Halbleiterschichtenfolge. Alternativ hierzu kann in einem Bereich, in dem ein Bonddraht auf den

15 Metallkontakt aufgebracht wird, der Metallkontakt stellenweise die Halbleiterschichtenfolge berühren, um ein besseres Anhaften zu erreichen, wobei an solchen Stellen die Halbleiterschichtenfolge elektrisch nichtleitend sein kann. Die Isolationsschicht kann strahlungsdurchlässig,

20 reflektierend oder lichtstreuend wirken.

Gemäß zumindest einer Ausführungsform wird die Isolationsschicht strukturiert und somit nur lokal aufgebracht. Es erfolgt kein ganzflächiges Aufbringen der

25 Isolationsschicht. Hierdurch kann eine nachträgliche Wegnahme von Material aus der Isolationsschicht unterbleiben.

Gemäß zumindest einer Ausführungsform wird auf eine dem Aufwachssubstrat abgewandte Seite der

30 Halbleiterschichtenfolge und/oder der Stromaufweitungsschicht eine elektrisch isolierende, strahlungsdurchlässige Passivierungsschicht aufgebracht. Bevorzugt ist die Passivierungsschicht eine geschlossene Schicht, die die

Halbleiterschichtenfolge durchgehend bedeckt, wobei Bereiche, in denen der zumindest eine Metallkontakt aufgebracht ist, bevorzugt frei von der Passivierungsschicht sind.

- 5 Gemäß zumindest einer Ausführungsform erstreckt sich die Passivierungsschicht zum Teil auf eine dem Aufwachssubstrat abgewandte Seite des zumindest einen Metallkontakts über der Halbleiterschichtenfolge. Es befindet sich dann der Metallkontakt zum Teil zwischen der Passivierungsschicht und
10 der Stromaufweitungsschicht. Bevorzugt ist der Metallkontakt zu höchstens 10 % oder 20 % von der Passivierungsschicht bedeckt, in Draufsicht gesehen.

- Gemäß zumindest einer Ausführungsform weist die
15 Stromaufweitungsschicht eine Dicke von mindestens 30 nm oder 50 nm oder 70 nm oder 100 nm auf. Alternativ oder zusätzlich weist die Stromaufweitungsschicht eine Dicke von höchstens 500 nm oder 300 nm oder 220 nm auf.

- 20 Gemäß zumindest einer Ausführungsform weist die Halbleiterschichtenfolge und/oder der fertig hergestellte Halbleiterchip, in Draufsicht gesehen, eine mittlere laterale Abmessung von mindestens 200 µm oder 300 µm oder 450 µm auf. Bei der mittleren lateralen Abmessung kann es sich um eine
25 mittlere Kantenlänge des Halbleiterchips und/oder der Halbleiterschichtenfolge handeln. Alternativ oder zusätzlich liegt die mittlere laterale Abmessung bei höchstens 2 mm oder 1,5 mm oder 1 mm.

- 30 Gemäß zumindest einer Ausführungsform ist der Abstand zwischen den Kanten der Halbleiterschichtenfolge und der Stromaufweitungsschicht, in Draufsicht gesehen, ringsum um die Halbleiterschichtenfolge gleich bleibend. Gleich bleibend

kann bedeuten, dass der jeweils lokal vorliegende Abstand von einem mittleren Abstand um höchstens 50 % oder 30 % oder 15 % oder dem Doppelten der mittleren Dicke der Stromaufweitungsschicht und/oder um höchstens 600 nm oder
5 500 nm oder 400 nm oder 300 nm abweicht.

Gemäß zumindest einer Ausführungsform weist eine der Halbleiterschichtenfolge abgewandte Seite der Stromaufweitungsschicht eine mittlere Rauheit von höchstens
10 10 nm oder 5 nm auf. Mit anderen Worten ist dann die Stromaufweitungsschicht glatt. Eine entsprechende Rauheit kann alternativ oder zusätzlich für eine dem Aufwachssubstrat abgewandte Seite der Halbleiterschichtenfolge und/oder der Passivierungsschicht und/oder der Isolationsschicht gelten.

15

Gemäß zumindest einer Ausführungsform weist die Stromaufweitungsschicht eine körnige oder granulare Struktur auf. Eine mittlere Korngröße liegt hierbei beispielsweise bei mindestens 10 nm oder 30 nm oder 50 nm und/oder bei höchstens
20 300 nm oder 200 nm oder 150 nm. Durch diese körnige Struktur weist eine der Halbleiterschichtenfolge abgewandte Seite der Stromaufweitungsschicht eine mittlere Rauheit von mindestens 10 nm oder 30 nm oder 50 nm und/oder von höchstens 200 nm oder 100 nm oder 50 nm auf. Durch eine solche vergleichsweise
25 raue Stromaufweitungsschicht kann eine Lichtauskoppeleffizienz erhöht sein.

Gemäß zumindest einer Ausführungsform ist in dem fertigen Halbleiterchip eine Stromaufweitung ausschließlich durch die
30 Stromaufweitungsschicht gegeben. Eine Stromaufweitung in lateraler Richtung, in Richtung weg von dem Metallkontakt, kann also ausschließlich durch die Stromaufweitungsschicht erfolgen. Es ist somit möglich, dass keine auf einem Metall

basierende, insbesondere lichtdurchlässige und dünne Metallschicht zur Stromaufweitung eingesetzt wird. Speziell umfasst der Halbleiterchip dann keine durchgehende oder gitterförmig geformte Metallelektrode, die eine Dicke von
5 höchstens 15 nm oder 20 nm aufweist und die die Halbleiterschichtenfolge, in Draufsicht gesehen, im Wesentlichen vollständig bedeckt.

Gemäß zumindest einer Ausführungsform weist die
10 Halbleiterschichtenfolge nach dem Schritt D) Flanken auf. Flanken sind insbesondere solche Begrenzungsflächen der Halbleiterschichtenfolge, die quer zu einer Substratoberseite des Aufwachssubstrats orientiert sind.

15 Gemäß zumindest einer Ausführungsform liegt ein Winkel der Flanken der Halbleiterschichtenfolge, relativ zu der Wachstumsrichtung der Halbleiterschichtenfolge, bei höchstens 30° oder 15° oder 10° oder 5°. Das heißt, die Flanken der Halbleiterschichtenfolge verlaufen parallel oder im
20 Wesentlichen parallel zu der Wachstumsrichtung. Alternativ oder zusätzlich ist es möglich, dass dieser Winkel mindestens 30° oder 35° oder 40° und/oder höchstens 75° oder 60° oder 55° oder 50° beträgt.

25 Darüber hinaus wird ein optoelektronischer Halbleiterchip angegeben. Der Halbleiterchip ist hergestellt, wie in Verbindung mit einer oder mehrerer der oben genannten Ausführungsformen beschrieben. Merkmale des Verfahrens sind daher auch für den optoelektronischen Halbleiterchip
30 offenbart und umgekehrt.

In mindestens einer Ausführungsform umfasst der Halbleiterchip ein Aufwachssubstrat, auf dem unmittelbar eine

Halbleiterschichtenfolge epitaktisch abgeschieden ist. Die Halbleiterschichtenfolge umfasst zumindest eine aktive Zone zur Erzeugung einer Strahlung. An einer dem Aufwuchssubstrat abgewandten Seite ist zumindest stellenweise auf die

5 Halbleiterschichtenfolge unmittelbar eine Stromaufweitungsschicht aufgebracht. Die Stromaufweitungsschicht ist aus einem transparenten, leitfähigen Oxid geformt oder basiert auf einem solchen Oxid. Ein Abstand einer Kante der Halbleiterschichtenfolge zu einer

10 Kante der Stromaufweitungsschicht, in Richtung senkrecht zu einer Wachstumsrichtung der Halbleiterschichtenfolge, beträgt höchstens 1,0 μm .

Nachfolgend wird ein hier beschriebenes Verfahren und ein

15 hier beschriebener optoelektronischer Halbleiterchip unter Bezugnahme auf die Zeichnung anhand von Ausführungsbeispielen näher erläutert. Gleiche Bezugszeichen geben dabei gleiche Elemente in den einzelnen Figuren an. Es sind dabei jedoch keine maßstäblichen Bezüge dargestellt, vielmehr können

20 einzelne Elemente zum besseren Verständnis übertrieben groß dargestellt sein.

Es zeigen:

- 25 Figuren 1 bis 3 schematische Schnittdarstellungen von Ausführungsbeispielen von hier beschriebenen Verfahren zur Herstellung von hier beschriebenen optoelektronischen Halbleiterchips, und
- 30 Figur 4 schematische Schnittdarstellungen einer Abwandlung eines Verfahrens.

In Figur 1 ist ein Herstellungsverfahren für einen optoelektronischen Halbleiterchip 1 schematisch illustriert. Gemäß Figur 1A wird auf einem Aufwachssubstrat 2, bevorzugt ein Saphir-Substrat, eine Halbleiterschichtenfolge 3 epitaktisch abgeschieden. Die Halbleiterschichtenfolge 3 basiert bevorzugt auf InAlGaN.

Es wird die Halbleiterschichtenfolge 3 unmittelbar auf eine Substratoberseite 20 des Aufwachssubstrats 2 abgeschieden. Anders als dargestellt, kann die Substratoberseite 20 Strukturierungen aufweisen. Unmittelbar an der Substratoberseite 20 wird eine n-Seite 31 der Halbleiterschichtenfolge 3 aus einem n-leitenden Material aufgewachsen. Abweichend von der Darstellung gemäß Figur 1A können sich zwischen der Substratoberseite 20 und der n-Seite 31 weitere Schichten der Halbleiterschichtenfolge 3 befinden, beispielsweise Pufferschichten, Maskierungsschichten und/oder Anwachsschichten. In Richtung weg von dem Aufwachssubstrat 2 folgt der n-Seite zumindest eine aktive Zone 32 nach. Die aktive Zone 32 umfasst zumindest einen pn-Übergang und/oder zumindest eine Quantentopfstruktur.

In Richtung weg von dem Aufwachssubstrat 2 ist die aktive Zone 32 von einer p-Seite 33 aus einem p-leitenden Material geformt, beispielsweise aus mit Magnesium dotiertem GaN. Abweichend von der Darstellung ist es möglich, dass die n-Seite und die p-Seite vertauscht sind. In diesem Fall befindet sich die p-Seite näher an dem Aufwachssubstrat 2.

Gemäß Figur 1B wird auf eine dem Aufwachssubstrat 2 abgewandte Seite der Halbleiterschichtenfolge 3 in direktem Kontakt lokal eine optionale, elektrische Isolationsschicht 5 aufgebracht. Die Isolationsschicht 5 ist beispielsweise aus

Siliziumoxid, Siliziumnitrid oder einem Siliziumoxinitrid hergestellt. Eine Dicke der Isolationsschicht 5 liegt beispielsweise bei mindestens 20 nm oder 50 nm und/oder bei höchstens 200 nm oder 120 nm. In Draufsicht gesehen bedeckt
5 die Isolationsschicht 5 die Halbleiterschichtenfolge 3 bevorzugt zu höchstens 20 % oder 10 %.

Dadurch, dass die Isolationsschicht 5 nur lokal aufgebracht wird, ist eine kleine Stufe in der p-Seite an einem Rand der
10 Isolationsschicht 5 vermeidbar. Eine solche Stufe kann von einem nachträglichen Ätzen der Isolationsschicht 5 herrühren. Durch ein solches nachträgliches Ätzen kann alternativ oder zusätzlich in nicht von der Isolationsschicht 5 überdeckten Bereichen der p-Seite eine größere Rauheit entstehen.

15

In dem Verfahrensschritt, wie in Figur 1C gezeigt, wird ganzflächig auf die Halbleiterschichtenfolge 3 eine Stromaufweitungsschicht 4 aufgebracht. Die Stromaufweitungsschicht 4 ist beispielsweise aus Indium-Zinn-
20 Oxid, kurz ITO, geformt. Es überformt und bedeckt die Stromaufweitungsschicht 4 die Isolationsschicht 5.

Wie in Figur 1D gezeigt, wird auf die Stromaufweitungsschicht 4 eine Ätzmaske 6 aufgebracht. Die Ätzmaske 6 ist bevorzugt
25 aus einem Fotolack gebildet und wird insbesondere mittels einer Fototechnik strukturiert. In der Ätzmaske 6 sind mehrere Ausnehmungen geformt, in denen die Stromaufweitungsschicht 4 freigelegt sein kann.

30 Beim Verfahrensschritt, wie in Figur 1E gezeigt, wird die Stromaufweitungsschicht 4 nasschemisch in den Ausnehmungen der Ätzmaske 6 entfernt. Anders als dargestellt ist es dabei möglich, dass die Ätzmaske 6 nicht unterätzt wird, sondern

dass die Stromaufweitungsschicht 4 bündig mit der Ätzmaske 6 abschließt, in einer Richtung senkrecht zu einer Wachstumsrichtung G der Halbleiterschichtenfolge 3. Bevorzugt jedoch beträgt ein Überstand der Ätzmaske 6 über die
5 Stromaufweitungsschicht 4 mindestens 50 nm oder 200 nm.

Gemäß Figur 1F sind die Stromaufweitungsschicht 4 sowie die Halbleiterschichtenfolge 3 strukturiert. Die Strukturierung der Halbleiterschichtenfolge 3 erfolgt bevorzugt durch ein
10 trockenchemisches Ätzen. Nach dem trockenchemischen Ätzen der Halbleiterschichtenfolge 3 wird die Ätzmaske 6 entfernt.

Optional weist die Halbleiterschichtenfolge 3 im Querschnitt gesehen mehrere Teilbereiche auf, die sich über das
15 Aufwachssubstrat 2 erheben. Diese Teilbereiche der Halbleiterschichtenfolge 3 sind durch Einschnürungen der Halbleiterschichtenfolge 3 voneinander getrennt. Es ist möglich, dass die sich neben dem zentralen Teilbereich mit der Isolationsschicht 5 befindlichen Teilgebiete jeweils frei
20 von der Isolationsschicht 5 sind. Diese randständigen Teilgebiete können auch weggelassen werden.

In Figur 1G ist eine Flanke der Halbleiterschichtenfolge 3, die durch das Ätzen gebildet ist, näher gezeigt. Die Flanke
25 35 weist beispielsweise einen Winkel α zur Wachstumsrichtung G von etwa 45° auf. Ein Abstand D zwischen einer Kante der Halbleiterschichtenfolge 3 und der Stromaufweitungsschicht 4 liegt bei ungefähr 1 μm . Ein solcher geringer Abstand D ist dadurch realisierbar, dass die Stromaufweitungsschicht 4
30 sowie die Halbleiterschichtenfolge 3 mit derselben Ätzmaske 6 strukturiert werden.

Im Verfahrensschritt gemäß Figur 1H werden auf die Stromaufweitungsschicht 4 Metallkontakte 7 aufgebracht, insbesondere strukturiert aufgebracht. Bevorzugt befindet sich zwischen dem Metallkontakt 7 des zentralen Teilbereichs und der Halbleiterschichtenfolge 3 die Isolationsschicht 5. Die Isolationsschicht 5 ist nur teilweise von dem zentralen Metallkontakt 7 überdeckt und weist eine größere Grundfläche auf als der Metallkontakt 7. In den randständigen Teilgebieten der Halbleiterschichtenfolge 4 ist es möglich, dass sich zwischen der Halbleiterschichtenfolge 3 und dem Metallkontakt 7 nur die Stromaufweitungsschicht 4 befindet. Anders als dargestellt können die Metallkontakte 7 mehrere verschiedene Metallschichten aufweisen.

In Figur 1I ist gezeigt, dass an dem Aufwachssubstrat 2 abgewandten Seiten der Halbleiterschichtenfolge 3 sowie der Stromaufweitungsschicht 4 jeweils eine Passivierungsschicht 8 aufgebracht wird. Beispielsweise ist die Passivierungsschicht 8 aus einem elektrisch isolierenden Oxid oder Nitrid geformt.

Optional ist es möglich, dass die Passivierungsschicht 8 die Metallkontakte 7 bereichsweise überdeckt, in Draufsicht gesehen. Alternativ hierzu kann die Passivierungsschicht 8 auch in Richtung quer zur Wachstumsrichtung G von den Metallkontakten 7 beabstandet sein und die Metallkontakte 7 nicht berühren.

In Figur 1J ist der Schritt des Vereinzelns zu den einzelnen Halbleiterchips 1 dargestellt. In Figur 1J sind insbesondere die Isolationsschicht, die Passivierungsschicht sowie die Metallkontakte nicht gezeichnet.

Zum Vereinzeln wird von einer der Halbleiterschichtenfolge 3 abgewandten Seite des Aufwachssubstrats 2 her eine Laserstrahlung R in das Aufwachssubstrat 2 eingestrahlt. Mittels der Laserstrahlung R werden in dem Aufwachssubstrat 2 Sollbruchstellen 25 erstellt. An diesen Sollbruchstellen 25 kann ein vollständiges Vereinzeln dann beispielsweise durch Brechen erfolgen.

Abweichend von der Darstellung in Figur 1J ist es alternativ möglich, dass die Laserstrahlung R von der Seite her, an der die Halbleiterschichtenfolge 2 aufgebracht ist, eingestrahlt wird. In diesem Fall ist die Halbleiterschichtenfolge 2 bevorzugt an solchen Stellen, an denen die Laserstrahlung R eingestrahlt wird, vollständig von dem Aufwachssubstrat 2 entfernt. Hierdurch lässt sich eine Schlackenbildung verhindern oder reduzieren.

In Figur 2 ist ein alternatives Herstellungsverfahren gezeigt. Die Figuren 2A und 2B entsprechen den Figuren 1D bis 1F. Die weiteren Verfahrensschritte sind in Figur 2 nicht dargestellt und können analog zu Figur 1 durchgeführt werden.

Gemäß Figur 2B erfolgt ein Ätzen der Stromaufweitungsschicht 4 und der Halbleiterschichtenfolge 3 trockenchemisch anhand der zuvor in Figur 2A hergestellten, gemeinsamen Ätzmaske 6. Eine Strukturierung der Halbleiterschichtenfolge 3 sowie der Stromaufweitungsschicht 4 kann also im selben Ätzschritt erfolgen. Hierdurch ist es möglich, dass ein Überstand zwischen den Kanten der Halbleiterschichtenfolge 3 und der Stromaufweitungsschicht 4 verschwindet und nahezu Null oder Null beträgt. Die Halbleiterschichtenfolge 3 sowie die Stromaufweitungsschicht 4 können bündig abschließen.

Eine weitere Variante des Herstellungsverfahrens ist in Figur 3 gezeigt. Gemäß Figur 3A werden durch die Ausnehmungen in der Ätzmaske 6 hindurch sowohl die Halbleiterschichtenfolge 3 als auch die Stromaufweitungsschicht 4 geätzt. Das Ätzen erfolgt bevorzugt trockenchemisch. Hierbei ist es möglich, dass ein Überstand der Stromaufweitungsschicht 4 über die Halbleiterschichtenfolge 3 resultiert.

Gemäß Figur 3B ist es möglich, dass dieser Überstand der Stromaufweitungsschicht 4 über die Halbleiterschichtenfolge 3 etwa durch einen weiteren nasschemischen Ätzschritt entfernt wird. Dieses nachträgliche Ätzen erfolgt bevorzugt, solange die Ätzmaske 6 noch nicht entfernt ist.

Abweichend von der Darstellung ist es möglich, dass in Figur 3A die Ätzmaske 6 und die Stromaufweitungsschicht 4 bündig abschließen. In Figur 3B ist es abweichend von der Darstellung ebenso möglich, dass die Halbleiterschichtenfolge 3 die Stromaufweitungsschicht 4 überragt.

In Verbindung mit Figur 4 ist eine Abwandlung des Herstellungsverfahrens gezeigt. Gemäß Figur 4A wird die Isolationsschicht 5 auf die Halbleiterschichtenfolge 3 ganzflächig aufgebracht und nachfolgend zu einer aus SiO_2 geformten ersten Ätzmaske 6a strukturiert. Anschließend wird, siehe Figur 4B, die Halbleiterschichtenfolge 3 anhand der ersten Ätzmaske 6a strukturiert.

Nachfolgend wird, siehe Figur 4C, die Stromaufweitungsschicht 4 aufgebracht. Anhand einer aus einem Fotolack gebildeten zweiten, nicht dargestellten Ätzmaske, wird die Stromaufweitungsschicht 4 strukturiert. Hierdurch resultiert ein vergleichsweise großer und unregelmäßiger Abstand

zwischen der Kante der Stromaufweitungsschicht 4 und der Kante der Halbleiterschichtenfolge 3.

Durch das in Verbindung mit den Figuren 1 bis 3 beschriebene

5 Verfahren ist der Abstand zwischen den Kanten der Stromaufweitungsschicht 4 und der Halbleiterschichtenfolge 3 reduzierbar. Dadurch ist eine größere strahlende Fläche des Halbleiterchips 1 erzielbar. Auch kann der Abstand ringsum um die Halbleiterschichtenfolge 3 sehr gleichmäßig ausgeführt
10 sein. Bei dem Verfahren, wie in Figur 4 dargestellt, können größere Schwankungen in dem Abstand zwischen den Kanten der Halbleiterschichtenfolge 3 und der Stromaufweitungsschicht 4 auftreten, da eine exakte Justage der verschiedenen Ätzmasken schwierig ist.

15

Die hier beschriebene Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination
20 von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

25 Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2012 112 771.9, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Bezugszeichenliste

	1	optoelektronischer Halbleiterchip
	2	Aufwachssubstrat
5	20	Substratoberseite
	25	Sollbruchstelle
	3	Halbleiterschichtenfolge
	30	Strahlungshauptseite
	31	n-Seite
10	32	aktive Zone
	33	p-Seite
	4	Stromaufweitungsschicht
	5	Isolationsschicht
	6	Ätzmaske
15	7	Metallkontakt
	8	Passivierungsschicht
	D	Abstand
	G	Wachstumsrichtung
20	R	Strahlung
	α	Winkel

Patentansprüche

1. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (1) mit den Schritten:
 - 5 A) Epitaktisches Wachsen einer Halbleiterschichtenfolge (3) auf einem Aufwachssubstrat (2), wobei die Halbleiterschichtenfolge (3) mindestens eine aktive Zone zur Erzeugung einer Strahlung aufweist,
 - B) Aufbringen einer Stromaufweitungsschicht (4) aus
10 einem transparenten, leitfähigen Oxid auf eine dem Aufwachssubstrat (2) abgewandte Seite der Halbleiterschichtenfolge (3), wobei die Stromaufweitungsschicht (4) zumindest stellenweise in direktem Kontakt zu der Halbleiterschichtenfolge (3)
15 steht,
 - C) Aufbringen einer Ätzmaske (6) auf die Stromaufweitungsschicht (4),
 - D) Strukturieren der Stromaufweitungsschicht (4) sowie der Halbleiterschichtenfolge (3) durch Ätzen anhand
20 derselben Ätzmaske (6),
wobei die Verfahrensschritte in der angegebenen Reihenfolge durchgeführt werden, und
wobei ein Abstand (D) einer Kante der Halbleiterschichtenfolge (3) zu einer Kante der
25 Stromaufweitungsschicht (4), in einer Richtung senkrecht zu einer Wachstumsrichtung (G) der Halbleiterschichtenfolge (3), höchstens 3 µm beträgt.
2. Verfahren nach dem vorhergehenden Anspruch,
bei dem der Schritt D) die folgenden Teilschritte in
30 der angegebenen Reihenfolge umfasst:
 - D1) Nasschemisches Ätzen nur der Stromaufweitungsschicht (4), sowie

D2) Trockenchemisches Ätzen der Halbleiterschichtenfolge (3), wobei die Halbleiterschichtenfolge (3) auf $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{N}$ mit $0 \leq n \leq 1$, $0 < m \leq 1$ und $n + m \leq 1$ basiert, die Stromaufweitungsschicht (4) Sn und/oder Zn umfasst und das Aufwachssubstrat (2) ein Saphir-Substrat ist, wobei das Aufwachssubstrat (2) an der Halbleiterschichtenfolge (3) verbleibt, und wobei der Abstand (D) höchstens $1,5 \mu\text{m}$ und mindestens 50 % einer mittleren Dicke der Stromaufweitungsschicht (4) beträgt.

3. Verfahren nach dem vorhergehenden Anspruch, bei dem im Schritt D1) die Ätzmaske (6) unterätzt wird, sodass die Ätzmaske (6) vor dem Schritt D2) die Stromaufweitungsschicht (4) überragt.

4. Verfahren nach Anspruch 1, bei dem im Schritt D) die Stromaufweitungsschicht (4) und die Halbleiterschichtenfolge (3) trockenchemisch geätzt werden, wobei der Abstand (D) zwischen einschließlich 0 und 200 nm liegt.

5. Verfahren nach einem der Ansprüche 2 bis 4, bei dem in einem Schritt E), der dem Schritt D) nachfolgt, der Abstand (D) durch ein nasschemisches Ätzen der Stromaufweitungsschicht (4) verändert wird.

6. Verfahren nach einem der vorhergehenden Ansprüche, bei dem in einem Schritt F), nach dem Schritt D), das Aufwachssubstrat (2) und die Halbleiterschichtenfolge (3) zu den Halbleiterchips (1) vereinzelt werden,

wobei das Vereinzeln mindestens teilweise mittels Laserstrahlung durchgeführt wird, die an einer der Halbleiterschichtenfolge (3) abgewandten Seite in das Aufwachssubstrat (2) eingestrahlt wird.

- 5 7. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem die Stromaufweitungsschicht (4) sich
durchgehend und in konstanter Dicke über die
Halbleiterschichtenfolge (3) erstreckt,
wobei sich an einer der Halbleiterschichtenfolge (3)
10 abgewandten Seite der Stromaufweitungsschicht (4)
mindestens ein Metallkontakt (7) befindet.
8. Verfahren nach dem vorhergehenden Anspruch,
bei dem sich zwischen der Halbleiterschichtenfolge (3)
und der Stromaufweitungsschicht (4) in einem von dem
15 Metallkontakt (7) überdeckten Bereich eine elektrisch
isolierende Isolationsschicht (5) befindet,
wobei die Isolationsschicht (5) den Metallkontakt
ringsum überragt, in Draufsicht gesehen.
9. Verfahren nach dem vorhergehenden Anspruch,
20 bei dem die Isolationsschicht (5) strukturiert nur
lokal aufgebracht wird und nachträgliche keine Wegnahme
von Material aus der Isolationsschicht (5) erfolgt.
10. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem an einer dem Aufwachssubstrat (2) abgewandten
25 Seite der Halbleiterschichtenfolge (3) und der
Stromaufweitungsschicht (4) jeweils eine elektrisch
isolierende, strahlungsdurchlässige
Passivierungsschicht (8) aufgebracht wird,
wobei sich die Passivierungsschicht (8) zum Teil auf

eine dem Aufwachssubstrat (2) abgewandte Seite des Metallkontakts (7) erstreckt.

11. Verfahren nach einem der vorhergehenden Ansprüche, bei dem

- 5 - die Stromaufweitungsschicht (4) eine Dicke zwischen einschließlich 50 nm und 300 nm aufweist,
 - eine Dicke der Halbleiterschichtenfolge (3) zwischen einschließlich 2,5 µm und 12 µm liegt,
 - der fertige Halbleiterchip (1) eine mittlere laterale
10 Abmessung, in Draufsicht gesehen, zwischen einschließlich 200 µm und 1500 µm aufweist, und
 - der Abstand (D), in Draufsicht gesehen, ringsum um die Halbleiterschichtenfolge (3) gleichbleibend ist, mit einer Toleranz von höchstens 500 nm.

15 12. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Stromaufweitungsschicht (4) eine körnige Struktur aufweist und eine der Halbleiterschichtenfolge (3) abgewandte Seite der Stromaufweitungsschicht (4) eine mittlere Rauheit von mindestens 30 nm aufweist,
20 wobei in dem fertigen Halbleiterchip (1) eine Stromaufweitung ausschließlich durch die Stromaufweitungsschicht (4) aus dem transparenten, leitfähigen Oxid erfolgt.

25 13. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Stromaufweitungsschicht (4) nach dem Schritt D) Flanken aufweist,
 wobei ein Winkel dieser Flanken, relativ zu einer Wachstumsrichtung (G) der Halbleiterschichtenfolge (3), zwischen einschließlich 15° und 75° liegt und/oder
30 wobei diese Flanken, in Draufsicht auf die Stromaufweitungsschicht (4) gesehen, zumindest

stellenweise gezackt die Stromaufweitungsschicht (4)
lateral begrenzen.

14. Optoelektronischer Halbleiterchip (1), der mit einem
Verfahren nach einem der vorigen Ansprüche hergestellt
5 ist,
wobei der Abstand (D) höchstens 1,0 μm beträgt.

FIG 1

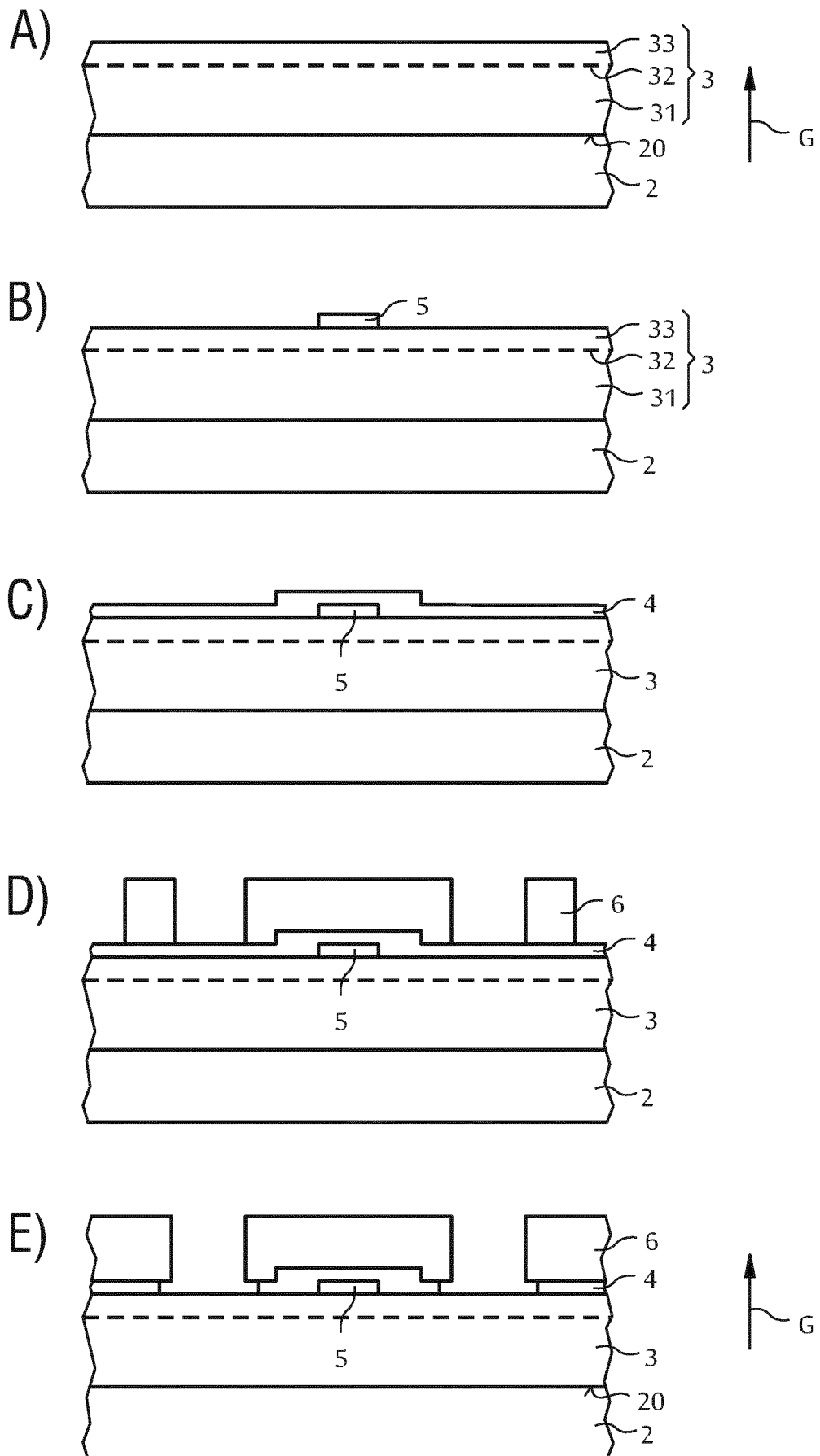
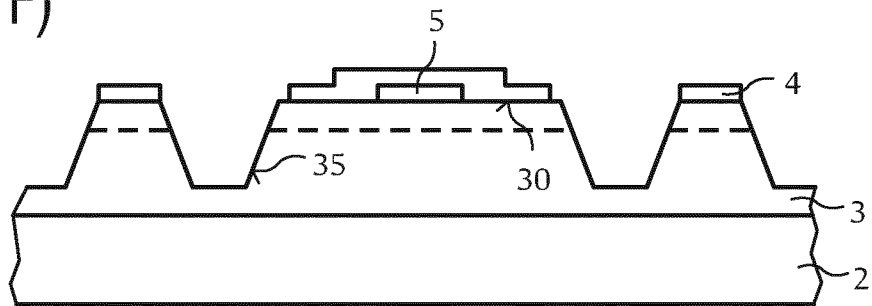
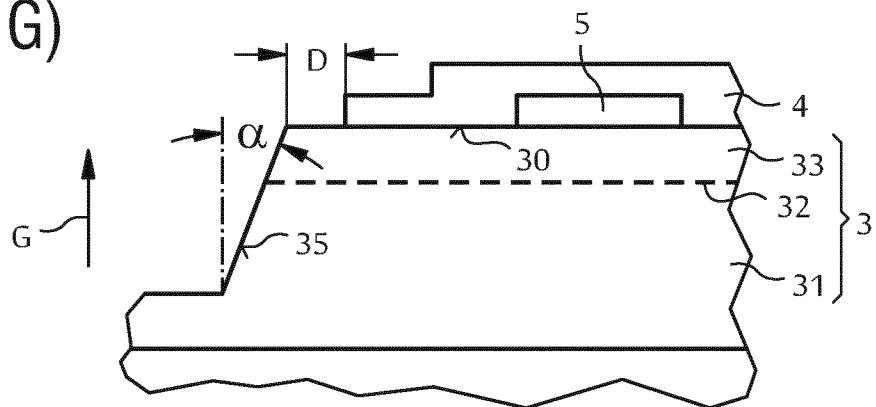


FIG 1

F)



G)



H)

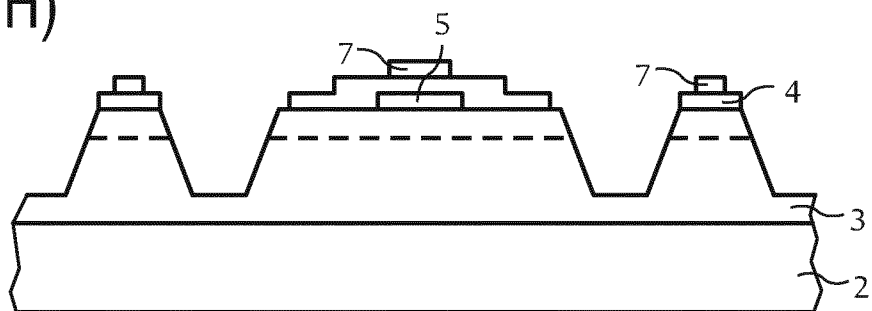


FIG 1

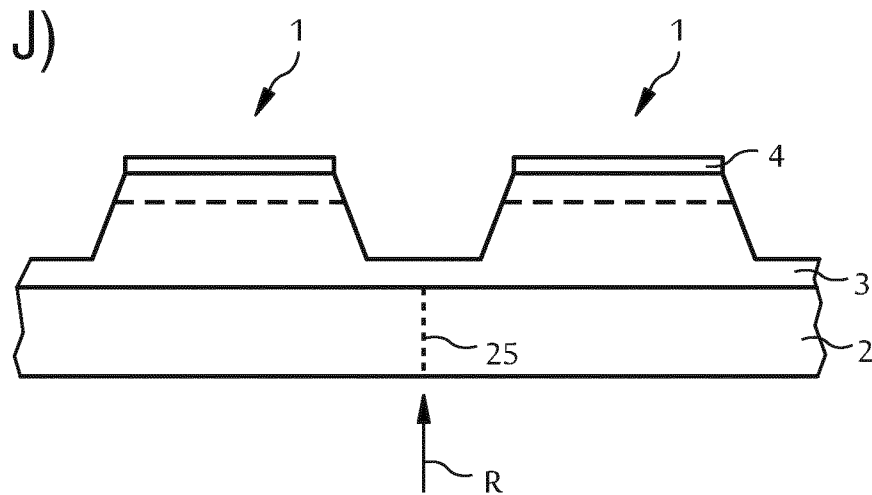
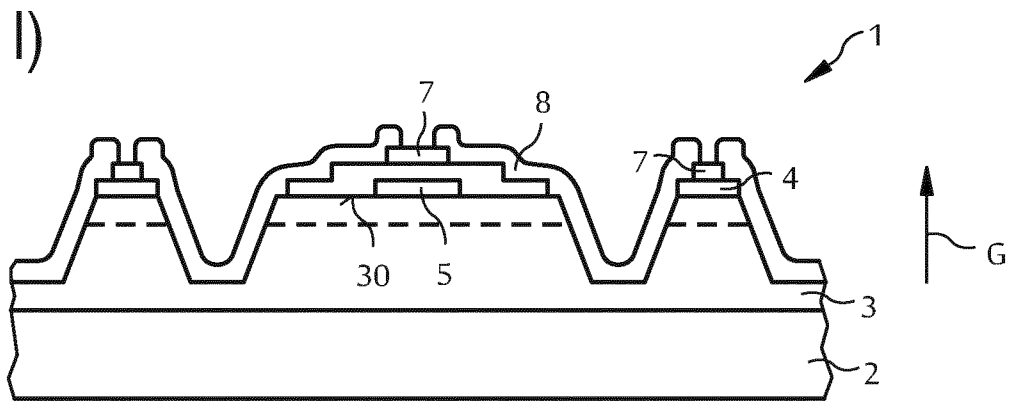
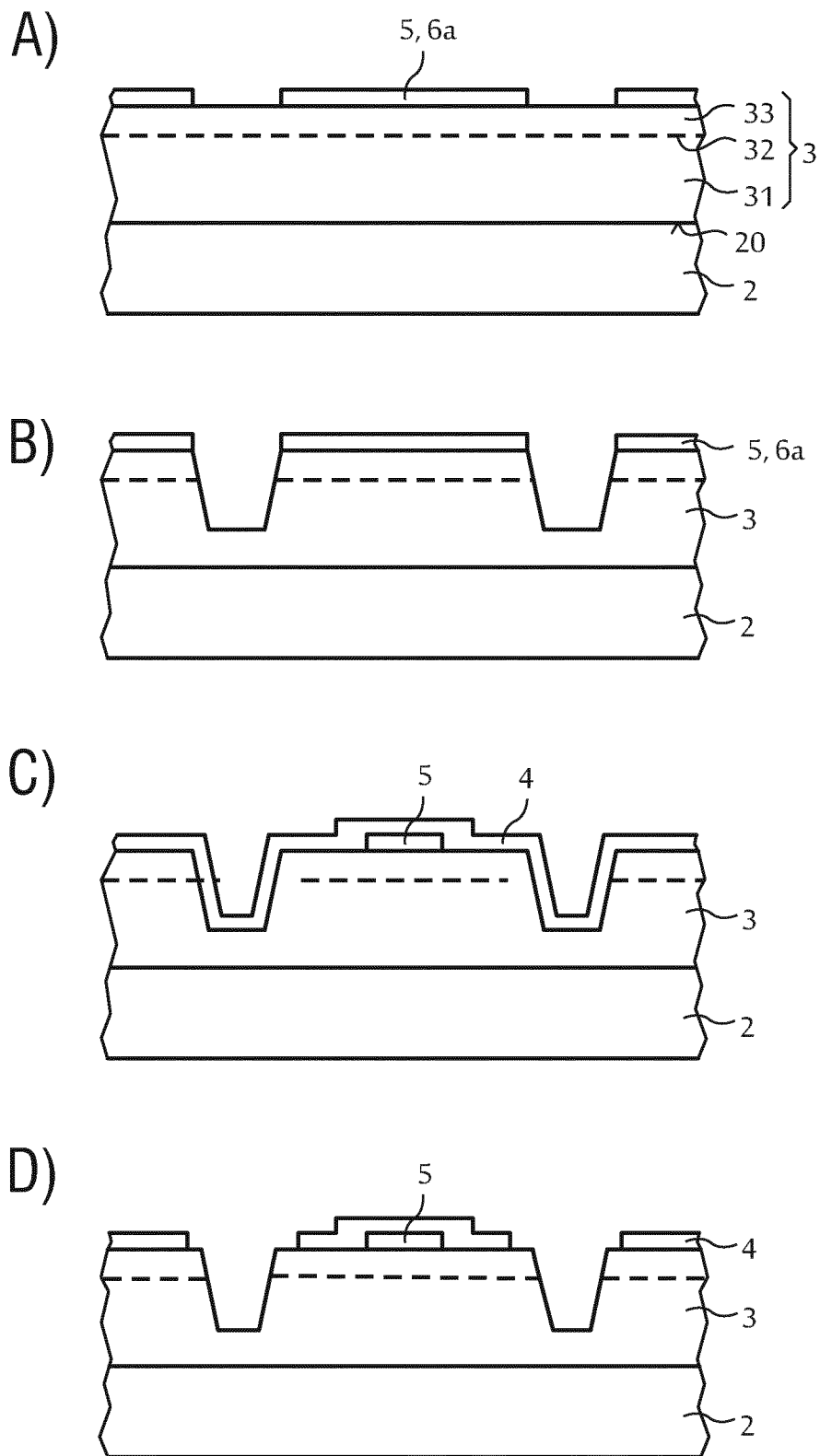


FIG 4



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2013/075399

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L33/14 H01L33/20 H01L33/44 H01L33/42 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011 211074 A (TOYODA GOSEI KK) 20 October 2011 (2011-10-20) the whole document	1,4,7, 10,11,14 2,3,6,8, 9,12
X	----- US 2004/266044 A1 (PARK YOUNG HO [KR] ET AL) 30 December 2004 (2004-12-30) the whole document	1,5,7,10
X	----- US 2012/241803 A1 (KINUGAWA YOSHIYUKI [JP]) 27 September 2012 (2012-09-27) paragraphs [0001] - [0041], [0058] - [0059]; figures 1-5, 9 ----- -/-	1,4,11, 13,14
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 3 March 2014		Date of mailing of the international search report 11/03/2014
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Saynova, Desislava

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2013/075399

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	DE 10 2004 025610 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 17 November 2005 (2005-11-17) paragraphs [0001], [0002], [0007], [0016] - [0025], [0032] - [0049]; figures 1, 3 -----	2,3
Y	US 2011/062479 A1 (SUGANO SUSUMU [JP] ET AL) 17 March 2011 (2011-03-17) paragraphs [0086] - [0324]; figure 12 -----	6
Y	EP 2 325 900 A1 (NICHIA CORP [JP]) 25 May 2011 (2011-05-25) paragraphs [0003], [0023] - [0059]; figures 5, 6B -----	8,9
Y	US 6 184 456 B1 (MATSUYAMA JINSHO [JP] ET AL) 6 February 2001 (2001-02-06) columns 17,18 - columns 22,23; figure 1 column 43 - column 44; tables 31-34 -----	12
A	E.F. Schubert: "Light-Emitting Diodes", 31 January 2007 (2007-01-31), Cambridge University Press, Cambridge, UK, XP002720310, ISBN: 978-0-521-86538-8 page 142 - page 143 -----	8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2013/075399

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 2011211074 A	20-10-2011	CN 102822996 A	12-12-2012
		JP 5273081 B2	28-08-2013
		JP 2011211074 A	20-10-2011
		TW 201208118 A	16-02-2012
		US 2013015487 A1	17-01-2013
		WO 2011121911 A1	06-10-2011
US 2004266044 A1	30-12-2004	JP 2005019945 A	20-01-2005
		KR 20050000691 A	06-01-2005
		US 2004266044 A1	30-12-2004
US 2012241803 A1	27-09-2012	CN 102694099 A	26-09-2012
		JP 2012204397 A	22-10-2012
		TW 201251117 A	16-12-2012
		US 2012241803 A1	27-09-2012
DE 102004025610 A1	17-11-2005	DE 102004025610 A1	17-11-2005
		EP 1592076 A2	02-11-2005
		JP 4970739 B2	11-07-2012
		JP 2005322913 A	17-11-2005
		US 2005253163 A1	17-11-2005
		US 2007238210 A1	11-10-2007
US 2011062479 A1	17-03-2011	US 2011062479 A1	17-03-2011
		WO 2009139376 A1	19-11-2009
EP 2325900 A1	25-05-2011	CN 102132426 A	20-07-2011
		EP 2325900 A1	25-05-2011
		JP 5177227 B2	03-04-2013
		KR 20110031972 A	29-03-2011
		TW 201017935 A	01-05-2010
		US 2011156065 A1	30-06-2011
		WO 2010024375 A1	04-03-2010
US 6184456 B1	06-02-2001	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L33/14 H01L33/20 H01L33/44 H01L33/42 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	JP 2011 211074 A (TOYODA GOSEI KK) 20. Oktober 2011 (2011-10-20)	1,4,7, 10,11,14
Y	das ganze Dokument	2,3,6,8, 9,12
X	----- US 2004/266044 A1 (PARK YOUNG HO [KR] ET AL) 30. Dezember 2004 (2004-12-30) das ganze Dokument	1,5,7,10
X	----- US 2012/241803 A1 (KINUGAWA YOSHIYUKI [JP]) 27. September 2012 (2012-09-27) Absätze [0001] - [0041], [0058] - [0059]; Abbildungen 1-5, 9 ----- -/-	1,4,11, 13,14
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
3. März 2014		11/03/2014
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Saynova, Desislava

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	DE 10 2004 025610 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 17. November 2005 (2005-11-17) Absätze [0001], [0002], [0007], [0016] - [0025], [0032] - [0049]; Abbildungen 1, 3 -----	2,3
Y	US 2011/062479 A1 (SUGANO SUSUMU [JP] ET AL) 17. März 2011 (2011-03-17) Absätze [0086] - [0324]; Abbildung 12 -----	6
Y	EP 2 325 900 A1 (NICHIA CORP [JP]) 25. Mai 2011 (2011-05-25) Absätze [0003], [0023] - [0059]; Abbildungen 5, 6B -----	8,9
Y	US 6 184 456 B1 (MATSUYAMA JINSHO [JP] ET AL) 6. Februar 2001 (2001-02-06) Spalten 17,18 - Spalten 22,23; Abbildung 1 Spalte 43 - Spalte 44; Tabellen 31-34 -----	12
A	E.F. Schubert: "Light-Emitting Diodes", 31. Januar 2007 (2007-01-31), Cambridge University Press, Cambridge, UK, XP002720310, ISBN: 978-0-521-86538-8 Seite 142 - Seite 143 -----	8

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2013/075399

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 2011211074 A	20-10-2011	CN 102822996 A	12-12-2012
		JP 5273081 B2	28-08-2013
		JP 2011211074 A	20-10-2011
		TW 201208118 A	16-02-2012
		US 2013015487 A1	17-01-2013
		WO 2011121911 A1	06-10-2011
US 2004266044 A1	30-12-2004	JP 2005019945 A	20-01-2005
		KR 20050000691 A	06-01-2005
		US 2004266044 A1	30-12-2004
US 2012241803 A1	27-09-2012	CN 102694099 A	26-09-2012
		JP 2012204397 A	22-10-2012
		TW 201251117 A	16-12-2012
		US 2012241803 A1	27-09-2012
DE 102004025610 A1	17-11-2005	DE 102004025610 A1	17-11-2005
		EP 1592076 A2	02-11-2005
		JP 4970739 B2	11-07-2012
		JP 2005322913 A	17-11-2005
		US 2005253163 A1	17-11-2005
		US 2007238210 A1	11-10-2007
US 2011062479 A1	17-03-2011	US 2011062479 A1	17-03-2011
		WO 2009139376 A1	19-11-2009
EP 2325900 A1	25-05-2011	CN 102132426 A	20-07-2011
		EP 2325900 A1	25-05-2011
		JP 5177227 B2	03-04-2013
		KR 20110031972 A	29-03-2011
		TW 201017935 A	01-05-2010
		US 2011156065 A1	30-06-2011
		WO 2010024375 A1	04-03-2010
US 6184456 B1	06-02-2001	KEINE	