



(12) 发明专利

(10) 授权公告号 CN 102754186 B

(45) 授权公告日 2016. 04. 13

(21) 申请号 201080050771. 1

(51) Int. Cl.

(22) 申请日 2010. 11. 09

H01L 21/033(2006. 01)

(30) 优先权数据

H01L 21/311(2006. 01)

12/617, 429 2009. 11. 12 US

H01L 21/8244(2006. 01)

(85) PCT国际申请进入国家阶段日

审查员 雷颖劼

2012. 05. 09

(86) PCT国际申请的申请数据

PCT/US2010/055977 2010. 11. 09

(87) PCT国际申请的公布数据

W02011/059961 EN 2011. 05. 19

(73) 专利权人 超威半导体公司

地址 美国加利福尼亚州

(72) 发明人 理查德·舒尔茨

(74) 专利代理机构 上海胜康律师事务所 31263

代理人 李献忠

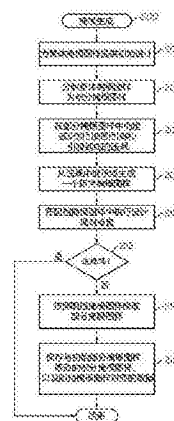
权利要求书2页 说明书13页 附图9页

(54) 发明名称

利用多个曝光和阻挡掩模方式减少设计规则违反的半导体器件制造

(57) 摘要

制造半导体器件(400)的方法,其通过在衬底上形成硬掩膜材料层(408)开始,该衬底上包括半导体材料层(402)和半导体材料层(402)上方的绝缘材料层(404),这样的话,硬掩膜材料层(408)则覆在绝缘材料层(404)之上。执行多个曝光光刻工艺来创建在硬掩模材料层(408)上方的光阻剂特征的组合图样,并且通过使用光阻剂特征的组合图样使凹线图样位于硬掩模材料中。继续执行该方法,通过利用掩模特征的阻挡图样(442)来覆盖凹线图样(422)的指定区域,并且在绝缘材料(404)中形成沟道图样(452),其中沟道图样(425)由光阻剂特征的阻挡图样(442)和硬掩模材料(408)来定义。随后,导电材料(472)被沉积在沟道(452)中,并生成半导体器件的导线。



1. 一种在半导体器件结构上制造器件特征的方法,该方法包括:

创建在该半导体器件结构的目标材料之上的第一光阻剂特征图样,该第一光阻剂特征图样由第一部分光刻掩模定义;

创建在该目标材料之上的第二光阻剂特征图样,该第二光阻剂特征图样由第二部分光刻掩模定义,该第一光阻剂特征图样和该第二光阻剂特征图样一起形成光阻剂特征的组合图样;

将该光阻剂特征的组合图样作为蚀刻掩模来选择性地蚀刻该目标材料,并生成形成在该目标材料中的凹线图样;

识别出现在所述第一光阻剂特征图样和所述第二光阻剂特征图样中的至少一个中的至少一个违规;以及

基于识别的所述至少一个违规形成覆盖该凹线图样的指定部分的第三光阻剂特征图样。

2. 如权利要求 1 所述在半导体器件结构上制造器件特征的方法,其中:

该目标材料被形成在第二材料层之上;

选择性地蚀刻该目标材料以曝光该第二材料层的一部分;并且

所述形成覆盖该凹线图样的指定部分的第三光阻剂特征图样在该第二材料层的曝光部分形成该第三光阻剂特征图样。

3. 如权利要求 2 所述在半导体器件结构上制造器件特征的方法,进一步包括将该目标材料和该第三光阻剂特征图样作为第二蚀刻掩模选择性地蚀刻该第二材料层,并生成形成在该第二材料层中的沟道。

4. 如权利要求 3 所述在半导体器件结构上制造器件特征的方法,进一步包括用导电材料至少部分地填充该沟道。

5. 如权利要求 3 所述在半导体器件结构上制造器件特征的方法,其中该沟道中的至少一个是双向的。

6. 如权利要求 1 所述在半导体器件结构上制造器件特征的方法,其中该光阻剂特征的组合图样不存在引脚到引脚和引脚到线的违规。

7. 一种制造半导体器件的方法,该方法包括:

提供半导体器件结构,该半导体器件结构包括半导体材料层和覆在该半导体材料层之上的绝缘材料层;

在该绝缘材料层之上形成硬掩模材料层;

在该硬掩模材料层之上创建光阻剂特征的组合图样,该光阻剂特征的组合图样包括利用第一光刻掩模形成的第一光阻剂特征和利用第二光刻掩模形成的第二光阻剂特征;

将该光阻剂特征的组合图样作为蚀刻图样选择性地蚀刻该硬掩模材料层,生成定义在硬掩模材料中的正性硬掩模图样和负性的凹线图样;

识别出现在所述第一光刻掩模和所述第二光刻掩模中的至少一个中的至少一个违规;以及

基于识别的所述至少一个违规创建在该绝缘材料层上方的附加的光阻剂特征的图样,该附加的光阻剂特征的图样与定义在该负性的凹线图样中的一个或多个凹线相交。

8. 如权利要求 7 所述制造半导体器件的方法,进一步包括将该正性硬掩模图样和该附

加的光阻剂特征的图样作为第二蚀刻掩模来选择性地蚀刻该绝缘材料层,生成形成在该绝缘材料层中的沟道。

9. 如权利要求 8 所述制造半导体器件的方法,进一步包括:

从该半导体器件结构上移除该正性硬掩模图样;并且

从该半导体器件结构上移除该附加的光阻剂特征的图样。

10. 如权利要求 9 所述制造半导体器件的方法,进一步包括在该沟道中沉积导电材料。

11. 如权利要求 8 所述制造半导体器件的方法,其中该沟道中的至少一个是双向的。

12. 如权利要求 7 所述制造半导体器件的方法,其中该光阻剂特征的组合图样中不存在引脚到引脚和引脚到线的违规。

利用多个曝光和阻挡掩模方式减少设计规则违反的半导体器件制造

[0001] 相关申请的交叉引用

[0002] 本申请的主题与序列号为 12/617, 421 的共同待决的美国专利申请的主题相关, 该两申请同时提交。

技术领域

[0003] 本发明主题的实施例总体上涉及半导体器件的制造技术和工艺。尤其是, 本发明主题的实施例涉及光刻(photolithographic)掩模的设计、创建和使用, 以此来减少在半导体器件的制造过程中的设计规则违反(violation)。

背景技术

[0004] 半导体产业致力于在更小的芯片上制造具有越来越高密度的半导体器件的集成电路, 以此来达到更高的性能以及降低制造成本。对大规模集成电路来说, 这种意愿已经迫使电路尺寸和器件特征持续地收缩。减少诸如在场效应晶体管中的栅极的长度和导线的宽度等结构尺寸的能力则是由光刻性能来驱动的。

[0005] 在传统的光刻系统中, 通过提供穿过或反射在掩模或光罩(reticle)上的辐射从而在半导体晶片上形成图像。一般来说, 该图像聚焦在晶片上曝光并图样化诸如光阻剂材料之类的材料层。相应地, 利用该光阻剂材料来定义在半导体晶片的一层或多层上的掺杂区域、沉积区域、蚀刻区域或者其他结构和特征。光阻剂材料也能定义与半导体器件的金属层相关的导线或导电盘(pads)。进一步地, 该光阻剂材料能定义绝缘区域、晶体管栅极或者其他晶体管结构和元件。

[0006] 使用两个或多个光刻子工艺的多曝光/图样化工艺, 可用于形成具有极小和紧密排布的特征的光阻剂图样。一种类型的双曝光工艺形成第一光阻剂图样, 利用该第一光阻剂图样来蚀刻该晶片, 接着形成第二光阻剂图样, 并且利用该第二光阻剂图样来蚀刻该晶片。另一种类型的双曝光工艺形成第一光阻剂图样, 用第二光阻剂层覆盖第一光阻剂图样, 曝光并显影(develop)第二光阻剂层, 然后蚀刻该晶片。该双曝光工艺有时也被称作双曝光单蚀刻工艺。

[0007] 目前在半导体产业中的可用的光刻工具能够达到大概 80 纳米的线分辨率。尤其是, 193 纳米的浸入式步进技术能够实现在单层掩模上短至 80 纳米的间距。实际上, 具有低于 80 纳米间距的器件特征能够通过上述的双曝光/图样化工艺来实现。不幸的是, 即便使用了多曝光工艺, 间距或线段分割的向下缩放(scaling)比例最终被光刻工具的实际执行能力所限制。相应地, 通常使用一定的设计规则来检查期望的半导体器件特征的可行性和生产能力。例如, 设计规则检查(DRC: design rule check)方法能用来识别在诸如局域互连之类的导电轨迹(trace)推荐布局中潜在的引脚到引脚和/或引脚到线的违规(violations)。因此, 如果该推荐布局包括对特定的光刻工具来说太短的引脚到引脚(tip-to-tip)或引脚到线(tip-to-line)的间距的话, 那么在不将一些导电轨迹短接在一

起的情况下利用该推荐的布局来制造器件则是不可能的。

发明内容

[0008] 提供一种在半导体器件结构上创建器件特征的方法。该方法包括创建半导体器件结构的目标材料上方的第一光阻剂特征图样,该第一光阻剂特征图样由第一部分光刻掩模来定义。该方法也创建目标材料上方的第二光阻剂特征图样,该第二光阻剂特征图样由第二部分光刻掩模来定义。该第一光阻剂特征图样和该第二光阻剂特征图样共同形成光阻剂特征的组合图样。该方法继续使用该光阻剂特征的组合图样作为蚀刻掩模来选择性地蚀刻该目标材料。从而生成形成在目标材料中的凹线图样。然后该方法形成第三光阻剂特征图样,其覆盖凹线图样的指定部分。

[0009] 本发明还提供一种制造半导体器件的方法。该方法首先提供包括半导体材料层和在该半导体材料层上方的绝缘体材料层的半导体器件结构。该方法接着就是在绝缘材料层上方形成硬掩模材料层以及在硬掩模材料层上方创建光阻剂特征的组合图样。该光阻剂特征的组合图样包括利用第一光刻掩模形成的第一光阻剂特征和利用第二光刻掩模形成的第二光阻剂特征。然后,该方法使用该光阻剂特征的组合图样作为蚀刻掩模来选择性地蚀刻该硬掩模材料层,最终生成定义在硬掩模材料层中的正性硬掩模图样和负性凹线图样。该方法还创建在该绝缘材料上的附加的光阻剂特征的图样。该附加的光阻剂特征与定义在负性凹线图样中一个或多个的凹线交叉。

[0010] 本发明还提供另一种制造半导体器件的方法。该方法在基底上形成硬掩模层,该基底包括半导体材料层和在该半导体材料层上方的绝缘层,该硬掩模材料层在该绝缘层上方。通过执行多曝光光刻工艺来创建在硬掩模材料层上方的光阻剂特征的组合图样以及通过在硬掩模中形成凹线图样来继续该方法。通过光阻剂特征的组合图样来定义该凹线图样。然后该方法利用光阻剂特征的阻挡(blocking)图样来覆盖凹线图样的指定部分,并且在绝缘材料中形成沟道(trench)图样。光阻剂特征的阻挡图样和硬掩模材料定义了沟道图样。然后该方法在沟道中沉积导电材料,最终生成半导体器件的导线。

[0011] 本发明还提供一种创建用于具有减少的引脚到引脚和引脚到线的违规的半导体器件特征的光刻掩模的方法。该方法提供表示期望的掩模图样的初始数据并分析该初始数据以识别在该期望的掩模图样中引脚到引脚和引脚到线的违规(violations)。该方法根据所识别的违规来修改初始数据以此来获得表示修改后的掩模图样的更新数据。该修改后的掩模图样不存在引脚到引脚和引脚到线的违规。然后该方法利用该更新数据生成具有该修改后的掩模图样的光刻掩模。

[0012] 本发明还提供另一种生成用于具有减少的设计规则违反的半导体器件特征的光刻掩模的方法。该方法提供表示整体掩模图样的初始数据,处理该初始数据以将完整的掩模图样分解为多个部分掩模图样,在该多个部分掩模图样上执行设计规则检查以识别在该多个部分掩模图样中的引脚到引脚和引脚到线的违规。上述操作最终得到所识别的违规。该方法接着根据该所识别的违规来修改该多个部分掩模图样中的至少一个来获得修改后的部分掩模图样组,其中在该修改后的掩模图样组中的每个掩模图样都不存在引脚到引脚和引脚到线的违规。然后该方法生成用于该修改后的部分掩模图样组的光刻掩模。

[0013] 本发明还提供了用于具有减少的设计规则违反的半导体特征的光刻方法。首先该

方法提供整体的掩模图样。该整体的掩模图样被分解为第一部分掩模图样和第二部分掩模图样。通过识别至少在该第一部分掩模中设计规则违反来继续该方法,最终生成所识别的违反。然后该方法根据该所识别的违反来修改该第一部分掩模图样以获得修改后的第一部分掩模图样,该修改后的第一部分掩模图样不存在设计规则的违反。该方法也根据该所识别的违反生成阻挡掩模图样,该阻挡掩模图样不存在设计规则的违反,并对应于修改后的第一部分掩模图样、第二部分掩模图样和阻挡掩模图样来创建光刻掩模。

[0014] 上面的发明内容用于以简单的方式来介绍在下面的详细描述中进一步描述的构思的概要。上面的发明内容并不意图确定权利要求主题的关键特征或实质特征,其也意图用于辅助确定权利要求主题的范围。

附图说明

[0015] 本发明主题所揭示的内容可通过参考以下详细说明和权利要求并配合附图来全面了解,其中在整个附图中相同的参考符号表示相似的组件。

[0016] 图 1 是示例性的静态随机访问存储器(SRAM)单元的顶视图和部分透视图(phantom view),显示了双向局域互连的布局;

[0017] 图 2 是基于图 1 所示的 SRAM 单元的 SRAM 单元的 3*2 阵列的顶视图和部分透视图;

[0018] 图 3 是基于变化的 SRAM 单元布局的 SRAM 单元的 3*2 阵列的顶视图和部分透视图;

[0019] 图 4 是显示掩模生成工艺的示例性实施例的流程图;

[0020] 图 5 是第一部分掩模图样的顶视图;

[0021] 图 6 是第二部分掩模图样的顶视图;

[0022] 图 7 是阻挡掩模图样的顶视图;

[0023] 图 8 是图 6 所示的第二部分掩模图样的修改版本的顶视图;

[0024] 图 9-20 表示经历示例性制作过程的半导体器件结构的横截面图和顶视图。

具体实施方式

[0025] 下列的详细描述在本质上仅作为例示之用,而并不是为了限制本发明主题的实施例或者这些实施例的应用及用途。本文中所使用的术语“例示(exemplary)”意指“作为范例、实例或图例”。在此描述作为“例示”的任何实施例并非必然被解释为相对于其它实施例是较佳的或有利的。此外,并不打算受先前的技术领域、先前技术、发明内容或接下来的实施方式中所呈现的任何明确的或隐含的理论限制。

[0026] 本文中参考可以被各种计算机组件或器件执行的操作、加工任务和功能的符号表示,可以对某些技术和工艺进行描述。这样的操作,任务和功能有时被称作可计算机执行的,计算机化的,软件实现的或计算机实现的。实际上,通过控制表示系统存储器中的存储器位置上数据位处的电信号和其他信号的处理,一个或多个处理器件可执行此处描述的操作,任务和功能。当实现在软件或固件中时,此处描述的一些方法可通过执行不同任务的代码段或指令来表示。上述程序或代码段可存储在处理器可读介质中或通过具体化为载波的计算机信号实现在传输介质或通信路径中的传输。在这一点上,“处理器可读介质”或“机

器可读介质”可包括能够存储或传输信息的任何介质。处理器可读介质的例子包括但不限于：电子电路，半导体存储器件，ROM，闪存，可擦除 ROM (EROM)，软磁盘，CD-ROM，光盘，硬盘，或其它类似介质。

[0027] 在半导体器件的制造过程中使用光刻以及其他光刻技术。可利用这些技术在半导体晶片上形成光阻剂材料的图样，其中这些图样定义将被制造、处理或加工的特征、区域和/或区域的边界。例如，光刻可用来定义局域互连，有源半导体区域，栅极结构，侧壁隔垫，蚀刻掩模，离子注入掩模或者类似结构的布局。在这点上，典型的光刻系统采用辐射源，光学器件（例如，透镜，平面镜，或诸如水等液体），掩模以及用于晶片执行光刻的台(stage)。这样的光刻系统被用来将掩模上提供的图样或图像传输到目标材料或晶片的表面。

[0028] 光阻剂层形成在晶片的预期目标材料上方。该目标材料可以是绝缘层，导电层，屏蔽层或任何其他能够被蚀刻，掺杂，处理，加工或层叠的任何目标材料。例如，该目标材料可以但不限于是：多晶硅，硅化材料，诸如氮化硅材料等的硬掩模，防反射涂层，或任何其他适用的导体、半导体或绝缘材料。光阻剂层可包括各种光阻剂材料，成分或者适合光刻应用的化学制品。选择光阻剂层以响应于从辐射源发射的电磁辐射而发生光化学反应，并对电磁辐射具有足够的透射度以使光阻剂层有效地图样化。适用于光阻剂层的材料可包括基体材料或树脂、感光剂或缓蚀剂和溶剂等材料。光阻剂层可以是以化学方法放大的正性或负性基调(tone)的有机的光阻剂。光阻剂层也可以是包含硅的光阻剂。例如，光阻剂层可以但不限于是丙烯酸酯基聚合物、脂环基聚合物或者苯酚基聚合物。

[0029] 在此处描述的多个实施例中，光阻剂材料层可使用例如旋涂法(spin coating)沉积等任何适合工艺形成在目标材料上或半导体器件结构层上。给定的光阻剂层的厚度是根据特定的光刻工艺来选择的，例如，真空紫外线(VUV:vacuum ultraviolet)光刻，远紫外线(DUV:deep ultraviolet)光刻，和/或极远紫外线(EUV:extreme ultraviolet)光刻(使用，例如，曝光于具有波长为 193nm, 157nm, 126nm 或 13.4nm 的光)。在这点上，特定光阻剂层可具有 15-1000nm 的厚度范围，优选的厚度范围是 50-500nm。

[0030] 在光刻系统中使用的光学器件可合适地被配置为聚焦并引导辐射的图样(即，来自辐射源的辐射，该辐射通过掩模上提供的图样或图像进行了修改)到光阻剂层上。在某些实施例中，该掩模是二元掩模，其包括透明或半透明基底(例如，玻璃或水晶)以及其上的不透明或图样化层(其由铬或氧化铬形成)。该不透明层提供与将被投影到光阻剂层上的期望的电路图样、特征或器件相关的图样或图像。可选的是，该掩模可以是衰减相位偏移掩模，交替相位偏移掩模以及其他类型的掩模。

[0031] 许多半导体晶体管制造工艺要求自对准(self-aligned)特征，诸如自对准接触面(contact)到栅极特征和/或自对准局域互连到栅极特征。采用自对准工艺来避免接触面到栅极的短路以及能让以小节点工艺(例如，20nm 或更小的工艺)让通道长度缩放。相对于采用两光刻掩模的传统局域互连图样化解决方案，此处描述的技术和工艺利用具有自对准的双向局域互连图样的加工流程，其最终生成的图样具有更加紧密的引脚到引脚和引脚到线的间距。

[0032] 利用当前的光刻工具(例如，193nm 的浸入步进器)，具有间距在 80nm 以下的器件特征可采用公知的双图样化方法来创建。然而，采用双图样化技术达到间距在 80nm 以下的解决方案对每一个单独的光刻掩模来说，其被引脚到引脚和引脚到线的间距的需求所限

制。如此处所采用的,“引脚到引脚”(tip-to-tip)指的是在两个相邻的特征的尾端或末端之间的距离或长度,其中尾端或末端通常是以同轴方式进行定向的(oriented)。此处所用的“引脚到线”指的是一个特征的尾端或末端到其他特征的侧边缘之间的距离或长度,其中第一特征的尾端或末端通常垂直指向第二特征的侧边缘。为了解决与引脚到引脚和引脚到线的违规相关的限制问题,本发明提供一种三层掩模的方法。该三层掩模的方法利用两层掩模(用于硬掩模材料的双图样化)并结合阻挡掩模,该阻挡掩模使得能形成更小的引脚到引脚和引脚到线的间距。例如可采用该三层掩模方法而不需要使用 EUV 技术来缩放 SRAM 位单元以获得具成本效益的解决方案,因为目前 EUV 技术还没有完全准备好以用于半导体器件的大量生产。

[0033] 尽管本发明描述的技术可用来创建半导体器件或晶片上的不同特征,区域,元件,和/或结构,下面表述的示例性的实施例与 SRAM 器件的双向局域互连图样的形成相关。这些示例性的实施例并不是穷尽的,并且也没有用于限定或限制本发明主题的范围或应用。此处提到局域互连图样是因为使用传统的半导体器件制作工艺来对其进行缩放是相对困难的。

[0034] 图 1 是示例性的 6T SRAM 单元 100 的顶视图和部分透视图,其显示了双向局域互连的布局。尽管此处所述的是 6T 单元,相关的技术和原理也可用于其他 SRAM 单元的拓扑结构上,例如,4T,8T,10T 等等。图 1 以简单和透视的方式描述了 SRAM 单元 100 的特征,该方式最好地说明了此处采用的构思。此外,SRAM 单元 100 的特定布局仅是示例性的,所述的布局并不用于限定或限制本发明主题的范围。SRAM 单元 100 的实施例包括 4 个有源半导体区域 102 和 4 个协同工作的栅极(gate)结构 104 以形成 6 个晶体管器件。尽管从图 1 的透视图来看不是很明显,但众所周知,栅极结构 104 是形成在有源半导体区域 102 之上的。栅极结构 104 被认为是非双向的,因此栅极结构通常都定位在同一方向上(在图 1 中是垂直的)。

[0035] SRAM 单元 100 也包括多个局域互连,其是由诸如钨材料或者任何其他合适的金属材料等导电材料形成的。该特定的实施例包括:耦接到栅极结构 104a 的局域互连 106;耦接到有源半导体区域 102a 的两个局域互连 108/110;耦接到栅极结构 104c、有源半导体区域 102b 以及有源半导体区域 102a 的双向局域互连 112;耦接到有源半导体区域 102b 的局域互连 114;耦接到有源半导体区域 102c 的局域互连 116;耦接到栅极结构 104b、有源半导体区域 102c 以及有源半导体区域 102d 的双向局域互连 118;耦接到有源半导体区域 102d 的两个局域互连 120/122;以及耦接到栅极结构 104d 的局域互连 124。尽管从图 1 的透视图没有明确的表示出来,但是局域互连是形成在有源半导体区域 102,栅极结构 104 和/或半导体衬底的其他区域之上的(图 1 中,其他这些区域缺少可识别的器件特征)。局域互连 112 和 118 被认为是双向的,因为每一个互连通常指向两个不同的方向(图 1 中的水平和垂直方向)。上述特定电子耦合以及 SRAM 单元 100 的布局满足对 6T SRAM 单元操作的公知原理和要求,而对 SRAM 单元 100 的操作在此处就不再赘述。

[0036] 实际上,在单一的半导体衬底上可多次制造单一的 SRAM 单元以提供大存储器容量。例如,在单独的半导体器件结构上多次复制 SRAM 单元 100 以形成 SRAM 单元阵列。在这一点上,图 2 是 3*2SRAM 单元阵列 150 的顶视图和部分透视图,该阵列是基于 SRAM 单元 100 的。SRAM 单元阵列 150 包括具有如图 1 所示的相同布局的三个 SRAM 单元 100a,以及具

有如图 1 所示的布局的镜像布局的三个 SRAM 单元 100b。其使得 SRAM 单元阵列 150 中的相邻单元能共享某些特征或者元件。例如,相邻单元可共享某些有源半导体区域和 / 或某些局域互连。

[0037] 一个实际的 SRAM 器件可能使用具有数百万的单元的阵列,并且制造商设法减少 SRAM 器件的实际尺寸。某些设计规则(其基于实际制造的容许偏差和限制)限制了一些特征可以向下缩放的数量。例如,设计规则指示在相邻掩模特征之间最小的引脚到引脚和引脚到线间距以避免特征的短路或合并在一起(其可以由光刻工具的实际限制所导致)。相应地,如果提出的布局包括潜在的设计规则违反(例如,引脚到引脚或引脚到线的违规),那么制造 SRAM 器件的该布局则是不实用或不现实的。在这一点上,图 2 标识了多个潜在的引脚到引脚的违规 152,其与 SRAM 单元阵列 150 的单光刻掩模相关。图 2 中的圆形区域对应于这些引脚到引脚的违规。在图 2 中,所有的引脚到引脚的违规与水平方向的局域互连特征相关。对这个实施例来说,尽管此处所描述的方法也可用来解决引脚到线的违规以及解决任何引脚到引脚和引脚到线的违规的组合,但 SRAM 单元阵列 150 未包括引脚到线的违规。

[0038] 图 3 是另一个 3*2SRAM 单元阵列 160 的顶视图和部分透视图,该阵列是基于变换的 SRAM 单元布局的。SRAM 单元阵列 160 包括 SRAM 单元 162 的 6 个重复物(包括三个镜像图像版本)。SRAM 单元阵列 160 的整体布局通常与图 2 中的 SRAM 单元阵列 150 的布局相类似。然而,与 SRAM 单元阵列 150 不同的是,SRAM 单元阵列 160 包括潜在的垂直方向的引脚到引脚的违规。因此,除了一些垂直的引脚到引脚的违规 166 之外,图 3 还描述了多个水平的引脚到引脚的违规 164。值得注意的是,水平的引脚到引脚的违规 164 与一个光刻掩模相关,同时垂直的引脚到引脚的违规与另一个光刻掩模相关。这一方面将在后面详细描述。

[0039] 由于设计规则违反的存在,使用传统的工艺制造 SRAM 单元阵列 150 和 SRAM 单元阵列 160 而不出现相邻的局域互连特征短路的情况是不可能的。下面描述的掩模的生成和半导体制造工艺和技术,通过多图样化光刻过程中消除掩模中潜在的引脚到引脚和引脚到线的违规,解决了这个问题并促进了具有亚 80 纳米精度的半导体器件(诸如 SRAM 器件)的制造。

[0040] 此处提到的示例性的多掩模解决方案在半导体器件结构上的多图样化工艺中使用至少两个掩模。硬掩模和其后的阻挡掩模的创建使得引脚到引脚和引脚到线的间距能更靠近,却不会导致在任意的掩模中的设计规则的违反。在这点上,图 4 是表示掩模生成工艺 200 的示例性实施例的流程图,执行该工艺以生成在半导体制造过程中使用的光刻掩模组。该工艺 200 表示了为具有减少的设计规则违反(相对于传统的方法而言)的半导体器件特征创建光刻掩模的示例性方法。结合工艺 200 执行的多个任务可通过软件、硬件、固件或者这些器件的任何组合来执行。实际上,工艺 200 的部分可通过一个或多个计算机设备、计算机系统或处理硬件来执行,该处理硬件适于执行具有计算机可读和 / 或处理器可执行指令的合适的软件程序,其中当指令被执行时,使得主机器件或处理器来执行上述描述的任务。例如,工艺 200 可合并或集成到适用于半导体器件的设计的计算机辅助设计应用程序、适用于半导体器件设计的设计规则检测应用程序或者类似的程序中。值得注意的是,工艺 200 可包括任意数量的附加的或替代的任务,图 4 中所示的任务不需要以图示的顺序来执行,并且工艺 200 也可被合并到一个此处未详细描述的具有附加功能的更详尽的工艺或过程中去。更进一步地,工艺 200 的实施例可忽略一个或多个图 4 中的任务(只要整体的功

能被保留)。

[0041] 工艺 200 通过获得、创建或提供期望的整体掩模图样的初始设计(任务 202) 来开始。在特定的 CAD 部署中,任务 202 可提供表示期望的掩模图样的初始数据,其中初始数据表明由整体掩模图样定义的布局,尺寸,排列,方向,和特征的相对位置(使用任何适合的参考或坐标系统,这很好理解)。这个示例涉及到(contemplate)图 2 所示的 SRAM 单元阵列 150 的局域互连的生成。相应地,任务 202 可提供,获取,或存储表示 SRAM 单元 100 (图 1) 的期望的局域互连布局的数据和 / 或指示 SRAM 单元阵列 150 的互连布局的数据(图 2)。

[0042] 假定工艺 200 的实施例使用多曝光 / 图样工艺来生成整体的掩模图样(例如,光刻 - 光刻 - 蚀刻(LLE:litho-litho-etch)工艺,光刻 - 蚀刻 - 光刻 - 蚀刻(LELE:litho-etch-litho-etch)工艺,光刻 - 冻结 - 光刻 - 蚀刻(LFLE:litho-freeze-litho-etch)工艺,或者其他类似工艺)。在某些实际的实施例中,因为 LELE 是比较健壮且公认的工艺,因此工艺 200 采用该 LELE 工艺。相应地,整体掩模图样被分解为多个不同的部分掩模图样(任务 204)。在实际操作中,任务 204 以合适的方式来处理或分析初始数据从而来执行上述分解,其中初始数据表示整体掩模图样。尽管可以生成任意数量的部分掩模图样,但本实施例将总体掩模图样分解为第一部分掩模图样和第二部分掩模图样。工艺 200 在现有的或传统的分解技术,软件应用程序以及工艺中维持平衡。相应地,任务 204 使用的特定分解技术在此处不再赘述。

[0043] 在图 5 和图 6 中描述了任务 204 生成的示例性部分掩模图样,其中图 5 是第一部分掩模图样 300 的顶视图,图 6 是第二部分掩模图样 302 的顶视图。第一部分掩模图样 300 定义了位于独立的 SRAM 单元边界的短的垂直方向的局域互连。在第一部分掩模图样 300 中的掩模特征 301 在图 2 所示的 SRAM 单元阵列 150 中也可找到。第二部分掩模图样 302 包括掩模特征 304,其定义了位于独立的 SRAM 单元边界的水平方向的局域互连。第二部分掩模图样 302 还包括掩模特征 306,其定义了位于独立的 SRAM 单元边界内的双向方向的局域互连。在图 2 所示的 SRAM 单元阵列 150 中也可找到掩模特征 304/306。由于形成在半导体衬底上的光阻剂材料的最终图样包括对应于掩模特征 301/304/306 大致轮廓的间距或孔洞,因此上述两个掩模图样的特征是“负性的”。换句话说,图 5 和图 6 中所示的掩模特征 301/304/306 将缺少光阻剂材料。

[0044] 然后工艺 200 继续进行,即通过分析部分掩模图样来识别在部分掩模图样中的某些设计规则违反(任务 206)。对当前生成 193nm 的渐进浸入工具来说,小于约 90-112nm 的引脚到引脚或引脚到线间距都被认为是设计规则违反。实际上,任务 206 与合适的设计规则检查(DRC)过程相关,其确定在部分掩模图样中引脚到引脚和 / 或引脚到线的违规的存在。因此,任务 206 可通过相应的处理硬件来执行,该硬件分析通过使用合适的 DRC 应用、程序或算法表示部分掩模图样的数据。假定本实施例第一部分掩模图样 300 中没有引脚到引脚或引脚到线的违规。另一方面,假定本实施例中的任务 206 在第二部分掩模图样 302 中识别到一些引脚到引脚的违规(在第二部分掩模图样 302 中不存在引脚到线的违规)。在图 6 中,所识别到的违规 308 以双向箭头来表示。图 6 也描述了使用箭头和椭圆形来表示的一些识别到的违规 310;这些识别到的违规 310 被定位在阵列的外边界,并且预期将会有出现在相邻单元中的实际违规。应该理解的是,基于整体掩模图样的特定布局以及基于任务 204 将整体掩模图样分解成它的部分掩模图样的方式,工艺 200 可仅在一个部分掩模图

样中,在所有的部分掩模图样中,或者在一些而不是所有的部分掩模图样中发现设计规则违反。

[0045] 在某些实施例中,任务 206 可利用与用于整体掩模图样的例如相同的参数、坐标或测量系统确定识别到的违规的尺寸、位置、方位和 / 或布局。然后上述信息可用来产生或生成光刻阻挡掩模图样(任务 208)。在这点上,阻挡掩模图样具有这样的特征,这些特征是从识别到的违规的尺寸中产生、获得的或者被这些尺寸所影响的。实际上,任务 208 可由适当的处理硬件来执行,该处理硬件根据识别到的违规来产生阻挡掩模数据。如下更详细描述,在半导体器件的制造过程中,阻挡掩模图样选择性地阻挡半导体器件结构上的特征的形成。图 7 是在任务 208 的执行过程中可能生成的示例性阻挡掩模图样 320 的顶视图。值得注意的是,任务 208 可生成对应于希望阵列(如图 7 所示)的阻挡掩模图样,或者可生成仅对应于一个单元的阻挡掩模图样。

[0046] 阻挡掩模图样 320 包括与识别到的设计规则违反相对应的掩模特征 322 (参见图 6)。与图 5 和图 6 中的掩模特征 301/304/306 相比较,在阻挡掩模图样 320 上的掩模特征 322 是“正性的”,因为形成在半导体衬底上的光刻材料的最终图样与掩模特征 322 相对应。换句话说,掩模特征 322 出现在哪里,光阻剂材料就会保留在哪里。每个掩模特征 322 的位置和宽度是基于其各自的设计规则违反的位置和宽度的。实际上,掩模特征 322 的尺寸可与识别到的设计规则违反的对应尺寸相等。可选的是,如果需要矫正工艺偏差和 / 或制造工具的特征,掩模特征 322 可以被缩放,这样的话,掩模特征 322 的尺寸与所识别到的设计规则违反的对应的尺寸则不相等。例如,可能需要使掩模特征 322 比其配对的违反稍微大一些 / 小一些(实际上,掩模特征 322 典型地被放大,即比配对违反的尺寸稍微大一些)。进一步地,当考虑引脚到引脚和引脚到线的违规时,识别到的违规会通常确定一个尺寸,即,在两个相邻引脚间的距离或引脚到线之间的距离。然而,阻挡掩模图样 320 包括以两种尺寸定义的掩模特征 322。对于这个实施例,掩模特征 322 的水平尺寸对应于识别到的违规的尺寸。任务 208 也计算掩模特征 322 的垂直尺寸以避免对在部分掩模图样上找到的掩模特征的不期望的干扰,其原因在下面的描述中会变得很明显。

[0047] 在某些实施例中,在任务 208 执行中生成的阻挡掩模服从于 DRC 过程(任务 210)以检查该阻挡掩模自身中设计规则的违反。因此,任务 210 可通过相应的处理硬件来执行,该处理硬件使用适当的 DRC 应用,程序或算法来分析阻挡掩模数据,以识别在该阻挡掩模中的任何引脚到引脚和 / 或引脚到线的违规。如果阻挡掩模包括引脚到引脚或引脚到线的违规(查询任务 212),那么工艺 200 则退出,启动整体掩模图样的重新设计,试图以不同的方式分解整体掩模图样或采取其他适合的操作。此外,尽管此处未详细描述,但是利用上面提到的工艺和方法创建或使用多个阻挡掩模图样可能是期望的或必须的。例如,如果单阻挡掩模图样不能在无违规的情况下创建的话,则可能需要使用多阻挡掩模图样。

[0048] 如果阻挡掩模上的 DRC 未使用并且该阻挡掩模不存在设计规则违反,那么根据阻挡掩模图样和 / 或识别到的违规来修改至少一个部分掩模图样(任务 214)从而继续执行工艺 200。当执行该工艺时,任务 214 将根据期望的掩模图样来修改初始数据(例如,图 6 中所示的第二部分掩模图样 302)以获得表示修改过的掩模图样的更新数据。执行任务 214,这样的话,修改的掩模图样不存在诸如引脚到引脚或和引脚到线的违规等设计规则违反。因此,在任务 214 的执行过程中执行的修改会受阻挡掩模图样中识别到的违规的尺寸和 / 或

特征的尺寸影响。

[0049] 基于整体掩模图样的特定布局以及基于在任务 204 中将整体掩模图像分解为部分掩模图样的方式,工艺 200 可修改仅一个部分掩模图样,所有的部分掩模图样,或一些但不是全部的部分掩模图样。此处描述的简单实施例假定第一部分掩模图样 300 (图 2) 保持未修改同时只有第二部分掩模图样 302 (图 3) 被修改。在这点上,图 8 是第二部分掩模图样 302 的修改版本的顶视图。该修改的掩模图样 340 的示例性实施例包括第二部分掩模图样 302 和其他掩膜特征的所有掩模特征,其他掩膜特征“填满”了对应于识别到的违规 308/310 的间距或缝隙。相应地,第二部分掩模图样 302 的初始数据被修改,这样的话,该更新的数据表示第二部分掩模图样 302 的合并或混合的版本,该版本已经定义了代替识别到的违规 308/310 的特征。换句话说,通过用定义的特征来取代识别到的违规 308/310,初始的第二部分掩模图样 302 可被处理并变换成修改的掩模图样 340。

[0050] 参考图 8,修改的掩模图样 340 包括三个合并掩模特征 342,每一个都包括在第二部分掩模图样 302 中找到的两个掩模特征 304。需要注意的是,每一个合并的掩模特征 304 都是单独并连续的特征,其没有引脚到引脚或引脚到线的违规。该修改的掩模图样 340 也包括 4 个 U 型合并掩模特征 344,每一个合并掩模特征 344 包括在第二部分掩模图样 302 中找到的两个掩模特征。需要注意的是,每一个 U 型合并掩模特征 344 是单独且连续的特征,其没有引脚到引脚或引脚到线的违规。修改的掩模图样 340 还包括三个扩展的掩模特征 346,其中的每一个都表示位于第二部分掩模图样 302 的边界的各自的掩模特征 304 的扩展版本。类似地,修改的掩模图样 340 包括四个扩展的 L 型掩模特征 348,每一个掩模特征 348 表示位于第二部分掩模图样 302 的邻近边界的各自的掩模特征 306 的扩展版本。在修改的掩模图样 340 上的特征是“负性的”,因为形成在半导体衬底上的光阻剂材料的最终图样包括具有对应于掩模特征 342/344/346/348 的轮廓的间距或孔洞。换句话说,无论在何处出现掩模特征 342/344/346/348,该位置都会缺少光阻剂材料。修改的掩模图样 340 不存在设计规则违反,并且在该掩模图样 340 上的 DRC 会返回合格的产品。

[0051] 再次回到图 4,任务 214 的执行最终生成修改的部分掩模图样组,其中位于该组中的每一个掩模图样都没有引脚到引脚和引脚到线的违规。然后工艺 200 可保存与初始部分掩模图样、修改掩模图样和阻挡掩模图样相对应的数据(任务 216)。然后上述数据可为阻挡掩模图样和为修改的部分掩模图样组来生成 / 创建光刻掩模。对于这个实施例,将创建三种不同的光刻掩模:定义初始第一部分掩模图样 300 的光刻掩模;定义修改掩模图样 340 的光刻掩模;以及定义阻挡掩模图样 320 的光刻掩模。然后在半导体器件(例如,SRAM 器件)的制造过程中利用这些掩模来形成特定的半导体器件特征。在这点上,参考图 9-20 在下面描述示例性的制造工艺。

[0052] 图 9-20 包括半导体器件结构的截面视图和顶视图,该半导体器件结构经历多次曝光 / 图样化制造工艺。可采用该制造工艺来制造半导体器件,该半导体器件在器件特征和 / 或很窄的线宽之间具有相当接近的公差。为了简单和一致,该制造工艺利用上面提到的三种光刻掩模,即,第一部分掩模,修改掩模和阻挡掩模,因此,此处描述的示例性制造工艺可用来在 SRAM 器件结构上创建器件特征。

[0053] 图 9 描述了其上已经形成目标材料的示例性半导体器件结构 400。在该工艺的这一点上,半导体器件结构 400 包括但不限于:半导体材料层 402;在半导体材料层 402 上方

的第一绝缘材料层 404 ;在第一绝缘材料层 404 上形成的两个栅极结构 405 ;在第一绝缘材料层 404 的上方并覆盖栅极结构 405 的第二绝缘材料层 406 ;以及在第二绝缘材料层上方的硬掩模材料层 408。参考图 2,包括在图 9-20 的截面视图对应于邻近两个栅极结构引脚到引脚的局域互连区域,但是在局域互连的引脚之间没有有源的半导体区域。值得注意的是,在不包括栅极结构的区域,包括有源半导体区域的区域等等区域中,半导体器件结构 400 的截面构成是不同的。

[0054] 半导体材料 402 优选的是硅材料,这种硅材料使用在半导体产业中,例如,相对地纯的硅和混合有诸如锗、碳等其他元素的硅。替代地,半导体材料 402 可以是锗、砷化镓等。半导体材料 402 可以是 N- 型或 P- 型,但通常是 P- 型,带有形成于其中的合适类型的阱。半导体材料 402 可以作为成块的半导体衬底提供,或者提供在绝缘体上有硅(SOI)衬底上,绝缘体上有硅(SOI)衬底包括支撑衬底,在支撑衬底上的绝缘层,以及在绝缘层上的硅材料层。

[0055] 对于本实施例,第一绝缘材料层 404 表示半导体器件结构的浅沟道绝缘体(STI)。在一些实施例中,用于第一绝缘材料层 404 的浅沟道绝缘体(STI)材料是氧化物材料,诸如硅酸乙脂(TEOS)氧化物,高密度等离子体氧化物,或者其他类似的材料。第二绝缘材料层 406 用来形成沟道,填满该沟道以创建局域互连的期望图样。在该制造工艺的这一点上,第二绝缘材料层 406 封装栅极结构 405 (其被简单地描述为阻挡(block),尽管实际上每一个栅极结构 405 可以是不同材料层的堆栈,这很好理解)。基于该实施例,第二绝缘材料层 406 可包括氧化物材料,诸如,但不限于,TEOS 氧化物。值得注意的是,半导体器件结构通常包括位于第一绝缘材料层 404 和第二绝缘材料层 406 之间的薄接触面(contact)蚀刻停止层(例如,氮化物层)。在图 9 中未标识该薄接触蚀刻停止层。在典型的实施例中,第二绝缘材料层 406 具有大约 100nm 到大约 250nm 的范围的厚度,尽管如果需要的话其他厚度也可被利用。

[0056] 硬掩模材料层 408 被形成在第二绝缘材料层 406 之上,其中利用了例如适当的沉积工艺,该沉积工艺如化学气相沉积(CVD:chemical vapor deposition),低压 CVD (LPCVD:low pressure CVD),等离子增强 CVD (PECVD:plasma enhanced CVD),大气压 CVD (APCVD :atmospheric pressure CVD),物理气相沉积(PVD :physical vapor deposition),原子层沉积(ALD :atomic layer deposition),或其他类似的工艺。在一些实施例中,防反射涂层(未显示)可形成在硬掩模材料层 408 之上。在不同的实施例中,防反射涂层可包括一个或多个有机底部防反射涂膜(BARC :bottom anti-reflective coating)层,无机 BARC 层,以及混合有机 - 无机 BARC 层。尽管优选的实施例利用了 CVD 材料,在不同的实施例中硬掩模材料 408 可以是热生长材料。实际上,硬掩模材料 408 是电感材料,诸如,氮化物,优选的,氮化硅,并且基于不同的实施例,硬掩模材料 408 形成具有大约 20nm 到 500nm 的典型厚度,当然厚度也可以在该典型厚度范围之外。硬掩模材料 408 也可以包括碳化硅,氧掺杂碳化硅,氮掺杂碳化硅,氧掺杂氮化硅,碳掺杂氮化硅,以及氧和碳掺杂氮化硅中的一种或多种。

[0057] 在提供了硬掩模材料层 408 之后,通过利用合适的光刻掩模,执行多个曝光 / 图样化光刻工艺,继续该制造工艺。对该实施例而言,对应第一部分掩模图样 300 和修改掩模图样 340 的掩模被用来在半导体器件结构 400 上形成初始光阻剂特征。图 10 是在组合特征

图样已经形成在硬掩模材料层 408 上方的光阻剂材料 414 之后半导体器件结构 412 的顶视图,并且图 11 是半导体器件结构 412 的从图 10 的线 11-11 看的截面视图。图 11 描绘了形成在光阻剂材料 414 中的负性掩模特征 416。如图 10 所示,该负性掩模特征 416 表示与修改的掩模图样相关的合并的水平特征。光阻剂材料 414 包括多个形成在其中的负性掩模特征,如图 10 所示。如上所述的原因,光刻步骤导致组合的光阻剂特征图样是没有引脚到引脚和引脚到线设计规则违反的。

[0058] 然后,通过利用组合的光阻剂特征图样作为蚀刻掩模来选择性地蚀刻硬掩模材料层继续该制造工艺。图 12 描绘了硬掩模材料层 408 被蚀刻之后的半导体器件结构 420。选择在此步骤中使用的蚀刻技术和蚀刻工艺,这样的话,当光阻剂材料 414 和其下方的第二绝缘材料层 406 保持完整时,硬掩模材料层 408 (例如,氮化物材料) 被选择性地移除。可使用合适的化学和 / 或物理蚀刻技术和蚀刻化学品,包括但不限于:基于等离子蚀刻的氟,反应离子蚀刻,基于氟的化学蚀刻,可选的氩和氧。该蚀刻步骤最终生成形成在硬掩模材料层 408 中的凹线图样 422。在这一点上,剩余的硬掩模材料 408 对应于正性的硬掩模图样,同时负性的凹线图样 422 也被定义在其中。如图 12 所示,凹线图样 422 以自对准的方式来形成出现在光阻剂材料 414 中的特征。换句话说,凹线图样 422 可通过组合的光阻剂特征图样来定义。相应地,凹线图样 422 的顶视图可具有与图 10 中所示的相同的总体外表,并且至少一些凹线图样 422 会包括双向凹线。

[0059] 通过从硬掩模材料 408 上移除光阻剂材料 414,该制造工艺继续执行,最终生成图 13 所示的半导体器件结构 430。在光阻剂材料 414 移除之后,凹线图样 422 保留在其定义的硬掩模 408 中。因此,制造过程形成光阻剂特征的阻挡图样,其覆盖在凹线图样 422 的指定区域上。图 14 描述了在光阻剂特征的阻挡图样 442 形成之后半导体器件结构 440 的状态。对这个实施例而言,硬掩模蚀刻步骤曝光第二绝缘材料 406 的一些部分,同时第二绝缘材料 406 的其他部分由其他光阻剂材料 414 来保护。光阻剂特征的阻挡图样 442 被形成在或位于第二绝缘材料 406 的一些曝光部分的上方,如图 14 所示。

[0060] 光阻剂特征的阻挡图样 442 可通过使用对应于图 7 中的阻挡掩模图样 320 的光刻掩模来曝光光阻剂材料层而生成。当曝光光阻剂材料被显影后,剩余的光阻剂材料表示光阻剂特征的阻挡图样 442。如上提到的原因,光阻剂特征的阻挡图样 442 不存在引脚到引脚和引脚到线的设计规则违反。图 15 是光阻剂特征的阻挡图样 442 生成之后的半导体器件结构 440 的顶视图。图 15 包括表明图 14 透视图的截面线 14-14。值得注意的是,光阻剂特征的阻挡图样 442 包括多个独立的阻挡(block),每一个都覆盖在第二绝缘材料层 406 上。此外,光阻剂特征的阻挡图样 442 与凹线图样 422 中定义的一个或多个凹线交叉。对图 15 中的实施例来说,该阻挡覆盖在该类凹线上,并且在与引脚到引脚的违规尺寸垂直的方向上,这些阻挡延伸超出了凹线的边界(没有干扰其他邻近特征)。

[0061] 利用硬掩模材料 408 和光阻剂特征的阻挡图样 442 作为蚀刻掩模来选择地蚀刻第二绝缘材料层 406 以继续该制造工艺。图 16 描述了在第二绝缘材料层 406 已经被蚀刻后的半导体器件结构 450。选择在该步骤中使用的蚀刻工艺和蚀刻化学品,使得当硬掩模材料 408、用在光阻剂特征的阻挡图样 442 上的光阻剂材料、栅极结构 405 以及下方的第一绝缘材料层 404 保持基本完好时,第二绝缘材料层 406 (即,氧化物) 被选择性地移除。图 16 中所示的沟道 452 被形成,这样的话这些沟道终止在第一绝缘材料层 404 或其附近。实际

上,该蚀刻步骤可能会在第一绝缘材料层 404 形成一些轻微的凹线,然而,可控制这些凹线使得它们不会不利地影响整体制造工艺或最终器件的性能。作为一个实施例,适合的蚀刻工艺和蚀刻化学过程,包括但不限于,基于氟的化学蚀刻。该蚀刻步骤生成形成在第二绝缘材料层 406 中的沟道图样 452。如图 16 所示,沟道图样 452 以自对准的方式由硬掩模 408 和光阻剂特征 442 的阻挡图样来形成。换句话说,沟道图样 452 是由硬掩模 408 和光阻剂特征的阻挡图样 452 来定义的。相应地,沟道图样 452 的顶视图与图 15 中顶视图应该具有相同的总体外表,并且沟道图样 452 中的至少一个是双向的。

[0062] 值得注意的是,光阻剂特征的阻挡图样 442 保护第二绝缘材料层 406,这样的话不是所有定义在修改掩模图样 340 (图 8) 中的特征实际上都实现。此外,由于光阻剂特征的阻挡图样 442 是基于识别到的违规 (identified violations) 308/310 的 (图 6),因此最终的沟道图样 452 与半导体器件最初的整体设计掩模图样是对应的。

[0063] 如上所述,图 16 的截面视图对应半导体器件结构 450 上不包括下方有源半导体区域的位置。对于不包括下方有源半导体区域的半导体器件结构 450 的区域来说,沟道图样 452 可扩展到衬底的一个或多个附加层或区域(其将定位在截面位置处而不是图 16 中所示的位置,例如,对应于图 16 页面中的更里的或更靠外的某一点上)。例如,在半导体器件结构 450 的某个区域中,至少形成一个沟道,使得不会有栅极结构定位在沟道中。而另一个实施例中,在半导体器件结构 450 的某个特定区域中,形成至少一个沟道是必须的,使得这个沟道可终止在有源晶体管区域,例如,源区或漏区。

[0064] 通过移除光阻剂特征的阻挡图样 442 和硬掩模材料 408,该制造工艺继续执行,并生成图 17 中所示的半导体器件结构 460。实际上,光阻剂特征的阻挡图样 442 的移除是通过,例如,选择性的湿化学蚀刻来移除,并且硬掩模材料 408 的移除可通过,例如,选择性的离子化或化学蚀刻来实现。依赖于所使用的特定材料,使用单一的蚀刻过程来实现光阻剂特征的阻挡图样 442 和硬掩模材料 408 的移除也是可能的。

[0065] 通过导电材料来至少部分地填充沟道来继续制造过程。在某些实施例中,沟道完全地被导电材料所填充。实际上,制造工艺将通常“充满”沟道,由此导致一些覆盖材料会在第一绝缘材料层 406 的上方。图 18 显示了产生的半导体器件结构 470。如图 18 所示,沟道已经被导电材料 472a 所填满,同时一些导电材料 472b 也在第一绝缘材料层 406 的上方形成。此外,导电材料 472a 覆在和覆盖在栅极结构 405 上(因此,栅极结构 405 的导电材料元件,例如,硅接触区域,将与导电材料 472a 电性耦合)。在某些实施例中,导电材料 472 是例如使用 CVD 工艺,溅射工艺或类似工艺而沉积的金属材料(例如,钨材料,铜材料,或者类似的材料)。

[0066] 在导电材料 472 被沉积之后,该制造工艺移除导电材料 472b 的覆盖部分,其生成图 19 中所示的半导体器件结构 480。导电材料 472b 的覆盖部分通过,例如,化学机械抛光过程来实现,该过程在第二绝缘材料层 406 被曝光之后停止。因此,导电材料 472a 的曝光平面大体上与第二绝缘材料层 406 的曝光平面基本上是在同一平面。

[0067] 半导体器件结构 480 上的导电材料的最终布局表示了半导体器件的导电局域互连的希望图样。图 20 是局域互连生成之后的半导体器件结构 480 的顶视图,其包括导电材料 472。图 20 包括指明图 19 的透视图的截面线 19-19。值得注意的是,局域互连的图样包括导电材料 472 的许多独立部分,这些独立部分被第二绝缘材料层 406 所包围。图 20 所示

的局域互连的图样与图 12 所示的 SRAM 单元阵列 150 相对应。

[0068] 在半导体器件结构 480 的局域互连生成之后,可执行任意数量的附加加工步骤来完成在衬底上的一个半导体器件或多个半导体器件的制造过程。这些后续的加工步骤在此处就不再赘述。

[0069] 尽管上面的具体实施方式介绍了至少一个示例性实施方式,然而应当理解,存在许多的变形。还应理解,本文所述的一个或多个示例性实施方式不是为了以任何方式限制所要求保护的主题的范围、适用性或结构。相反地,上述的具体实施方式将为本领域的技术人员提供实现所述一个或多个所述实施方式的方便的线路图。应当理解的是,在各元素功能和排列上可以进行任何改变而不违背该权利要求所限定的范围,包括在提出本专利申请时已知的等同和可预见的等同。

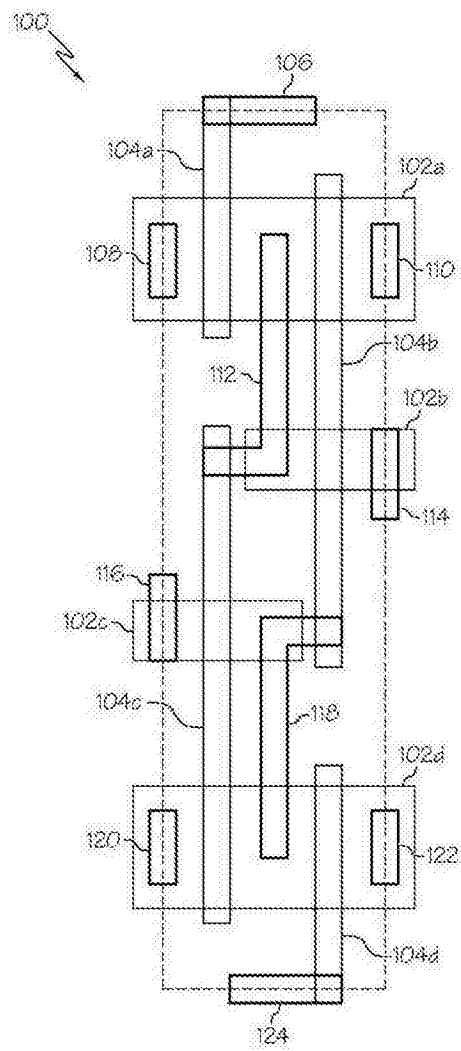


图 1

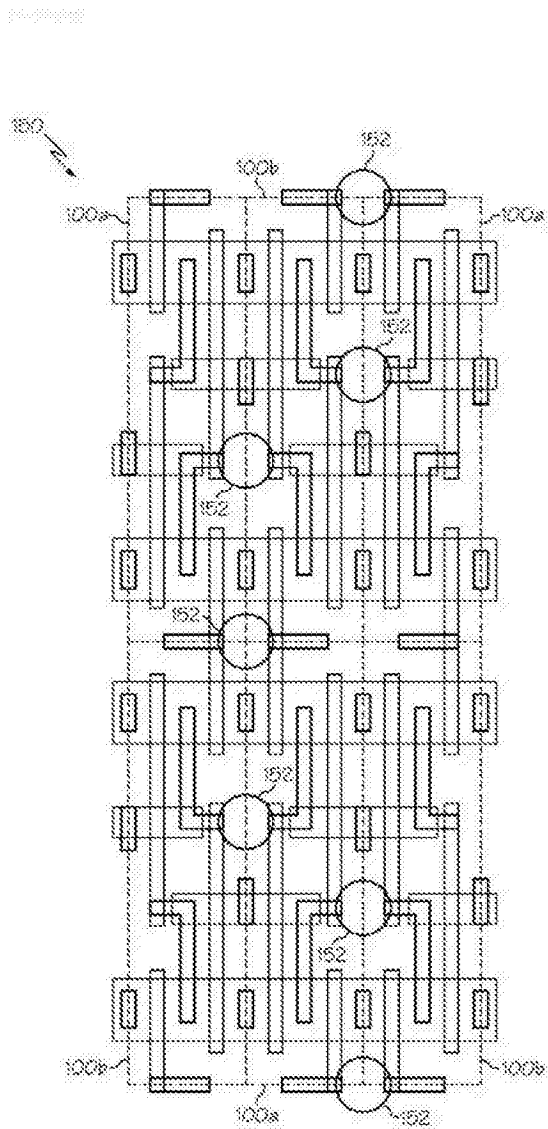


图 2

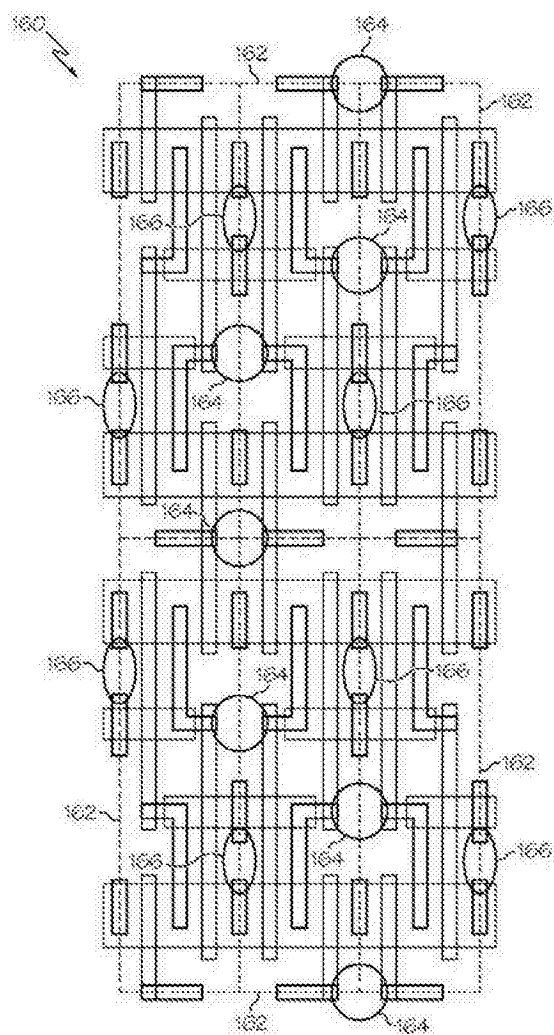


图 3

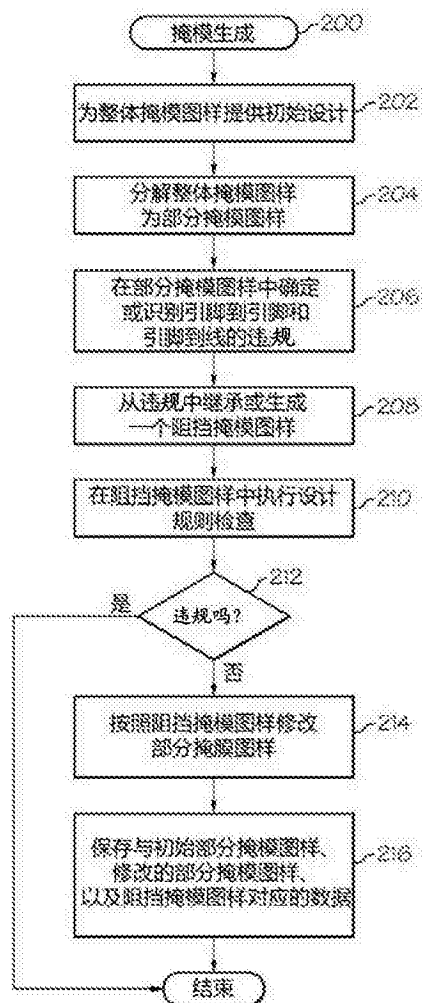


图 4

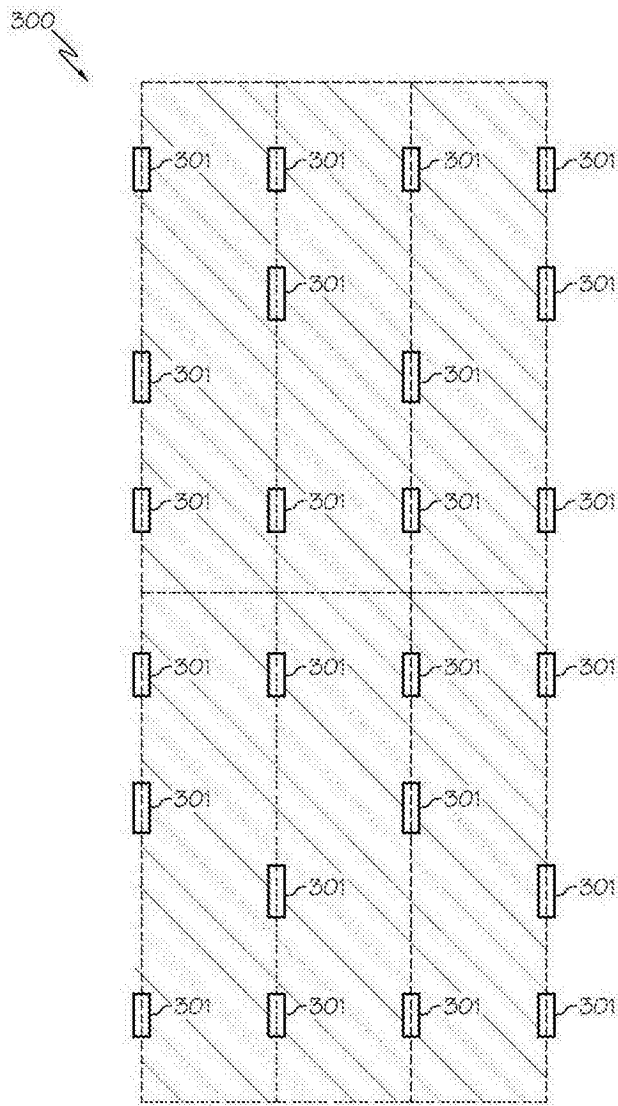


图 5

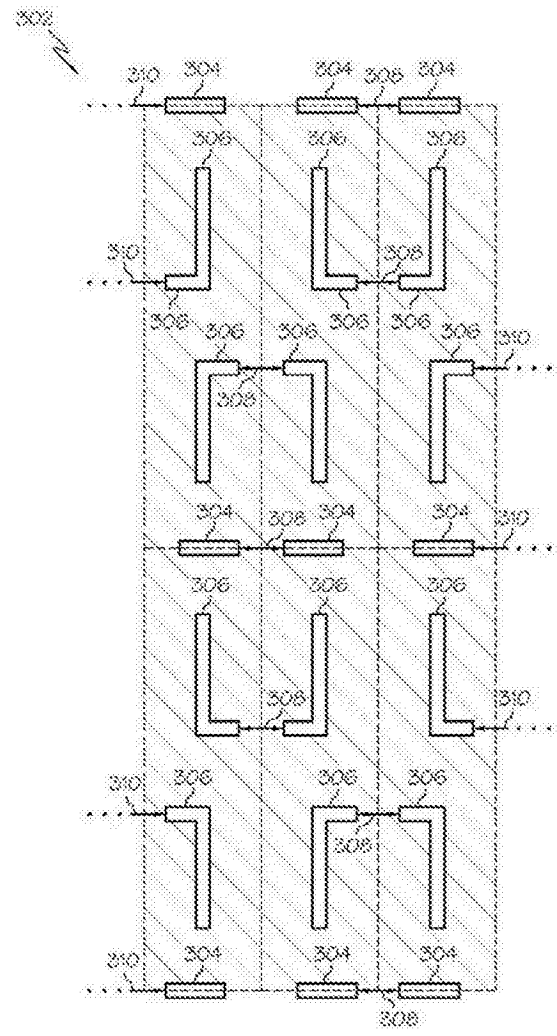


图 6

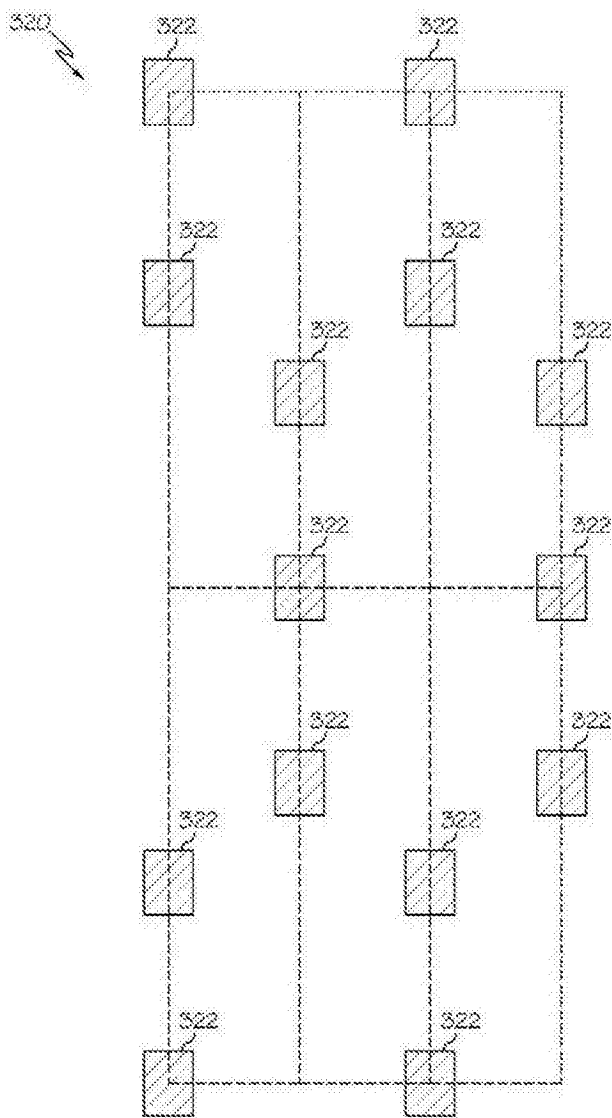


图 7

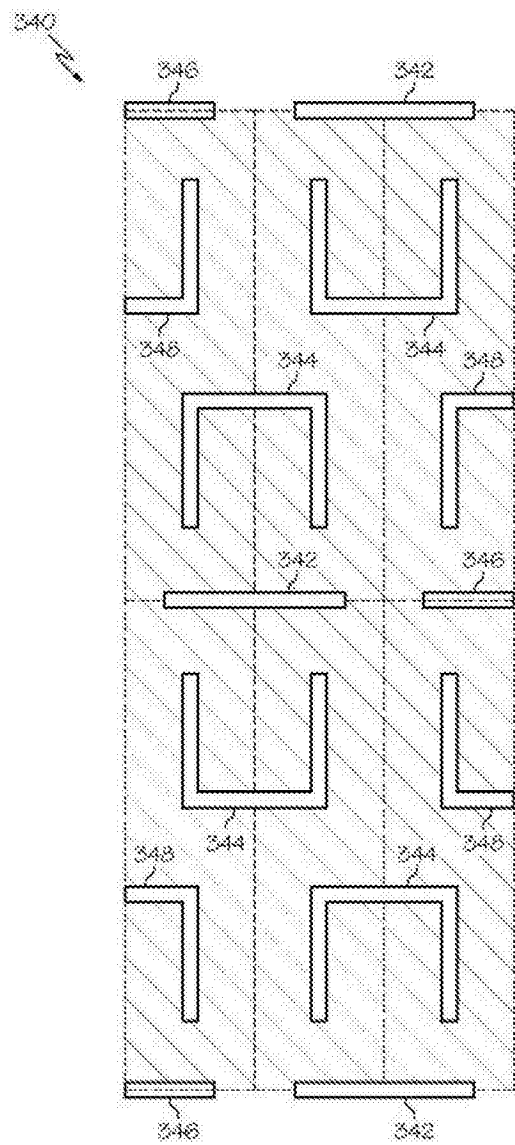


图 8

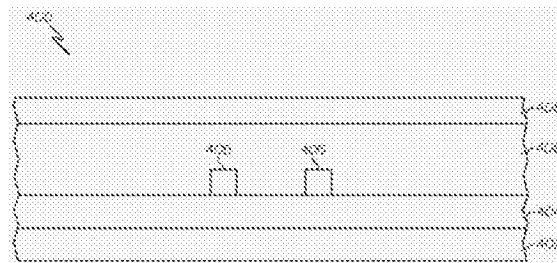


图 9

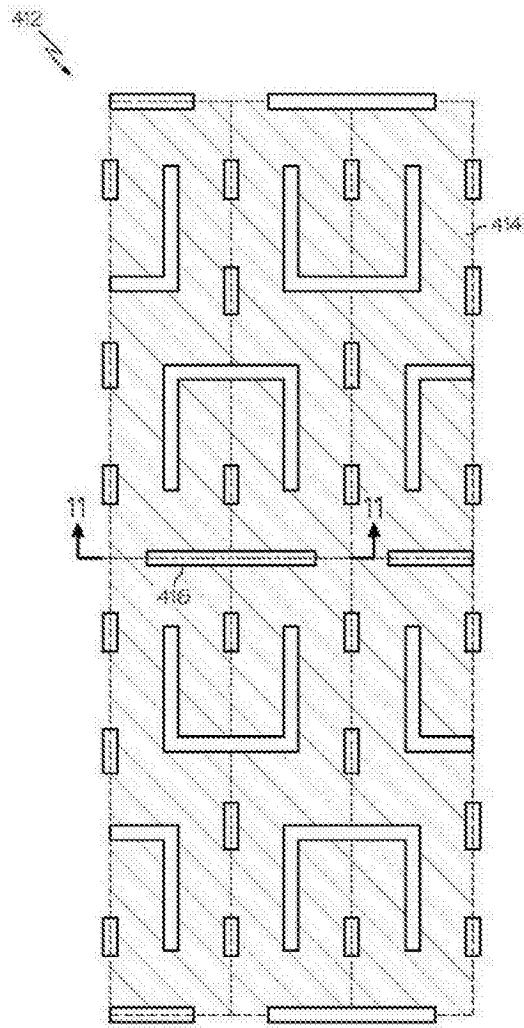


图 10

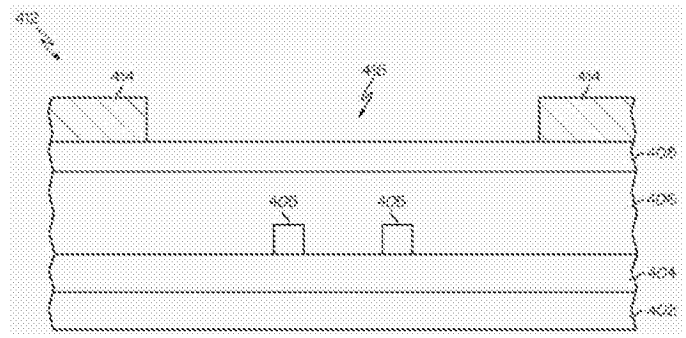


图 11

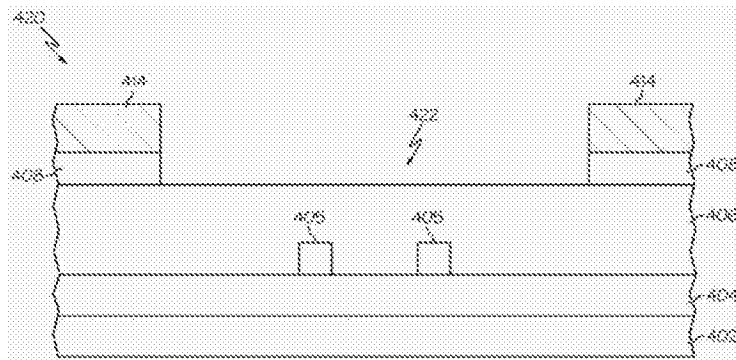


图 12

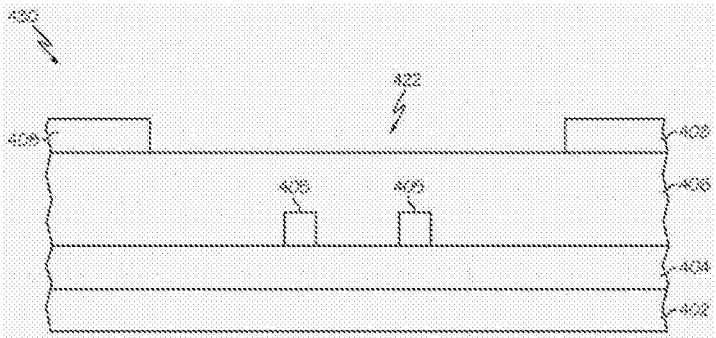


图 13

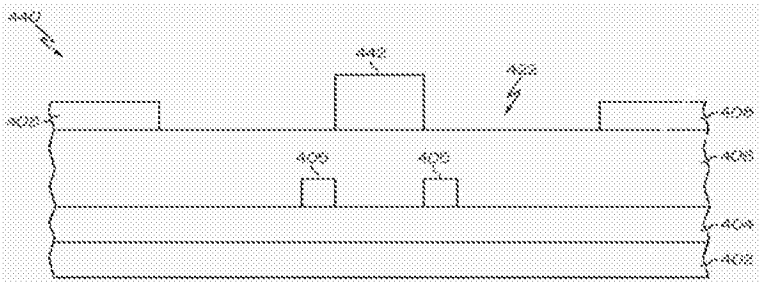


图 14

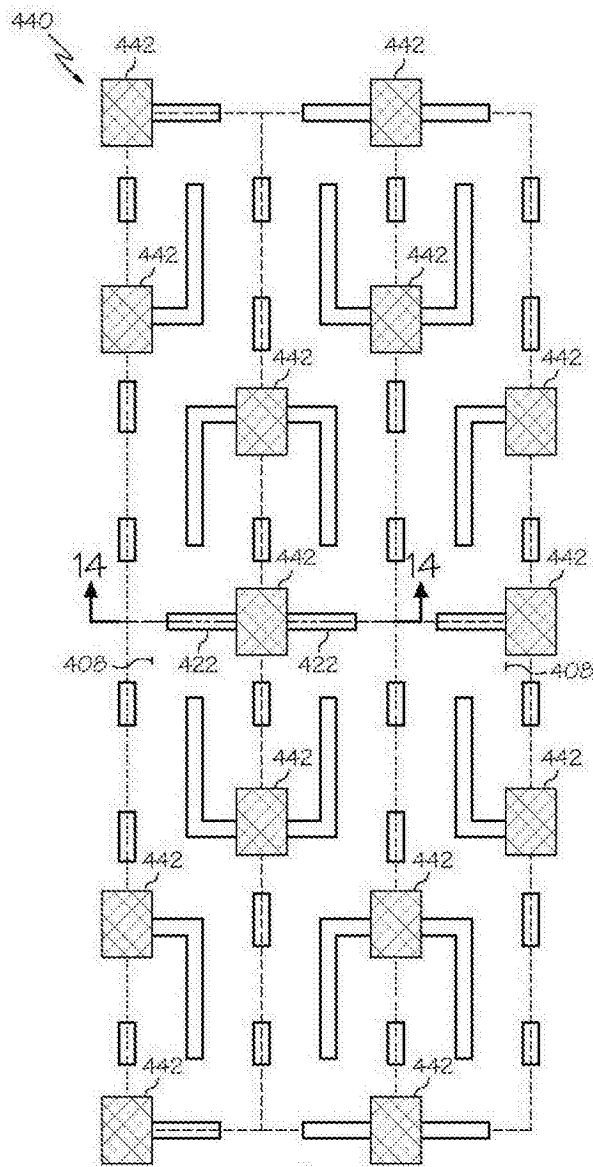


图 15

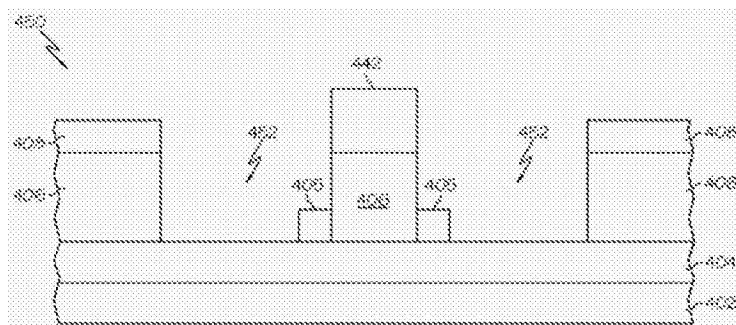


图 16

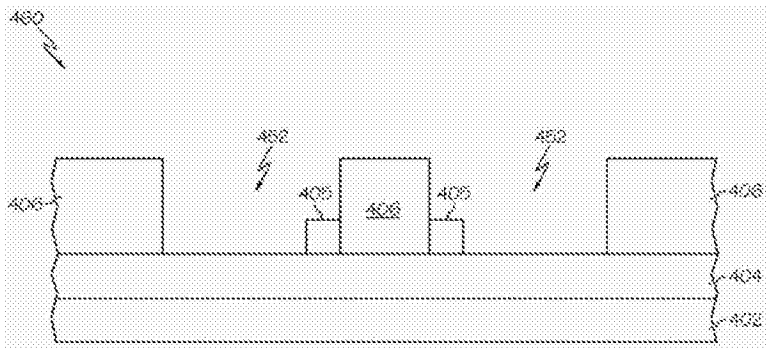


图 17

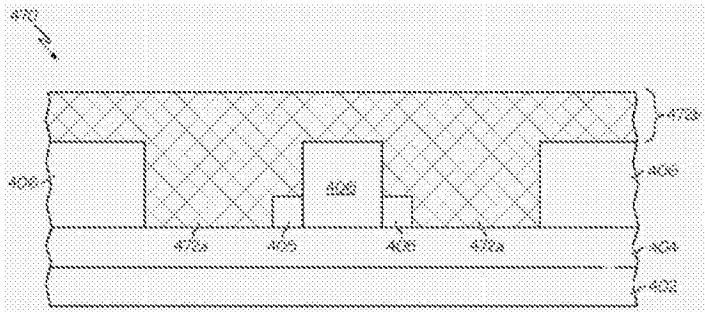


图 18

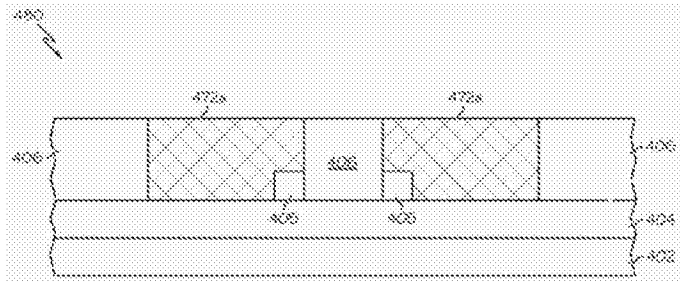


图 19

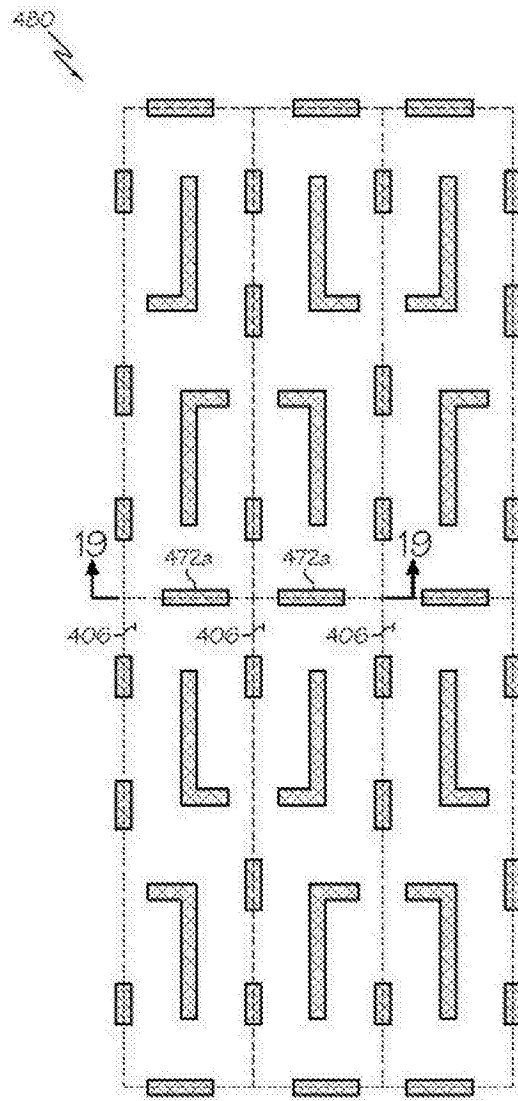


图 20