

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年5月10日(10.05.2012)

PCT

(10) 国際公開番号
WO 2012/060320 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2011/075056
- (22) 国際出願日: 2011年10月31日(31.10.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-247037 2010年11月4日(04.11.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 貝川 裕之
(KAIGAWA Hiroyuki).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大
阪府大阪市中央区北浜一丁目8番16号 大
阪証券取引所ビル10階 奥田国際特許事務
所 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロ
シア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

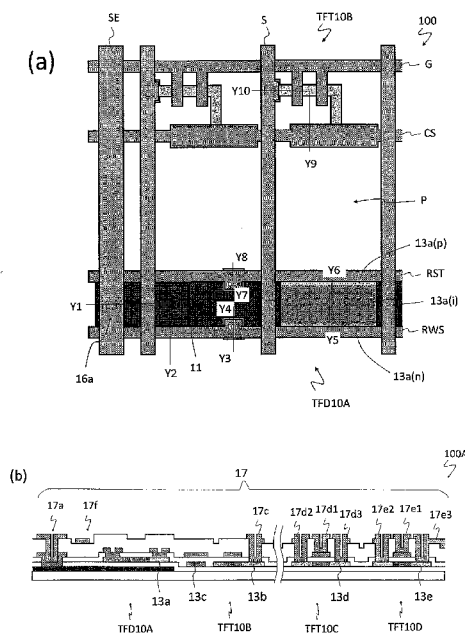
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図1]



(57) Abstract: This semiconductor device (100) is provided with: a substrate (1); a thin film diode (10A) supported on the substrate (1) and equipped with a first semiconductor layer (13a) having a P-type region (13a(p)) and an N-type region (13a(n)); a first wire (RST) disposed so as to overlap with the first semiconductor layer (13a) of the thin film diode (10A) and connected to the P-type region (13a(p)); a second wire (RWS) disposed so as to overlap with the first semiconductor layer (13a) of the thin film diode (10A) and connected to the N-type region (13a(n)); and a thin film transistor (10B) supported on the substrate (1) and having a second semiconductor layer (13b), a gate electrode, a source electrode, and a drain electrode. The first wire (RST) and the second wire (RWS) are formed from the same conductive film (15) as the gate electrode.

(57) 要約: 本発明による半導体装置 (100) は、基板 (1) と、基板 (1) に支持された、P型領域 (13a(p)) とN型領域 (13a(n)) とを有する第1半導体層 (13a) を備える薄膜ダイオード (10A) と、薄膜ダイオード (10A) の第1半導体層 (13a) に重なるように配置され、P型領域 (13a(p)) に接続された第1配線 (RST) と、薄膜ダイオード (10A) の第1半導体層 (13a) に重なるように配置され、N型領域 (13a(n)) に接続された第2配線 (RWS) と、基板 (1) に支持された、第2半導体層 (13b) と、ゲート電極と、ソース電極およびドレイン電極とを有する薄膜トランジスタ (10B) とを有している。第1配線 (RST) および第2配線 (RWS) は、ゲート電極と同じ導電膜 (15) から形成されている。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、薄膜ダイオード（Thin Film Diode：TFD）を備える半導体装置およびその製造方法に関し、特に、TFDを利用した光センサー部を備える表示装置およびその製造方法に関する。

背景技術

[0002] 近年、TFDを有する光センサー部を備えた表示装置やイメージセンサーなどの半導体装置の開発が進められている。例えば、特許文献1には、TFDを有する光センサー部と、画素電極に接続された薄膜トランジスタ（Thin Film Transistor：TFT）を有する表示部とを備える液晶表示装置が開示されている。特許文献1に記載の技術によると、TFDおよびTFTの半導体層をそれぞれに要求されるデバイス特性に応じて最適化し得る。

[0003] 特許文献1のように、TFTやTFDのデバイス特性を向上させることも重要ではあるものの、特に、表示装置やイメージセンサーにおいては画素開口率（表示またはイメージ読み取りのために利用できる面積の比率）の向上が求められている。参考のために、特許文献1の開示内容の全てを本明細書に援用する。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2009／144915号

発明の概要

発明が解決しようとする課題

[0005] 本発明は、上記に鑑みてなされたものであり、その目的は、薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置において、光センサー部の占有面積率を小さくすることにある。

課題を解決するための手段

- [0006] 本発明の半導体装置は、基板と、前記基板に支持された、P型領域とN型領域とを有する第1半導体層を備える薄膜ダイオードと、前記薄膜ダイオードの前記第1半導体層に重なるように配置され、前記P型領域に接続された第1配線と、前記薄膜ダイオードの前記第1半導体層に重なるように配置され、前記N型領域に接続された第2配線と、前記基板に支持された、第2半導体層と、ゲート電極と、ソース電極およびドレイン電極とを有する薄膜トランジスタと、を有し、前記第1および第2配線は、前記ゲート電極と同じ導電膜から形成されている。
- [0007] ある実施形態において、前記第1および第2半導体層は同じ半導体膜から形成されている。
- [0008] ある実施形態において、前記ゲート電極は、前記第2半導体層の上に形成されている。すなわち、ある実施形態において、前記薄膜トランジスタはスタガー型（トップゲート型）である。
- [0009] 本発明の半導体装置の製造方法は、基板を用意する工程aと、前記基板上に、第1および第2半導体層を形成する工程bと、前記第1および第2半導体層を覆う絶縁層を形成する工程cと、前記第1半導体層に不純物を注入することによってP型領域およびN型領域を形成する工程dと、前記絶縁層にコンタクトホールを形成する工程eと、前記工程eの後に、前記絶縁層上に、前記P型領域に接続された第1配線と、前記N型領域に接続された第2配線と、ゲート電極とを含む導電層を形成する工程fと、前記工程fの後に前記第2半導体層にソース領域およびドレイン領域を形成する工程gとを包含する。
- [0010] ある実施形態において、前記製造方法は、前記工程bにおいて、前記第1および第2半導体層を同じ半導体膜から形成する。

発明の効果

- [0011] 本発明によると、薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置において、光センサー部の占有面積率を小さくすることが

できる。

図面の簡単な説明

[0012] [図1] (a) は本発明による実施形態の液晶表示装置 100 の模式的な平面図であり、(b) は液晶表示装置 100 が有する TFT 基板 100A の模式的な断面図である。

[図2] (a) ～ (e) は、実施形態の液晶表示装置 100 の製造方法（工程 A1 ～ A5）を説明するための模式的な断面図である。

[図3] (a) ～ (d) は、実施形態の液晶表示装置 100 の製造方法（工程 A6 ～ A9）を説明するための模式的な断面図である。

[図4] (a) ～ (d) は、実施形態の液晶表示装置 100 の製造方法（工程 A1、A4、A6 および A9）を説明するための模式的な平面図である。

[図5] 参考例の半導体装置 200 の構造を示す図であり、(a) は平面図を示し、(b) は TFT 基板 200A の断面図を示す。

[図6] (a) ～ (d) は、参考例の半導体装置 200 の製造方法（工程 B1 ～ B4）を説明するための模式的な断面図である。

[図7] (a) ～ (c) は、参考例の半導体装置 200 の製造方法（工程 B5 ～ B7）を説明するための模式的な断面図である。

[図8] (a) ～ (c) は、参考例の半導体装置 200 の製造方法（工程 B1 ～ B3）を説明するための模式的な平面図である。

[図9] (a) および (b) は、参考例の半導体装置 200 の製造方法（工程 B5 および B7）を説明するための模式的な平面図である。

[図10] 液晶表示装置 100 の光センサー部の構成および動作を説明するための回路図である。

発明を実施するための形態

[0013] 以下、図面を参照して本発明による実施形態の半導体装置を説明するが、本発明は例示する実施形態に限定されない。以下では、半導体装置として液晶表示装置または TFT 基板を例示する。

[0014] まず、図 1 (a) および (b) を参照して、本発明による実施形態のタッ

チパネルの機能を備える液晶表示装置１００の構造を説明する。図１（ａ）は、液晶表示装置１００の模式的な平面図であり、図１（ｂ）は、液晶表示装置１００が有するＴＦＴ基板１００Ａの模式的な断面図である。図１（ｂ）に示した断面は、対応する図１（ａ）における切り取り線Ｙ１～Ｙ１０に沿った断面であり、図１（ｂ）の左側から右側に向けて、Ｙ１－Ｙ２線に沿った断面、Ｙ３－Ｙ４線に沿った断面、Ｙ５－Ｙ６線に沿った断面、Ｙ７－Ｙ８線に沿った断面およびＹ９－Ｙ１０線に沿った断面を順に示している。なお、ＴＦＴ基板１００Ａは、液晶表示装置１００の駆動回路用のＮチャンネルＴＦＴ１０ＣおよびＰチャンネルＴＦＴ１０Ｄを有しており、図１（ｂ）においては、ＴＦＴ１０Ｃおよび１０Ｄの断面構造を併せて示す。

[0015] なお、図１（ａ）には、マトリクス状に配列された複数の画素Ｐの中で、行方向（ゲートバスラインＧの延びる方向、典型的には水平方向）に隣接する２つの画素Ｐの構造を示している。液晶表示装置１００は、典型的には、ＴＦＴ基板１００Ａと対向基板（不図示）と、ＴＦＴ基板１００Ａと対向基板（不図示）との間に設けられた液晶層（不図示）とを有している。ＴＦＴ基板１００ＡはＴＦＴ１０Ｂのドレイン電極に接続された画素電極（不図示）を有し、対向基板は液晶層を介して画素電極に対向するように配置された対向電極を有する。ＩＰＳモードやＦＦＳモードのように、ＴＦＴ基板１００Ａに画素電極と対向電極とが形成されるものも知られている。本発明による実施形態の液晶表示装置は、当業者に容易に理解されるように、種々のモードの液晶表示装置に適用できる。従って、画素電極や対向電極の配置や、液晶層、配向膜、カラーフィルタ層などの説明は省略する。

[0016] 図１（ａ）および（ｂ）に示すように、液晶表示装置１００のＴＦＴ基板１００Ａは、基板１と、基板１に支持された、Ｐ型領域１３ａ（ｐ）とＮ型領域１３ａ（ｎ）とを有する第１半導体層１３ａを備えるＴＦＤ１０Ａと、ＴＦＤ１０Ａの第１半導体層１３ａに重なるように配置され、Ｐ型領域１３ａ（ｐ）に接続された第１配線ＲＳＴと、ＴＦＤ１０Ａの第１半導体層１３ａに重なるように配置され、Ｎ型領域１３ａ（ｎ）に接続された第２配線Ｒ

WSと、基板1に支持された、第2半導体層13bと、ゲート電極と、ソース電極およびドレイン電極とを有するTFT10Bとを有している。第1配線RSTおよび第2配線RWSは、ゲート電極と同じ導電膜（図3（a）中のゲートメタル層15）から形成されている。なお、図1（b）のTFT10Cおよび10Dについては後述する。

[0017] ここで、第1半導体層13aおよび第2半導体層13bは、例示するように、同じ半導体膜から形成されていることが好ましい。TFT特性の観点からは、結晶質半導体膜を用いることが好ましく、例えば低温ポリシリコン膜やCGシリコン膜を用いることができる。なお、TFT10Bは、スタガー型（トップゲート型）のTFTであり、TFT10Bのゲート電極は、第2半導体層13bの上に形成されている。

[0018] 液晶表示装置100は、上述したように、第1配線RSTおよび第2配線RWSが第1半導体層13aと重なるように構成されているので、図5等を参照して説明する参考例の液晶表示装置200に比べて、画素Pにおける光センサー部の占有面積率が小さく、画素開口率が高い。例えば、3.5型のWVGA（800×480（R画素、G画素およびB画素の3つの画素で構成される1つのカラー表示画素を1単位とする）の場合、1画素が120 μ m×40 μ mで、第1および第2配線（RSTおよびRWS）の幅がそれぞれ約5 μ mとすると、液晶表示装置100の画素開口率は、液晶表示装置200の画素開口率よりも約4%高くなる。なお、光センサー部は、第1配線RSTおよび第2配線RWSと2本のソースバスラインSに囲まれる領域である。

[0019] ここでは、TFD10Aとして、PINダイオードを例示している。すなわち、TFD10Aは、P型領域13a（p）とN型領域13a（n）との間に真性領域（i領域）13a（i）を有している。PINダイオードに代えてPNダイオードを用いることもできる。PINダイオードおよびPNダイオードは、逆バイアス電圧を印加した半導体層のPN接合に照射された光を、空乏層内で励起された電子または正孔のキャリアの流れによって検出す

る。P I N ダイオードは、P 型領域およびN 型領域の間に電気抵抗の大きな真性領域を有するので、逆バイアス電圧印加時に形成される空乏層の幅が大きくなり、空乏層内に生じる高い電界によりキャリアの流れが促進される。従って、P I N ダイオードは、P N ダイオードよりも受光感度を高くでき、また、応答速度を高めることが可能であるという利点を有している。さらに、P I N ダイオードの真性領域上にゲート電極を形成し、ゲート電圧を印加することによって、真性領域を流れる逆方向暗電流を減少させる、いわゆるゲート制御型P I N ダイオードを用いることもできる。

[0020] 次に、図2～図4を参照して、実施形態のT F T 基板1 0 0 Aの製造方法を説明する。図2および図3は、模式的な断面図であり、図4は模式的な平面図である。図2および図3に示した各断面は、対応する図4における切り取り線Y 1～Y 1 0に沿った断面であり、各断面図の左側から右側に向けて、Y 1－Y 2線に沿った断面、Y 3－Y 4線に沿った断面、Y 5－Y 6線に沿った断面、Y 7－Y 8線に沿った断面および、Y 9－Y 1 0線に沿った断面を順に示している。なお、T F T 基板1 0 0 Aは、液晶表示装置1 0 0の駆動回路用のNチャネルT F T 1 0 CおよびPチャネルT F T 1 0 Dを有しており、図2および図3においては、T F T 1 0 Cおよび1 0 Dの製造工程も併せて示す。T F D 1 0 AおよびT F T 1 0 Bが、マトリクス状に配列された画素で構成される表示領域内に形成されるのに対し、T F T 1 0 Cおよび1 0 Dは、表示領域の外側の周辺領域（額縁領域ともいわれる）に形成されている。

[0021] まず、図2（a）および図4（a）に示すように、基板（例えばガラス基板）1を用意し、基板1上に遮光層1 1を形成する（工程A 1）。遮光層1 1は、例えば、厚さが5 0 n m～1 5 0 n mのモリブデン等の金属膜で形成される。

[0022] 次に、図2（b）に示すように、基板1のほぼ全面に絶縁膜1 2を形成し、絶縁膜1 2上に半導体層1 3を形成した後、半導体層1 3を覆うようにゲート絶縁膜1 4を形成する（工程A 2）。半導体層1 3は、例えば、絶縁膜

12のほぼ全面を覆うように形成されたポリシリコン膜（例えば厚さ30nm～70nm）をパターニングすることによって形成される。半導体層13は、TFD10Aの活性層となる半導体層13aと、TFT10Bの活性層となる半導体層13bおよび画素Pの補助容量の下部電極となる半導体層13cと、TFT10Cおよび10Dの活性層となる半導体層13d、13eとを有している。絶縁膜12は、例えば、厚さが50nm～100nmのシリコン酸化膜で形成される。

[0023] 次に、図2（c）に示すように、ゲート絶縁膜14を覆い、半導体層13aのN型領域13a（n）となる部分だけを選択的に露出する開口部22aを有するレジストマスク22を形成し、N型不純物（例えばリン）をイオン注入する（工程A3）。その結果、半導体層13aに、N型領域13a（n）が形成される。

[0024] レジストマスク22を除去した後、続いて、図2（d）および図4（b）に示すように、ゲート絶縁膜14を覆い、半導体層13aのP型領域13a（p）となる部分だけを選択的に露出する開口部24aを有するレジストマスク22を形成し、P型不純物（例えばボロン）をイオン注入する（工程A4）。その結果、半導体層13aに、P型領域13a（p）および真性領域13a（i）が形成される。

[0025] 次に、図2（e）に示すように、ゲート絶縁膜14にコンタクトホール14a、14bおよび14cを形成する（工程A5）。コンタクトホール14aおよび14bは、それぞれ、TFD10AのN型領域13a（n）に第2配線RWSを接続し、P型領域13a（p）に第1配線RSTを接続するためのコンタクトホールである。コンタクトホール14cは、配線SEを遮光層11に接続するためのコンタクトホールである。

[0026] 次に、図3（a）および図4（c）に示すように、TFT10Bのゲート電極15bを含むゲートメタル層15を形成する。ゲートメタル層15は、N型領域13a（n）に接続された電極15a1（第2配線RWS）と、P型領域13a（p）に接続された電極15a2（第1配線RST）、補助容

量の上部電極 1 5 c および補助容量配線 C S を含み、さらに、T F T 1 0 C のゲート電極 1 5 d および T F T 1 0 D のゲート電極 1 5 e を含む。なお、各ゲート電極は、対応するゲートバスラインと一体に形成される。さらに、ゲートメタル層 1 5 は、コンタクトホール 1 4 c 内で遮光層 1 1 に配線 S E を接続するための電極 1 5 s を含んでいる。ゲートメタル層 1 5 は、例えば、厚さが 2 0 0 n m ~ 4 0 0 n m のアルミニウム、モリブデン、もしくはタングステン等の金属膜で形成される。

[0027] 次に、図 3 (b) に示すように、半導体層 1 3 b だけを選択的に露出する開口部 2 6 a および半導体層 1 3 d だけを選択的に露出する開口部 2 6 b を有するレジストマスク 2 6 を形成し、N 型不純物（例えばリン）をイオン注入する（工程 A 7）。その結果、半導体層 1 3 b に、ゲート電極 1 5 b に対して自己整合的に、ドレイン領域 1 3 b (d)、ソース領域 1 3 b (s) およびチャネル領域 1 3 b (c) が形成され、半導体層 1 3 d に、ゲート電極 1 5 d に対して自己整合的に、ドレイン領域 1 3 d (d)、ソース領域 1 3 d (s) およびチャネル領域 1 3 d (c) が形成される。

[0028] レジストマスク 2 6 を除去した後、続いて、図 3 (c) に示すように、半導体層 1 3 e だけを選択的に露出する開口部 2 8 a を有するレジストマスク 2 8 を形成し、P 型不純物（例えばボロン）をイオン注入する（工程 A 8）。その結果、半導体層 1 3 e に、ゲート電極 1 5 e に対して自己整合的に、ドレイン領域 1 3 e (d)、ソース領域 1 3 e (s) およびチャネル領域 1 3 e (c) が形成される。

[0029] 次に、レジストマスク 2 8 を除去した後、図 3 (d) および図 4 (d) に示すように、基板 1 のほぼ全面を覆う絶縁膜 1 6 を形成し、コンタクトホール 1 6 a、1 6 c、1 6 d 1、1 6 d 2、1 6 d 3、1 6 e 1、1 6 e 2 および 1 6 e 3 を形成する（工程 A 9）。絶縁膜 1 6 は、例えば、厚さが 2 0 0 n m ~ 6 0 0 n m のシリコン酸化膜、あるいはシリコン窒化膜で形成される。

[0030] この後、基板 1 のほぼ全面に金属膜を形成し、それをパターニングするこ

とによって、図1（a）および（b）に示すように、TFT基板100AにTFD10A、TFT10B、TFT10CおよびTFT10Dが形成される。金属層17aはコンタクトホール16a内で電極15sに接続される配線SEとなる。金属層17fは、隣接する画素のTFT10Bのソース電極に接続されるソースバスラインSとなる。金属層17cは、TFT10Bのソース電極となる。金属層17d1、d2、d3は、それぞれTFT10Cのゲート電極、ドレイン電極およびソース電極となり、金属層17e1、e2、e3は、それぞれTFT10Dのゲート電極、ドレイン電極およびソース電極となる。金属膜は、例えば、厚さが200nm～400nmのアルミニウム、モリブデン、もしくはタングステン等の金属膜で形成される。

[0031] この後、層間絶縁膜、画素電極や配向膜を必要に応じて適宜形成することによってTFT基板100Aが得られる。これらの形成方法はよく知られているので、説明を省略する。なお、配線SEには、TFD10Aの特性を安定させるために、遮光層11の電位を一定に保つための電圧（例えば-2V）が供給される。また、同様の目的で、半導体層13aを覆う絶縁層および層間絶縁膜の上にITO層（例えば、画素電極と同じITO膜から形成される）を設け、ITO層の電圧を一定に保つ（例えば-2V）ことが好ましい。

[0032] 次に、図5（a）および（b）を参照して、参考例のタッチパネルの機能を備える液晶表示装置200の構造を説明する。図5（a）は、液晶表示装置200の模式的な平面図であり、図5（b）は、液晶表示装置200が有するTFT基板200Aの模式的な断面図である。なお、TFT基板200Aは、液晶表示装置200の駆動回路用のNチャネルTFT20CおよびPチャネルTFT20Dを有しており、図5（b）においては、TFT20Cおよび20Dの断面構造を併せて示す。図5は、図1に対応する図であり、同様の構成要素は共通の参照符号で示し、説明を省略することがある。

[0033] 図5（a）および（b）に示すように、液晶表示装置200のTFT基板200Aは、基板1と、基板1に支持された、P型領域13a（p）とN型

領域 13a (n) とを有する第 1 半導体層 13a を備える TFD20A と、基板 1 に支持された、第 2 半導体層 13b と、ゲート電極と、ソース電極およびドレイン電極とを有する薄膜トランジスタ 20B とを有している。

[0034] TFT 基板 200A は、第 1 配線 RST および第 2 配線 RWS が、第 1 半導体層 13a に重なるように配置されていない点において、TFT 基板 100A と異なる。第 1 配線 RST は電極 17p によって P 型領域 13a (p) に接続されており、第 2 配線 RWS は電極 17n によって N 型領域 13a (n) に接続されている。電極 17p および 17n は、ソース電極およびドレイン電極と同じ導電膜 (図 5 (b) 中のソースメタル層 17) から形成されている。

[0035] 図 1 (a) と図 5 (a) とを比較すると明らかなように、図 1 (a) に示した実施形態の液晶表示装置 100 は、第 1 配線 RST および第 2 配線 RWS が第 1 半導体層 13a と重なるように構成されているので、図 5 (a) に示した参考例の液晶表示装置 200 に比べて、画素 P における光センサー部の占有面積率が小さく、画素開口率が高い。

[0036] 次に、図 6 ~ 図 9 を参照して、参考例の TFT 基板 200A の製造方法を説明する。図 6 および図 7 は、模式的な断面図であり、図 8 および図 9 は模式的な平面図である。図 6 および図 7 に示した各断面は、対応する図 8 または図 9 における切り取り線 Y1 ~ Y10 に沿った断面であり、各断面図の左側から右側に向けて、Y1 - Y2 線に沿った断面、Y3 - Y4 線に沿った断面、Y5 - Y6 線に沿った断面、Y7 - Y8 線および Y9 - Y10 線に沿った断面を順に示している。

[0037] なお、TFT 基板 200A は、液晶表示装置 200 の駆動回路用の N チャネル TFT 20C および P チャネル TFT 20D を有しており、図 6 および図 7 においては、TFT 20C および 20D の製造工程も併せて示す。TFD20A および TFT 20B が、マトリクス状に配列された画素で構成される表示領域内に形成されるのに対し、TFT 20C および 20D は、表示領域の外側の周辺領域 (額縁領域ともいわれる) に形成されている。

[0038] まず、図6（a）および図8（a）に示すように、基板（例えばガラス基板）1を用意し、基板1上に遮光層11を形成する（工程B1）。なお、図5（b）および以下の断面図においては、最終的に、遮光層11が第1配線RST（15a2）および第2配線RWS（15a1）と重なる例を図示するが、図5（a）に示したように、遮光層11は、第1配線RST（15a2）および第2配線RWS（15a1）と重ならなくてもよい。

[0039] 次に、図6（b）および図8（b）に示すように、基板1のほぼ全面に絶縁膜12を形成し、絶縁膜12上に半導体層13を形成した後、半導体層13を覆うようにゲート絶縁膜14を形成する（工程B2）。半導体層13は、TFD20Aの活性層となる半導体層13aと、TFT20Bの活性層となる半導体層13bおよび画素Pの補助容量の下部電極となる半導体層13cと、TFT20Cおよび20Dの活性層となる半導体層13d、13eとを有している。

[0040] 次に、図6（c）および図8（c）に示すように、TFT20Bのゲート電極15bを含むゲートメタル層15を形成する（工程B3）。ゲートメタル層15は、電極15a1（第2配線RWS）、電極15a2（第1配線RST）、補助容量の上部電極15cおよび補助容量配線CSを含み、さらに、TFT20Cのゲート電極15dおよびTFT20Dのゲート電極15eを含む。なお、各ゲート電極は、対応するゲートバスラインと一体に形成される。ここで、電極15a1（第2配線RWS）および電極15a2（第1配線RST）は、半導体層13aと重ならないように配置される。

[0041] 次に、図6（d）に示すように、半導体層13aのN型領域13a（n）となる部分だけを選択的に露出する開口部23aと、半導体層13bだけを選択的に露出する開口部23bと、半導体層13dだけを選択的に露出する開口部23cとを有するレジストマスク23を形成し、N型不純物（例えばリン）をイオン注入する（工程B4）。その結果、半導体層13aに、N型領域13a（n）が形成される。また、半導体層13bに、ゲート電極15bに対して自己整合的に、ドレイン領域13b（d）、ソース領域13b（

s) およびチャネル領域 13 b (c) が形成され、半導体層 13 d に、ゲート電極 15 d に対して自己整合的に、ドレイン領域 13 d (d)、ソース領域 13 d (s) およびチャネル領域 13 d (c) が形成される。

[0042] レジストマスク 23 を除去した後、続いて、図 7 (a) および図 9 (a) に示すように、半導体層 13 a の P 型領域 13 a (p) となる部分だけを選択的に露出する開口部 25 a と、半導体層 13 e だけを選択的に露出する開口部 25 b とを有するレジストマスク 25 を形成し、P 型不純物（例えばボロン）をイオン注入する（工程 B5）。その結果、半導体層 13 a に、P 型領域 13 a (p) および真性領域 13 a (i) が形成される。また、半導体層 13 e に、ゲート電極 15 e に対して自己整合的に、ドレイン領域 13 e (d)、ソース領域 13 e (s) およびチャネル領域 13 e (c) が形成される。

[0043] 次に、レジストマスク 25 を除去した後、図 7 (b) に示すように、ゲート絶縁膜 14 および絶縁膜 12 に、遮光層 11 を露出するコンタクトホール 14 e を形成する（工程 B6）。

[0044] 次に、図 7 (c) および図 9 (b) に示すように、基板 1 のほぼ全面を覆う絶縁膜 16 を形成し、コンタクトホール 16 a、16 n1、16 n2、16 p1、16 p2、16 c、16 d1、16 d2、16 d3、16 e1、16 e2 および 16 e3 を形成する（工程 B7）。

[0045] この後、基板 1 のほぼ全面に金属膜を形成し、それをパターニングすることによって、図 5 (a) および (b) に示すように、TFT 基板 200 A に TFD20A、TFT20B、TFT20C および TFT20D が形成される。金属層 17 a はコンタクトホール 16 a 内で電極 15 s に接続される配線 SE となる。金属層 17 f は、隣接する画素の TFT20B のソース電極に接続されるソースバスライン S となる。金属層 17 n は、第 2 配線 RWS と N 型領域 13 a (n) とを互いに接続し、金属層 17 p は、第 1 配線 RST と P 型領域 13 a (p) とを互いに接続する。金属層 17 c は、TFT20B のソース電極となる。金属層 17 d1、d2、d3 は、それぞれ TFT

20Cのゲート電極、ドレイン電極およびソース電極となり、金属層17e1、e2、e3は、それぞれTFT20Dのゲート電極、ドレイン電極およびソース電極となる。

[0046] 上記の説明から理解されるように、参考例の液晶表示装置200のTFT基板200Aは、TFT基板100Aよりも少ない工程で製造することができる。従って、画素開口率よりも製造コストが重要な場合には、参考例の構成および製造方法を採用してもよい。

[0047] 次に、図10を参照して、液晶表示装置100の光センサー部の構成および動作を説明する。

[0048] 図10に示すように、光センサー部は、TFD701、信号保持用コンデンサー702、および信号取出用の薄膜トランジスタ703を有している。TFD701は、例えば上記のTFD10Aと同様の構成を有している。信号保持用のコンデンサー702（図1中不図示）は、ゲート電極層と半導体層とを電極として構成され、その容量はゲート絶縁膜によって形成され得る。

[0049] TFD701のp型領域は、RST信号ラインに接続され、n型領域は、信号保持用のコンデンサーの下部電極（Si層）に接続され、このコンデンサーを経てRWS信号ラインに接続されている。さらに、n型領域は、信号取出用の薄膜トランジスタ703のゲート電極層に接続されている。信号取出用の薄膜トランジスタ703のソース領域は、VDD信号ラインに接続され、ドレイン領域は、出力信号ラインに接続されている。これらの信号ラインはソースバスラインと兼用である。

[0050] 次に、光センサー部による光センシング時の動作を説明する。

[0051] （1）まず、RST信号ラインにより、RST信号が入力される。これにより、光センサーTFD701におけるp型領域の側にプラスの電圧が印加され、TFD701が順バイアス状態となり、コンデンサー702の電荷が放電される。その後、RST信号をオフにすると、TFD701に関して逆バイアス状態となる。

- [0052] (2) T F D 7 0 1 に光電流が生じると、T F D 7 0 1 を介して、信号保持用のコンデンサー 7 0 2 が充電される。
- [0053] (3) これにより、T F D 7 0 1 の n 型領域の側の電位が低下し、その電位変化により信号取出用の薄膜トランジスタ 7 0 3 に印加されているゲート電圧が変化する。
- [0054] (4) 信号取出用の薄膜トランジスタ 7 0 3 のソース側には V D D 信号ラインより V D D 信号が印加されている。上記のようにゲート電圧が変動すると、ドレイン側に接続された出力信号ラインへ流れる電流値が変化するため、その電気信号を出力信号ラインから取り出すことができる。
- [0055] 上記 (1) ~ (4) の動作をスキャンしながら繰り返すことにより、光センシングが可能になる。
- [0056] なお、T F T の構成は、上記の例に限られず、N チャネル型と P チャネル型とを逆にしてもよい。さらに、上記ではダブルゲート構造を例示したが、T F T の構成はシングルゲート構造でもよい。また、L D D 構造や G O L D 構造を適用してもよい。また、半導体層は、ポリシリコン層や C G シリコン層に限られず、酸化物半導体層を用いることもできる。また、T F D や T F T を構成する各層は例示した単層構造に限られず積層構造としてもよい。

産業上の利用可能性

- [0057] 本発明は、T F D を利用した光センサー部を備えた半導体装置、あるいは、そのような半導体装置を有するあらゆる分野の電子機器に広く適用できる。例えば、本発明を、アクティブマトリクス型液晶表示装置や有機 E L 表示装置に適用してもよい。このような表示装置は、例えば携帯電話や携帯ゲーム機の表示画面や、デジタルカメラのモニター等に利用され得る。従って、本発明は、液晶表示装置や有機 E L 表示装置が組み込まれた電子機器の全てに適用され得る。
- [0058] 本発明は、特に、アクティブマトリクス型の液晶表示装置および有機 E L 表示装置などの表示装置、イメージセンサー、光センサー、またはそれらを組み合わせた電子機器に好適に利用できる。特に、T F D を利用した光セン

サー機能付きの表示装置、例えばタッチパネル機能およびスキャナー機能を併せ持つ表示装置に本発明を適用すると有利である。

符号の説明

- [0059] 1 基板
- 1 0 A 薄膜ダイオード
- 1 0 B 薄膜トランジスタ
- 1 1 遮光層
- 1 2 絶縁膜
- 1 3 a、1 3 b 半導体層
- 1 3 a (p) P型領域
- 1 3 a (n) N型領域
- 1 3 a (i) 真性領域
- 1 4 ゲート絶縁膜
- 1 5 導電層（ゲートメタル層）
- 1 6 絶縁膜
- 1 7 金属層（ソースメタル層）
- R S T 第1配線
- R W S 第2配線
- 1 0 0 半導体装置（液晶表示装置）
- 1 0 0 A T F T基板

請求の範囲

[請求項1] 基板と、

 前記基板に支持された、P型領域とN型領域とを有する第1半導体層を備える薄膜ダイオードと、

 前記薄膜ダイオードの前記第1半導体層に重なるように配置され、前記P型領域に接続された第1配線と、

 前記薄膜ダイオードの前記第1半導体層に重なるように配置され、前記N型領域に接続された第2配線と、

 前記基板に支持された、第2半導体層と、ゲート電極と、ソース電極およびドレイン電極とを有する薄膜トランジスタと、

 を有し、

 前記第1および第2配線は、前記ゲート電極と同じ導電膜から形成されている、半導体装置。

[請求項2] 前記第1および第2半導体層は同じ半導体膜から形成されている、請求項1に記載の半導体装置。

[請求項3] 前記ゲート電極は、前記第2半導体層の上に形成されている、請求項1または2に記載の半導体装置。

[請求項4] 基板を用意する工程aと、

 前記基板上に、第1および第2半導体層を形成する工程bと、

 前記第1および第2半導体層を覆う絶縁層を形成する工程cと、

 前記第1半導体層に不純物を注入することによってP型領域およびN型領域を形成する工程dと、

 前記絶縁層にコンタクトホールを形成する工程eと、

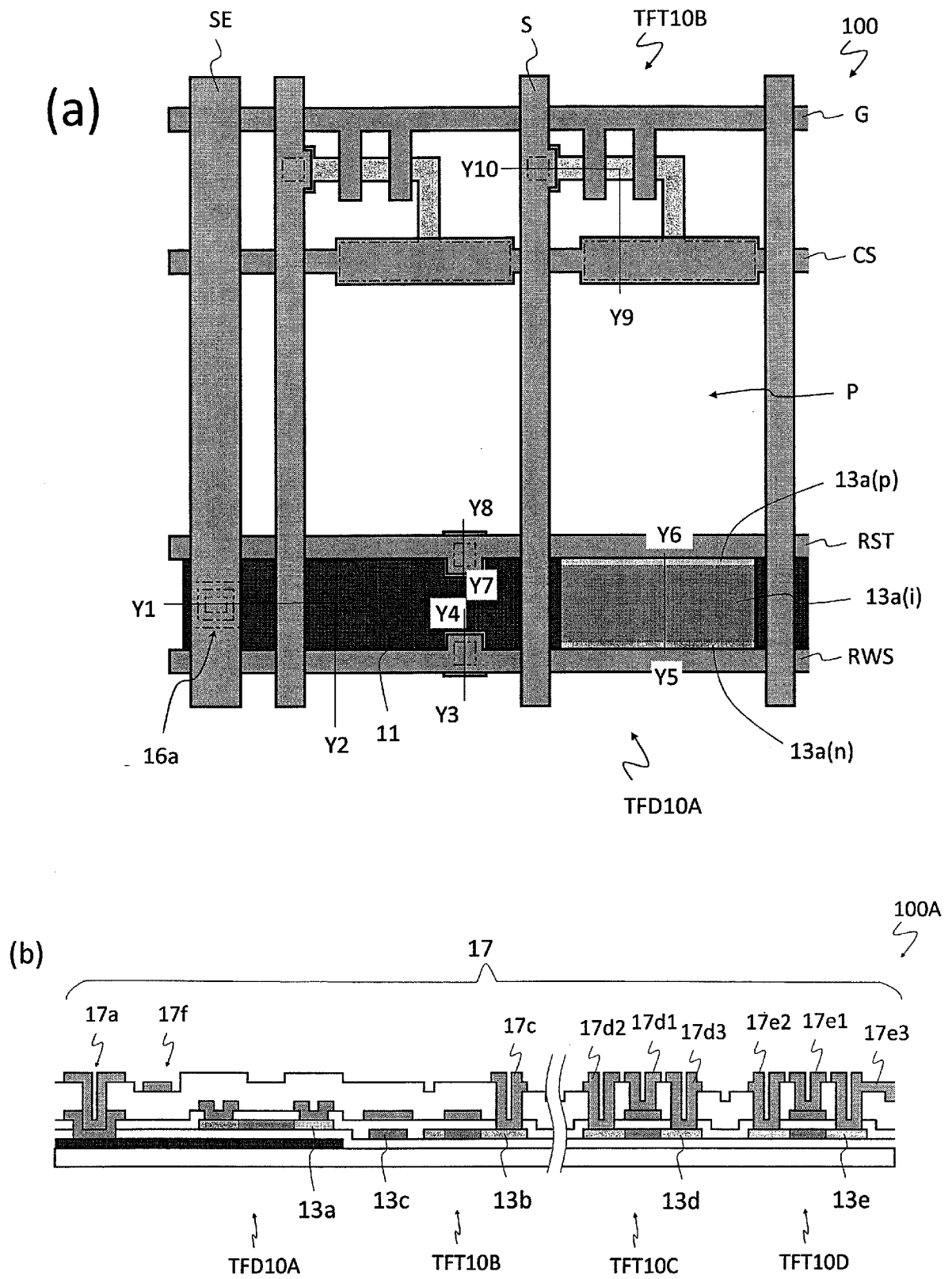
 前記工程eの後に、前記絶縁層上に、前記P型領域に接続された第1配線と、前記N型領域に接続された第2配線と、ゲート電極とを含む導電層を形成する工程fと

 前記工程fの後に前記第2半導体層にソース領域およびドレイン領域を形成する工程gと

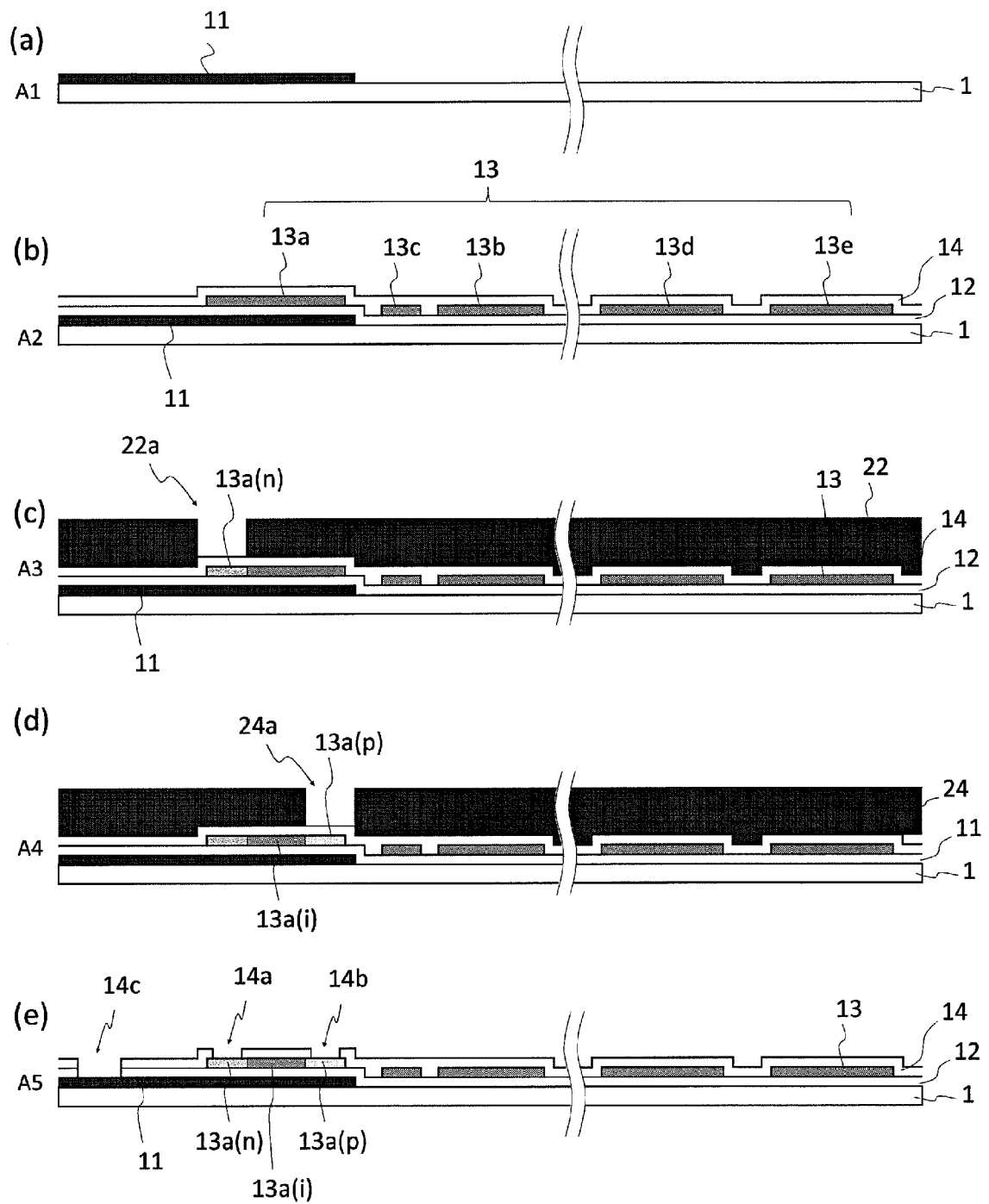
を包含する、半導体装置の製造方法。

[請求項5] 前記工程 b において、前記第 1 および第 2 半導体層を同じ半導体膜から形成する、請求項 4 に記載の半導体装置の製造方法。

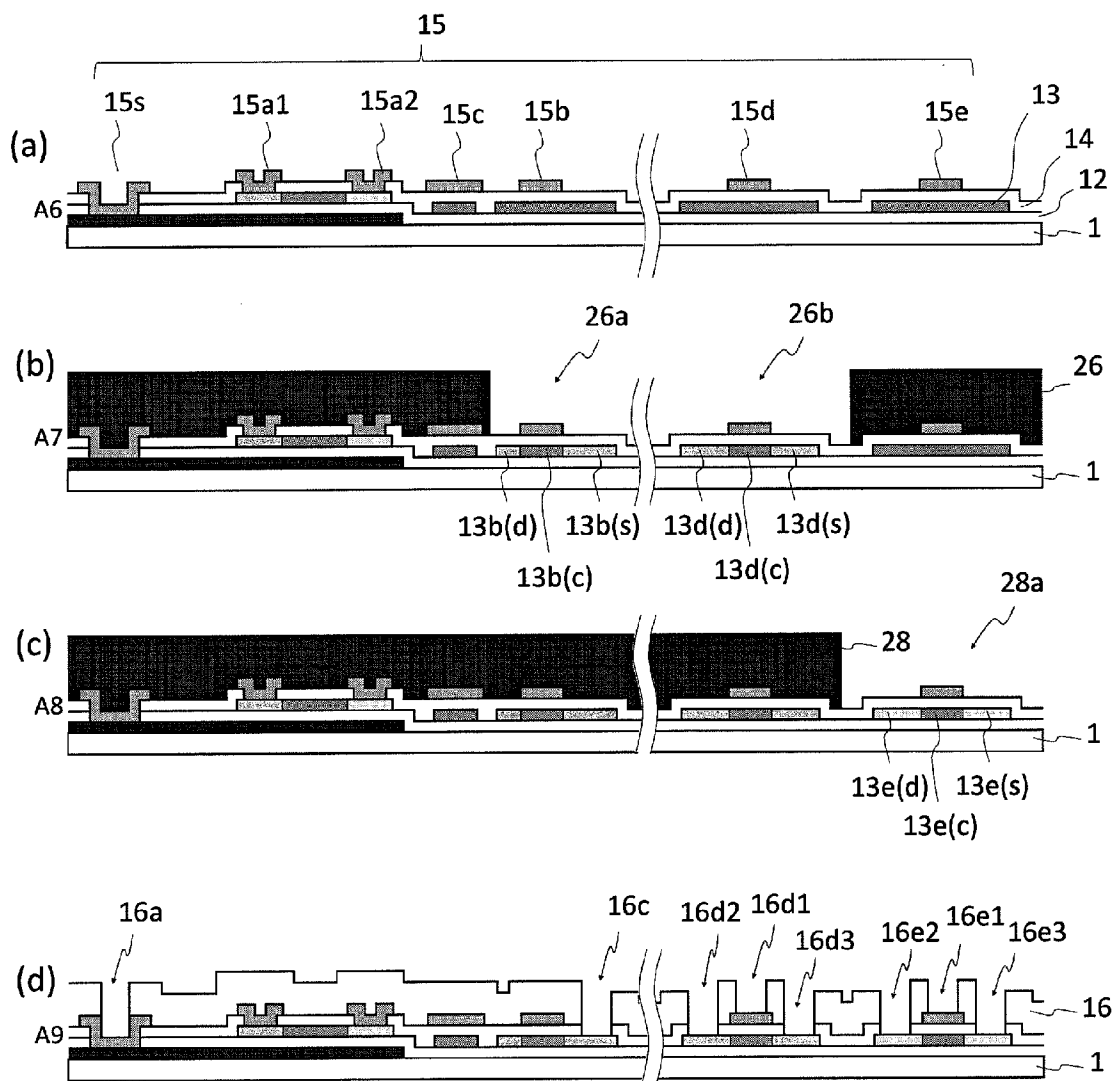
[図1]



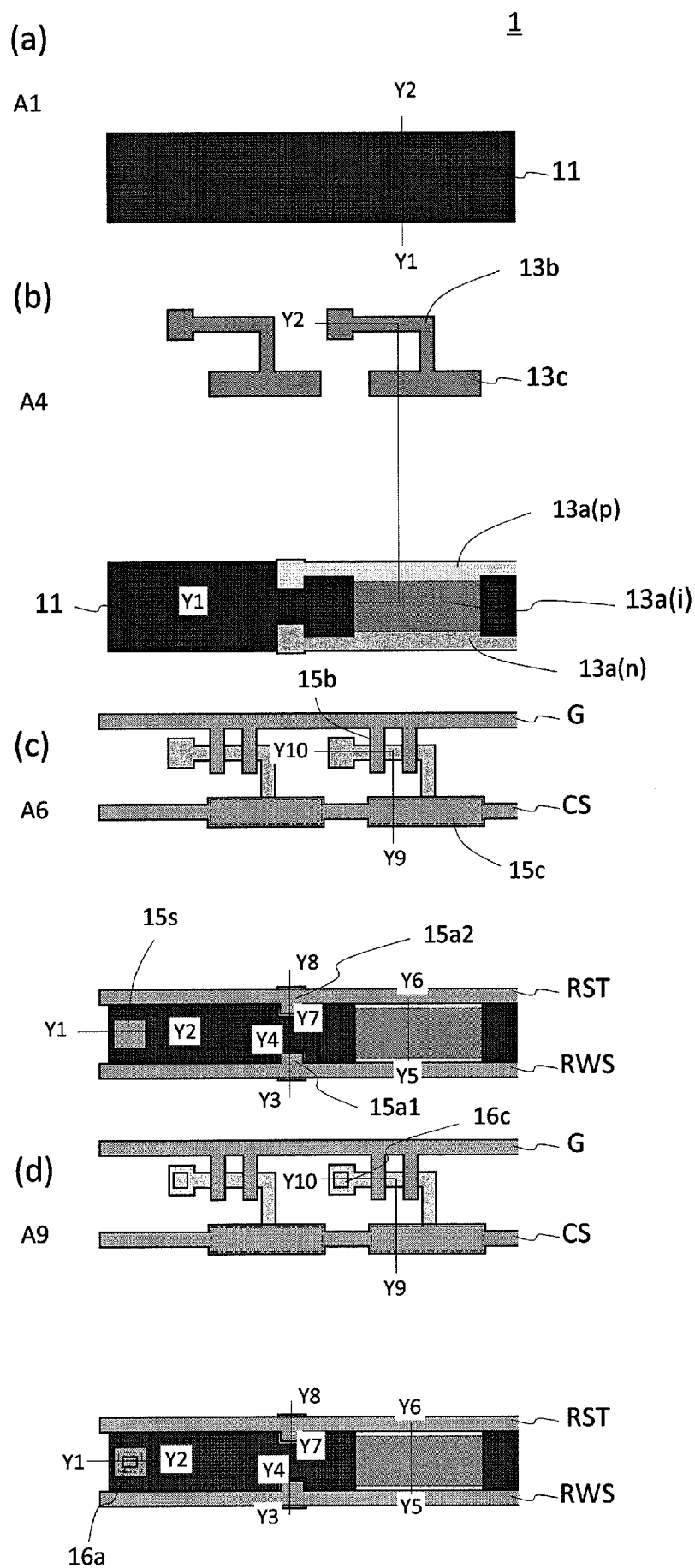
[図2]



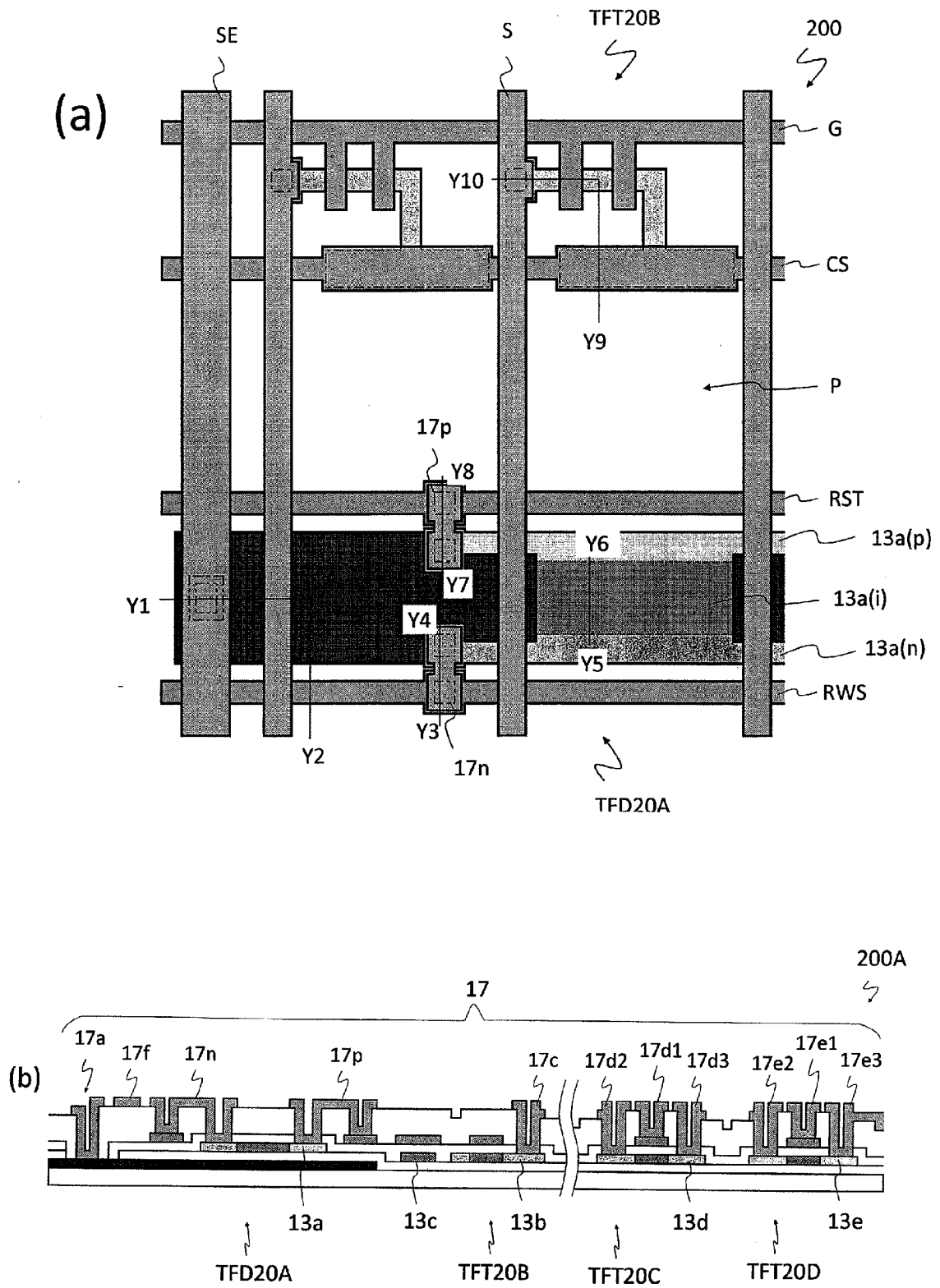
[図3]



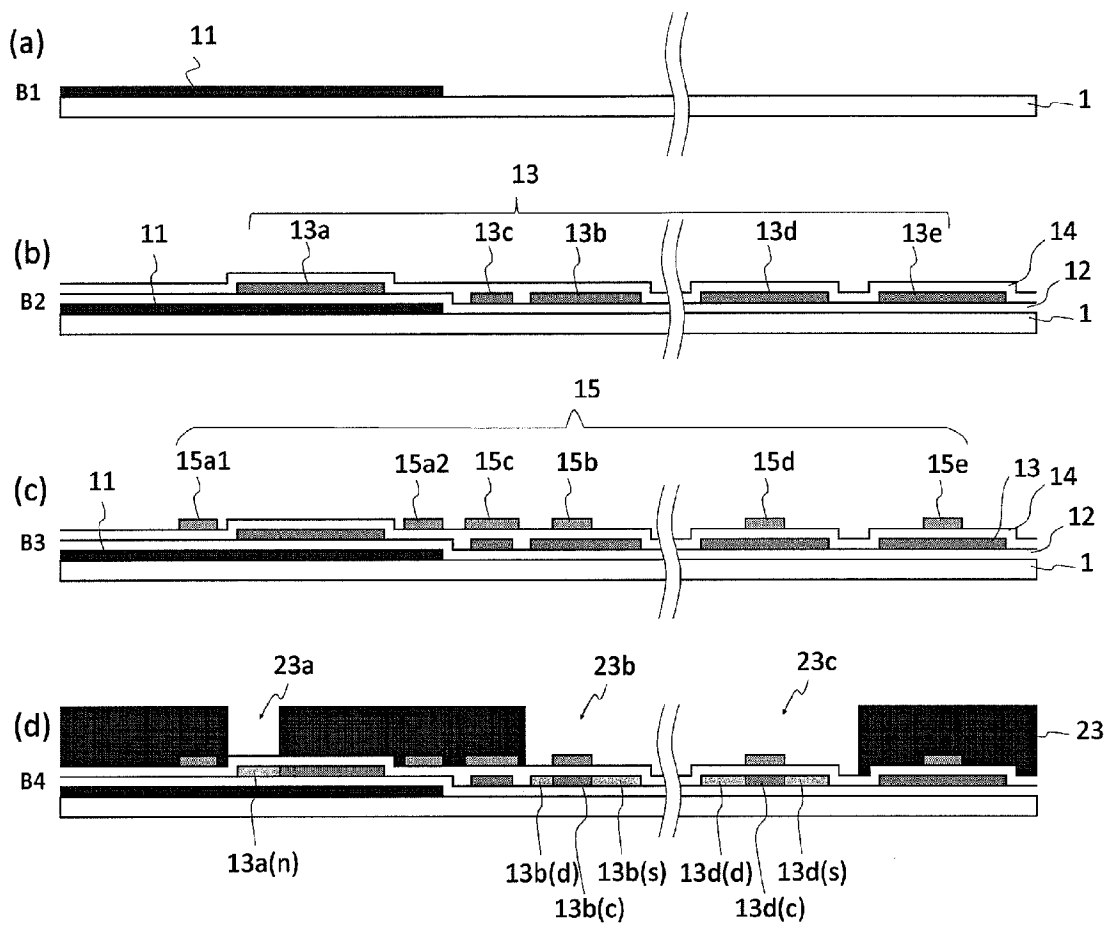
[図4]



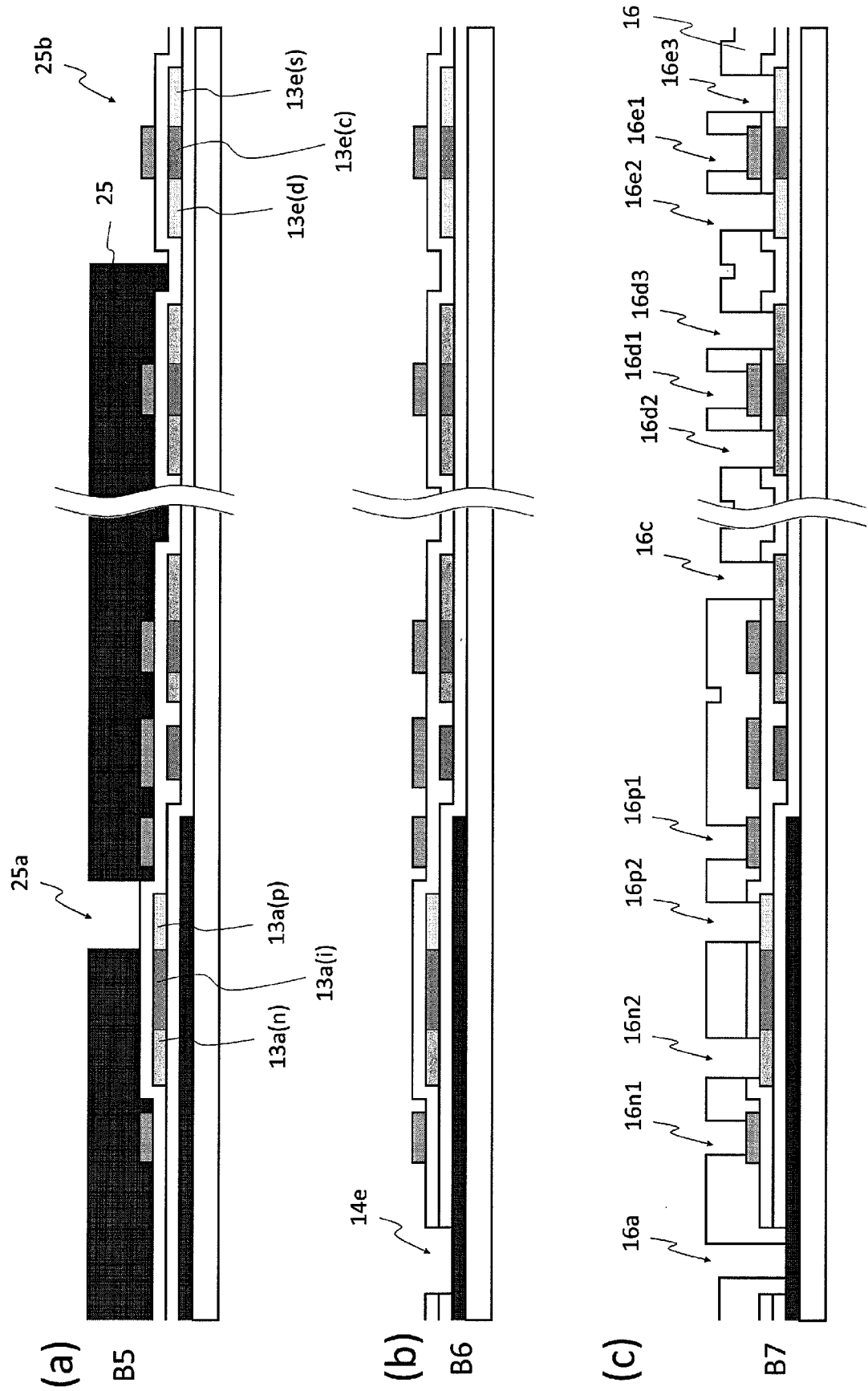
[図5]



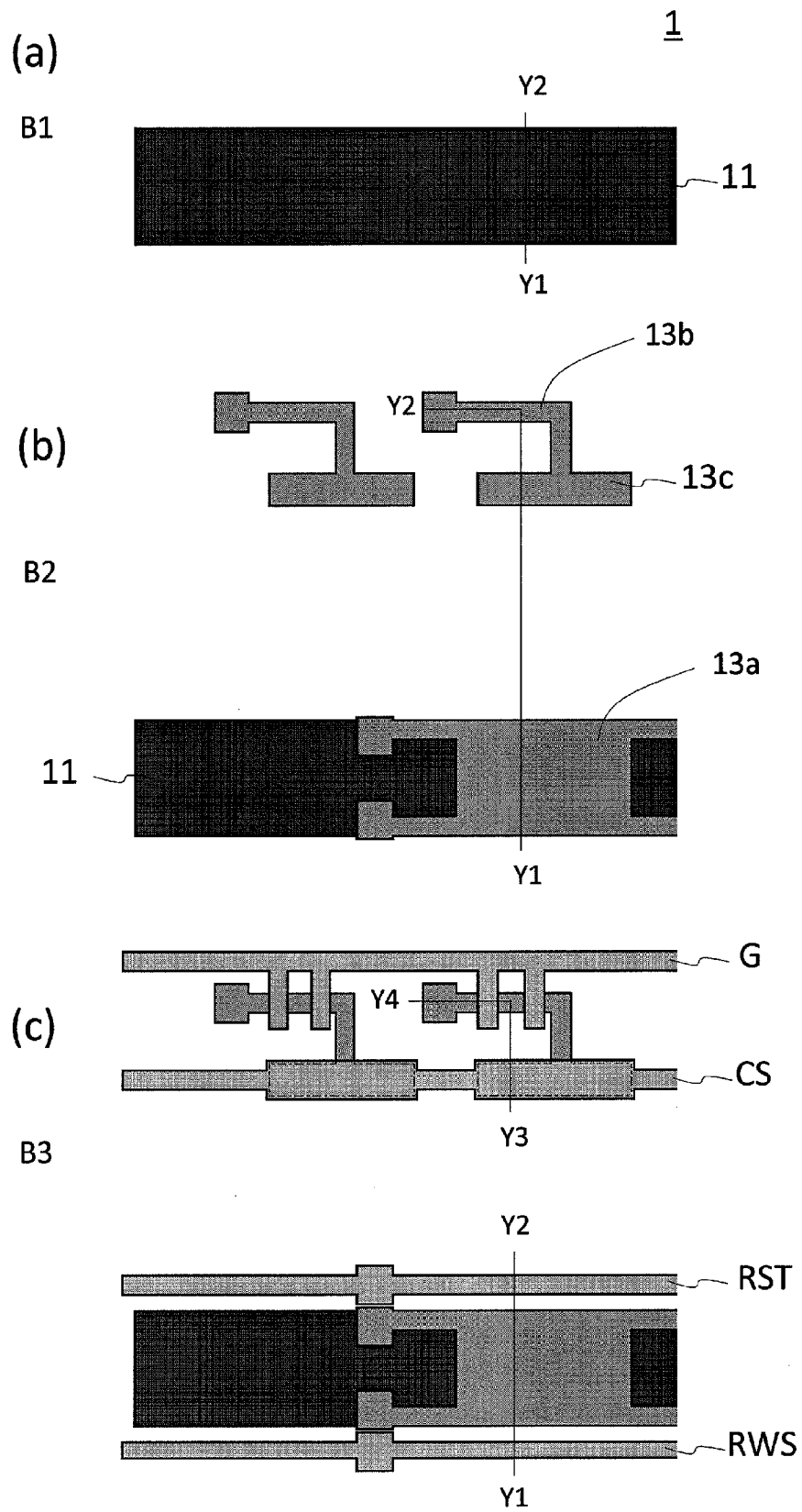
[図6]



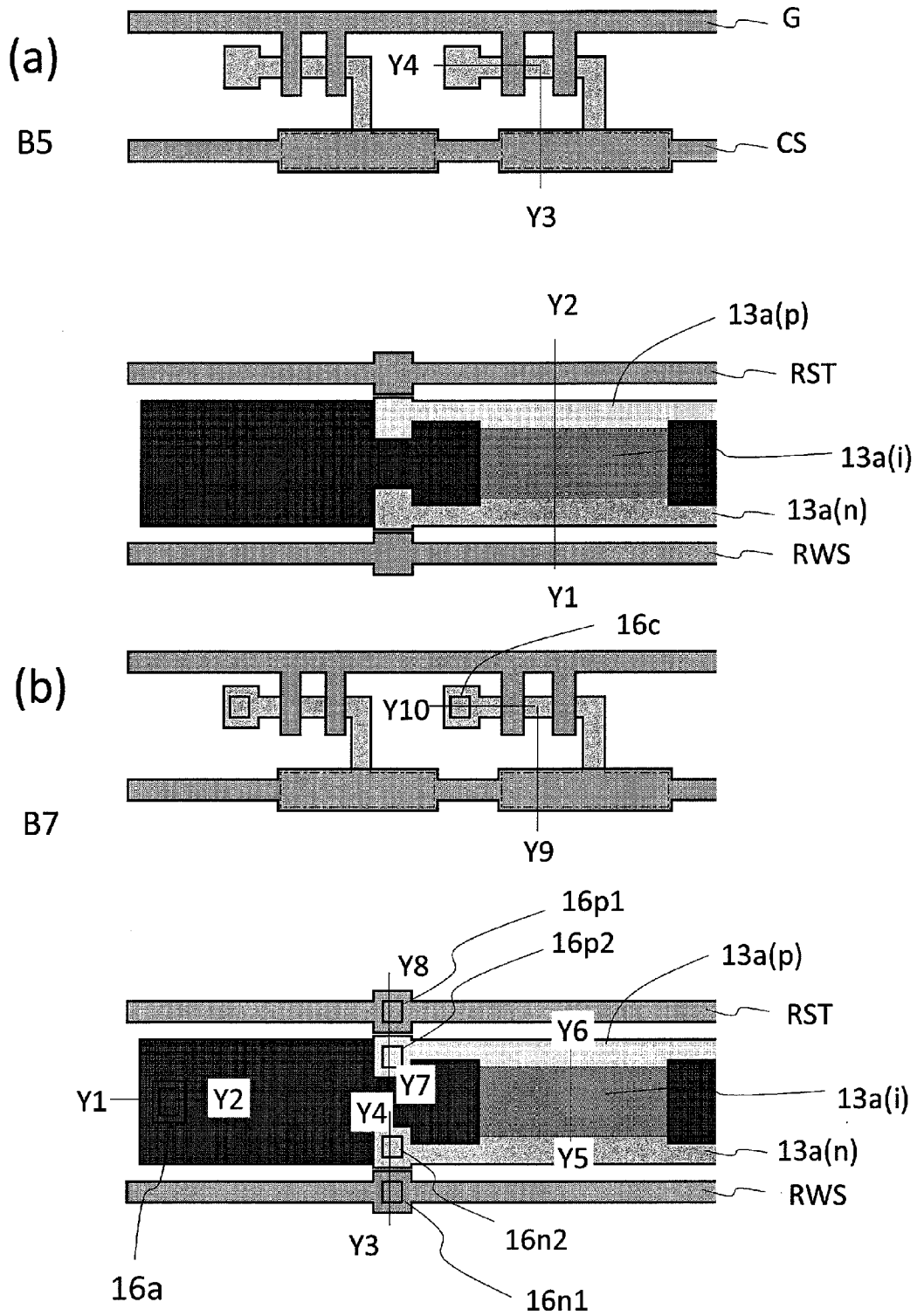
[図7]



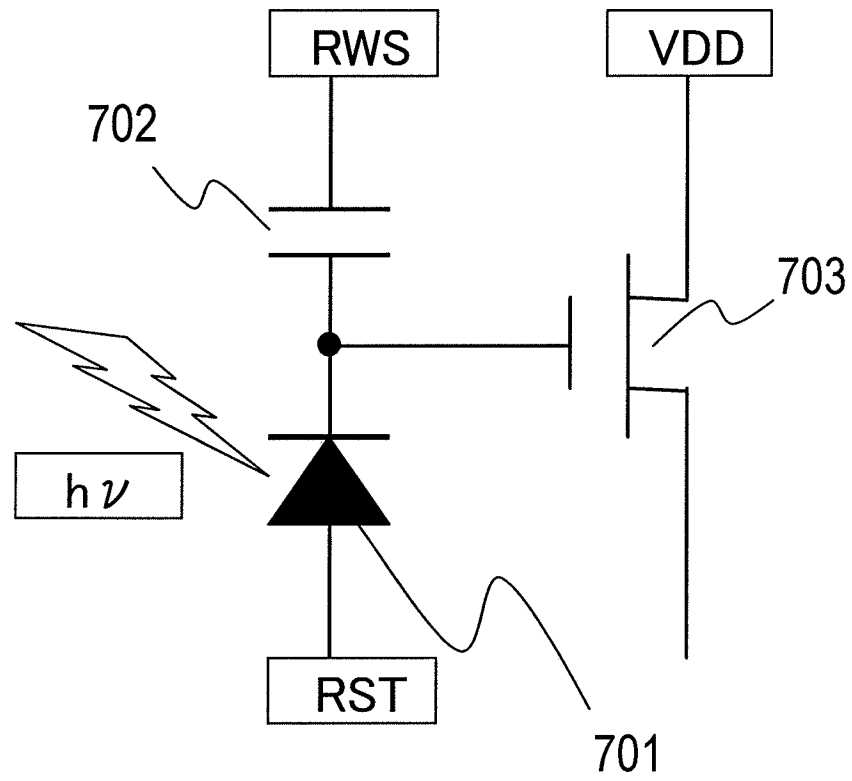
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/075056

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-206969 A (Semiconductor Energy Laboratory Co., Ltd.), 28 July 1992 (28.07.1992), entire text; all drawings & US 5262654 A & US 39393 E	1-5
A	JP 2000-294798 A (Semiconductor Energy Laboratory Co., Ltd.), 20 October 2000 (20.10.2000), entire text; all drawings & US 5501989 A & US 5589694 A & US 5744822 A	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 January, 2012 (11.01.12)

Date of mailing of the international search report

24 January, 2012 (24.01.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/075056

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/132862 A1 (Sharp Corp.), 06 November 2008 (06.11.2008), entire text; all drawings & US 2010/0065851 A1 & EP 2141742 A1 & CN 101663758 A	1-5
A	WO 2009/144915 A1 (Sharp Corp.), 03 December 2009 (03.12.2009), entire text; all drawings & US 2011/0073918 A1 & EP 2290693 A1 & CN 102047426 A	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L27/146(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/146, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-206969 A（株式会社半導体エネルギー研究所） 1992.07.28, 全文、全図 & US 5262654 A & US 39393 E	1-5
A	JP 2000-294798 A（株式会社半導体エネルギー研究所） 2000.10.20, 全文、全図 & US 5501989 A & US 5589694 A & US 5744822 A	1-5

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 1 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杵 哲次

4 M

3 9 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/132862 A1 (シャープ株式会社) 2008.11.06, 全文、全図 & US 2010/0065851 A1 & EP 2141742 A1 & CN 101663758 A	1-5
A	WO 2009/144915 A1 (シャープ株式会社) 2009.12.03, 全文、全図 & US 2011/0073918 A1 & EP 2290693 A1 & CN 102047426 A	1-5