

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
H01L 27/11

(45) 공고일자 2000년04월 15일

(11) 등록번호 10-0253960

(24) 등록일자 2000년01월28일

(21) 출원번호	10-1997-0014648	(65) 공개번호	특1998-0018086
(22) 출원일자	1997년04월 19일	(43) 공개일자	1998년06월05일
(30) 우선권주장	96-225421	1996년08월27일	일본(JP)

(73) 특허권자	미쓰비시덴키 가부시기가이샤 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고미쓰비시덴키 가부시기가이샤 기타오카 다카시	다니구찌 이찌로오
(72) 발명자	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 쿠리야마 히로타다	
(74) 대리인	일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 김창세	

심사관 : 임동우

(54) 반도체장치

요약

여러개의 도전막 사이의 접속 구조를 개선한 반도체 장치에 관한 것으로, 반도체 소자로서 2층 이상의 폴리 실리콘의 층간을 직접 접속할 수 있고 공정수를 저감하며 폴리 콘택트의 사이즈도 커지지 않는 접속 구조를 얻기 위해, 반도체 기판상에 형성된 제 1 도전막, 이 제 1 도전막상에 제 1 절연막을 거쳐서 형성된 제 2 도전막, 이 제 2 도전막상에 제 2 절연막을 거쳐서 형성된 제 3 도전막 및 이 제 3 도전막에서 적어도 제 2 절연막과 제 1 절연막을 관통해서 제 1 도전막과 반도체 기판에 도달하는 기동형상 접속부를 갖고, 제 2 도전막은 기동형상 접속부와 그의 끝면에서 접하고, 제 2 도전막의 막두께를 제 3 도전막의 막두께보다 얇게 형성하였다. 이와 같은 구성으로 하는 것에 의해, 마스크 갯수 저감 및 프로세스 공정 및 에칭 공정을 간략화할 수 있고, 또 폴리 콘택트 사이즈의 증대를 방지하고 그 사이즈를 유지할 수 있다.

대표도

도4

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예 1에 따른 반도체 장치의 다층간 접속 구조를 도시한 단면 구조도,
- 도 2는 본 발명의 실시예 1에 따른 반도체 장치의 제조 방법을 도시한 단면 구조도,
- 도 3은 본 발명의 실시예 2에 따른 반도체 장치의 다층간 접속 구조를 도시한 단면 구조도,
- 도 4는 본 발명의 실시예 3에 따른 반도체 장치의 다층간 접속 구조를 도시한 단면 구조도,
- 도 5는 본 발명의 실시예 4에 따른 반도체 장치의 다층간 접속 구조를 도시한 상면도,
- 도 6은 본 발명의 실시예 4에 따른 반도체 장치의 다층간 접속 구조를 도시한 단면 구조도,
- 도 7은 본 발명의 실시예 5에 따른 반도체 장치의 메모리 셀 단면 구조도,
- 도 8은 본 발명의 실시예 6에 따른 반도체 장치의 다층간 접속 구조를 도시한 단면 구조도,
- 도 9는 본 발명의 실시예 6에 따른 반도체 장치의 다층간 접속 구조를 도시한 단면 구조도,
- 도 10은 SRAM 메모리 셀의 등가 회로도,
- 도 11은 종래예의 메모리 셀의 레이아웃을 도시한 도면,
- 도 12는 종래예의 메모리 셀의 레이아웃을 도시한 도면,
- 도 13은 종래예의 메모리 셀의 레이아웃을 도시한 도면,
- 도 14는 종래예의 메모리 셀의 단면 구조도,

도 15는 종래예의 공유 컨택트구조의 단면 구조도.

#### 도면의 주요 부분에 대한 부호의 설명

- 1 : N형 활성층  
 2 : 제 1 도전막(제 1 폴리 실리콘막)  
 6 : 제 3 도전막(제 3 폴리 실리콘막)  
 8 : 제 2 도전막(제 2 폴리 실리콘막)  
 13a : 제 3 절연막(게이트 산화막)  
 13f : 제 1 절연막(층간 절연막)  
 13g : 제 2 절연막(층간 절연막) 14 : 실리콘 기판  
 15 : 개구부 16, 18 : 기동형상 접속부

#### **발명의 상세한 설명**

##### **발명의 목적**

##### **발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 여러개의 도전막 사이의 접속 구조를 개선한 반도체 장치에 관한 것이다.

먼저, 종래의 반도체 장치에 있어서의 여러개의 도전막 사이의 접속 구조에 대해서 SRAM을 예로 들어 설명한다. 일반적으로, SRAM의 메모리 셀은 도 10에 도시한 바와 같이 N형 액세스 트랜지스터 Q1, Q2 및 드라이버 트랜지스터 Q3, Q4의 4소자와 P형 부하 트랜지스터 Q5, Q6의 2소자, 총 6소자로 구성되어 있다. 그러나, 기판에 6소자나 형성하기 때문에 셀 사이즈가 커진다. 이 때문에, 2개의 P형 트랜지스터에 TFT를 사용하고, 기판에 N형 4소자, 그 위에 P형 TFT 2소자를 형성하는 것에 의해 셀사이즈를 작게 하고 있었다. 그 예로서, International Electron Devices Meeting 1991의 Technical Digest p.481-484에 개시된 메모리 셀이 있다.

도 11 내지 도 13에는 이러한 SRAM의 메모리 셀 패턴이 도시되어 있다. 도 11에는 반도체 기판의 활성층(1a), (1b), 소자 분리 영역(12), 제 1 폴리 실리콘막(2a) 내지 (2d), 제 2 폴리 실리콘막(4)의 배치가 도시되고, 또 활성층(1b)과 제 1 폴리 실리콘막(2c)을 연결하는 제 1 폴리 컨택트(3a), 활성층(1a)과 제 1 폴리 실리콘막(2d)을 연결하는 제 1 폴리 컨택트(3b) 및 활성층(1a), (1b)와 제 2 폴리 실리콘막(4)을 연결하는 제 2 폴리 컨택트(5a), (5b)가 도시되어 있다.

도 12에는 제 3 폴리 실리콘막(6a), (6b) 및 제 4 폴리 실리콘막(8a), (8b)의 배치가 도시되어 있고, 또 제 1 폴리 실리콘막(2c)과 제 3 폴리 실리콘막(6b)을 연결하는 제 3 폴리 컨택트(7a), 제 1 폴리 실리콘막(2d)과 제 3 폴리 실리콘막(6a)을 연결하는 제 3 폴리 컨택트(7b), 제 3 폴리 실리콘막(6b)과 제 4 폴리 실리콘막(8a)을 연결하는 제 4 폴리 컨택트(9a) 및 제 3 폴리 실리콘막(6a)과 제 4 폴리 실리콘막(8a)을 연결하는 제 4 폴리 컨택트(9b)가 도시되어 있다.

도 13에는 금속 배선(11a), (11b)의 레이아웃이 도시되고, 또 활성층(1a)과 금속 배선(11a)을 연결하는 금속 컨택트(10a) 및 활성층(1b)과 금속 배선(11b)을 연결하는 금속 컨택트(10b)가 도시되어 있다.

이들 도면에 있어서, 제 1 폴리 실리콘막(2a) 내지 (2d)가 기판트랜지스터의 게이트 전극을, 제 2 폴리 실리콘막(4)이 메모리 셀의 GND 배선을, 제 3 폴리 실리콘막(6a), (6b)이 TFT의 게이트 전극을, 제 4 폴리 실리콘막(8a), (8b)이 TFT의 소스/드레인 및 채널층을, 금속 배선(11a), (11b)이 비트 라인을 형성하고 있다.

도 14에는 도 11 내지 도 13의 A-A' 선에 있어서의 단면 구조도를 도시하였다. 도면중 도 11 내지 도 13에서 동일한 부호는 동일 부분을 나타낸다. 또, 도 14에 있어서 (13a)는 벌크 트랜지스터의 게이트 산화막, (13b), (13c), (13e)는 층간 절연막, (13d)는 TFT의 게이트 산화막이다. 또한, 제 1 폴리 실리콘막(2a) 내지 (2d) 및 제 2 폴리 실리콘막(4)은 폴리 실리콘 단층 뿐만 아니라 폴리 실리콘과 실리콘사이드층을 조합한 폴리사이드라도 좋다.

도 14에 있어서 도 11 내지 도 13에서 설명한 폴리 컨택트중 제 1 폴리 컨택트(3b), 제 3 폴리 컨택트(7b), 제 4 폴리 컨택트(9b)가 수직으로 접속해서 형성되어 있는 컨택트 구조를 알 수 있다.

##### **발명이 이루고자 하는 기술적 과제**

이와 같이 형성된 종래의 SRAM 셀에서는 다음과 같은 문제점이 있었다.

[1] 각 폴리 실리콘층을 연결하기 위해 제 1 내지 제 4 폴리 컨택트(3a), (3b), (5a), (5b), (7a), (7b), (9a), (9b)로 많은 폴리 컨택트를 필요로 하고 있었다. 이 때문에, 폴리 컨택트 마스크갯수, 폴리 컨택트의 사진제판공정 및 폴리 컨택트공정의 에칭회수가 많아 프로세스가 복잡하였다.

[2] 또, 종래 폴리 컨택트 마스크 갯수를 감소시키는 방법으로서 공유 컨택트 구조라고 불리는 것이 있었다. 도 15에 그 단면 구조가 도시되어 있다. 제 3 폴리 실리콘막(6)에 의해 활성층(1) 및 트랜지스터의 게이트 전극을 형성하는 제 1 폴리 실리콘막(2)에 동시에 폴리 컨택트를 취하는 것이다. 이와 같이, 제 3 폴리 컨택트를 공유 구조로 하는 것에 의해 제 1 폴리 컨택트는 필요없게 되어 폴리 컨택트를 1개 감소시킬 수 있다. 그러나, 종래의 SRAM 대칭 셀에서는 대칭이기 때문에 셀내에 제 3 폴리 컨택트가 2개소

필요했다. 공유 컨택트는 2층으로 접속하기 때문에(여기에서는 활성층(1)과 제 1 폴리 실리콘막(2)), 각 층에 확실하게 접속할 필요가 있어 통상의 폴리 컨택트의 사이즈에 비해 크게 할 필요가 있으므로 셀사이즈가 커진다는 문제점이 있었다.

[3] 또, TFT는 소스/드레인(S/D) 및 채널영역을 형성하는 폴리 실리콘막 아래에 게이트 전극이 있는 하부 게이트형과 소스/드레인(S/D) 및 채널 영역을 형성하는 폴리 실리콘막 상에 게이트 전극이 있는 상부 게이트형이 있다. 도 11 내지 도 14에 도시한 셀에서는 하부 게이트형 TFT를 사용하고 있다. 일반적으로 TFT는 하부 게이트형에 비해 상부 게이트형 쪽이 성능이 좋다. 상부 게이트형 TFT이고 공유 직접 컨택트 구조(shared direct contact structure)를 채용한 경우, TFT의 P형 소스/드레인(S/D) 영역의 폴리 실리콘막이 N형 활성층과 접한다. 일반적으로, N형 폴리 실리콘막 -P형 폴리 실리콘막의 접속에 비해 N형 활성층 -P형 폴리 실리콘막 쪽이 PN 접합이 형성되기 쉽고, 형성되면 셀 동작에 악영향을 미친다. 이 때문에, 공유 직접 컨택트와 상부 게이트형 TFT의 조합은 어려웠다. 본 발명은 이러한 종래의 문제를 해결하기 위해 이루어진 것이다.

### 발명의 구성 및 작용

본 발명의 반도체 장치는 반도체 기판상에 형성된 제 1 도전막, 이 제 1 도전막상에 제 1 절연막을 거쳐서 형성된 제 2 도전막, 이 제 2 도전막상에 제 2 절연막을 거쳐서 형성된 제 3 도전막 및 이 제 3 도전막에서 적어도 상기 제 2 절연막과 제 1 절연막을 관통해서 상기 제 1 도전막과 상기 반도체 기판에 도달하는 기동형상 접속부를 갖고, 상기 제 2 도전막은 상기 기동형상 접속부와 그의 끝면에서 접하고, 상기 제 2 도전막의 막두께가 상기 제 3 도전막의 막두께보다 얇게 형성되어 있는 것을 특징으로 하는 것이다.

또, 본 발명의 반도체 장치는 반도체 기판상에 형성된 제 1 도전막, 이 제 1 도전막상에 제 1 절연막을 거쳐서 형성된 제 2 도전막, 이 제 2 도전막상에 제 2 절연막을 거쳐서 형성된 제 3 도전막 및 이 제 3 도전막에서 적어도 상기 제 2 절연막과 제 1 절연막을 관통해서 상기 제 1 도전막과 상기 반도체 기판에 도달하는 기동형상 접속부를 갖고, 상기 제 2 도전막은 상기 기동형상 접속부와 그의 끝면에서 접하고, 상기 제 2 절연막의 막두께가 상기 제 1 절연막의 막두께보다 얇게 형성되어 있는 것을 특징으로 하는 것이다.

또, 본 발명의 반도체 장치는 상기 제 1 도전막의 끝부가 상기 기동형상 접속부로 돌출하고 또한 그 돌출하는 길이가 상기 기동형상 접속부 직경의 1/2 이하가 되도록 한 것을 특징으로 하는 것이다.

또, 본 발명의 반도체 장치는 상기 제 1 도전막이 그의 끝면에서만 상기 기동형상 접속부와 접하도록 한 것을 특징으로 하는 것이다.

또, 본 발명의 반도체 장치는 상기 반도체 기판과 상기 제 1 도전막 사이에 제 3 절연막이 형성되고, 상기 제 1 도전막이 기판 트랜지스터의 게이트 전극으로서 형성되고, 상기 제 2 도전막이 TFT 트랜지스터의 채널용 도전막으로서 형성되고, 상기 제 3 도전막이 상기 TFT 트랜지스터의 게이트 전극으로서 형성된 것인 것을 특징으로 하는 것이다.

또, 본 발명의 반도체 장치는 상기 반도체 기판이 N형 활성층을 갖고, 상기 N형 활성층과 접하는 상기 기동형상 접속부와 상기 제 3 도전막이 N형 폴리 실리콘으로 형성된 것을 특징으로 하는 것이다.

(실시예)

#### 실시예 1

도 1은 본 발명의 실시예 1에 따른 반도체 장치에 있어서의 층간 접속 구조, 즉, 공유 컨택트 구조의 단면도를 도시한 것이다. 도면에서, (14)는 실리콘 기판, (1)은 그 N형 활성층, (12)는 소자 분리 영역으로서의 소자간 분리 산화막, (13a)는 제 3 절연막으로서의 게이트 산화막, (2)는 제 1 도전막으로서의 제 1 폴리 실리콘막, (13f)는 제 1 절연막으로서의 층간 절연막, (8)은 제 2 도전막으로서의 제 2 폴리 실리콘막, (13g)는 제 2 절연막으로서의 층간 절연막, (6)은 제 3 도전막으로서의 제 3 폴리 실리콘막이다.

또, (15)는 개구부, (16)은 이 개구부(15)를 매우도록 제 3 폴리 실리콘막(6)에서 연장된 접속부이다.

개구부(15)는 제 2 절연막(13g), 제 2 폴리 실리콘막(8), 제 1 절연막(13f)을 관통하고, 또 제 1 폴리 실리콘막(2)과 제 3 절연막(13a)을 통과해서 실리콘 기판(14)의 활성영역(1)에 도달하고 있다. 제 3 폴리 실리콘막(6)으로부터 연장되어 있는 기동형상 접속부(16)은 이 개구부(15)를 매우고 활성 영역(1), 제 1 폴리 실리콘막(2) 및 제 2 폴리 실리콘막(8)과 접해서 관통하고 있다.

도 5는 나중에 상세하게 설명되겠지만, 본 발명의 공유 컨택트 구조의 평면도를 도시한 도면이다. 도 1의 공유 컨택트구조의 평면도도 마찬가지로 도시된다. 이것에 의해, 개구부(15)가 제 2 도전막(8)의 선단부의 일부를 잘라내도록 관통하고 제 1 도전막(2)의 선단부의 일부를 내포하고 있는 상태임을 알 수 있다.

또, 이 실시예 1에서는 제 3 폴리(6)과 제 2 폴리(8)의 막두께의 관계를 고려하고 있다(또한, 이하에서는 이와 같이 폴리 실리콘막을 폴리라 약칭한다). 즉, 제 3 폴리(6)의 막두께를  $T_{pi}$ , 제 2 폴리(8)의 막두께를  $T_{pj}$ 로 하면,  $T_{pi} > T_{pj}$ 이다. 바람직하게는 제 2 폴리(8)의 막두께  $T_{pj}$ 를 제 3 폴리(6)의 막두께  $T_{pi}$ 의 1/2 이하로 하는 것이 좋다. 구체적으로는,  $T_{pi}$ 가 100 내지 200nm인 경우,  $T_{pj}$ 를 50nm 이하로 하는 것이 좋다. 제 2 폴리(8)와 제 3 폴리(6)를 배선층으로서 사용하는 경우, 저항이 낮은 쪽의 배선을 제 3 폴리(6)에 사용한다. 이 때문에 제 3 폴리(6)는 제 2 폴리(8)보다 두꺼워진다.

다음에, 본 공유 컨택트의 형성 방법을 기술한다. 도 2a 내지 도 2c에 형성 공정도를 도시한다. 먼저, 도 2a에 도시한 바와 같이 실리콘 기판(14)에 소자 분리 영역(12), 산화막(13a), 제 1 폴리(2), 층간 절연막(13f), 제 2 폴리(8), 층간 절연막(13g)을 형성한 후, 폴리 컨택트를 형성하기 위한 사진 제판을 실행하고, 레지스트(17)를 패터닝하여 개구부(15)를 형성한다.

계속해서, 도 2b에 도시한 바와 같이 건식 에칭에 의해 폴리 컨택트를 마련하기 위한 개구부(15)를 형성

한다. 이 에칭에 의해 개구부(15)내의 제 2 폴리(8)는 없어진다. 이 에칭후 레지스트 제거를 실행한다.

다음에, 도 2c에 도시한 바와 같이 제 3 폴리(6)를 퇴적시켜 기동형상으로 연장된 접속부(16)을 형성해서, 활성층(1), 제 1 폴리(2), 제 2 폴리(8)를 접속한다. 이 때, 제 2 폴리(8)는 그 선단부의 끝면(즉, 측벽)에서 제 3 폴리(6)와 접속된다.

종래의 경우, 3층 폴리를 접속하기 위해서는 폴리 컨택트가 3종류 또는 공유 컨택트를 사용하더라도 2종류가 필요하였다. 그러나, 본 실시예의 구조에 의하면 폴리 컨택트를 1종류로 할 수 있어 마스크 갯수를 감소시킬 수 있다. 또, 사진 제판도 한번으로 되므로 프로세스 공정을 간략화시킬 수 있다.

앞서 기술한 바와 같이, 본 실시예에서는 제 3 폴리의 막두께를  $T_{pi}$ , 제 2 폴리의 막두께를  $T_{pj}$ 라고 하면,  $T_{pi} > T_{pj}$ 이다. 구체적으로는,  $T_{pi}$ 가 100 내지 200nm인 경우,  $T_{pj}$ 를 50nm 이하로 하는 것이 좋다. 이것에 의해, 도 2b에 도시한 컨택트 에칭이 종래에 비해 용이하게 된다. 이것을 이하에 설명한다.

통상, 건식 에칭에 있어서, 산화막 에칭시에는 폴리 실리콘이 에칭되기 어렵고, 반대로 폴리 실리콘 에칭시에는 산화막이 에칭되기 어렵다. 이 때문에, 도 2b에 도시된 컨택트 에칭을 실현하기 위해서는 3단계의 에칭이 필요하다. 즉, 제 1 단계에서 층간 절연막(13g)의 산화막 에칭, 제 2 단계에서 제 2 폴리 실리콘막(8)의 폴리 에칭, 제 3 단계에서 층간 절연막(13h)의 산화막 에칭이다. 이 때문에 에칭 공정이 복잡하다.

그러나, 본 실시예에서는 제 2 폴리(8)의 막두께  $T_{pj}$ 를 얇게 했으므로, 바람직하게는 매우 얇게 했으므로, 폴리 컨택트 개구가 1단계의 에칭으로 가능하게 된다. 에칭 방법은 산화막 에칭만으로 실행하는 것으로서, 제 2 층간 절연막(13g)의 에칭후 제 2 폴리(8)의 에칭으로 되지만, 폴리의 막두께가 얇기 때문에 산화막 에칭 프로세스에 의한 에칭이 가능하게 된다. 이와 같이, 이 실시예의 공유 컨택트 구조에 있어서는 제 2 폴리(8)를 얇게 하는 것에 의해 에칭 공정이 용이해진다. 또, 제 3 폴리(6)는 최상층으로 되므로 에칭과 관계없이 두꺼운 폴리층으로 할 수도 있다.

### 실시예 2

도 3은 본 발명의 다른 실시예의 반도체 장치에 있어서의 공유 컨택트의 단면도를 도시한 것이다. 도면중, 도 1 및 도 2와 동일한 부호는 동일 또는 상당부분을 나타내는 것으로, 각 부분의 설명은 중복을 피하기 위해 생략한다.

본 실시예에 있어서는 제 1 층간 절연막(13f)과 제 2 층간 절연막(13g)의 막두께의 관계를 고려하고 있다. 제 1 층간 절연막(13f)의 두께를  $T_{oj}$ , 제 2 층간 절연막(13g)의 두께를  $T_{oi}$ 로 하면,  $T_{oj} > T_{oi}$ 로 되고 있다. 바람직하게는 제 2 층간 절연막(13g)의 두께  $T_{oi}$ 는 제 1 층간 절연막(13f) 두께  $T_{oj}$ 의 1/10 이하로 된다.

이것에 의해, 이 실시예의 공유 컨택트 구조에서도 컨택트 에칭이 종래에 비해 용이하게 된다. 종래의 3단계 에칭중 2단계 에칭으로 하는 것이 가능하다.

2단계 에칭의 방법은, 제 1 단계에서 제 2 층간 절연막(13g) 및 제 2 폴리(8)를 폴리 에칭 프로세스에 의해 실행한다. 이 경우도 제 2 층간 절연막(13g)이 얇으므로 폴리 에칭 프로세스에 의해 개구가 가능하게 된다. 이와 같이, 제 2 층간 절연막(13g)의 두께  $T_{oi}$ 를 제 1 층간 절연막(13f)의 두께  $T_{oj}$ 에 비해 얇게 하는 것에 의해, 바람직하게는 매우 얇게 하는 것에 의해, 에칭 프로세스가 용이하게 된다.

### 실시예 3

도 4는 본 발명의 다른 실시예의 반도체 장치의 공유 컨택트의 단면도를 도시한 것이다. 도면중, 도 1 내지 도 3과 동일한 부호는 동일 또는 상당부분을 나타내는 것으로, 각 부분의 상세한 설명은 생략한다.

이 공유 컨택트 구조에 있어서도 N형 활성층(1), 제 1 폴리(2), 제 2 폴리(8)를 제 3 폴리(6)에 의해 접속하고 있다. 본 실시예는 실시예 1과 2의 특징을 조합한 것이다.

즉, 제 2 폴리의 막두께  $T_{pj}$ 를 제 3 폴리의 막두께  $T_{pi}$ 보다 작게 한다( $T_{pi} > T_{pj}$ ). 또한, 제 2 층간 절연막(13g)의 두께  $T_{oi}$ 를 제 1 층간 절연막(13f)의 두께  $T_{oj}$ 보다 작게 한다( $T_{oj} > T_{oi}$ ). 이것은 실제적으로는 제 2 폴리(8)의 막두께  $T_{pj}$ 와 제 2 절연막(13g)의 두께  $T_{oi}$ 를 매우 작게 하는 것이다( $T_{pi}, T_{oj} > T_{pj}, T_{oi}$ ).

이러한 구조로 하는 것에 의해, 폴리 컨택트 개구시킴에 있어서 실시예 1 및 2에서 설명한 1단계 및 2단계 에칭중 어느쪽으로도 가능하게 되고, 에칭의 공정수를 저감시킬 수 있고, 또 에칭 장치의 성능에 따라 에칭 방법을 선택할 수 있게 된다.

### 실시예 4

도 5는 본 발명의 다른 실시예의 반도체 장치에 있어서의 공유 컨택트 구조를 도시한 것으로서, 그 평면적 구성을 도시하기 위해 상부로부터 본 도면을 도시한 것이다. 도면중, 도 1 내지 도 4와 동일한 부호는 동일 또는 상당부분을 나타낸다.

도 5에 도시된 바와 같이, 이 실시예의 공유 컨택트 구조에서는 제 1 폴리(2)와 제 2 폴리(8)의 선단부에 제 3 폴리(6)로부터의 기동형상 접속부(16)가 위치되어 있다. 접속부(16)의 일부(도면에서 길이 $x_1$ 으로 표시되는 부분)는 활성층(1)에 직접 접하고 있다. 접속부(16)의 다른 측의 일부(도면에서 길이 $x_2$ 로 표시되는 부분)는 제 2 폴리의 선단부의 일부를 절단해서 관통하고 제 1 폴리(2)에 직접 접하고 있다. 제 2 폴리(8)는 그 절단된 부분의 단면(측면)의 3면에서 접속부(16)와 접해서 도통이 취해지고 있다. 제 1 폴리(2)는 접속부(16)내로 돌출한 형태의 선단부의 상면과 끝면(측면)에서 접속부(16)과 접하여 도통이 취해지고 있다.

이와 같이 형성한 공유 컨택트에서는 접속부(16)가 활성층(1)과 직접 접하는 면적(도면에서 길이 $x_1$ 으로 표

시되는 부분)과 제 1 폴리(2)와 직접 접하는 면적(도면에서 길이 $x_2$ 로 표시되는 부분)에 대해서 고려되어 있다. 즉, 컨택트의 사이즈 할당을 활성층(1) 쪽의 폭  $x_1$ 을 제 1 폴리(2) 쪽의 폭  $x_2$ 보다 크게 하고 있다 ( $x_1 > x_2$ ).

다시 말하면, 제 1 폴리(2)의 선단부는 접속부(16)내로 돌출하고 있지만, 그 돌출길이를 접속부(16)의 수평방향 길이의 1/2보다 작게 억제하고 있다. 즉, 돌출을 접속부(16) 직경의 1/2보다 작게하고 있다.

이와 같은 구조로 하는 것에 의해, 아래와 같은 문제를 해결할 수 있다.

본 발명과 같은 공유 컨택트 구조에 있어서는 종래에 비해 폴리 실리콘막 및 층간 절연막이 각기 1층씩 증가하므로 컨택트가 깊어진다. 일반적으로, 컨택트가 깊고 또한 휨폭이 좁아지면, 에칭 가스가 들어가 기 어려워져 에칭 속도가 저하하고, 최악의 경우에는 에칭이 진행하지 않게 된다.

도 6에는 컨택트 에칭을 제 1 폴리(2)까지 실행한 상태를 도시한다. 이 이후의 에칭에서는 점선으로 둘러싸인 영역을 실행하지만, 앞서 기술한 바와 같이 본 발명의 구조에서는 컨택트가 깊기 때문에 폭  $x_1$ 이 작으면 에칭이 진행되지 않을 가능성이 생긴다. 그러나, 컨택트를 크게하면 셀사이즈가 확대되기 때문에 종래의 공유 컨택트와 동일한 사이즈로 유지하기 위해서는  $x_1$ 에 비해  $x_2$ 를 작게 한다.  $x_2$ 는 작아지더라도 최악의 경우 도 6에 도시한 제 1 폴리(2)의 측벽Y에서 제 3 폴리(6)와 접속할 수 있다. 이 때문에, 본 실시예의 공유 컨택트에서는  $x_1 > x_2$ 로 하고 있다. 이것에 의해, 본 발명의 공유 컨택트를 종래의 것과 동일한 사이즈로 실현할 수 있다.

#### 실시예 5

도 7은 본 발명의 다른 실시예의 반도체 장치의 구조를 도시한 도면이다. 이 도면은 본 발명의 공유 컨택트 구조를 SRAM에 적용한 것을 도시한 것으로, 그 단면 구조를 도시하고 있다.

실시예 1 내지 실시예 3에서 설명한 구조중 셀 특성에 있어서는 실시예 3의 구조가 가장 우수하다. 도 7은 이것을 SRAM에 적용한 예이다.

도 7에 있어서, 도 1 내지 도 6과 동일한 부호는 동일 또는 상당 부분을 나타내므로, 각 부분의 상세한 설명은 생략한다. 이 실시예에서도 도면에서 알 수 있는 바와 같이 제 3 폴리(6a)에서 연장되어 있는 접속부(16)에 의해 활성층(1b), 제 1 폴리(2d) 및 제 2 폴리(8b)의 접속 및 도통이 취해지고 있다.

본 실시예의 SRAM에서는 제 1 폴리(2)만이 종래와 마찬가지로 기판 트랜지스터의 게이트 전극으로서 형성된 것이고, 제 1 폴리(8)는 TFT의 소스/드레인 및 채널층으로서 형성된 도전막, 제 3 폴리(6)는 TFT의 게이트 전극으로서 형성된 도전막으로 되어 있다. 종래예에서는 도 14에서 설명한 바와 같이 컨택트를 3회 형성할 필요가 있었던 것에 비해, 이러한 구조에 의해 공정이 현저하게 간소화된다.

또, 종래의 TFT는 하부 게이트형이었지만, 본 실시예에서는 성능이 우수한 상부 게이트형으로 되어 있다. 종래의 상부 게이트형 TFT와 공유 컨택트를 조합하면 P-N 접합의 문제가 발생하였다. 본 실시예의 구조에서는 제 2 폴리(8b)의 컨택트 접속부가 P형, 제 3 폴리(6a) 및 그 접속부(16)를 N형으로 한 것에 의해, N형 활성층(1b)과 제 3 폴리(6a)의 접속부(16)가 접하는 부분은 N형 끼리의 동일한 도전형이므로 PN 접합을 일으키지 않아 전위 강하가 발생하지 않는다. 또, 제 2 폴리(8b)와 제 3 폴리(6a)는 P-N 폴리간의 접속을 위해 PN 접합은 문제없는 레벨이다.

또, 컨택트의 에칭 개선을 위해, 제 2 폴리(8)의 막두께( $T_{pj}$ ) 및 층간 절연막(13g)의 막두께( $T_{oi}$ )를 박막화했지만, 이들에 의해 TFT 특성도 개선할 수 있다. 즉, TFT의 소스-드레인 및 채널층으로서의 제 2 폴리(8)의 막두께( $T_{pj}$ )를 박막화시킴으로써 오프(OFF) 전류인 누설 전류를 감소시킬 수 있다. 또, 층간 절연막(13g)의 막두께( $T_{oi}$ )를 박막화시킴으로써 TFT의 게이트 산화막이 얇아지므로 온(ON) 전류를 향상시킬 수 있다.

이와 같이, 본 실시예의 구조와 같이 제 2 폴리(8)를 TFT의 소스/드레인 및 채널층, 제 3 폴리(6)를 TFT의 게이트 전극으로 하는 것에 의해, 접합의 문제를 해결할 수 있고 또한 고성능의 상부 게이트형 TFT를 채용할 수 있으며, 게다가 막두께 관계를 고려하면 성능을 더욱 향상시킬 수 있다. 이상과 같이 본 실시예는 상부 게이트 TFT와 직접 컨택트의 조합에 의해 SRAM의 성능을 향상시킨 것이다.

#### 실시예 6

도 8 및 도 9는 본 발명의 또 다른 실시예의 반도체 장치에 있어서의 폴리 컨택트 구조를 도시한 도면이다. 도 8은 단면 구조도, 도 9는 평면 구조를 도시한 도면이다. 도 8 및 도 9에 있어서, 도 1 내지 도 7과 동일한 부호는 각각 동일 또는 상당 부분을 나타내므로, 각 부분의 상세한 설명은 생략한다.

본 실시예의 폴리 컨택트에서, 제 3 폴리(6)에서 연장되는 접속부(18)는 제 2 폴리(8)의 선단부를 절단해서 연장되고, 제 1 폴리(2)를 관통해서 기판(14) 내지 활성층(1)에 도달되고 있다. 즉, 본 실시예의 폴리 컨택트 구조는 공유 구조가 아니고 제 1 폴리(2), 제 2 폴리(8) 모두 그의 끝면(측면)이 제 3 폴리(6)의 접속부(18)와 접한 구조이다. 이러한 구조로 한 경우도 3층간의 접속을 일거에 할 수 있고, 또 폴리 컨택트 마스크 1개로 형성할 수 있다.

본 실시예의 구조에 대해서도 도 1에 도시한 바와 같이 제 2 폴리(8)의 막두께를 제 3 폴리(6)의 막두께보다 작게 하는 것, 도 3에 도시한 바와 같이 제 2 층간 절연막(13g)의 두께를 제 1 층간 절연막(13f)의 두께보다 작게 하는 것, 도 4에 도시한 바와 같이 제 2 폴리(8)의 막두께를 제 3 폴리(6)의 막두께보다 작게 하고 또 제 1 층간 절연막(13g)의 두께를 제 2 층간 절연막(13f)의 두께보다 작게 하는 것, 그리고 도 7에 도시한 바와 같이 이것을 SRAM에 응용하는 것에 대해 각각 적용할 수 있고 마찬가지로의 효과를 얻을 수 있다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 반도체 기판상에 제 1 도전막, 제 1 절연막, 제 2 도전막, 제 2 절연막, 제 3 도전막을 적층하고, 제 2 도전막의 막두께를 제 3 도전막의 막두께보다 얇게 하고 제 3 도전막에서 반도체 기판, 제 1 도전부 및 제 2 도전막으로의 폴리 콘택트를 형성함으로써, 마스크 갯수 저감 및 프로세스 공정의 간략화와 에칭 공정의 간략화가 도모된다.

또, 본 발명에서는 제 2 도전막의 막두께를 제 1 절연막의 막두께보다 얇게 하고 제 3 도전막에서 반도체 기판, 제 1 도전부 및 제 2 도전막으로의 폴리 콘택트를 형성함으로써, 마스크 갯수 감소 및 프로세스 공정의 간략화와 에칭 공정의 간략화가 도모된다.

또, 본 발명에서는 제 1 도전막의 끝부가 기동형상 접속부로 돌출하게 하고 또한 그 돌출하는 길이를 상기 기동형상 접속부의 직경의 1/2보다 작게 함으로써, 폴리 콘택트 사이즈의 증대를 방지하고 그 사이즈를 유지할 수 있다.

또, 본 발명에서는 제 2 도전막이 그의 끝면에서만 기동형상 접속부와 접하도록 함으로써, 폴리 콘택트 사이즈의 증대를 방지하고 폴리 콘택트 사이즈를 유지할 수 있다.

또, 본 발명에서는 제 1 도전막을 기판 트랜지스터의 게이트 전극으로서 형성하고, 제 2 도전막을 TFT 트랜지스터의 채널용 도전막으로서 형성하며, 제 3 도전막을 상기 TFT 트랜지스터의 게이트 전극으로서 형성함으로써, TFT 특성의 향상을 도모할 수 있다.

또, 본 발명에서는 반도체 기판이 N형 활성층을 갖고, N형 활성층과 접하는 기동형상 접속부와 제 3 도전막을 N형 폴리 실리콘으로 형성함으로써, 직접 콘택트부에서의 접합의 문제를 일으키지 않고 안정한 반도체 장치의 특성을 얻을 수 있다.

### (57) 청구의 범위

#### 청구항 1

반도체 기판상에 형성된 제 1 도전막과,

상기 제 1 도전막상에 제 1 절연막을 거쳐서 형성된 제 2 도전막과,

상기 제 2 도전막상에 제 2 절연막을 거쳐서 형성된 제 3 도전막과,

상기 제 3 도전막에서 적어도 상기 제 2 절연막과 상기 제 1 절연막을 관통해서 상기 제 1 도전막 및 상기 반도체 기판에 도달하는 기동형상 접속부

를 포함하되,

상기 제 2 도전막은 상기 기동형상 접속부와 그의 끝면에서 접하고, 상기 제 2 도전막의 막두께가 상기 제 3 도전막의 막두께보다 얇게 형성되어 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 2

반도체 기판상에 형성된 제 1 도전막과,

상기 제 1 도전막상에 제 1 절연막을 거쳐서 형성된 제 2 도전막과,

상기 제 2 도전막상에 제 2 절연막을 거쳐서 형성된 제 3 도전막 및

상기 제 3 도전막에서 적어도 상기 제 2 절연막과 상기 제 1 절연막을 관통해서 상기 제 1 도전막과 상기 반도체 기판에 도달하는 기동형상 접속부

를 포함하되,

상기 제 2 도전막은 상기 기동형상 접속부와 그의 끝면에서 접하고, 상기 제 2 절연막의 막두께가 상기 제 1 절연막의 막두께보다 얇게 형성되어 있는 것을 특징으로 하는 반도체 장치.

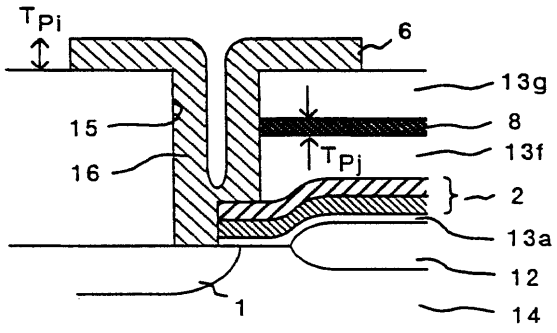
#### 청구항 3

제 2 항에 있어서,

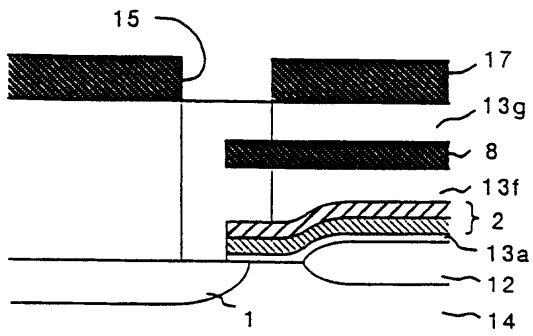
상기 제 2 도전막의 막두께가 상기 제 3 도전막의 막두께보다 얇게 형성되어 있는 것을 특징으로 하는 반도체 장치.

### 도면

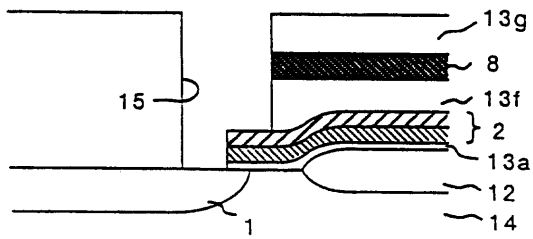
도면1



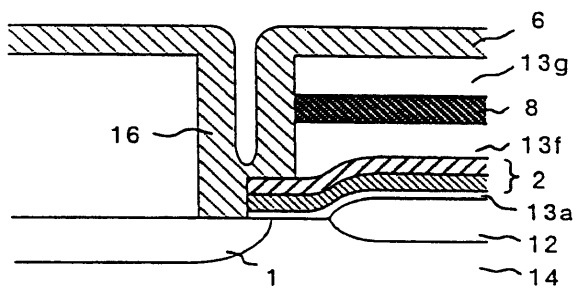
도면2a



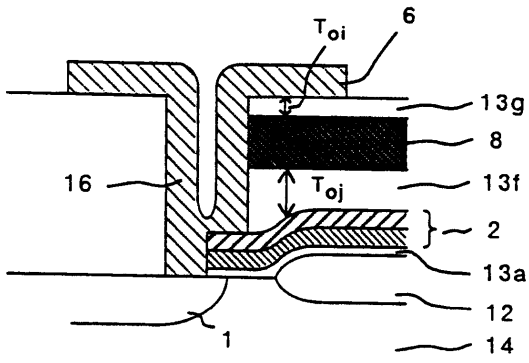
도면2b



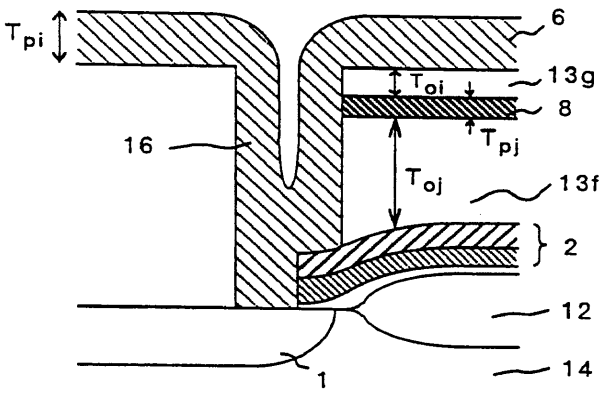
도면2c



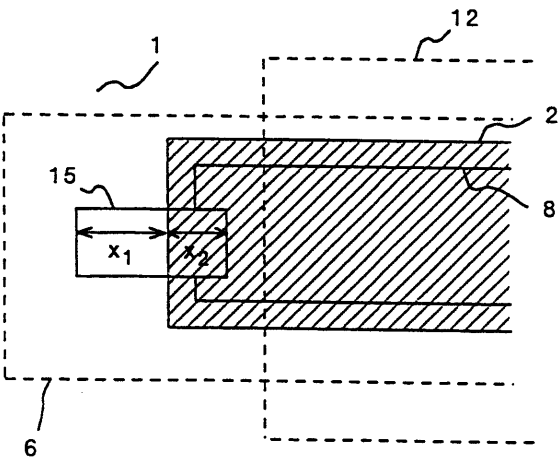
도면3



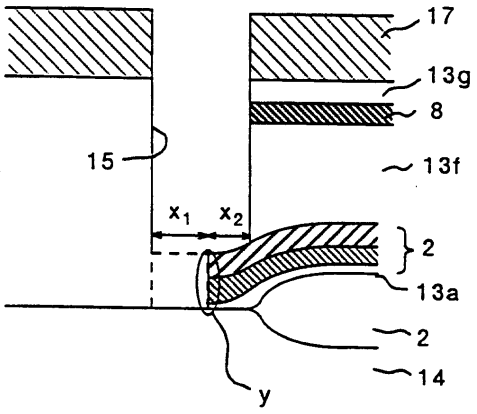
도면4



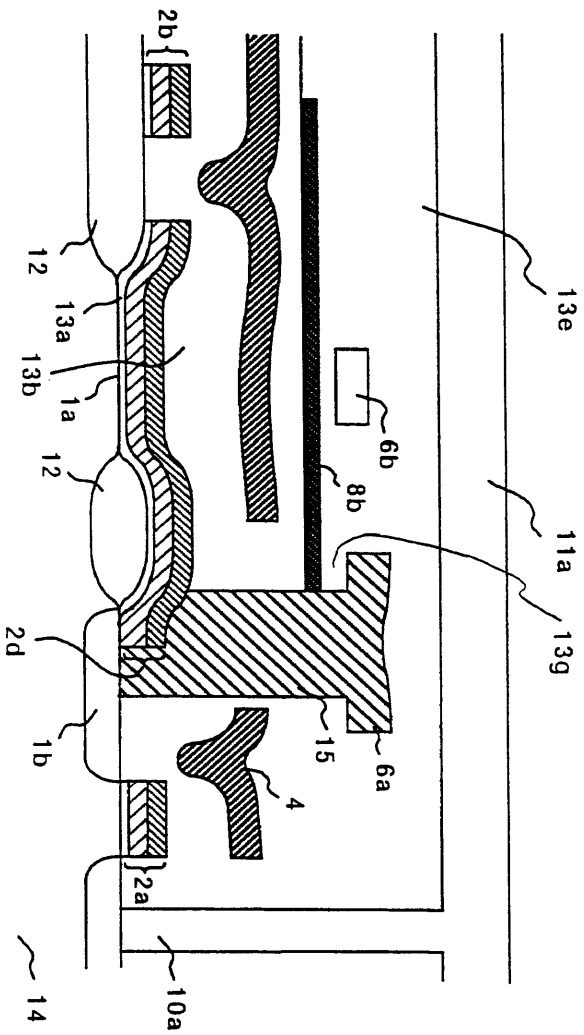
도면5



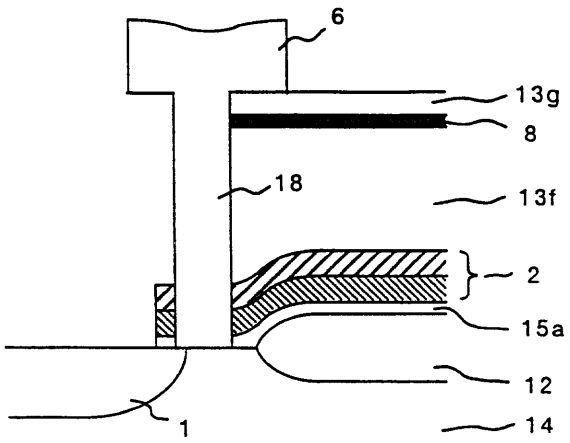
도면6



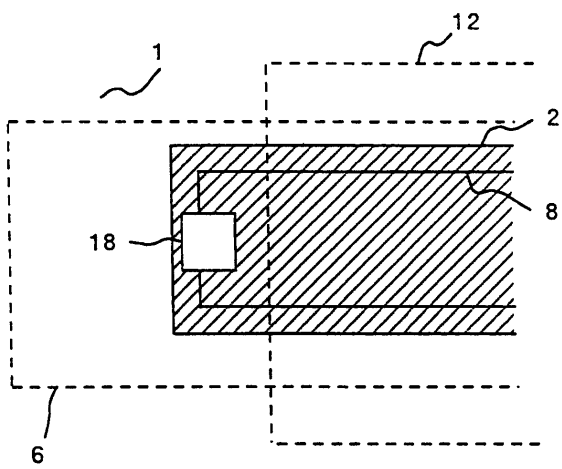
도면7



도면8

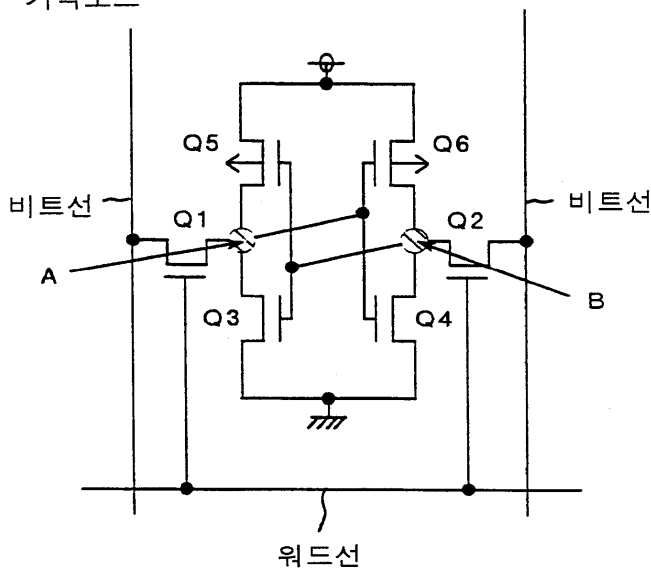


도면9

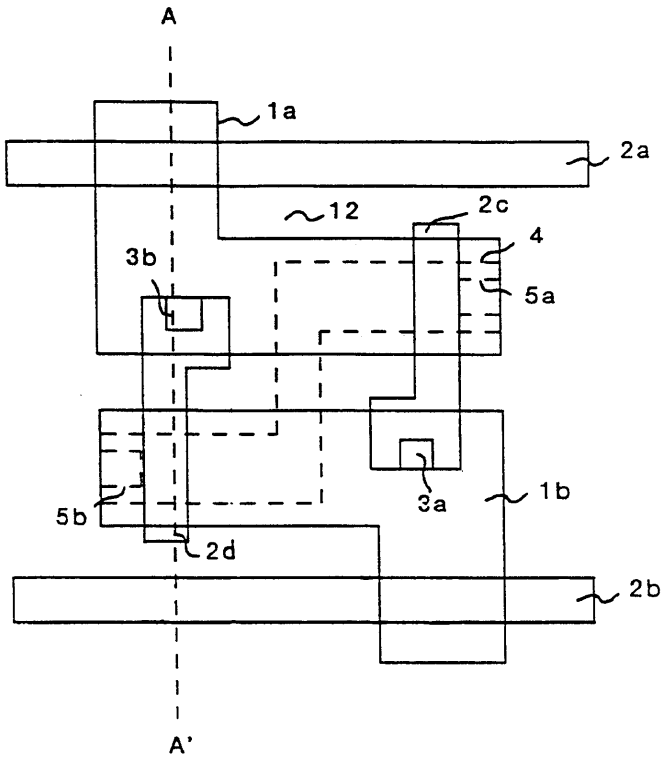


도면10

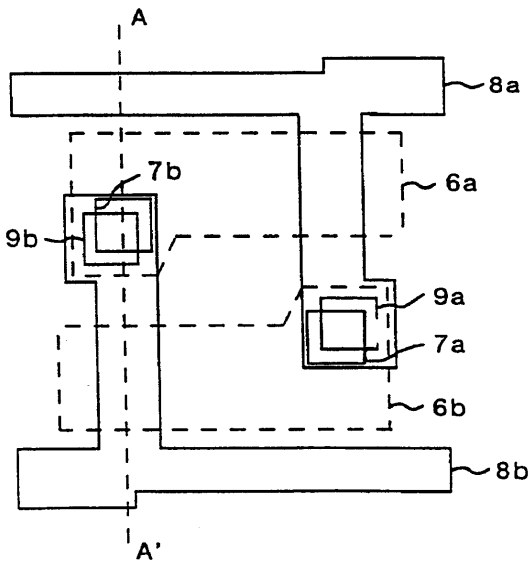
⊗ 기억노드



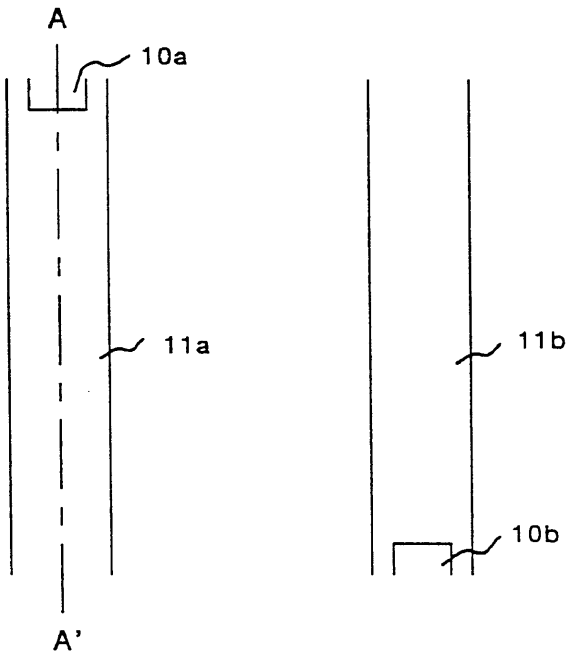
도면11



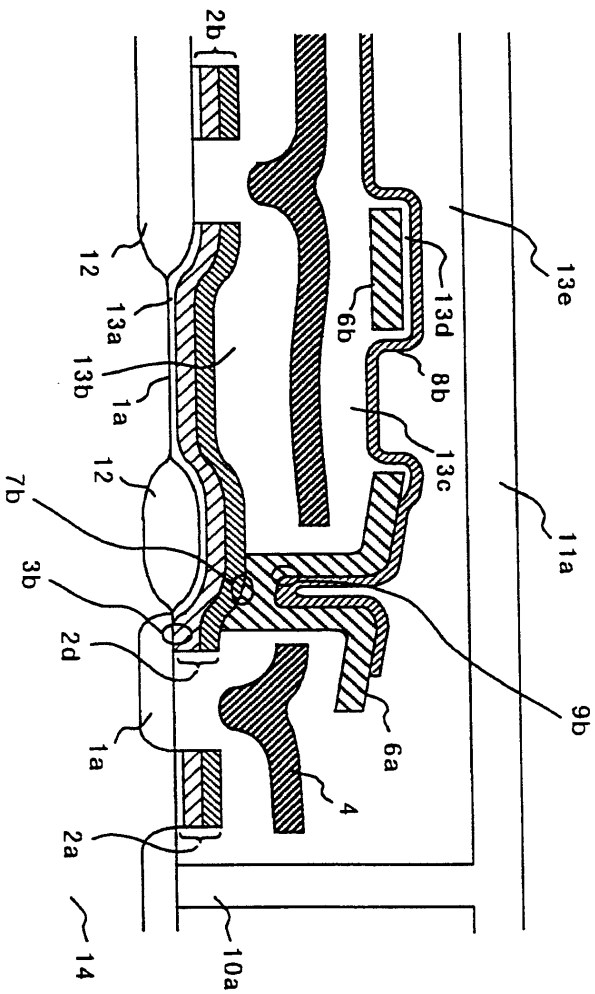
도면12



도면13



도면14



도면15

