



(12)发明专利申请

(10)申请公布号 CN 109860278 A

(43)申请公布日 2019.06.07

(21)申请号 201910147854.5

H01L 29/786(2006.01)

(22)申请日 2014.05.01

H01L 21/34(2006.01)

(30)优先权数据

2013-106331 2013.05.20 JP

(62)分案原申请数据

201480026382.3 2014.05.01

(71)申请人 株式会社半导体能源研究所

地址 日本神奈川

(72)发明人 山崎舜平 须泽英臣 冈崎丰

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51)Int.Cl.

H01L 29/24(2006.01)

H01L 29/51(2006.01)

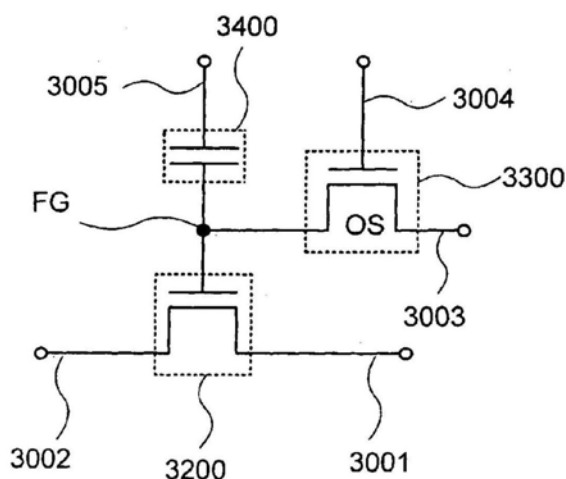
权利要求书1页 说明书28页 附图12页

(54)发明名称

半导体装置

(57)摘要

公开了半导体装置。本发明的一个实施方式提供一种使用氧化物半导体的半导体装置,该半导体装置在维持良好的电特性的同时实现了微型化。在该半导体装置中,氧化物半导体层被包含有过剩的氧的氧化铝膜的绝缘层包围。氧化铝膜所包含的过剩的氧通过半导体装置的制造工序中的加热处理而被供应给其中形成沟道的氧化物半导体层。并且,由于氧化铝膜具有对氧及氢的阻挡性,所以可以抑制氧从被包含氧化铝膜的绝缘层包围的氧化物半导体层脱离以及氢等杂质混入氧化物半导体层,由此可以使氧化物半导体层高纯度本征化。另外,由设置在氧化物半导体层上侧及下侧的栅电极层良好地控制阈值电压。



1. 一种半导体装置,包括:
埋入绝缘层中的第一导电层;
所述第一导电层和所述绝缘层之上的第一绝缘层;
所述第一绝缘层之上的第一层;
所述第一层之上的第二层;
与所述第二层的顶面和侧面接触并与所述第一层的侧面接触的第三层;
所述第三层之上的第二绝缘层;
所述第二绝缘层之上的第二导电层;以及
所述第二导电层之上的氧化铝膜,
其中所述第一层、所述第二层和所述第三层中的每一层含有铟、镓和锌。
2. 一种半导体装置,包括:
埋入绝缘层中的第一导电层;
所述第一导电层和所述绝缘层之上的第一绝缘层;
所述第一绝缘层之上的第一层;
所述第一层之上的第二层;
与所述第二层的顶面和侧面接触并与所述第一层的侧面接触的第三层;
所述第三层之上的第二绝缘层;
所述第二绝缘层之上的第二导电层;以及
所述第二导电层之上的氧化铝膜,
其中所述第一层、所述第二层和所述第三层中的每一层含有铟、镓和锌,
并且所述第二导电层覆盖所述第二层的所述顶面和所述侧面。
3. 根据权利要求1或2所述的半导体装置,其中所述氧化铝膜含有过量的氧。
4. 根据权利要求1或2所述的半导体装置,其中所述氧化铝膜具有与所述第一绝缘层接触的区域。
5. 一种半导体装置,包括:
埋入绝缘层中的第一导电层;
所述第一导电层和所述绝缘层之上的第一绝缘层;
所述第一绝缘层之上的第一层;
所述第一层之上的第二层;
与所述第二层的顶面和侧面接触并与所述第一层的侧面接触的第三层;
所述第三层之上的第二绝缘层;以及
所述第二绝缘层之上的第二导电层,
其中所述第一层、所述第二层和所述第三层中的每一层含有铟、镓和锌。
6. 根据权利要求1、2和5中任一项所述的半导体装置,其中所述第一层和所述第三层中的每一层具有比所述第二层更高比例的镓原子比。
7. 根据权利要求1、2和5中任一项所述的半导体装置,其中所述第二层比所述第一层及所述第三层更厚。
8. 根据权利要求1、2和5中任一项所述的半导体装置,其中所述半导体装置被安装在选自电视装置、警报装置、空调器、冰箱及电动汽车中的一个中。

半导体装置

[0001] 本分案申请是基于申请号为201480026382.3,申请日为2014年5月1日,发明名称为“半导体装置”的中国专利申请的分案申请。

技术领域

[0002] 本说明书等所公开的发明涉及一种半导体装置及该半导体装置的制造方法。

[0003] 注意,本说明书等中的半导体装置是指能够通过利用半导体特性而工作的所有装置,因此电光装置、图像显示装置、半导体电路以及电子设备都包括在半导体装置的范畴内。

背景技术

[0004] 使用形成在具有绝缘表面的衬底上的半导体薄膜来构成晶体管的技术受到关注。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(简单地记载为显示装置)等的电子设备。作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。但是,作为其他材料,氧化物半导体受到关注。

[0005] 例如,公开了使用氧化锌或In-Ga-Zn类氧化物半导体等氧化物半导体来制造晶体管的技术(参照专利文献1及专利文献2)。

[0006] 另外,公开了为了提高晶体管的载流子迁移率而层叠电子亲和势(或者导带底的能级)不同的氧化物半导体层的技术(参照专利文献3及专利文献4)。

[0007] [专利文献1]日本专利申请公开2007-123861号公报

[0008] [专利文献2]日本专利申请公开2007-096055号公报

[0009] [专利文献3]日本专利申请公开2011-124360号公报

[0010] [专利文献4]日本专利申请公开2011-138934号公报

发明内容

[0011] 包括使用氧化物半导体的晶体管的半导体装置的可靠性需要得到提高以实现量产。尤其是,半导体装置的电特性的变动或降低导致可靠性的降低。

[0012] 鉴于上述问题,本发明的一个实施方式的目的之一是提供一种包括氧化物半导体的可靠性高的半导体装置。

[0013] 另外,为了实现晶体管的工作的高速化、晶体管的低功耗化、廉价化、高集成化等,必须要实现晶体管的微型化。

[0014] 于是,本发明的一个实施方式的目的之另一是提供一种包括氧化物半导体的半导体装置,该半导体装置在维持良好的电特性的同时实现微型化。

[0015] 注意,这些目的的记载不妨碍其他目的的存在。本发明的一个实施方式不需要达到上述所有目的。另外,上述以外的目的从说明书等的记载看来显而易见,且可以从说明书等的记载中抽出上述以外的目的。

[0016] 当使用氧化物半导体制造晶体管时,氧空位被作为氧化物半导体的载流子的供应

源之一。包含在氧化物半导体中的氧空位作为存在于氧化物半导体的能隙内的深能级的局域态而明显化。载流子被这种局域态俘获而导致晶体管的常导通化、泄漏电流的增大以及因施加应力引起的阈值电压的漂移等电特性不良。因此,为了提高晶体管的可靠性,必须减少氧化物半导体中的氧空位。

[0017] 另外,在氧化物半导体层中,氢、硅、氮、碳以及主要成分以外的金属元素都是杂质。例如,氢的一部分在氧化物半导体层中形成施主能级,而使载流子密度增大。

[0018] 因此,为了使包括氧化物半导体的半导体装置具有稳定的电特性,需要采取措施对氧化物半导体层供应充分的氧来降低氧空位,并且降低氢等杂质的浓度。

[0019] 于是,在本发明的一个实施方式的半导体装置中,通过将氧从设置在氧化物半导体层的下侧的栅极绝缘层以及设置在氧化物半导体层的上侧的用作保护绝缘层的绝缘层供应到沟道形成区,填补有可能形成在沟道形成区中的氧空位。

[0020] 在本发明的一个实施方式中,作为对沟道形成区供应氧的栅极绝缘层及保护绝缘层,使用包含含有过剩的氧的氧化铝膜的绝缘层。在此,过剩的氧例如是指超过化学计量组成的氧,或者由于在半导体装置的制造工序中进行的加热处理温度以下的温度的加热而有可能被释放出的氧。例如,作为包含过剩的氧的氧化铝膜,可以设置 AlO_x (x 大于1.5)膜。氧化铝膜所包含的过剩的氧可以通过加热被释放,并供应给氧化物半导体层,因此通过将包含这样的氧化铝膜的绝缘层设置于氧化物半导体层的下侧及上侧,可以对沟道形成区有效地供应氧。

[0021] 另外,例如可以在包含氧的气氛下通过溅射法等来形成含有过剩的氧的氧化铝膜。

[0022] 另外,氧化铝膜是与氧化硅膜、氮化硅膜等绝缘层或氧化物半导体层相比对氧及氢的透过性低的绝缘层。换言之,氧化铝膜具有对氧及氢的阻挡性。因此,通过设置包含氧化铝膜的绝缘层,能够抑制由该绝缘层包围的区域的氧脱离所导致的氧空位的形成,并且能够抑制氢或氢化合物的混入。

[0023] 在本发明的一个实施方式中,在氧化物半导体层以及与该氧化物半导体层电连接的源电极层及漏电极层不存在的区域中,设置在氧化物半导体层的上侧或下侧中的一侧的栅极绝缘层以及设置在氧化物半导体层的上侧或下侧中的另一侧的保护绝缘层彼此接触。也就是说,在本发明的一个实施方式的半导体装置中,氧化物半导体层被氧化铝膜包围。通过具有这样的结构,除了氧化物半导体层的前沟道一侧及背沟道一侧以外,还可以抑制氧化物半导体层侧面的氧脱离及/或氢等杂质的混入,并可以进行氧的供应。由此,能够抑制其沟道形成在该氧化物半导体层中的晶体管的电特性变动,形成可靠性高的半导体装置。

[0024] 更具体地,例如可以采用以下结构。

[0025] 本发明的一个实施方式是一种半导体装置,包括:第一栅电极层;在第一栅电极层上并与其接触的第一栅极绝缘层;隔着第一栅极绝缘层与第一栅电极层重叠的氧化物半导体层;与氧化物半导体层电连接的源电极层及漏电极层;位于源电极层及漏电极层上且与氧化物半导体层重叠的第二栅极绝缘层;隔着第二栅极绝缘层与氧化物半导体层重叠的第二栅电极层;以及覆盖源电极层、漏电极层及第二栅电极层的保护绝缘层,其中第一栅极绝缘层及保护绝缘层包含含有过剩的氧的氧化铝膜,并在源电极层、漏电极层及第二栅电极层不存在的区域中彼此接触。

[0026] 另外,本发明的其他的一个实施方式是一种半导体装置,包括:第一绝缘层;被埋入第一绝缘层中且露出顶面的第一栅电极层;在第一绝缘层及第一栅电极层上并与其接触的第一栅极绝缘层;隔着第一栅极绝缘层与第一栅电极层重叠的氧化物半导体层;与氧化物半导体层电连接的源电极层及漏电极层;位于源电极层及漏电极层上且与氧化物半导体层重叠的第二栅极绝缘层;隔着第二栅极绝缘层与氧化物半导体层重叠的第二栅电极层;以及覆盖源电极层、漏电极层及第二栅电极层的保护绝缘层,其中第一栅极绝缘层及保护绝缘层包含含有过剩的氧的氧化铝膜,并在源电极层、漏电极层及第二栅电极层不存在的区域中彼此接触。

[0027] 优选在上述半导体装置的沟道宽度的方向上的截面中,第二栅电极层隔着第二栅极绝缘层覆盖氧化物半导体层的侧面及顶面。

[0028] 另外,上述半导体装置优选还包括:设置在第一栅极绝缘层与氧化物半导体层之间,且包含构成氧化物半导体层的金属元素中的至少一个金属元素作为构成元素的第一氧化物层;以及设置在第二栅极绝缘层与氧化物半导体层之间,且包含构成氧化物半导体层的金属元素中的至少一个金属元素作为构成元素的第二氧化物层,其中优选氧化物半导体层的导带底的能量比第一氧化物层及第二氧化物层的导带底的能量更接近真空能级0.05eV以上且2eV以下。

[0029] 另外,在上述结构中,优选以覆盖没有被源电极层及漏电极层覆盖的氧化物半导体层的方式在源电极层及漏电极层上设置第二氧化物层。

[0030] 本发明的一个实施方式的结构的效果例如可以说明为如下。

[0031] 在本发明的一个实施方式的半导体装置中,氧化物半导体层被包含含有过剩的氧的氧化铝膜的绝缘层包围。氧化铝膜所包含的过剩的氧通过半导体装置的制造工序中的加热处理而被供应给其中形成沟道的氧化物半导体层。并且,由于氧化铝膜具有对氧及氢的阻挡性,所以可以抑制氧从被包含氧化铝膜的绝缘层包围的氧化物半导体层脱离以及氢等杂质混入氧化物半导体层。被供应有充分的氧且氢等杂质的混入得到了抑制的氧化物半导体层是高纯度本征化的氧化物半导体层。

[0032] 另外,在上述半导体装置中,从氧化物半导体层的下侧的第一栅电极层及氧化物半导体层的上侧的第二栅电极层对氧化物半导体层施加垂直方向的电场。由此,可以良好地控制半导体装置的阈值电压。另外,通过以隔着第二栅极绝缘层覆盖氧化物半导体层的侧面的方式形成上述第二栅电极层,可以对沟道形成区从垂直方向及水平方向的双方施加电场,由此可以使阈值电压控制性更加良好。另外,也可以减小晶体管的亚阈值摆幅(S值)。

[0033] 另外,在本发明的一个实施方式的半导体装置中,优选在氧化物半导体层与重叠于该氧化物半导体层的第一栅极绝缘层及保护绝缘层之间具有作为构成元素包含构成氧化物半导体层的金属元素中的至少一个金属元素的氧化物层。由此,可以抑制在氧化物半导体层与重叠于该氧化物半导体层的绝缘层的界面形成陷阱态,所以可以抑制晶体管的电特性劣化。

[0034] 也就是说,本发明的一个实施方式更优选具有如下结构:氧化物半导体层的顶面及底面被用作防止氧化物半导体层的界面态形成的阻挡膜的氧化物层覆盖;氧化物半导体层的侧面及底面在沟道宽度方向上隔着栅极绝缘层被栅电极层覆盖;并且氧化物半导体层被包含氧化铝膜的绝缘层包围。通过采用这样的结构,可以抑制氧化物半导体层中及界面

的载流子的生成要因的氧空位的生成及杂质的混入,所以可以使氧化物半导体层高纯度本征化。高纯度本征化是指使氧化物半导体层本征化或实质上本征化。由此,可以抑制包括该氧化物半导体层的晶体管的电特性变动,并提供可靠性高的半导体装置。

[0035] 本发明的一个实施方式可以提供一种使用氧化物半导体的可靠性高的半导体装置。

[0036] 另外,本发明的一个实施方式可以提供一种使用氧化物半导体的半导体装置,该半导体装置在维持良好的电特性的同时实现了微型化。

附图说明

[0037] 在附图中:

[0038] 图1A至图1C是说明半导体装置的一个实施方式的俯视图及截面图;

[0039] 图2A至图2C是说明半导体装置的一个实施方式的俯视图及截面图;

[0040] 图3A至图3C是说明半导体装置的制造方法的截面图;

[0041] 图4A至图4C是说明半导体装置的制造方法的截面图;

[0042] 图5A至图5C是说明半导体装置的一个实施方式的俯视图及截面图,并且图5D是能带图;

[0043] 图6A至图6C是说明半导体装置的一个实施方式的俯视图及截面图;

[0044] 图7是说明半导体装置的一个例子的电路图;

[0045] 图8是说明半导体装置的一个例子的方框图;

[0046] 图9是说明半导体装置的一个例子的电路图;

[0047] 图10是说明半导体装置的一个例子的电路图;

[0048] 图11A至图11C是说明半导体装置的例子的图;

[0049] 图12A至图12C是说明电子设备的实施方式的图。

具体实施方式

[0050] 下面,参照附图详细地说明所公开的发明的实施方式。注意,本说明书所公开的发明不局限于以下说明,并且所属技术领域的普通技术人员可以很容易地理解一个事实,就是所公开的发明的方式及详细内容可以被变换为各种各样的形式。因此,本说明书所公开的发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。在以下所示的本发明的一个实施方式的结构中,在不同附图之间共同使用同一符号表示同一部分或具有同样功能的部分并省略其重复说明。另外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0051] 在本说明书等中使用的“第一”、“第二”等序数词是为了避免构成要素的混淆而附记的,而不是为了在数目方面上进行限定的。

[0052] 在本说明书等中,实质上本征的氧化物半导体层的载流子密度低于 $1 \times 10^{17}/\text{cm}^3$,低于 $1 \times 10^{15}/\text{cm}^3$ 或低于 $1 \times 10^{13}/\text{cm}^3$ 。通过使氧化物半导体层高纯度本征化,可以使晶体管具有稳定的电特性。

[0053] 在本说明书等中,“上”或“下”不局限于构成要素的位置关系为“直接在…之上”或“直接在…之下”。例如,“栅极绝缘层上的栅电极”包括在栅极绝缘层和栅电极之间包含另

一构成要素的情况。“下”也是同样的。

[0054] 在本说明书等中,膜的顶面是指与衬底表面大致平行且远离衬底表面一侧的面,膜的底面是指与衬底表面大致平行且接近衬底表面一侧的面。

[0055] 在本说明书中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态,因此也包括角度为 -5° 以上且 5° 以下的情况。另外,“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态,因此也包括角度为 85° 以上且 95° 以下的情况。

[0056] 在本说明书中,六方晶系包括三方晶系和菱方晶系。

[0057] 实施方式1

[0058] 在本实施方式中,参照图1A至图4C说明半导体装置及该半导体装置的制造方法的一个方式。在本实施方式中,作为半导体装置的一个例子示出包括氧化物半导体的晶体管。

[0059] 图1A至图1C示出晶体管250的结构例子。图1A是晶体管250的俯视图,图1B是沿着图1A中的V1-W1的截面图,图1C是沿着图1A中的X1-Y1的截面图。注意,在图1A中,为了简化起见,省略晶体管250的构成要素的一部分(例如,绝缘层212等)。另外,这在本说明书的其他的俯视图中也是同样的。

[0060] 图1A至图1C所示的晶体管250包括:设置在衬底200上的第一栅电极层202;与第一栅电极层202接触的绝缘层206;隔着绝缘层206与第一栅电极层202重叠的氧化物半导体层208;与氧化物半导体层208电连接的源电极层210a及漏电极层210b;位于源电极层210a及漏电极层210b上且与氧化物半导体层208重叠的绝缘层214;隔着绝缘层214与氧化物半导体层208重叠的第二栅电极层216;以及以覆盖源电极层210a、漏电极层210b及第二栅电极层216的方式设置在绝缘层206上的绝缘层212。

[0061] 在晶体管250中,设置在第一栅电极层202与氧化物半导体层208之间的绝缘层206用作第一栅极绝缘层。另外,设置在第二栅电极层216与氧化物半导体层208之间的绝缘层214用作第二栅极绝缘层。另外,以覆盖源电极层210a、漏电极层210b及第二栅电极层216的方式设置在氧化物半导体层208上侧的绝缘层212用作保护绝缘层。

[0062] 在晶体管250中,将包含含有过剩的氧的氧化铝膜的绝缘层应用于设置在氧化物半导体层208下侧的绝缘层206以及设置在氧化物半导体层208上侧的绝缘层212。

[0063] 如图1B及图1C中的截面图所示,在氧化物半导体层208、源电极层210a、漏电极层210b及第二栅电极层216不存在的区域中,用作第一栅极绝缘层的绝缘层206与用作保护绝缘层的绝缘层212在沟道长度方向(载流子流过的方向)及沟道宽度方向的两个方向上彼此接触。也就是说,晶体管250所包括的氧化物半导体层208被包含氧化铝膜的绝缘层包围。

[0064] 如上所述,氧化铝膜所包含的过剩的氧通过晶体管250的制造工序中的加热处理被释放,并被供应到氧化物半导体层208。另外,该加热处理也可以兼作用来在氧化物半导体层208上形成绝缘层等的加热处理。并且,氧化铝膜具有对氧及氢的阻挡性。因此,由于氧化物半导体层208的氧脱离得到了抑制,并充分的氧被供应到氧化物半导体层208中,因此氧空位减少,与此同时,氢等杂质的混入也得到了减少。换言之,氧化物半导体层208是高纯度本征化的氧化物半导体层。具有高纯度化并i型(本征)化的氧化物半导体层208的晶体管250的电特性几乎没有变动,所以其电性稳定。

[0065] 为了使氧化物半导体层208本征或实质上本征,将利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的氢浓度设定为 2×10^{20} atoms/cm³以下,

优选为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下,更优选为 $1 \times 10^{19} \text{atoms/cm}^3$ 以下,进一步优选为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。

[0066] 优选降低设置在氧化物半导体层208下侧的绝缘层206及设置在氧化物半导体层208上侧的绝缘层212所包含的氢的浓度。具体而言,将绝缘层206及绝缘层212所包含的氢的浓度优选设定为小于 $5 \times 10^{19} \text{atoms/cm}^3$,更优选设定为小于 $5 \times 10^{18} \text{atoms/cm}^3$ 。

[0067] 将被高度纯化的氧化物半导体层208用于沟道形成区的晶体管250的关态电流(off-state current)极小。例如,关于使用被高度纯化的氧化物半导体层的晶体管处于关闭状态时的漏极电流,室温(25℃左右)下的漏极电流可以为 $1 \times 10^{-18} \text{A}$ 以下,优选为 $1 \times 10^{-21} \text{A}$ 以下,更优选为 $1 \times 10^{-24} \text{A}$ 以下,或者,85℃下的漏极电流可以为 $1 \times 10^{-15} \text{A}$ 以下,优选为 $1 \times 10^{-18} \text{A}$ 以下,更优选为 $1 \times 10^{-21} \text{A}$ 以下。注意,“n沟道型晶体管处于关闭状态”是指栅电压充分小于阈值电压的状态。具体而言,在栅电压比阈值电压小1V以上,2V以上或3V以上时,晶体管成为关闭状态。

[0068] 另外,使晶体管微型化可以实现高密度化(高集成化)。例如,将晶体管的沟道长度设定为100nm以下,优选为40nm以下,更优选为30nm以下。

[0069] 虽然为了实现半导体装置的高密度化(高集成化)就必须使晶体管微型化,但是晶体管的微型化导致晶体管的电特性劣化是众所周知的。例如,已知在使用硅的晶体管中,如缩短沟道长度,则发生亚阈值摆幅(S值)增大、阈值电压向负方向变动等的短沟道效应。

[0070] 然而,由于使用氧化物半导体的晶体管是以电子为多数载流子的积累型晶体管,所以与硅晶体管等反转型晶体管相比不容易发生作为短沟道效应的DIBL(Drain-Induced Barrier Lowering:漏极感应势垒降低)。因此也可以说使用氧化物半导体的晶体管具有对短沟道效应的抗性,由此适合微型化。

[0071] 另外,从氧化物半导体层208下侧的第一栅电极层202及氧化物半导体层208上侧的第二栅电极层216对氧化物半导体层208施加垂直方向的电场。通过采用这样的结构,可以对沟道形成区从垂直方向及水平方向的双方施加电场,由此可以更加良好地控制晶体管250的阈值电压。另外,还可以减小晶体管250的S值。第一栅电极层202及第二栅电极层216的电位例如可以相同。但是,第一栅电极层202及第二栅电极层216的电位不局限于此。

[0072] 另外,若将晶体管250的沟道宽度扩得太大,则难以从沟道形成区的侧面方向施加第二栅电极层216的电场,从而阈值电压的控制性降低。为了从第二栅电极层216对氧化物半导体层208的侧面方向充分地施加电场,优选将氧化物半导体层208膜厚度设定为沟道宽度以上。

[0073] 一般而言,若缩小晶体管的沟道宽度,则有通态电流下降的可能性。为了提高通态电流,可以使用已知方法将活性层厚膜化以在活性层侧面也形成沟道,但是沟道形成区的表面积增大会使沟道形成区与栅极绝缘层的界面的载流子的散射增加,从而难以期待通态电流的充分的提高。

[0074] 然而,在本实施方式的晶体管250中,通过以包围形成沟道的氧化物半导体层208的方式设置包含有过剩的氧的氧化铝膜的绝缘层206、212,可以对氧化物半导体层208供应氧化铝膜所包含的过剩的氧,并且抑制氧从氧化物半导体层208脱离以及氢等杂质混入氧化物半导体层208。对氧化物半导体层208来说氧空位及氢是载流子的生成要因,通过设置包含过剩的氧的氧化铝膜,可以抑制在形成沟道的氧化物半导体层208的界面发生载流

子的散射。

[0075] 因此,即使缩小沟道宽度,通过使氧化物半导体层208的膜厚度变厚而使与第二栅电极层216重叠的表面积增加,也能够充分地提高通态电流。

[0076] 另外,氧化物半导体层中的氢的一部分被氧空位俘获而使氧化物半导体层成为n型,费米能级(E_f)靠近导带底(E_c)。因此,含有大量氢的氧化物半导体层虽有电特性变动的可能性,但却可以实现晶体管的场效应迁移率的提高。另一方面,若使氧化物半导体层208成为本征或实质上本征,氧化物半导体层208的费米能量与带隙中心(氧化物半导体层的能隙的中间)则一致,或接近。此时,由于氧化物半导体层208所包含的载流子数减少,所以场效应迁移率有可能降低。

[0077] 然而,在晶体管250中,除了垂直方向的栅极电场,对氧化物半导体层208还从水平方向施加栅极电场。也就是说,对氧化物半导体层208全方面地施加栅极电场,所以电流流过整个氧化物半导体层208。由此,在因高纯度本征化而抑制电特性变动的同时,可以提高晶体管250的场效应迁移率。

[0078] 另外,若减小晶体管的沟道长度及沟道宽度,利用抗蚀剂掩模加工的布线以及半导体层等则有时具有弧形端部(呈曲线状的端部)。当以覆盖被厚膜化的氧化物半导体层的方式形成薄膜的绝缘层(例如,栅极绝缘层)时,有时会引起覆盖率的下降所导致的形状不良而得不到稳定的电特性,但是通过使氧化物半导体层208具有弧形端部,可以提高绝缘层214对氧化物半导体层208的覆盖率,所以是优选的。

[0079] 作为本实施方式的晶体管的另一个结构例子,图2A至图2C示出晶体管260的结构例子。图2A是晶体管260的俯视图,图2B是沿着图2A中的V2-W2的截面图,图2C是沿着图2A中的X2-Y2的截面图。

[0080] 图2A至图2C所示的晶体管260包括:衬底200上的绝缘层205;被埋入绝缘层205中且露出顶面的第一栅电极层202;以与没有被绝缘层205覆盖的第一栅电极层202的露出的顶面接触的方式设置在绝缘层205上的绝缘层206;隔着绝缘层205及绝缘层206与第一栅电极层202重叠的氧化物半导体层208;与氧化物半导体层208电连接的源电极层210a及漏电极层210b;位于源电极层210a及漏电极层210b上且与氧化物半导体层208重叠的绝缘层214;隔着绝缘层214与氧化物半导体层208重叠的第二栅电极层216;以及以覆盖源电极层210a、漏电极层210b及第二栅电极层216的方式设置在绝缘层206上的绝缘层212。

[0081] 在晶体管260中,设置在第一栅电极层202与氧化物半导体层208之间的绝缘层206用作第一栅极绝缘层。另外,设置在第二栅电极层216与氧化物半导体层208之间的绝缘层214用作第二栅极绝缘层。另外,以覆盖源电极层210a、漏电极层210b及第二栅电极层216的方式设置在氧化物半导体层208上侧的绝缘层212用作保护绝缘层。

[0082] 图2A至图2C所示的晶体管260与图1A至图1C的晶体管250的不同之处在于第一栅电极层202的结构。也就是说,在晶体管250中,以覆盖形成在衬底上的第一栅电极层202的方式形成有绝缘层206。另一方面,在晶体管260中,第一栅电极层202被埋入绝缘层205中且露出其顶面,并且在该露出的顶面与用作第一栅极绝缘层的绝缘层206接触。

[0083] 在晶体管260中,其他构成要素与晶体管250相同。

[0084] 以下,参照图3A至图4C说明晶体管260的制造方法的一个例子。

[0085] 在具有绝缘表面的衬底200上形成第一栅电极层202(包括与其形成在同一层的布

线),在第一栅电极层202上形成绝缘膜205a(参照图3A)。

[0086] 对可以用作具有绝缘表面的衬底200的衬底没有特别的限制,但是衬底200需要至少具有能够承受后面进行的加热处理工序的程度的耐热性。例如,可以使用玻璃衬底如硼硅酸钡玻璃和硼硅酸铝玻璃等、陶瓷衬底、石英衬底、蓝宝石衬底等。另外,也可以应用硅或碳化硅等的单晶半导体衬底或多晶半导体衬底、硅锗等的化合物半导体衬底、SOI (Silicon On Insulator:绝缘体上硅)衬底等,还可以将设置有半导体元件的衬底用作衬底200。

[0087] 另外,作为衬底200也可以使用柔性衬底来制造半导体装置。在制造具有柔性的半导体装置时,既可以在柔性衬底上直接制造晶体管260,也可以在衬底上制造晶体管260,然后从该衬底将其剥离并转置到柔性衬底上。另外,为了从制造衬底剥离晶体管260并转置到柔性衬底上,在制造衬底与晶体管260之间设置剥离层即可。

[0088] 第一栅电极层202的材料可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钕、钐中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)等。此外,作为第一栅电极层202,可以使用以掺杂有磷等杂质元素的多晶硅膜为代表的半导体膜、镍硅化物膜等硅化物膜。或者,也可以应用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物以及添加有氧化硅的铟锡氧化物等导电材料。另外,也可以采用上述导电材料和上述金属材料的叠层结构。

[0089] 另外,第一栅电极层202可以采用单层结构或叠层结构。此外,作为与绝缘膜205a接触的第一栅电极层202中之一层可以使用包含氮的金属氧化物,具体地说,可以使用包含氮的In-Ga-Zn-O膜、包含氮的In-Sn-O膜、包含氮的In-Ga-O膜、包含氮的In-Zn-O膜、包含氮的Sn-O膜、包含氮的In-O膜或金属氮化膜(InN、SnN等)。这些膜具有5eV(电子伏特)以上,优选为5.5eV(电子伏特)以上的功函数。当将这些膜用作栅电极层时,可以使晶体管的阈值电压向正方向变动,而能够实现所谓的常关闭(normally-off)的开关元件。

[0090] 可以利用等离子体CVD法或溅射法等来形成第一栅电极层202。

[0091] 作为绝缘膜205a,可以使用氧化硅膜、氧氮化硅膜或氮氧化硅膜等以单层结构或叠层结构形成。另外,绝缘膜205a的厚度优选至少为第一栅电极层202的厚度以上。

[0092] 接着,对绝缘膜205a进行回蚀刻处理或CMP(化学机械抛光)处理来使第一栅电极层202的一部分露出来。另外,也可以组合CMP处理和回蚀刻处理来使用。通过该回蚀刻处理或CMP处理,第一栅电极层202上的绝缘膜205a被去除,并形成将第一栅电极层202埋入于其内的绝缘层205。

[0093] 接着,以在绝缘层205上并与其接触的方式形成绝缘层206(参照图3B)。

[0094] 绝缘层206至少包含含有过剩的氧的氧化铝膜。另外,也可以采用氧化铝膜与氧化硅膜、氧化镓膜、氧化铝膜、氮化硅膜、氧氮化硅膜、氧氮化铝膜或氮氧化硅膜的叠层结构。另外,当采用叠层结构时,除了氧化铝膜以外的所包含的绝缘膜也可以含有过剩的氧。

[0095] 例如,也可以通过从近于第一栅电极层202一侧依次层叠含有过剩的氧的氧化铝膜及含有过剩的氧的氧化硅膜,使绝缘层206成为叠层结构。此时,隔着氧化硅膜与氧化物半导体层相对的氧化铝膜可以抑制氧化硅膜所包含的过剩的氧向外扩散,与此同时,有效地对后面形成的氧化物半导体层208供应氧。

[0096] 另外,优选通过使用氧化铝靶材的溅射法来形成绝缘层206所包含的氧化铝膜。或

者,也可以通过使用铝靶材的反应性溅射法来形成氧化铝膜。通过在含有氧的气氛中形成氧化铝膜,可以使成膜后的氧化铝膜包含过剩的氧。优选将成膜气体中的氧的比例设定为30vol.%以上。另外,除了氧以外还可以含有稀有气体(例如氩)。

[0097] 或者,也可以在形成绝缘层206所包含的氧化铝膜时,使用以0.1%至30%的比例包含氧化硅的氧化铝靶材形成含有氧化硅的氧化铝膜。由于氧化硅的氧透过率比氧化铝高,所以含有氧化硅的氧化铝膜所包含的过剩的氧则容易被释放。另外,通过将含有氧化硅的氧化铝膜应用于晶体管,可以得到缓和应力的效果。另一方面,若氧化硅的含有率高,对氧的阻挡性则会下降,所以氧化铝靶材所包含的氧化硅的比例优选为30%以下,例如为5%或10%。

[0098] 另外,通过提高绝缘层206的成膜时的衬底温度可以降低绝缘层206中的氢浓度,所以是优选的。衬底温度例如为100℃以上且500℃以下,优选为150℃以上且450℃以下。

[0099] 接着,在绝缘层206上形成氧化物半导体膜,将其加工成岛状来形成氧化物半导体层208(参照图3C)。

[0100] 氧化物半导体膜既可以是单层结构,又可以是叠层结构。另外,既可以是非晶结构又可以是结晶结构。

[0101] 作为氧化物半导体膜的成膜方法,可以适当地利用溅射法、MBE(Molecular Beam Epitaxy:分子束外延)法、CVD法、脉冲激光沉积法、ALD(Atomic Layer Deposition:原子层沉积)法等。

[0102] 在形成氧化物半导体膜时,优选尽可能地降低氧化物半导体中的氢浓度。为了降低氢浓度,例如,在利用溅射法进行成膜时,作为供应到溅射装置的成膜室内的气氛气体适当地使用:氢、水、羟基或者氢化物等杂质被去除的高纯度的稀有气体(典型的有氩);氧;或者稀有气体和氧的混合气体。

[0103] 另外,通过在去除残留在成膜室内的水分的同时导入去除了氢及水分的溅射气体来进行成膜,可以降低所形成的氧化物半导体膜中的氢浓度。为了去除残留在成膜室内的水分,优选使用捕集真空泵,例如,低温泵、离子泵、钛升华泵。此外,也可以使用具备冷阱的涡轮分子泵。由于低温泵对如氢分子、水(H₂O)等包含氢原子的化合物(优选还包括包含碳原子的化合物)等进行排出的能力较高,所以可以降低利用该低温泵进行过排气的成膜室中形成的氧化物半导体膜所包含的杂质浓度。

[0104] 另外,在通过溅射法形成氧化物半导体膜的情况下,使用于成膜的金属氧化物靶材的相对密度(填充率)为90%以上且100%以下,优选为95%以上且99.9%以下。通过使用相对密度高的金属氧化物靶材,可以形成致密的氧化物半导体膜。

[0105] 另外,为了降低包含在氧化物半导体膜中的杂质的浓度,在将衬底200保持为高温的状态下形成氧化物半导体膜也是有效的。将加热衬底200的温度设定为150℃以上且450℃以下,优选将衬底温度设定为200℃以上且350℃以下即可。另外,通过在进行成膜时以高温加热衬底,可以形成结晶氧化物半导体膜。

[0106] 用于氧化物半导体膜的氧化物半导体至少包含铟(In)。尤其是优选包含铟(In)及锌(Zn)。另外,除了上述元素以外,优选还具有镓(Ga)作为稳定剂(stabilizer),该稳定剂用来减小使用上述氧化物半导体的晶体管的电特性偏差。另外,作为稳定剂,优选具有选自锡(Sn)、铪(Hf)、铝(Al)和锆(Zr)中的一种或多种。

[0107] 另外,作为其他稳定剂,也可以包含镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)和镱(Lu)中的一种或多种。

[0108] 例如,作为氧化物半导体可以使用氧化铟;氧化锡;氧化锌;二元金属氧化物如In-Zn类氧化物、In-Mg类氧化物、In-Ga类氧化物;三元金属氧化物如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;以及四元金属氧化物如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0109] 例如In-Ga-Zn类氧化物是指作为主要成分具有In、Ga和Zn的氧化物,对In、Ga、Zn的组成比没有限制。此外,也可以包含In、Ga、Zn以外的金属元素。

[0110] 使用含有铟的氧化物半导体的晶体管不局限于此,可以根据所需要的晶体管的电特性(场效应迁移率、阈值电压等)而使用适当的组成的材料。另外,优选采用适当的载流子密度、杂质浓度、缺陷密度、金属元素及氧的原子比、原子间距离以及密度等,以得到所需要的电特性。

[0111] 在形成氧化物半导体膜后,优选进行加热处理。以250℃至650℃的温度,优选以300℃至500℃的温度,并在惰性气氛、包含10ppm以上的氧化性气体的气氛或减压气氛下进行加热处理,即可。此外,也可以在惰性气氛中进行加热处理之后,在包含10ppm以上的氧化性气体的气氛中进行加热处理以便填补所释放的氧。通过在此进行加热处理,可以从氧化物半导体膜去除氢或水等杂质。另外,也可以在将氧化物半导体膜加工成岛状的氧化物半导体层208后进行该加热处理。

[0112] 接着,在绝缘层206及岛状的氧化物半导体层208上形成导电膜,并对该导电膜进行加工来形成源电极层210a及漏电极层210b(包括与它们形成在同一层中的布线)(参照图4A)。

[0113] 源电极层210a及漏电极层210b可以使用与第一栅电极层202同样的材料以单层结构或叠层结构形成。

[0114] 另外,虽然未图示,但是源电极层210a及漏电极层210b的端部也可以具有设置有多个台阶的台阶形状。该端部可以通过多次交替进行利用灰化使抗蚀剂掩模缩小的工序及蚀刻工序来形成。源电极层210a及漏电极层210b的厚度越大,越优选增加该台阶数。通过使源电极层210a及漏电极层210b成为上述那样的设置有多个台阶的形状,形成在其上方的绝缘层212的覆盖率得到提高,从而可以提高晶体管的电特性及长期可靠性。

[0115] 注意,在将导电膜加工为源电极层210a及漏电极层210b时,有时因对导电膜的过蚀刻而氧化物半导体层208的一部分(不被源电极层210a及漏电极层210b覆盖的区域)被蚀刻,从而使其膜厚度减少。

[0116] 接着,以覆盖源电极层210a及漏电极层210b的方式在绝缘层206上形成绝缘膜214a(参照图4B)。

[0117] 可以使用与绝缘膜205a同样的材料及制造方法来形成绝缘膜214a。

[0118] 接着,在绝缘膜214a上形成导电膜,并对该导电膜进行加工来形成第二栅电极层216(包括与其形成在同一层中的布线)。然后,以第二栅电极层216作为掩模对绝缘膜214a进行加工来形成绝缘层214。当以第二栅电极层216作为掩模而自对准地对绝缘层214进行加工时,不需要增加掩模数量,所以是优选的。

[0119] 然后,以覆盖源电极层210a、漏电极层210b及第二栅电极层216的方式在绝缘层206上形成绝缘层212(参照图4C)。绝缘层212至少包含含有过剩的氧的氧化铝膜,并且可以使用与绝缘层206同样的结构及制造方法来形成。

[0120] 另外,在形成绝缘层212后也可以进行加热处理。加热处理的条件可以与上述形成氧化物半导体膜后的加热处理相同。

[0121] 通过上述步骤,可以形成本实施方式的晶体管260。

[0122] 在本实施方式所示的半导体装置中,通过以包围氧化物半导体层的方式设置包含含有过剩的氧的氧化铝膜的绝缘层,能够对氧化物半导体层供应氧,并且抑制氧从氧化物半导体层脱离以及氢等杂质混入氧化物半导体层。

[0123] 因此,可以抑制因沟道形成区的氧空位可能引起的阈值电压变动等电特性变动。具体而言,例如,可以实现稳定的常关闭状态。因此,可以提供一种呈现良好的电特性且长期可靠性高的半导体装置。

[0124] 另外,在本实施方式所示的半导体装置中,从氧化物半导体层的下侧的第一栅电极层及氧化物半导体层的上侧的第二栅电极层对氧化物半导体层施加垂直方向的电场。由此,可以良好地控制晶体管的阈值电压。

[0125] 并且,以在沟道宽度方向上与沟道形成区的侧面及底面重叠的方式来设置隔着第二栅极绝缘层与氧化物半导体层重叠的第二栅电极层,由此形成与氧化物半导体层的侧面及底面重叠的栅电极层。由此,从侧面方向及底面方向对沟道形成区施加电场,因此可以更加良好地控制晶体管的阈值电压,并且减小S值。

[0126] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0127] 实施方式2

[0128] 在本实施方式中,参照图5A至图6C说明与实施方式1不同的半导体装置的结构。注意,关于与实施方式1相同的构成要素可以参照实施方式1,并且有时省略其重复的描述。

[0129] 图5A至图5D示出晶体管270的结构例子。图5A是晶体管270的俯视图,图5B是沿着图5A中的V3-W3的截面图,图5C是沿着图5A中的X3-Y3的截面图。另外,图5D是示意性地示出晶体管270所包括的叠层结构的导带底的能量的能带图。

[0130] 与实施方式1中的晶体管260同样地,图5A至图5C所示的晶体管270包括:设置在衬底200上的绝缘层205;被埋入绝缘层205中且露出顶面的第一栅电极层202;以与第一栅电极层202的顶面接触的方式设置在绝缘层205上的绝缘层206;隔着绝缘层206与第一栅电极层202重叠的氧化物半导体层208;与氧化物半导体层208电连接的源电极层210a及漏电极层210b;位于源电极层210a及漏电极层210b上且与氧化物半导体层208重叠的绝缘层214;隔着绝缘层214与氧化物半导体层208重叠的第二栅电极层216;以及以覆盖源电极层210a、漏电极层210b及第二栅电极层216的方式设置在绝缘层206上的绝缘层212。

[0131] 另外,本实施方式的晶体管270除了上述晶体管260的结构之外还包括:设置在绝缘层206与氧化物半导体层208之间,且作为构成元素包含构成氧化物半导体层208的金属

元素中的至少一个金属元素的第一氧化物层207;以及设置在绝缘层214与氧化物半导体层208之间,且作为构成元素包含构成氧化物半导体层208的金属元素中的至少一个金属元素的第二氧化物层209。

[0132] 在晶体管270中,在实施方式1所示的晶体管260的制造工序中,在以在绝缘层205上并与其接触的方式形成绝缘层206后,连续地形成将成为第一氧化物层207的第一氧化物膜、氧化物半导体膜以及将成为第二氧化物层209的第二氧化物膜,然后,通过光刻工序形成抗蚀剂掩模,使用抗蚀剂掩模对第二氧化物膜、氧化物半导体膜及第一氧化物膜进行蚀刻以将它们加工成岛状,由此可以形成第一氧化物层207、氧化物半导体层208及第二氧化物层209的叠层结构。

[0133] 另外,如上所述,由于晶体管270所包括的第一氧化物层207、氧化物半导体层208及第二氧化物层209是使用同一个抗蚀剂掩模被进行加工的,所以第一氧化物层207的上端部分与氧化物半导体层208的下端部分大致对齐,氧化物半导体层208的上端部分与第二氧化物层209的下端部分大致对齐。或者,第一氧化物层207、氧化物半导体层208及第二氧化物层209具有大致相同的顶面形状。

[0134] 另外,在上述工序中,若以不暴露于大气的方式连续形成第一氧化物膜、氧化物半导体膜及第二氧化物膜,则可以防止氢或水分等杂质附着到各层的界面,所以是优选的。

[0135] 晶体管270所包括的氧化物半导体层208包括至少包含铟、锌及M(M为Al、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金属元素)的以In-M-Zn氧化物表示的层。当氧化物半导体层208包含铟时,晶体管的载流子迁移率得到提高,所以是优选的。

[0136] 氧化物半导体层208的下侧的第一氧化物层207包含以In-M-Zn氧化物(M为Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金属元素)表示的M的原子比比氧化物半导体层208高的氧化物层。具体地,第一氧化物层207中的元素M的原子比为氧化物半导体层208的1.5倍以上,优选为2倍以上,更优选为3倍以上。元素M与氧的键合比铟与氧的键合更坚固,所以具有抑制氧空位产生在氧化物层中的功能。也就是说,与氧化物半导体层208相比,在第一氧化物层207中不容易产生氧空位。

[0137] 此外,与第一氧化物层207同样,氧化物半导体层208的上侧的第二氧化物层209包含以In-M-Zn氧化物(M为Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金属元素)表示的M的原子比比氧化物半导体层208高的氧化物层。具体地,第二氧化物层209中的元素M的原子比为氧化物半导体层208的1.5倍以上,优选为2倍以上,更优选为3倍以上。

[0138] 就是说,在第一氧化物层207、氧化物半导体层208以及第二氧化物层209是至少包含铟、锌及M(M为Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金属元素)的In-M-Zn氧化物的情况下,当将第一氧化物层207设定为 $\text{In:M:Zn} = x_1:y_1:z_1$ [原子比]、将氧化物半导体层208设定为 $\text{In:M:Zn} = x_2:y_2:z_2$ [原子比]以及将第二氧化物层209设定为 $\text{In:M:Zn} = x_3:y_3:z_3$ [原子比]时,优选 y_1/x_1 及 y_3/x_3 比 y_2/x_2 大。 y_1/x_1 及 y_3/x_3 为 y_2/x_2 的1.5倍以上,优选为 y_2/x_2 的2倍以上,更优选为 y_2/x_2 的3倍以上。此时,当在氧化物半导体层208中 y_2 为 x_2 以上时,可以使晶体管的电特性稳定。注意,当 y_2 为 x_2 的3倍以上时,晶体管的场效应迁移率变低,所以 y_2 优选小于 x_2 的3倍。

[0139] 注意,当将In-M-Zn氧化物用于第一氧化物层207时,除了Zn和O以外的In和M的比例优选为In低于50atomic%且M为50atomic%以上,更优选为In低于25atomic%且M为

75atomic%以上。此外,当将In-M-Zn氧化物用于氧化物半导体层208时,除了Zn和O以外的In和M的比例优选为In为25atomic%以上且M低于75atomic%,更优选为In为34atomic%以上且M低于66atomic%。当将In-M-Zn氧化物用于第二氧化物层209时,除了Zn和O以外的In和M的比例优选为In低于50atomic%且M为50atomic%以上,更优选为In低于25atomic%且M为75atomic%以上。

[0140] 此外,第一氧化物层207及第二氧化物层209既可以包含不同构成元素,又可以以相同的原子比或以不同的原子比包含相同的构成元素。

[0141] 例如可以将包含镧、铈、铈及镱的氧化物半导体用于第一氧化物层207、氧化物半导体层208以及第二氧化物层209。

[0142] 第一氧化物层207及第二氧化物层209优选包含构成氧化物半导体层208的金属元素中的一种以上,并且,第一氧化物层207及第二氧化物层209优选使用导带底的能量比氧化物半导体层208的导带底的能量更接近真空能级0.05eV以上、0.07eV以上、0.1eV以上或0.15eV以上且2eV以下、1eV以下、0.5eV以下或0.4eV以下的氧化物半导体形成。

[0143] 在上述结构中,当对第一栅电极层202及/或第二栅电极层216施加电场时,沟道形成在氧化物半导体层208中,这是因为在被用作第一栅极绝缘层的一部分的绝缘层206与用作第二栅电极层的绝缘层214夹着的由第一氧化物层207、氧化物半导体层208及第二氧化物层209形成的叠层结构中,氧化物半导体层208的导带底的能量最小。也就是说,通过形成有第一氧化物层207及第二氧化物层209,可以使晶体管的沟道不接触于其构成元素(但不包括氧)与氧化物半导体层208不同的绝缘层206及绝缘层214。

[0144] 图5D示意性地示出包括绝缘层206、第一氧化物层207、氧化物半导体层208、第二氧化物层209及绝缘层214的叠层结构的能带结构。在图5D中,Evac表示真空能级的能量,Ec表示导带底的能量。

[0145] 由图5D可知,被氧化物层夹着的氧化物半导体层形成阱(well),在采用该叠层结构的晶体管中,沟道形成在氧化物半导体层中。另外,由于在第一氧化物层207、氧化物半导体层208及第二氧化物层209中导带底的能量连续地变化,所以也可以被认为形成有U字形阱(U-shape Well)或弧形阱(round well)。另外,也可以将具有上述结构的沟道称为埋入沟道。

[0146] 如图5D所示,在第一氧化物层207与氧化物半导体层208的界面以及氧化物半导体层208与第二氧化物层209的界面附近,导带底的能量如画曲线那样连续地变化。在以In-M-Zn氧化物表示的氧化物层中,元素M的比例越高,该氧化物层的能量带隙越大,因此在第一氧化物层207与氧化物半导体层208的界面以及氧化物半导体层208与第二氧化物层209的界面附近形成各个层的混合区域(混合层),由于在该混合区域中元素M的比例渐渐地变化,由此形成图5D所示的弧形阱。另外,由于第一氧化物层207、氧化物半导体层208及第二氧化物层209的组成相似,所以氧容易相互扩散。另一方面,在组成不同的绝缘层206与第一氧化物层207之间以及第二氧化物层209与绝缘层214之间不容易形成上述混合区域,因此在能带图中也没有连续的变化。

[0147] 当导带底的能量在第一氧化物层207与氧化物半导体层208的界面以及氧化物半导体层208与第二氧化物层209的界面附近具有弧形阱时,可以缓减该界面附近的电场集中。

[0148] 另外,虽然在图5D中例示了第一氧化物层207的导带底的能量比第二氧化物层209的导带底的能量更接近真空能级的情况,但是两者既可以是具有相同的导带底的能量的氧化物层,也可以第二氧化物层209的导带底的能量比第一氧化物层207的导带底的能量更接近真空能级。

[0149] 第一氧化物层207和第二氧化物层209为包含一种以上的构成氧化物半导体层208的金属元素的氧化物层,因此可以说包括这些层的叠层结构是主要成分相同而层叠的氧化物叠层。主要成分相同而层叠的氧化物叠层不是仅将各层层叠,而是以形成连续结合(在此,尤其是指各层之间的导带底的能量连续变化的U字形(弧形)阱结构)的方式形成。这是因为:当有可能形成陷阱中心或复合中心等缺陷态的杂质混杂于各层之间的界面时,能带失去连续性,因此载流子在界面被俘获或者因复合而消失。

[0150] 为了形成连续结合,需要使用具备装载闭锁室的多室成膜装置(溅射装置)以不使各层暴露于大气的方式连续地层叠。在溅射装置中的各处理室中,优选使用低温泵等吸附式真空泵进行高真空抽气(抽空到大约 5×10^{-7} Pa至 1×10^{-4} Pa)来尽可能地去去除有可能成为氧化物半导体的杂质的水等。或者,优选组合涡轮分子泵和冷阱来防止气体从排气系统倒流到处理室内。

[0151] 另外,为了获得高纯度本征氧化物半导体,不仅需要对处理室内进行高真空抽气,而且需要进行溅射气体的高度纯化。作为用作溅射气体的氧气体或氩气体,通过使用露点为 -40°C 以下,优选为 -80°C 以下,更优选为 -100°C 以下的高纯度气体,能够尽可能地防止水分等混入氧化物半导体。

[0152] 设置在氧化物半导体层208的上侧或下侧的第一氧化物层207及第二氧化物层209用作阻挡层,其可以抑制在接触于氧化物叠层的绝缘层(绝缘层206及绝缘层214)与氧化物叠层之间的界面形成的陷阱能级影响到用作晶体管的主要载流子路径的氧化物半导体层208。

[0153] 具体地,通过以与氧化物半导体层208的上侧及下侧接触的方式设置与氧化物半导体层208相比不容易产生氧空位的第一氧化物层207及第二氧化物层209,可以减少氧化物半导体层208中的氧空位。由此抑制起因于氧空位的陷阱能级形成在氧化物半导体层208的界面。例如,可以使氧化物半导体层208的利用恒定光电流法(也称为CPM:Constant Photocurrent Method)测定出的起因于局域能级的吸收系数低于 $1 \times 10^{-3}/\text{cm}$,优选低于 $1 \times 10^{-4}/\text{cm}$ 。

[0154] 另外,在其构成元素与氧化物半导体层208不同的绝缘层214(例如,包含氧化硅膜的绝缘层)接触于氧化物半导体层208的背沟道一侧的情况下,在两层之间的界面会形成界面态,该界面态有可能形成沟道。在此情况下,有可能出现具有不同阈值电压的第二晶体管,而使晶体管的外观上的阈值电压发生变动。然而,由于在晶体管280中第二氧化物层209包含一种以上的构成氧化物半导体层208的金属元素,因此在氧化物半导体层208的背沟道一侧的界面不容易形成界面态。因而,通过设置第二氧化物层209,可以降低晶体管的阈值电压等电特性的偏差。

[0155] 另外,当在用作栅极绝缘层的绝缘层206与氧化物半导体层208之间的界面形成沟道时,在该界面产生界面散射而使晶体管的场效应迁移率下降。然而,由于在晶体管280中第一氧化物层207包含一种以上的构成氧化物半导体层208的金属元素,因此在氧化物半导

体层208的前沟道一侧的界面不容易产生载流子散射,而可以提高晶体管的场效应迁移率。

[0156] 另外,第一氧化物层207及第二氧化物层209还用作阻挡层,该阻挡层用来抑制绝缘层206及绝缘层212的构成元素混入氧化物半导体层208而形成杂质态。

[0157] 例如,包含在氧化物半导体层208中的硅的浓度为 $3 \times 10^{18}/\text{cm}^3$ 以下,优选为 $3 \times 10^{17}/\text{cm}^3$ 以下。另外,包含在氧化物半导体层208中的碳的浓度为 $3 \times 10^{18}/\text{cm}^3$ 以下,优选为 $3 \times 10^{17}/\text{cm}^3$ 以下。

[0158] 氧化物半导体层中的杂质浓度可以通过利用二次离子质谱分析法(SIMS: Secondary Ion Mass Spectrometry)来测定。

[0159] 另外,将第一氧化物层207及第二氧化物层209的厚度设定为能够抑制对于氧化物半导体来说是杂质的绝缘层206及绝缘层214的构成元素混入氧化物半导体层208的厚度。另外,通过增加氧化物半导体层208的厚度可以提高晶体管280的通态电流,所以氧化物半导体层208的厚度优选至少大于第一氧化物层207及第二氧化物层209的厚度。

[0160] 另外,由于第一氧化物层207设置在栅电极层与用作沟道的氧化物半导体层208之间,所以优选尽可能地将其减薄以提高晶体管的通态电流。具体而言,第一氧化物层207的厚度例如为0.3nm以上且低于10nm,优选为0.3nm以上且5nm以下。

[0161] 另外,若杂质的氢或水分包含在氧化物半导体层中,则作为施主而形成n型区,所以从实现阱结构的角度来看,在第一氧化物层207下侧设置包含防止氢或水分从外部侵入的氧化铝膜的绝缘层206,并且在第二氧化物层209上侧设置包含防止氢或水分从外部侵入的氧化铝膜的绝缘层212是有效的。

[0162] 另外,在第一氧化物层207或第二氧化物层209的导带底与氧化物半导体层208的导带底的能量差小的情况下,有时氧化物半导体层208的电子越过该能量差到达陷阱能级。电子被陷阱能级俘获,使得绝缘膜的界面产生负的固定电荷,这导致晶体管的阈值电压向正方向变动。

[0163] 因此,第一氧化物层207或第二氧化物层209的导带底与氧化物半导体层208的导带底的能量差优选为0.1eV以上,更优选为0.15eV以上,由此可以减少晶体管的阈值电压的变动,得到稳定的电特性。

[0164] 图6A至图6C示出本实施方式的晶体管的另一个结构例子。图6A是晶体管280的俯视图,图6B是沿着图6A中的V4-W4的截面图,图6C是沿着图6A中的X4-Y4的截面图。

[0165] 图6A至图6C所示的晶体管280与图5A至图5D所示的晶体管270的不同之处在于:第二氧化物层209以覆盖不被源电极层210a及漏电极层210b覆盖的氧化物半导体层208的方式设置在源电极层210a及漏电极层210b上。其他构成要素可以与晶体管270相同。

[0166] 在晶体管280中,在绝缘层206上连续地形成将成为第一氧化物层207的第一氧化物膜以及氧化物半导体膜,然后通过使用抗蚀剂掩模的蚀刻将第一氧化物膜及氧化物半导体膜加工成岛状,由此形成第一氧化物层207及氧化物半导体层208。另外,在形成与第一氧化物层207及氧化物半导体层208的一部分接触的源电极层210a及漏电极层210b后,以覆盖不被该源电极层210a及漏电极层210b覆盖的氧化物半导体层208且在源电极层210a及漏电极层210b上并与其接触的方式连续地形成将成为第二氧化物层209的第二氧化物膜及绝缘膜214a,以第二栅电极层216为掩模对第二氧化物膜及绝缘膜214a进行加工,由此形成第二氧化物层209及绝缘层214。

[0167] 另外,在上述工序中,若以不暴露于大气的方式连续形成第一氧化物膜及氧化物半导体膜或者第二氧化物膜及绝缘膜214a,则可以防止氢或水分等杂质附着到各层的界面,所以是优选的。

[0168] 另外,如上所述,由于晶体管280所包括的第一氧化物层207及氧化物半导体层208是使用同一个抗蚀剂掩模被进行加工的,所以第一氧化物层207的上端部分与氧化物半导体层208的下端部分大致对齐。或者,第一氧化物层207及氧化物半导体层208具有大致相同的顶面形状。另外,由于第二氧化物层209及绝缘层214是以第二栅电极层216为掩模被加工的,所以第二氧化物层209的上端部分与绝缘层214的下端部分大致对齐,绝缘层214的上端部分与第二栅电极层216的下端部分大致对齐。换言之,第二氧化物层209、绝缘层214及第二栅电极层216具有大致相同的顶面形状。

[0169] 在晶体管280中,在将第一氧化物层207及氧化物半导体层208加工成岛状后,通过以覆盖岛状的第一氧化物层207及岛状的氧化物半导体层208的方式形成将成为第二氧化物层209的第二氧化物膜,氧化物半导体层208及第一氧化物层207的沟道宽度方向的侧面被第二氧化物层209覆盖。由此,能够在氧化物半导体层208的沟道宽度方向的侧面也抑制界面态的生成。

[0170] 在本实施方式所示的晶体管中,通过在氧化物半导体层208与重叠于该氧化物半导体层208的栅极绝缘层及保护绝缘层之间设置作为构成元素包含构成氧化物半导体层208的金属元素之中至少一个金属元素的氧化物层,可以抑制在氧化物半导体层208与重叠于该氧化物半导体层的绝缘层的界面形成陷阱态。由此,可以抑制晶体管的电特性的劣化。

[0171] 在本实施方式所示的晶体管中,从氧化物半导体层208的下侧的第一栅电极层202及氧化物半导体层208的上侧的第二栅电极层216对氧化物半导体层208施加垂直方向的电场。由此,能够良好地控制晶体管的阈值电压。

[0172] 在本实施方式中,以与氧化物半导体层208的沟道形成区的侧面及底面重叠的方式设置隔着第二栅极绝缘层与氧化物半导体层208重叠的第二栅电极层216,因此对沟道形成区从侧面方向及底面方向施加电场。由此,能够更良好地控制晶体管的阈值电压,并且减小S值。

[0173] 并且,在本实施方式的晶体管中,通过以包围氧化物半导体层208的方式设置包含有过剩的氧的氧化铝膜的绝缘层206、212,可以向被绝缘层206、212包围的氧化物半导体层208充分地供应氧,与此同时,抑制氧从氧化物半导体层208脱离以及氢等杂质混入氧化物半导体层208。

[0174] 另外,通过以包含含有过剩的氧的氧化铝膜的绝缘层包围氧化物半导体层208,并且以与氧化物半导体层208接触的方式设置作为构成元素包含构成氧化物半导体层208的金属元素之中至少一个金属元素的氧化物层,可以进一步地抑制有可能在形成沟道的氧化物半导体层208的界面发生的载流子散射,所以是有效的。

[0175] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0176] 实施方式3

[0177] 在本实施方式中,说明可以应用于实施方式1或实施方式2的晶体管的氧化物半导体层的一个例子。

[0178] 氧化物半导体层大致分为非单晶氧化物半导体层和单晶氧化物半导体层。非单晶

氧化物半导体层是指CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor,即C轴取向晶体氧化物半导体) 层、多晶氧化物半导体层、微晶氧化物半导体层以及非晶氧化物半导体层等。

[0179] 首先,说明CAAC-OS膜。

[0180] CAAC-OS膜是包括多个c轴取向的结晶部的氧化物半导体层之一。

[0181] 在CAAC-OS膜的透射电子显微镜 (TEM:Transmission Electron Microscope) 图像中,难以观察到结晶部与结晶部之间的明确的边界,即晶界 (grain boundary)。因此,在CAAC-OS膜中,不容易发生起因于晶界的电子迁移率的降低。

[0182] 根据从大致平行于样品面的方向观察的CAAC-OS膜的TEM图像 (截面TEM图像) 可知,在结晶部中金属原子排列为层状。各金属原子层具有反映被形成CAAC-OS膜的面 (也称为被形成面) 或CAAC-OS膜的顶面的凸凹的形状,并以平行于CAAC-OS膜的被形成面或顶面的方式排列。

[0183] 另一方面,根据从大致垂直于样品面的方向观察的CAAC-OS膜的TEM图像 (平面TEM图像) 可知,在结晶部中金属原子排列为三角形状或六角形状。但是,在不同的结晶部之间,金属原子的排列没有规律性。

[0184] 由截面TEM图像以及平面TEM图像可知,CAAC-OS膜的结晶部具有取向性。

[0185] 注意,CAAC-OS膜所包含的结晶部几乎都是可以收容在一个边长小于100nm的立方体内的尺寸。因此,有时包含在CAAC-OS膜中的结晶部为能够收容在一个边长小于10nm、小于5nm或小于3nm的立方体内的尺寸。但是,有时包含在CAAC-OS膜中的多个结晶部联结,从而形成一个大结晶区。例如,在平面TEM图像中有时会观察到2500nm²以上、5μm²以上或1000μm²以上的结晶区。

[0186] 使用X射线衍射 (XRD:X-Ray Diffraction) 装置对CAAC-OS膜进行结构分析。例如,当利用out-of-plane法分析包括InGaZnO₄结晶的CAAC-OS膜时,在衍射角 (2θ) 为31°附近时常出现峰值。由于该峰值来源于InGaZnO₄结晶的 (009) 面,由此可知CAAC-OS膜中的结晶具有c轴取向性,并且c轴朝向大致垂直于CAAC-OS膜的被形成面或顶面的方向。

[0187] 另一方面,当利用从大致垂直于c轴的方向使X线入射到样品的in-plane法分析CAAC-OS膜时,在2θ为56°附近时常出现峰值。该峰值来源于InGaZnO₄结晶的 (110) 面。在此,将2θ固定为56°附近并在以样品面的法线向量为轴 (Φ轴) 旋转样品的条件下进行分析 (Φ扫描)。当该样品是InGaZnO₄的单晶氧化物半导体膜时,出现六个峰值。该六个峰值来源于相等于 (110) 面的结晶面。另一方面,当该样品是CAAC-OS膜时,即使在将2θ固定为56°附近的状况下进行Φ扫描也不能观察到明确的峰值。

[0188] 由上述结果可知,在具有c轴取向的CAAC-OS膜中,虽然a轴及b轴的方向在结晶部之间不同,但是c轴都朝向平行于被形成面或顶面的法线向量的方向。因此,在上述截面TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的ab面平行的面。

[0189] 注意,结晶部在形成CAAC-OS膜或进行加热处理等晶化处理时形成。如上所述,结晶的c轴朝向平行于CAAC-OS膜的被形成面或顶面的法线向量的方向。由此,例如,当CAAC-OS膜的形状因蚀刻等而发生改变时,结晶的c轴不一定平行于CAAC-OS膜的被形成面或顶面的法线向量。

[0190] 此外,在CAAC-OS膜中,c轴取向的结晶部的分布不一定是均匀的。例如,当CAAC-OS

膜的结晶部是由于从CAAC-OS膜的顶面附近的结晶生长而形成时,有时顶面附近的c轴取向的结晶部的比例高于被形成面附近的c轴取向的结晶部的比例。另外,当对CAAC-OS膜添加杂质时,被添加了杂质的区域变质,所以有时CAAC-OS膜中的c轴取向的结晶部的比例根据区域而不同。

[0191] 注意,当利用out-of-plane法分析包括InGaZnO₄结晶的CAAC-OS膜时,除了在2 θ 为31°附近的峰值之外,有时还在2 θ 为36°附近观察到峰值。2 θ 为36°附近的峰值意味着CAAC-OS膜的一部分中含有不具有c轴取向的结晶。优选的是,在CAAC-OS膜中在2 θ 为31°附近时出现峰值而在2 θ 为36°附近时不出现峰值。

[0192] CAAC-OS膜是杂质浓度低的氧化物半导体层。杂质是指氢、碳、硅以及过渡金属元素等氧化物半导体层的主要成分以外的元素。尤其是,与氧的键合力比构成氧化物半导体层的金属元素强的硅等元素会夺取氧化物半导体层中的氧,从而打乱氧化物半导体层的原子排列,导致结晶性下降。另外,由于铁或镍等的重金属、氫、二氧化碳等的原子半径(或分子半径)大,所以如果包含在氧化物半导体层内,也会打乱氧化物半导体层的原子排列,导致结晶性下降。此外,包含在氧化物半导体层中的杂质有时会成为载流子陷阱或载流子发生源。

[0193] 另外,CAAC-OS膜是缺陷态密度低的氧化物半导体层。例如,氧化物半导体层中的氧空位有时会成为载流子陷阱,或因俘获氢而成为载流子发生源。

[0194] 在杂质浓度低且缺陷态密度低(氧空位少),即高纯度本征或实质上高纯度本征的氧化物半导体层中载流子发生源少,所以可以降低载流子密度。因此,采用该氧化物半导体层的晶体管很少具有负阈值电压的电特性(也称为常导通特性)。此外,在高纯度本征或实质上高纯度本征的氧化物半导体层中载流子陷阱少。因此,采用该氧化物半导体层的晶体管的电特性变动小,于是成为可靠性高的晶体管。注意,被氧化物半导体层的载流子陷阱俘获的电荷直到被释放需要的时间长,有时会像固定电荷那样动作。所以,采用杂质浓度高且缺陷态密度高的氧化物半导体层的晶体管有时电特性不稳定。

[0195] 此外,在采用CAAC-OS膜的晶体管中,由可见光或紫外光的照射导致的电特性变动小。

[0196] 接下来,说明微晶氧化物半导体层。

[0197] 在使用TEM观察微晶氧化物半导体层时的图像中,有时无法明确地确认到结晶部。微晶氧化物半导体层中含有的结晶部的尺寸大多为1nm以上且100nm以下,或1nm以上且10nm以下。尤其是,将尺寸为1nm以上且10nm以下或1nm以上且3nm以下的微晶称为纳米晶(nc:nanocrystal)。将包含纳米晶的氧化物半导体层称为nc-OS(nanocrystalline Oxide Semiconductor)膜。另外,例如在使用TEM观察nc-OS膜时,有时无法明确地确认到晶粒界面。

[0198] nc-OS膜在微小区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中其原子排列具有周期性。另外,nc-OS膜在不同的结晶部之间观察不到晶体取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS膜在某些分析方法中与非晶氧化物半导体层没有差别。例如,在通过其中利用使用直径比结晶部大的X射线的XRD装置的out-of-plane法对nc-OS膜进行结构分析时,检测不出表示结晶面的峰值。此外,在通过使用其探针的直径大于结晶部的电子束(例如,50nm以上)来获得的nc-OS膜的电子衍射图

案(也称为选区电子衍射图案)中,观察到光晕图案。另一方面,在通过使用其探针的直径近于或小于结晶部的电子束(例如,1nm以上且30nm以下)来获得的nc-OS膜的纳米束电子衍射图案中,观察到斑点。另外,在nc-OS膜的纳米束电子衍射图案中,有时观察到如圆圈那样的(环状的)亮度高的区域。而且,在nc-OS膜的纳米束电子衍射图案中,有时还观察到环状的区域内的多个斑点。

[0199] nc-OS膜是比非晶氧化物半导体层规律性高的氧化物半导体层。因此,nc-OS膜的缺陷态密度比非晶氧化物半导体层低。但是,nc-OS膜在不同的结晶部之间观察不到晶体取向的规律性。所以,nc-OS膜的缺陷态密度比CAAC-OS膜高。

[0200] 注意,氧化物半导体层例如也可以是包括非晶氧化物半导体层、微晶氧化物半导体层和CAAC-OS膜中的两种以上的叠层膜。

[0201] 以下说明CAAC-OS膜的成膜方法的例子。

[0202] CAAC-OS膜例如使用多晶的氧化物半导体溅射靶材且利用溅射法形成。当离子碰撞到该溅射靶材时,有时包含在溅射靶材中的结晶区域沿着a-b面劈开,即具有平行于a-b面的面的溅射粒子(平板状或颗粒状的溅射粒子)有时从溅射靶材剥离。此时,由于该平板状或颗粒状的溅射粒子保持结晶状态到达衬底,可以形成CAAC-OS膜。

[0203] 平板状或颗粒状的溅射粒子例如平行于a-b面的面的当量圆直径为3nm以上且10nm以下,厚度(垂直于a-b面的方向的长度)为0.7nm以上且小于1nm。此外,在平板状或颗粒状的溅射粒子中,平行于a-b面的面的形状也可以为正三角形或正六边形。在此,面的当量圆直径是指具有与该面相同的面积的正圆的直径。

[0204] 另外,为了形成CAAC-OS膜,优选应用如下条件。

[0205] 通过增高成膜时的衬底温度使溅射粒子在到达衬底表面之后发生迁移。具体而言,在将衬底温度设定为100℃以上且740℃以下的状态下进行成膜。通过增高成膜时的衬底温度,使平板状或颗粒状的溅射粒子在到达衬底时在衬底表面上发生迁移,于是溅射粒子的平坦的面附着到衬底。此时,在溅射粒子带正电时溅射粒子互相排斥而附着到衬底上,由此溅射粒子不会不均匀地重叠,从而可以形成厚度均匀的CAAC-OS膜。另一方面,若成膜时的温度太高,靶材所包含的锌则有可能升华,因此衬底温度为200℃以上且500℃以下,优选为200℃以上且350℃以下。

[0206] 通过减少成膜时向CAAC-OS膜的杂质混入,可以抑制因杂质导致的结晶状态的损坏。例如,降低存在于成膜室内的杂质(氢、水、二氧化碳及氮等)的浓度即可。另外,降低成膜气体中的杂质浓度即可。具体而言,使用露点为-80℃以下,优选为-100℃以下的成膜气体。

[0207] 另外,优选通过增高成膜气体中的氧比例并使电力最优化,来减轻成膜时的等离子体损伤。将成膜气体中的氧比例设定为30vol.%以上,优选设定为100vol.%。

[0208] 或者,CAAC-OS膜使用以下方法而形成。

[0209] 首先,形成其厚度为1nm以上且小于10nm的第一氧化物半导体膜。第一氧化物半导体膜使用溅射法形成。具体而言,第一氧化物半导体膜的形成条件如下:衬底温度为100℃以上且500℃以下,优选为150℃以上且450℃以下;以及成膜气体中的氧比例为30vol.%以上,优选为100vol.%。

[0210] 接着,进行加热处理,以使第一氧化物半导体膜形成高结晶性第一CAAC-OS膜。

将加热处理的温度设定为350℃以上且740℃以下,优选为450℃以上且650℃以下。另外,将加热处理的时间设定为1分钟以上且24小时以下,优选为6分钟以上且4小时以下。加热处理可以在惰性气氛或氧化性气氛中进行。优选的是,先在惰性气氛中进行加热处理,然后在氧化性气氛中进行加热处理。通过在惰性气氛中进行加热处理,可以在短时间内降低第一氧化物半导体膜的杂质浓度。另一方面,通过在惰性气氛中进行加热处理,有可能在第一氧化物半导体膜中形成氧空位。在此情况下,通过在氧化性气氛中进行加热处理,可以减少该氧空位。另外,也可以在1000Pa以下、100Pa以下、10Pa以下或1Pa以下等的减压下进行加热处理。通过在减压下进行加热处理,可以在更短时间内降低第一氧化物半导体膜的杂质浓度。

[0211] 通过将第一氧化物半导体膜的厚度设定为1nm以上且小于10nm,与厚度为10nm以上的情况相比可以通过进行加热处理而容易地使其结晶化。

[0212] 接着,以10nm以上且50nm以下的厚度形成其组成与第一氧化物半导体膜相同的第二氧化物半导体膜。使用溅射法形成第二氧化物半导体膜。具体而言,第二氧化物半导体膜的形成条件如下:衬底温度为100℃以上且500℃以下,优选为150℃以上且450℃以下;以及成膜气体中的氧比例为30vol.%以上,优选为100vol.%。

[0213] 接着,进行加热处理,以使第二氧化物半导体膜利用第一CAAC-OS膜进行固相生长,来形成高结晶性第二CAAC-OS膜。将加热处理的温度设定为350℃以上且740℃以下,优选为450℃以上且650℃以下。另外,将加热处理的时间设定为1分钟以上且24小时以下,优选为6分钟以上且4小时以下。加热处理可以在惰性气氛或氧化性气氛中进行。优选的是,先在惰性气氛中进行加热处理,然后在氧化性气氛中进行加热处理。通过在惰性气氛中进行加热处理,可以在短时间内降低第二氧化物半导体膜的杂质浓度。另一方面,通过在惰性气氛中进行加热处理,有可能在第二氧化物半导体膜中形成氧空位。在此情况下,通过在氧化性气氛中进行加热处理,可以减少该氧空位。另外,也可以在1000Pa以下、100Pa以下、10Pa以下或1Pa以下等的减压下进行加热处理。通过在减压下进行加热处理,可以在更短时间内降低第二氧化物半导体膜的杂质浓度。

[0214] 经上述步骤,可以形成总厚度为10nm以上的CAAC-OS膜。可以将该CAAC-OS膜优选用作氧化物叠层中的氧化物半导体层。

[0215] 接着,例如,说明被形成面由于不经过衬底加热等而处于低温(例如,低于130℃,低于100℃,低于70℃或者室温(20℃至25℃))的情况下的氧化物膜的形成方法。

[0216] 在被形成面处于低温的情况下,溅射粒子不规则地飘落到被形成面。例如,由于溅射粒子不发生迁移,因此溅射粒子不规则地沉积到包括已经沉积有其他的溅射粒子的区域的被形成面上。换言之,通过沉积溅射粒子而获得的氧化物膜有时不具有均匀的厚度和一致的结晶取向。通过上述方法获得的氧化物膜由于维持一定程度的溅射粒子的结晶性,因此具有结晶部(纳米晶)。

[0217] 另外,例如,在成膜时的压力高的情况下,飞着的溅射粒子碰撞到氩等其他粒子(原子、分子、离子、自由基等)的频率升高。如果飞着的溅射粒子碰撞到其他的粒子(再溅射(resputtered)),则有可能导致结晶结构的损坏。例如,溅射粒子在碰撞到其他的粒子时有可能无法维持平板形状或颗粒形状而被细分化(例如分成各原子)。此时,有时从溅射粒子获得的各原子沉积到被形成面上而形成非晶氧化物半导体膜。

[0218] 另外,当不采用使用具有多晶氧化物的靶材的溅射法等,而采用使用液体进行成

膜的方法或者使靶材等固体气化而进行成膜的方法时,分离的原子飞着沉积到被形成面上,因此有时形成非晶氧化物膜。另外,例如,当采用激光烧蚀法时,由于从靶材释放的原子、分子、离子、自由基、簇(cluster)等飞着沉积到被形成面上,因此有时形成非晶氧化物膜。

[0219] 在本发明的一个实施方式的晶体管中,当设置夹着氧化物半导体层的氧化物层时,第一氧化物层、氧化物半导体层或第二氧化物层也可以分别具有上述结晶状态中的任一种。注意,作为用作沟道的氧化物半导体层优选应用CAAC-OS膜。

[0220] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0221] 实施方式4

[0222] 在本实施方式中,参照图11A至图11C说明利用实施方式1或2所例示的晶体管的电路的一个例子。

[0223] 图11A示出半导体装置的电路图,图11C示出半导体装置的截面图。图11C的左侧示出晶体管260的沟道长度方向的截面图,右侧示出沟道宽度方向的截面图。在电路图中,“OS”示出包含氧化物半导体的晶体管。

[0224] 在图11C所示的半导体装置中,下方具有使用第一半导体材料的晶体管2200,上方具有使用第二半导体材料的晶体管。在此,说明作为使用第二半导体材料的晶体管应用在实施方式1中例示的晶体管260的例子。

[0225] 在此,第一半导体材料和第二半导体材料优选为具有彼此不同的禁带宽度的材料。例如,可以将氧化物半导体以外的半导体材料(硅、锗、硅锗、碳化硅或砷化镓等)用于第一半导体材料,并且将在实施方式1中说明的氧化物半导体用于第二半导体材料。作为氧化物半导体以外的材料使用单晶硅等的晶体管容易进行高速工作。另一方面,使用氧化物半导体的晶体管的关态电流小。

[0226] 在此,虽然说明晶体管2200为p沟道型的晶体管的情况,但是当然也可以使用n沟道型的晶体管来构成不同的电路。另外,除了使用氧化物半导体的实施方式1或2所示那样的晶体管以外,用于半导体装置的材料或半导体装置的结构等半导体装置的具体结构不需要局限于在此所示的结构。

[0227] 在图11A及图11C所示的结构中,示出串联连接p沟道型晶体管与n沟道型晶体管且将各栅极连接的所谓的CMOS电路的结构例子。

[0228] 另外,如图11C所示,晶体管260层叠在晶体管2200之上。通过如此层叠两个晶体管,电路的占据面积得到减少,而能够以更高的密度配置多个电路。并且,晶体管260的第一栅电极可以是与晶体管2200的栅电极层共同的电极。由此,可以进一步实现半导体装置的高集成化,还可以缩短半导体装置的制造工序,所以是优选的。

[0229] 另外,在图11C中,晶体管260的源极和漏极中的一个与晶体管2200的源极和漏极中的另一个由插头电连接。

[0230] 本发明的一个实施方式的应用有氧化物半导体的晶体管的通态电流得到了提高,因此能够实现电路的高速工作。

[0231] 另外,在图11C所示的结构中,通过改变晶体管260或晶体管2200的电极连接结构,可以构成各种各样的电路。例如图11B所示的那样,通过采用连接晶体管260的源极和漏极

中的一个与晶体管2200的源极和漏极中的一个,并且连接晶体管260的源极和漏极中的另一个与晶体管260的源极和漏极中的另一个的电路结构,可以将电路用作所谓的模拟开关。

[0232] 本实施方式可以与本说明书所记载的其他实施方式适当地组合。

[0233] 实施方式5

[0234] 在本实施方式中,参照附图说明如下半导体装置(存储装置)的一个例子,该半导体装置(存储装置)使用实施方式1或2所例示的晶体管,即使在没有电力供应的情况下也能够保持存储内容,并且对写入次数也没有限制。

[0235] 图7示出半导体装置的电路图。

[0236] 图7所示的半导体装置包括使用第一半导体材料的晶体管3200、使用第二半导体材料的晶体管3300以及电容器3400。另外,作为晶体管3300,可以使用实施方式1或2所说明的晶体管。注意,在图7中,为了能够明确地知道晶体管3300包括氧化物半导体,在晶体管旁边记载“OS”。

[0237] 在晶体管3300中,沟道形成在具有氧化物半导体的半导体层中。由于晶体管3300的关态电流小,所以通过使用这种晶体管可以长期保持存储内容。换言之,因为可以形成不需要刷新工作或刷新工作的频度极低的半导体存储装置,所以能够充分降低耗电量。

[0238] 在图7中,第一布线3001与晶体管3200的源电极电连接,第二布线3002与晶体管3200的漏电极电连接。另外,第三布线3003与晶体管3300的源电极和漏电极中的一个电连接,第四布线3004与晶体管3300的栅电极电连接。并且,晶体管3200的栅电极以及晶体管3300的源电极和漏电极中的另一个与电容器3400的一个电极电连接,第五布线3005与电容器3400的另一个电极电连接。

[0239] 在图7所示的半导体装置中,由于可以保持晶体管3200的栅电极的电位,如下所示那样,可以进行数据的写入、保持以及读出。

[0240] 对数据的写入及保持进行说明。首先,将第四布线3004的电位设定为使晶体管3300成为导通状态的电位,使晶体管3300成为导通状态。由此,对晶体管3200的栅电极和电容器3400供应第三布线3003的电位。也就是说,对晶体管3200的栅电极供应规定的电荷(写入)。这里,供应两种赋予不同电位水平的电荷(以下,称为Low电平电荷、High电平电荷)中的任一种。然后,通过将第四布线3004的电位设定为使晶体管3300成为关闭状态的电位,来使晶体管3300成为关闭状态,而保持供应到晶体管3200的栅电极的电荷(保持)。

[0241] 因为晶体管3300的关态电流极小,所以晶体管3200的栅电极的电荷被长时间地保持。

[0242] 接着,对数据的读出进行说明。当在对第一布线3001供应规定的电位(恒电位)的状态下,对第五布线3005供应适当的电位(读出电位)时,第二布线3002根据保持在晶体管3200的栅电极中的电荷量具有不同的电位。一般而言,这是因为如下缘故:在晶体管3200为n沟道型的情况下,对晶体管3200的栅电极供应High电平电荷时的外观上的阈值电压 V_{th_H} 低于对晶体管3200的栅电极供应Low电平电荷时的外观上的阈值电压 V_{th_L} 。在此,外观上的阈值电压是指为了使晶体管3200成为“导通状态”所需要的第五布线3005的电位。因此,通过将第五布线3005的电位设定为 V_{th_H} 和 V_{th_L} 之间的电位 V_0 ,可以辨别供应到晶体管3200的栅电极的电荷。例如,在写入中,当被供应High电平电荷时,如果第五布线3005的电位为 V_0 ($>V_{th_H}$),晶体管3200则成为“导通状态”。当被供应Low电平电荷时,即使第五布线3005的电

位为 V_0 ($<V_{th_L}$)，晶体管3200也维持“关闭状态”。因此，根据辨别第二布线3002的电位可以读出所保持的数据。

[0243] 注意，当将存储单元配置为阵列状时，需要只读出所希望的存储单元的数据。像这样，当不读出数据时，对第五布线3005供应无论栅电极的状态如何都使晶体管3200成为“关闭状态”的电位，也就是小于 V_{th_H} 的电位，即可。或者，对第五布线3005供应无论栅电极的状态如何都使晶体管3200成为“导通状态”的电位，也就是大于 V_{th_L} 的电位，即可。

[0244] 在本实施方式所示的半导体装置中，通过使用将氧化物半导体用于沟道形成区的关态电流极小的晶体管，可以极长期地保持存储内容。就是说，因为不需要进行刷新工作，或者，可以将刷新工作的频度降低到极低，所以可以充分降低耗电量。另外，即使没有电力供应（注意电位优选被固定），也可以长期间保持存储内容。

[0245] 另外，在本实施方式所示的半导体装置中，数据的写入不需要高电压，而且也没有元件劣化的问题。由于例如不需要如现有的非易失性存储器那样地对浮动栅极注入电子或从浮动栅极抽出电子，因此不会发生如栅极绝缘层的劣化等的问题。换言之，与现有的非易失性存储器不同地，在所公开的发明的半导体装置中，对重写的次数没有限制，所以可靠性得到极大提高。再者，根据晶体管的状态（导通状态或关闭状态）而进行数据写入，而可以容易地实现高速工作。

[0246] 如上所述，能够提供一种实现了微型化及高集成化且具有高电特性的半导体装置。

[0247] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0248] 实施方式6

[0249] 在本实施方式中，说明可以使用实施方式1和2中的一个所示的晶体管，并且包括上述实施方式所说明的存储装置的CPU。

[0250] 图8是示出将实施方式1或2所说明的晶体管用于至少其一部分的CPU的结构例子的方框图。

[0251] 图8所示的CPU在衬底1190上包括：ALU (Arithmetic logic unit: 算术逻辑单元) 1191；ALU控制器1192；指令解码器1193；中断控制器1194；时序控制器1195；寄存器1196；寄存器控制器1197；总线接口1198 (Bus I/F)；可改写的ROM1199；以及ROM接口1189 (ROM I/F)。作为衬底1190，使用半导体衬底、SOI衬底及玻璃衬底等。ROM1199和ROM接口1189可以设置在其他芯片上。当然，图8所示的CPU只是将其结构简化而示出的一个例子而已，而实际上的CPU根据其用途具有多种结构。例如，也可以以包括图8所示的CPU或运算电路的结构为核心，设置多个该核心并使其并行工作。另外，在CPU的内部算术电路或数据总线中能够处理的位数例如为8位、16位、32位、64位等。

[0252] 通过总线接口1198输入到CPU的指令输入到指令解码器1193且被进行解码之后，输入到ALU控制器1192、中断控制器1194、寄存器控制器1197和时序控制器1195。

[0253] 根据被解码的指令，ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195进行各种控制。具体而言，ALU控制器1192产生用来控制ALU1191的工作的信号。另外，当CPU在执行程序时，中断控制器1194根据其优先度或掩码状态而判断来自外部的输入/输出装置或外围电路的中断要求，且处理该要求。寄存器控制器1197产生寄存器1196的地址，并根据CPU的状态从寄存器1196读出或对寄存器1196写入数据。

[0254] 另外,时序控制器1195产生控制ALU1191、ALU控制器1192、指令解码器1193、中断控制器1194以及寄存器控制器1197的工作时序的信号。例如,时序控制器1195具备根据基准时钟信号CLK1产生内部时钟信号CLK2的内部时钟产生部,将内部时钟信号CLK2供应到上述各种电路。

[0255] 在图8所示的CPU中,在寄存器1196中设置有存储单元。作为寄存器1196的存储单元,可以使用上述实施方式所示的晶体管。

[0256] 在图8所示的CPU中,寄存器控制器1197根据来自ALU1191的指示,进行寄存器1196中的保持工作的选择。换言之,寄存器控制器1197选择在寄存器1196所具有的存储单元中利用触发器进行数据的保持还是利用电容器进行数据的保持。当选择利用触发器进行数据的保持时,对寄存器1196中的存储单元供应电源电压。当选择利用电容器进行数据保持时,进行对电容器的数据改写,而可以停止对寄存器1196内的存储单元供应电源电压。

[0257] 图9示出可用作寄存器1196的存储元件的电路图的一个例子。存储元件700包括当电源关闭时丢失存储数据的电路701、当电源关闭时不丢失存储数据的电路702、开关703、开关704、逻辑元件706、电容器707以及具有选择功能的电路720。电路702包括电容器708、晶体管709及晶体管710。另外,存储元件700根据需要还可以包括其他元件,例如二极管、电阻器或电感器等。

[0258] 在此,电路702可以使用在上述实施方式中说明的存储装置。在停止对存储元件700供应电源电压之后,接地电位(0V)或使电路702中的晶体管709成为关闭状态的电位继续输入到晶体管709的栅极。例如,晶体管709的栅极通过电阻器等负载接地。

[0259] 在此示出如下例子:开关703使用具有一导电型(例如,n沟道型)的晶体管713构成,而开关704使用具有与此不同导电型(例如,p沟道型)的晶体管714构成。这里,开关703的第一端子对应于晶体管713的源极和漏极中的一个,开关703的第二端子对应于晶体管713的源极和漏极中的另一个,并且开关703的第一端子与第二端子之间的导通或非导通(即,晶体管713的导通状态或关闭状态)由输入到晶体管713的栅极中的控制信号RD选择。开关704的第一端子对应于晶体管714的源极和漏极中的一个,开关704的第二端子对应于晶体管714的源极和漏极中的另一个,并且开关704的第一端子与第二端子之间的导通或非导通(即,晶体管714的导通状态或关闭状态)由输入到晶体管714的栅极中的控制信号RD选择。

[0260] 晶体管709的源极和漏极中的一个电连接到电容器708的一对电极中的一个及晶体管710的栅极。在此,将连接部分称为节点M2。晶体管710的源极和漏极中的一个电连接到能够供应低电源电位的布线(例如,GND线),而另一个电连接到开关703的第一端子(晶体管713的源极和漏极中的一个)。开关703的第二端子(晶体管713的源极和漏极中的另一个)电连接到开关704的第一端子(晶体管714的源极和漏极中的一个)。开关704的第二端子(晶体管714的源极和漏极中的另一个)电连接到能够供应电源电位VDD的布线。开关703的第二端子(晶体管713的源极和漏极中的另一个)、开关704的第一端子(晶体管714的源极和漏极中的一个)、逻辑元件706的输入端子和电容器707的一对电极中的一个是电连接着的。在此,将连接部分称为节点M1。可以对电容器707的一对电极中的另一个输入固定电位。例如,可以输入低电源电位(GND等)或高电源电位(VDD等)。电容器707的一对电极中的另一个电连接到能够供应低电源电位的布线(例如,GND线)。可以对电容器708的一对电极中的另一个

输入固定电位。例如,可以输入低电源电位 (GND等) 或高电源电位 (VDD等)。电容器708的一对电极中的另一个电连接到能够供应低电源电位的布线 (例如,GND线)。

[0261] 另外,当积极地利用晶体管或布线的寄生电容等时,可以不设置电容器707及电容器708。

[0262] 控制信号WE被输入到晶体管709的第一栅极 (第一栅电极)。开关703及开关704的第一端子与第二端子之间的导通状态或非导通状态由与控制信号WE不同的控制信号RD选择,当一个开关的第一端子与第二端子之间处于导通状态时,另一个开关的第一端子与第二端子之间处于非导通状态。

[0263] 对应于保持在电路701中的数据的信号被输入到晶体管709的源极和漏极中的另一个。图9示出从电路701输出的信号输入到晶体管709的源极和漏极中的另一个的例子。由逻辑元件706使从开关703的第二端子 (晶体管713的源极和漏极中的另一个) 输出的信号的逻辑值反转而形成反转信号,将其经由电路720输入到电路701。

[0264] 另外,虽然图9示出从开关703的第二端子 (晶体管713的源极和漏极中的另一个) 输出的信号通过逻辑元件706及电路720被输入到电路701的例子,但是本实施方式不局限于此。也可以不使从开关703的第二端子 (晶体管713的源极和漏极中的另一个) 输出的信号的逻辑值反转而输入到电路701。例如,当在电路701内设置有节点并在该节点中保持使从输入端子输入的信号的逻辑值反转的信号时,可以将从开关703的第二端子 (晶体管713的源极和漏极中的另一个) 输出的信号输入到该节点。

[0265] 图9所示的晶体管709可以使用在实施方式1或2中说明的晶体管。可以对第一栅极输入控制信号WE并对第二栅极输入控制信号WE2。控制信号WE2可以是具有固定电位的信号。该固定电位例如可以选自接地电位GND和低于晶体管709的源电位的电位等。控制信号WE2为具有用来控制晶体管709的阈值电压的电位的信号,能够进一步降低晶体管709的 I_{cut} 。

[0266] 在图9所示的用于存储元件700的晶体管中,晶体管709以外的晶体管也可以使用其沟道形成在由氧化物半导体以外的半导体构成的层或衬底1190中的晶体管。例如,可以使用其沟道形成在硅层或硅衬底中的晶体管。或者,也可以作为用于存储元件700的所有的晶体管使用其沟道形成在氧化物半导体层中的晶体管。或者,存储元件700也可以包括晶体管709以外的其沟道形成在氧化物半导体层中的晶体管,并且作为剩下的晶体管使用其沟道形成在由氧化物半导体以外的半导体构成的层或衬底1190中的晶体管。

[0267] 图9所示的电路701例如可以使用触发器电路。另外,逻辑元件706例如可以使用反相器或时钟反相等。

[0268] 在本发明的一个实施方式的半导体装置中,在不对存储元件700供应电源电压的期间,可以由设置在电路702中的电容器708保持储存在电路701中的数据。

[0269] 另外,其沟道形成在氧化物半导体层中的晶体管的关态电流极小。例如,其沟道形成在氧化物半导体层中的晶体管的关态电流比其沟道形成在具有结晶性的硅中的晶体管的关态电流小得多。因此,通过将这种包含氧化物半导体的晶体管用作晶体管709,即使在不对存储元件700供应电源电压的期间中也可以长期间地保持电容器708中的信号。因此,存储元件700在停止供应电源电压的期间也可以保持存储内容 (数据)。

[0270] 另外,存储元件700能够通过设置开关703及开关704来进行预充电工作,因此可以

缩短在再次开始供应电源电压之后直到电路701保持原来的数据为止的时间。

[0271] 另外,在电路702中,由电容器708保持的信号被输入到晶体管710的栅极。因此,在再次开始对存储元件700供应电源电压之后,可以将由电容器708保持的信号转换为晶体管710的状态(导通状态或关闭状态),并从电路702读出。因此,即使在对应于保持在电容器708中的信号的电位有些变动的情况下,也可以准确地读出原来的信号。

[0272] 通过将这种存储元件700用于处理器所具有的寄存器或高速缓冲存储器等存储装置,可以防止存储装置内的数据因停止电源电压的供应而消失。另外,可以在再次开始供应电源电压之后在短时间内恢复到停止供应电源之前的状态。因此,在处理器整体或构成处理器的一个或多个逻辑电路中在短时间内也可以停止供应电源而抑制功耗。

[0273] 在本实施方式中,虽然说明了将存储元件700用于CPU的例子,但是也可以将存储元件700应用于DSP(Digital Signal Processor:数字信号处理器)、定制LSI、PLD(Programmable Logic Device:可编程逻辑器件)等LSI、RF-ID(Radio Frequency Identification:射频识别)。

[0274] 本实施方式可以与本说明书所记载的其他实施方式适当地组合。

[0275] 实施方式7

[0276] 在本实施方式中,说明使用实施方式1或2例示的晶体管且具有读取对象物的数据的图像传感器功能的半导体装置。

[0277] 图10示出具有图像传感器功能的半导体装置的等效电路一个例子。

[0278] 光电二极管602的一个电极电连接到光电二极管复位信号线658,而光电二极管602的另一个电极电连接到晶体管640的栅极。晶体管640的源极和漏极中的一个电连接到光电传感器基准信号线672,而晶体管640的源极和漏极中的另一个电连接到晶体管656的源极和漏极中的一个。晶体管656的栅极电连接到栅极信号线659,晶体管656的源极和漏极中的另一个电连接到光电传感器输出信号线671。

[0279] 作为光电二极管602,例如可以应用PIN型光电二极管,其中层叠有p型半导体层、高电阻(i型)半导体层以及n型半导体层。

[0280] 通过检测入射到光电二极管602的光,可以读取对象物的数据。另外,在读取对象物的数据时,可以使用背光源等的光源。

[0281] 另外,作为晶体管640及晶体管656,可以应用实施方式1或2例示的其沟道形成在氧化物半导体中的晶体管。在图10中,为了能够明确地知道晶体管640及晶体管656包括氧化物半导体,在晶体管旁边记载“OS”。

[0282] 晶体管640及晶体管656是在上述实施方式中例示的晶体管,其中以包含含有过剩的氧的氧化铝膜的绝缘层包围形成其沟道的氧化物半导体层。另外,优选采用以栅电极层电性包围氧化物半导体层的结构。因此,晶体管640及晶体管656是电特性的变动得到抑制而在电性上稳定的晶体管。通过包括该晶体管,可以使图10所示的具有图像传感器功能的半导体装置得到高可靠性。

[0283] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0284] 实施方式8

[0285] 在本实施方式中,说明可以使用在上述实施方式中说明的晶体管、存储装置或CPU等(包括DSP、定制LSI、PLD以及RF-ID)的电子设备的例子。

[0286] 在上述实施方式中说明的晶体管、存储装置或CPU等可以应用于各种电子设备(包括游戏机)。作为电子设备,可以举出电视机、显示器等显示装置、照明装置、个人计算机、文字处理机、图像再现装置、便携式音频播放器、收音机、磁带录音机、音响、电话机、无绳电话子机、移动电话机、车载电话、步话机、无线设备、游戏机、计算器、便携式信息终端、电子笔记本、电子书阅读器、电子翻译器、声音输入器、摄像机、数字静态照相机、电动剃须刀、IC芯片、微波炉等高频加热装置、电饭煲、洗衣机、吸尘器、空调器等空调设备、洗碗机、烘碗机、干衣机、烘被机、电冰箱、电冷冻箱、电冷藏冷冻箱、DNA保存用冰冻器、辐射计数器(radiation counters)、透析装置、X射线诊断装置等医疗设备等。另外,也可以举出感烟探测器、感热探测器、气体警报装置、防盗警报装置等警报装置。再者,还可以举出工业设备诸如引导灯、信号机、传送带、电梯、自动扶梯、工业机器人、蓄电系统等。另外,通过使用燃料的发动机或使用来自非水类二次电池的电力而推进的移动体等也包括在电子设备的范畴内。作为上述移动体,例如可以举出电动汽车(EV)、兼具内燃机和电动机的混合动力汽车(HEV)、插电式混合动力汽车(PHEV)、使用履带代替上述汽车的车轮的履带式车辆、包括电动辅助自行车的机动自行车、摩托车、电动轮椅、高尔夫球车、小型或大型船舶、潜水艇、直升机、飞机、火箭、人造卫星、太空探测器、行星探测器、宇宙飞船。图12A至12C示出这些电子设备的具体例子。

[0287] 在图12A所示的电视装置8000中,框体8001组装有显示部8002,利用显示部8002可以显示影像,并且从扬声器部8003可以输出声音。可以将上述实施方式所例示的晶体管用于用来使安装于框体8001的显示部8002工作的驱动电路或像素。

[0288] 作为显示部8002,可以使用半导体显示装置诸如液晶显示装置、在每个像素中具备有机EL元件等发光元件的发光装置、电泳显示装置、DMD(数字微镜装置:Digital Micromirror Device)及PDP(等离子体显示面板:Plasma Display Panel)等。

[0289] 电视装置8000也可以具备接收机及调制解调器等。电视装置8000可以通过利用接收机,接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,也可以进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间等)的数据通信。

[0290] 此外,电视装置8000也可以具备用来进行信息通信的CPU8004、存储器等。通过作为CPU8004或存储器使用上述实施方式所示的晶体管、存储装置或CPU,可以实现低功耗化。

[0291] 图12A所示的警报装置8100是住宅用火灾警报器,其包括感烟或感热检测部8102和微型计算机8101。微型计算机8101包括在上述实施方式中示出的晶体管、存储装置或CPU。

[0292] 另外,图12A所示的包括室内机8200和室外机8204的空调器是包括在上述实施方式中示出的晶体管、存储装置或CPU等的电子设备的一个例子。具体而言,室内机8200具有框体8201、送风口8202、CPU8203等。在图12A中,例示出CPU8203设置在室内机8200中的情况,但是CPU8203也可以设置在室外机8204中。或者,在室内机8200和室外机8204的双方中设置有CPU8203。通过将在上述实施方式中示出的晶体管用于空调器的CPU,可以实现低功耗化。

[0293] 另外,图12A所示的电冷藏冷冻箱8300是包括在上述实施方式中示出的晶体管、存储装置或CPU等的电子设备的一个例子。具体而言,电冷藏冷冻箱8300包括框体8301、冷藏

室门8302、冷冻室门8303及CPU8304等。在图12A中,CPU8304设置在框体8301的内部。通过将在上述实施方式中示出的晶体管用于电冷藏冷冻箱8300的CPU8304,可以实现低功耗化。

[0294] 图12B和图12C例示出电子设备的一个例子的电动汽车。电动汽车9700安装有二次电池9701。由电路9702调整二次电池9701的电力的输出,而该电力被供应到驱动装置9703。电路9702由具有未图示的ROM、RAM、CPU等的处理装置9704控制。通过将在上述实施方式中示出的晶体管用于电动汽车9700的CPU,可以实现低功耗化。

[0295] 驱动装置9703包括直流电动机或交流电动机,或者将电动机和内燃机组合而构成。处理装置9704根据电动汽车9700的驾驶员的操作数据(加速、减速、停止等)、行车数据(爬坡、下坡等数据,或者车轮所受到的负荷数据等)等的输入数据,向电路9702输出控制信号。电路9702根据处理装置9704的控制信号而调整从二次电池9701供应的电能以控制驱动装置9703的输出。当安装交流电动机时,虽然未图示,但是还安装有将直流转换为交流的逆变器。

[0296] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0297] 符号说明

[0298] 200:衬底 202:栅电极层 204:绝缘层 205:绝缘层 205a:绝缘膜 206:绝缘层 207:氧化物层 208:氧化物半导体层 209:氧化物层 210a:源电极层 210b:漏电极层 212:绝缘层 214:绝缘层 214a:绝缘膜 216:栅电极层 260:晶体管 270:晶体管 280:晶体管 602:光电二极管 640:晶体管 656:晶体管 658:光电二极管复位信号线 659:栅极信号线 671:光电传感器输出信号线 672:光电传感器基准信号线 700:存储元件 701:电路 702:电路 703:开关 704:开关 706:逻辑元件 707:电容器 708:电容器 709:晶体管 710:晶体管 713:晶体管 714:晶体管 720:电路 1189:ROM接口 1190:衬底 1191:ALU 1192:ALU控制器 1193:指令解码器 1194:中断控制器 1195:时序控制器 1196:寄存器 1197:寄存器控制器 1198:总线接口 1199:ROM 2200:晶体管 3001:布线 3002:布线 3003:布线 3004:布线 3005:布线 3200:晶体管 3300:晶体管 3400:电容器 8000:电视装置 8001:框体 8002:显示部 8003:扬声器部 8004:CPU 8100:警报装置 8101:微型计算机 8102:检测部 8200:室内机 8201:框体 8203:CPU 8204:室外机 8300:电冷藏冷冻箱 8301:框体 8302:冷藏室门 8303:冷冻室门 8304:CPU 9700:电动汽车 9701:二次电池 9702:电路 9703:驱动装置 9704:处理装置

[0299] 本申请基于2013年5月20日提交到日本专利局的日本专利申请No.2013-106331,通过引用将其完整内容并入在此。

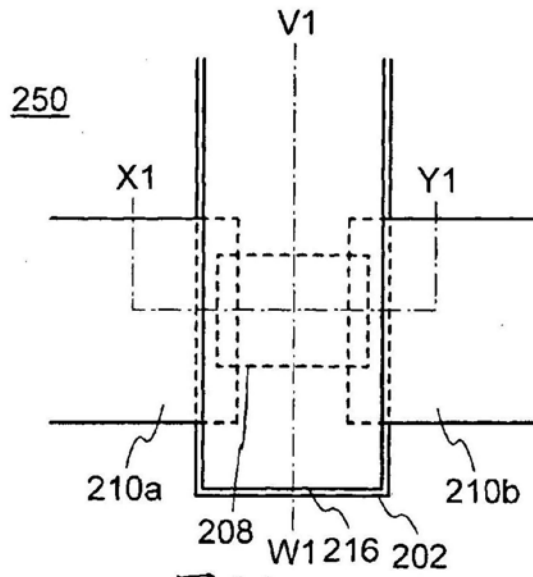


图 1A

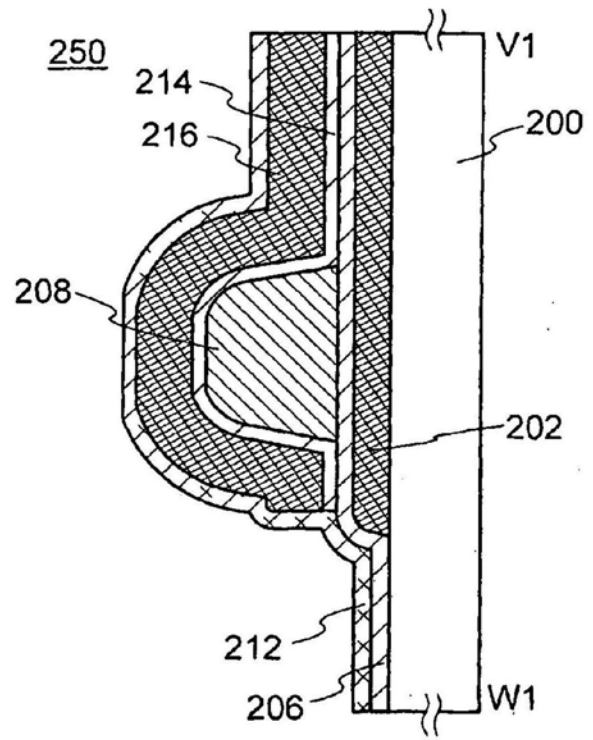


图 1B

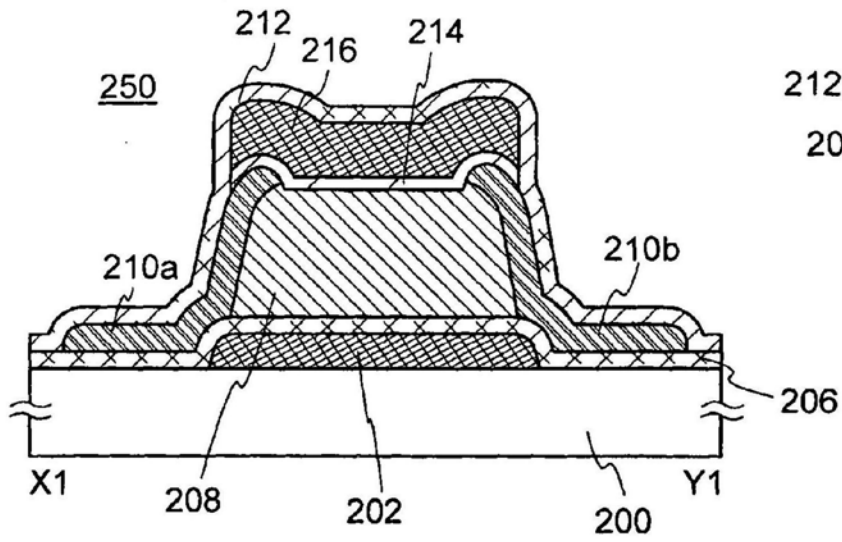
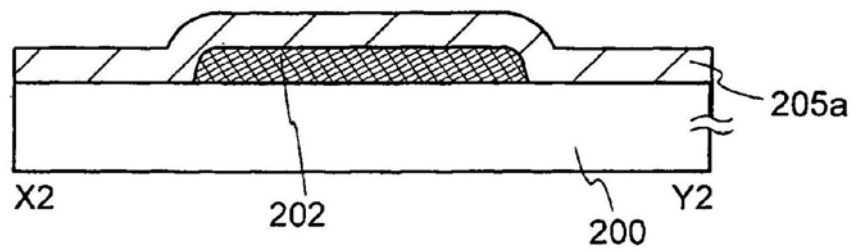
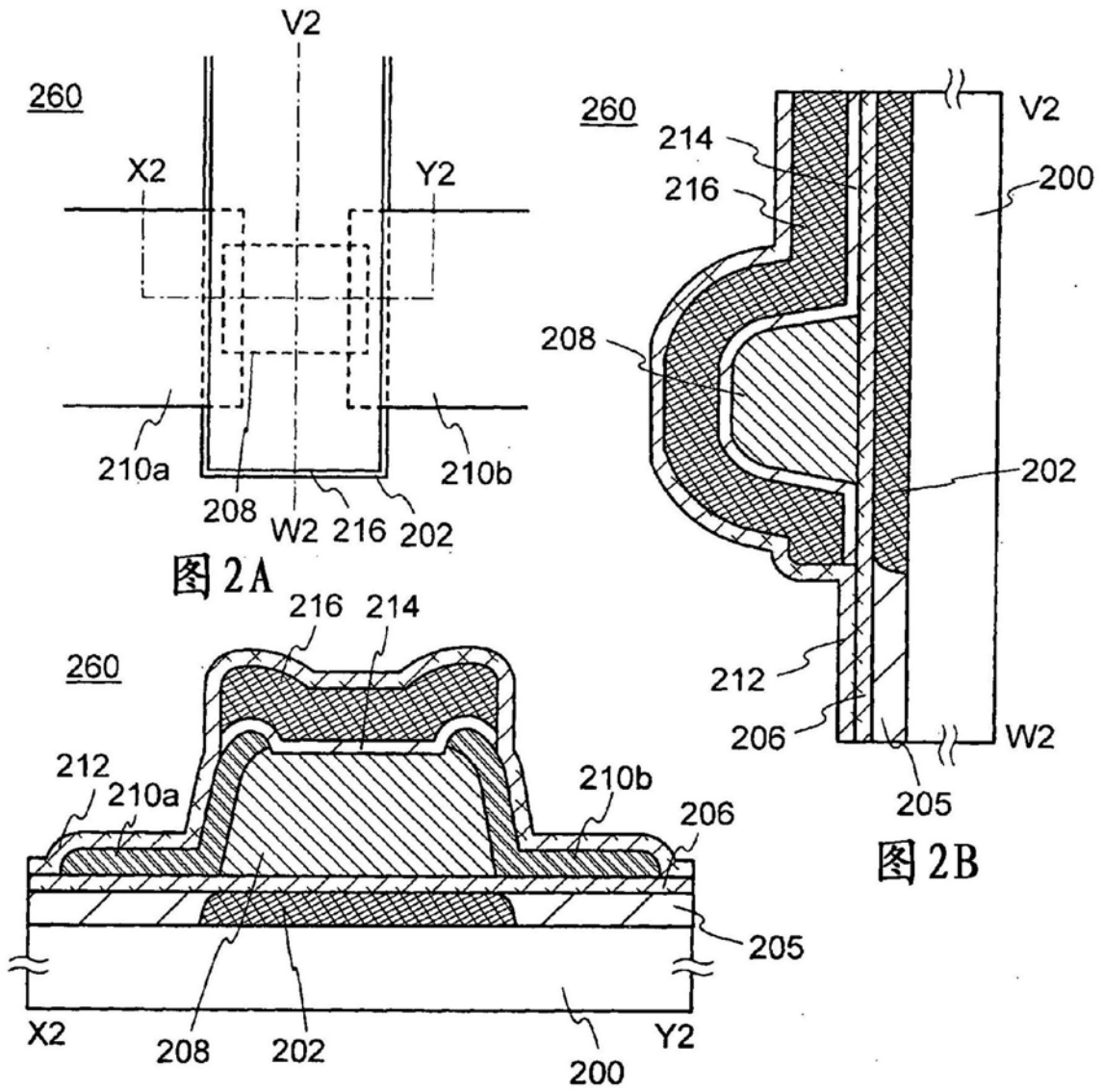


图 1C



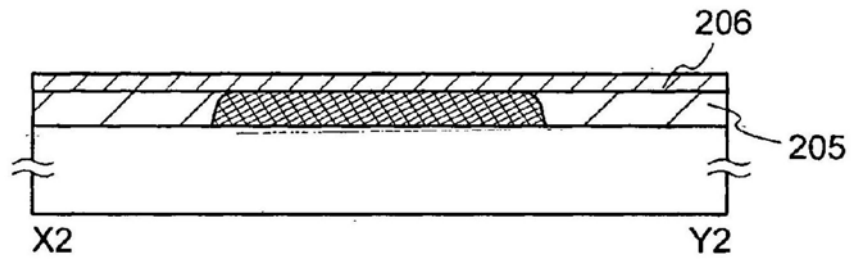


图3B

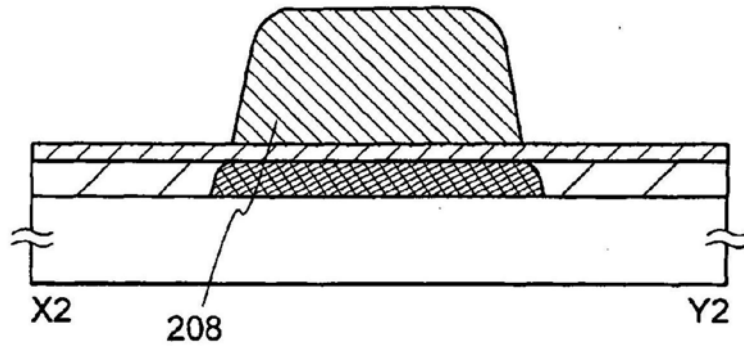


图3C

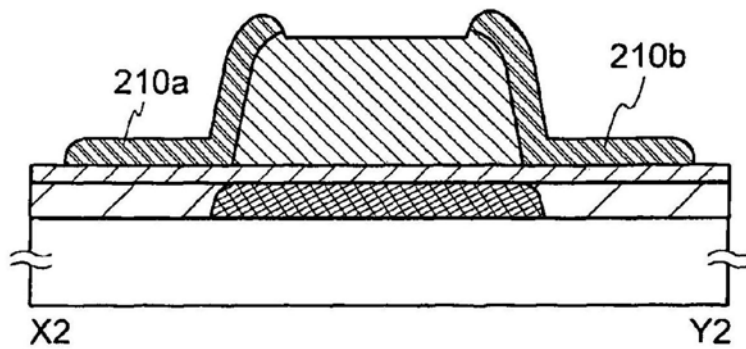


图4A

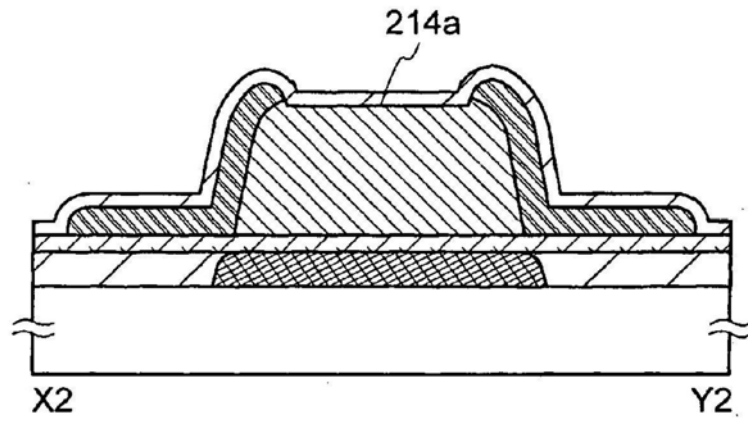


图4B

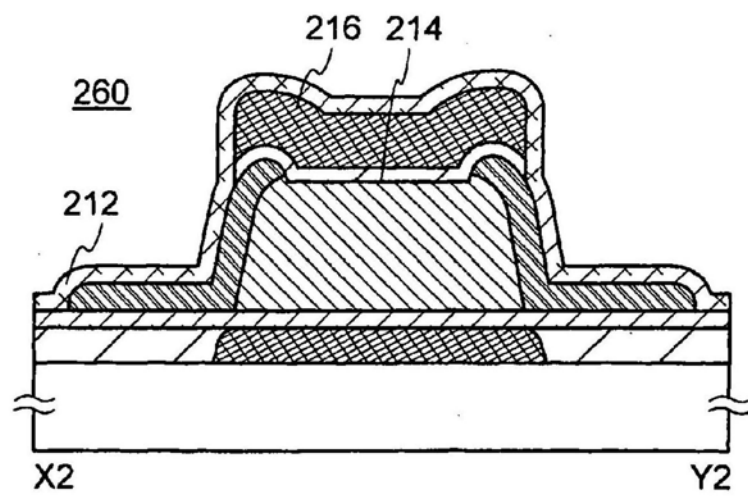


图4C

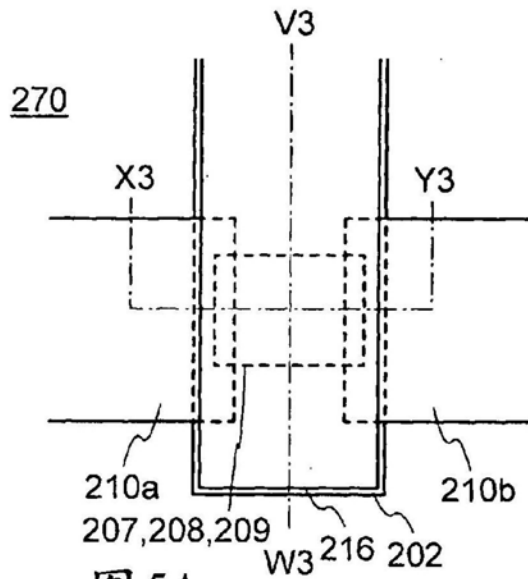


图 5A

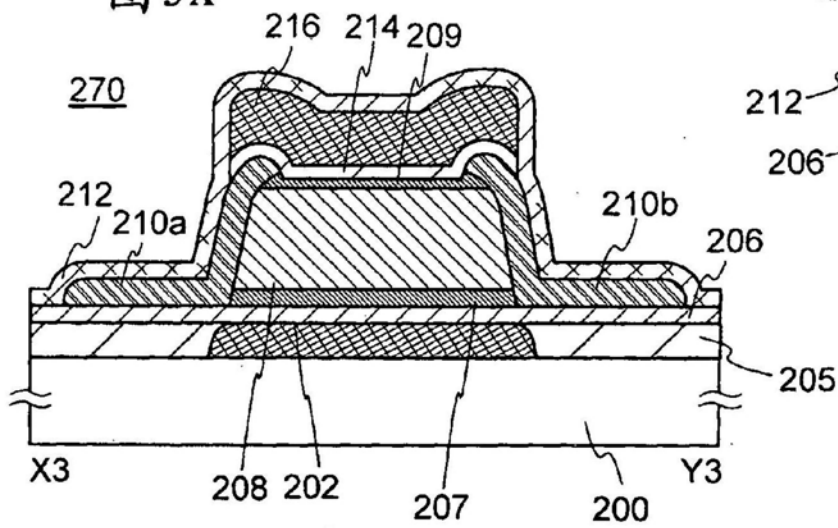


图 5C

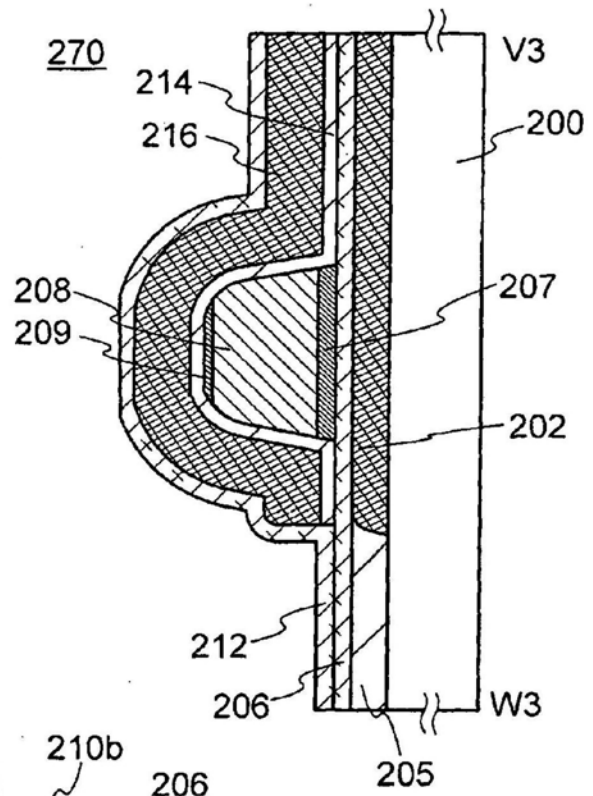


图 5B

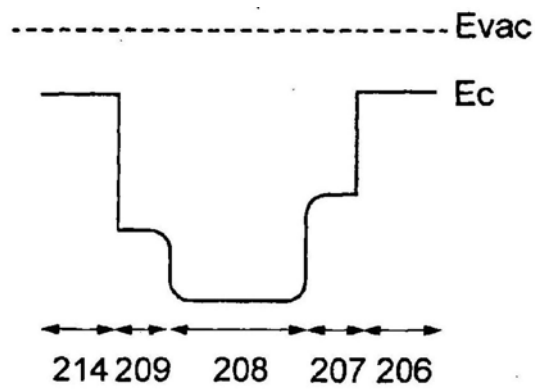
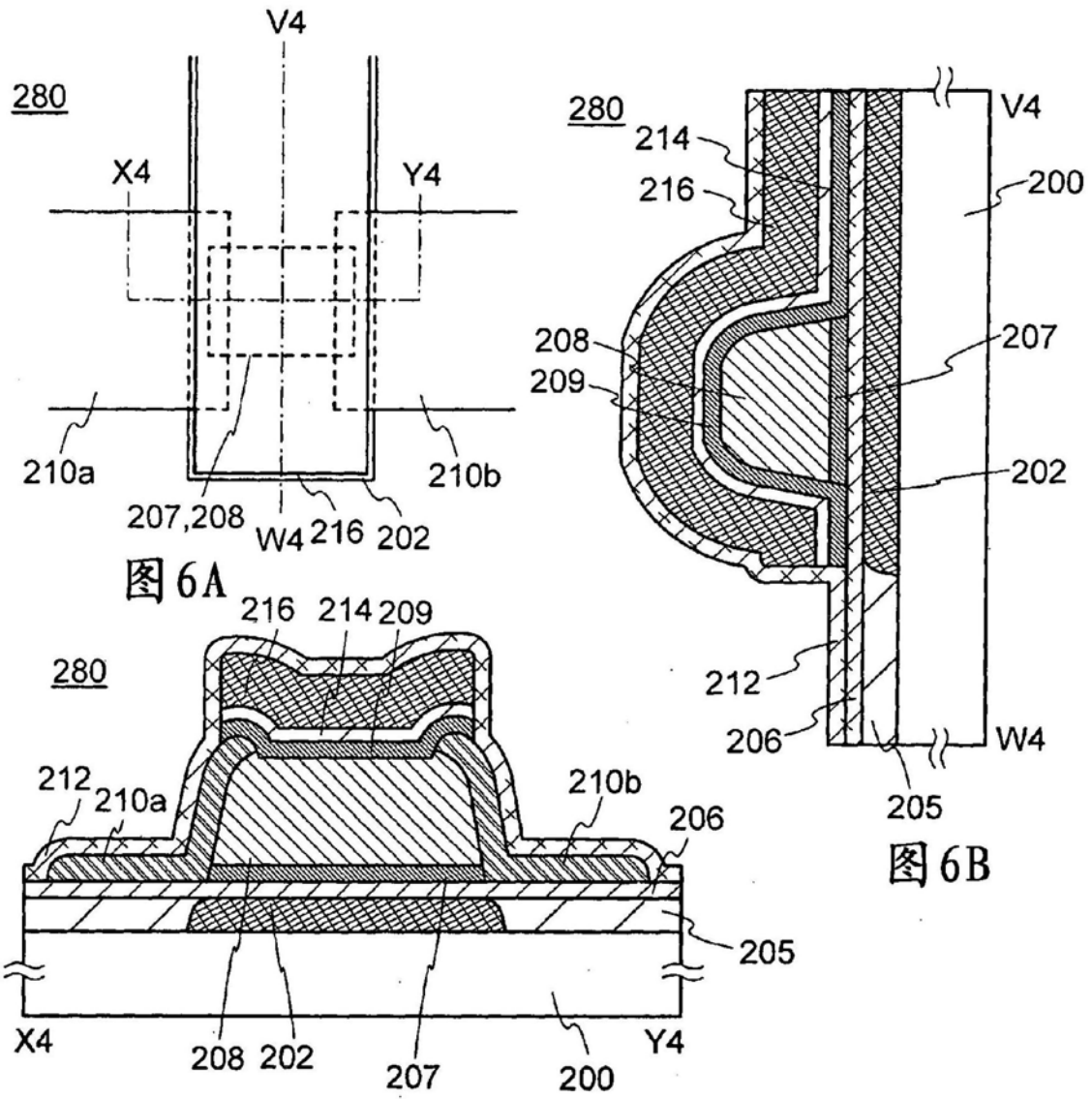


图 5D



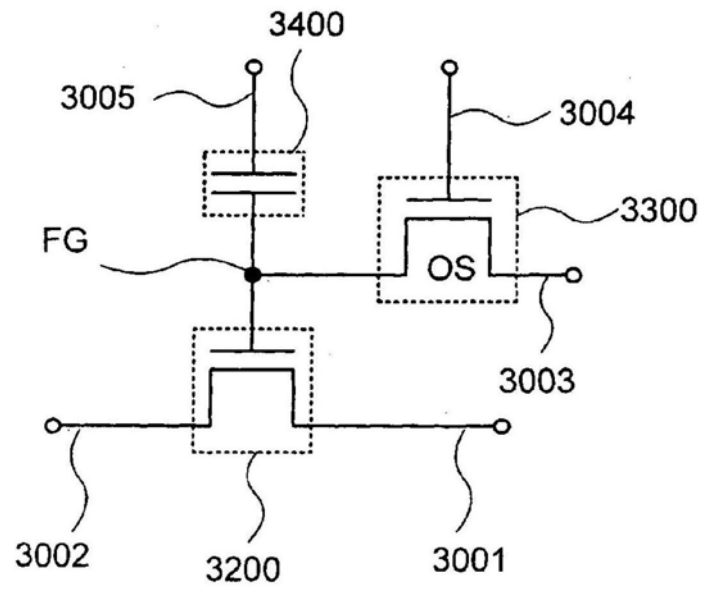


图7

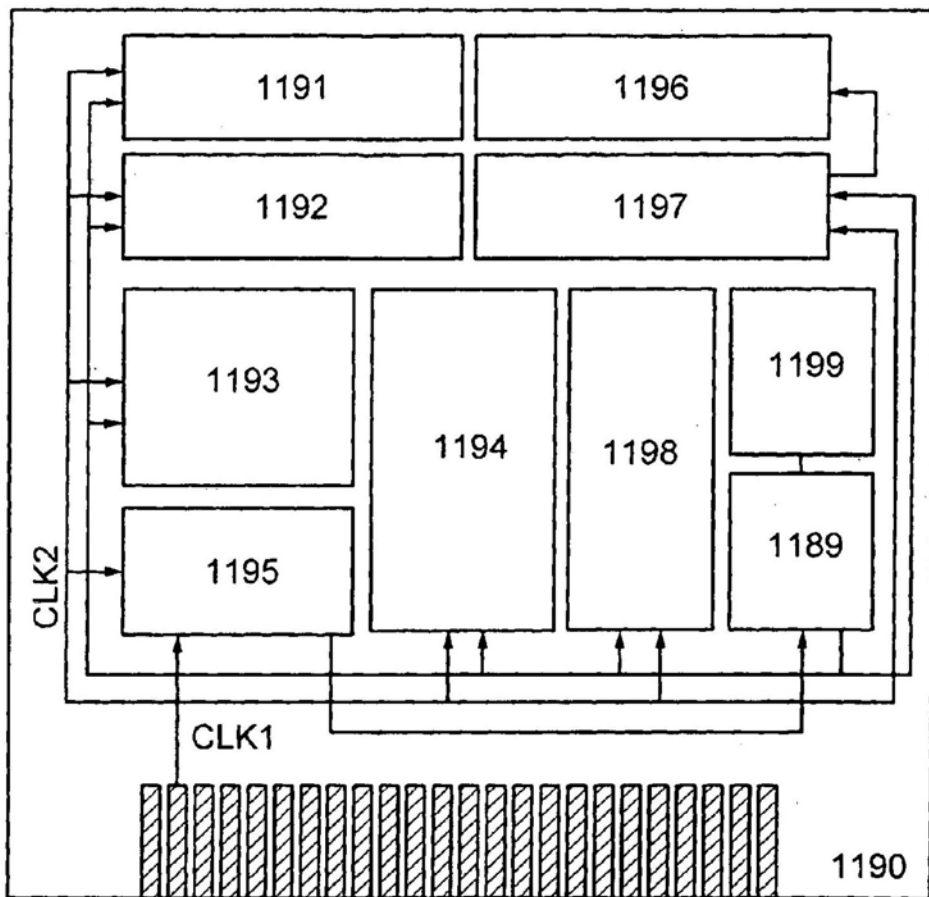


图8

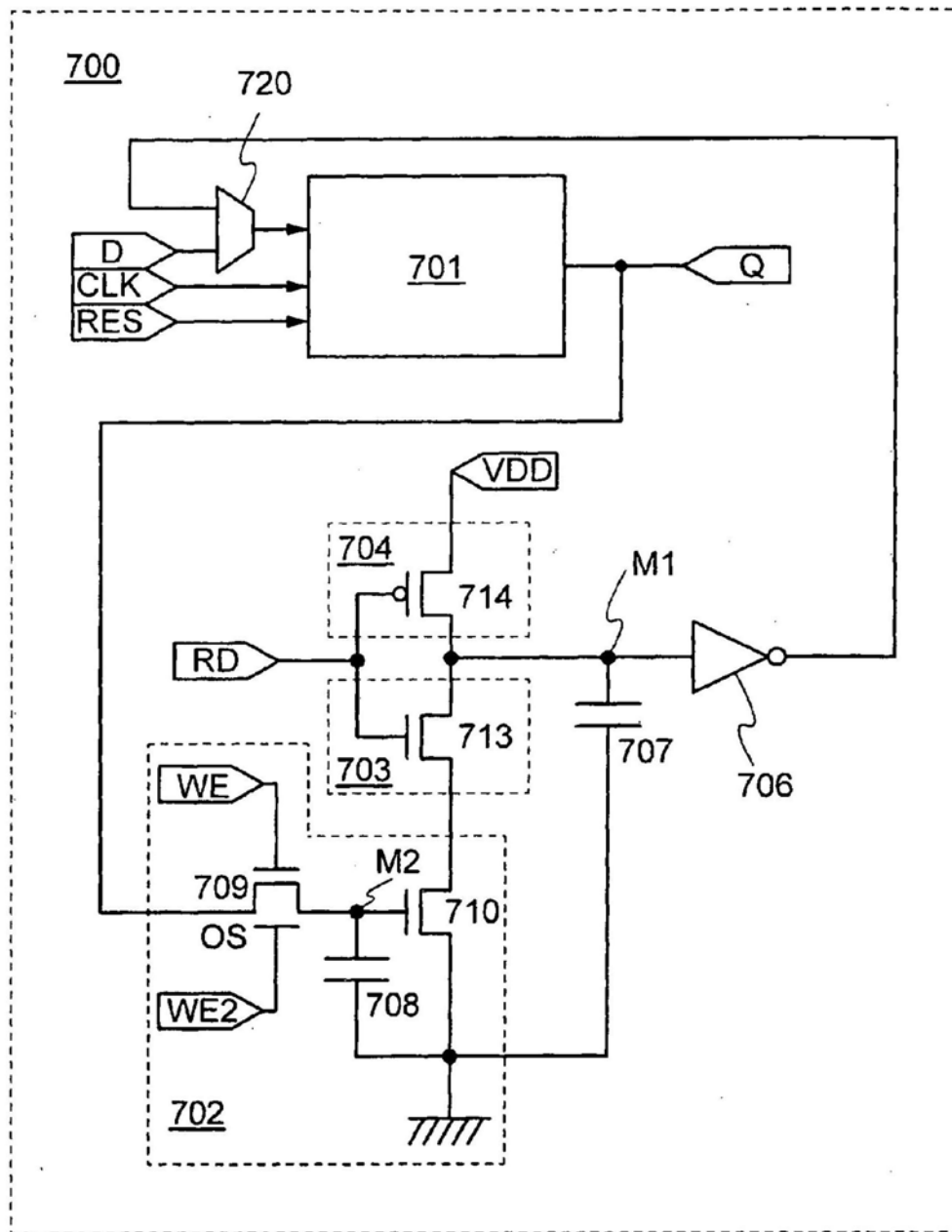


图9

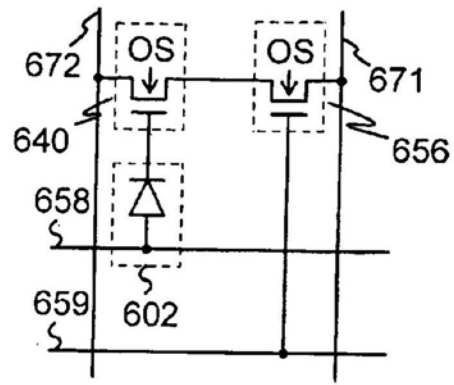


图10

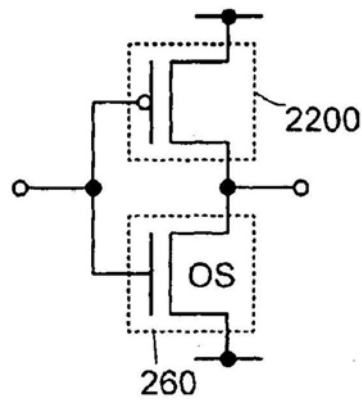


图11A

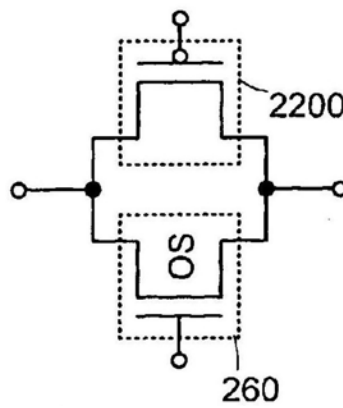


图11B

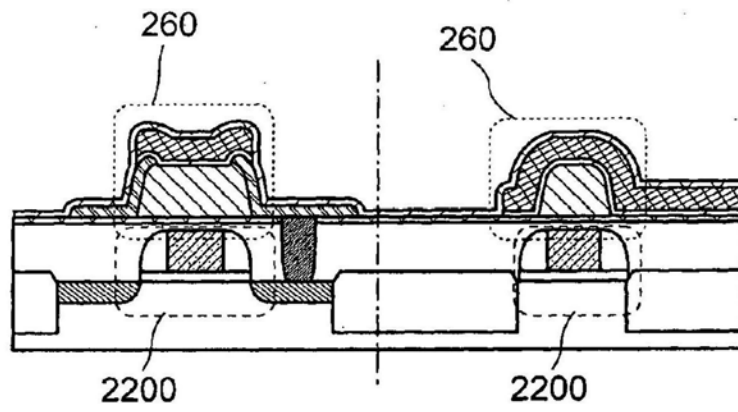


图11C

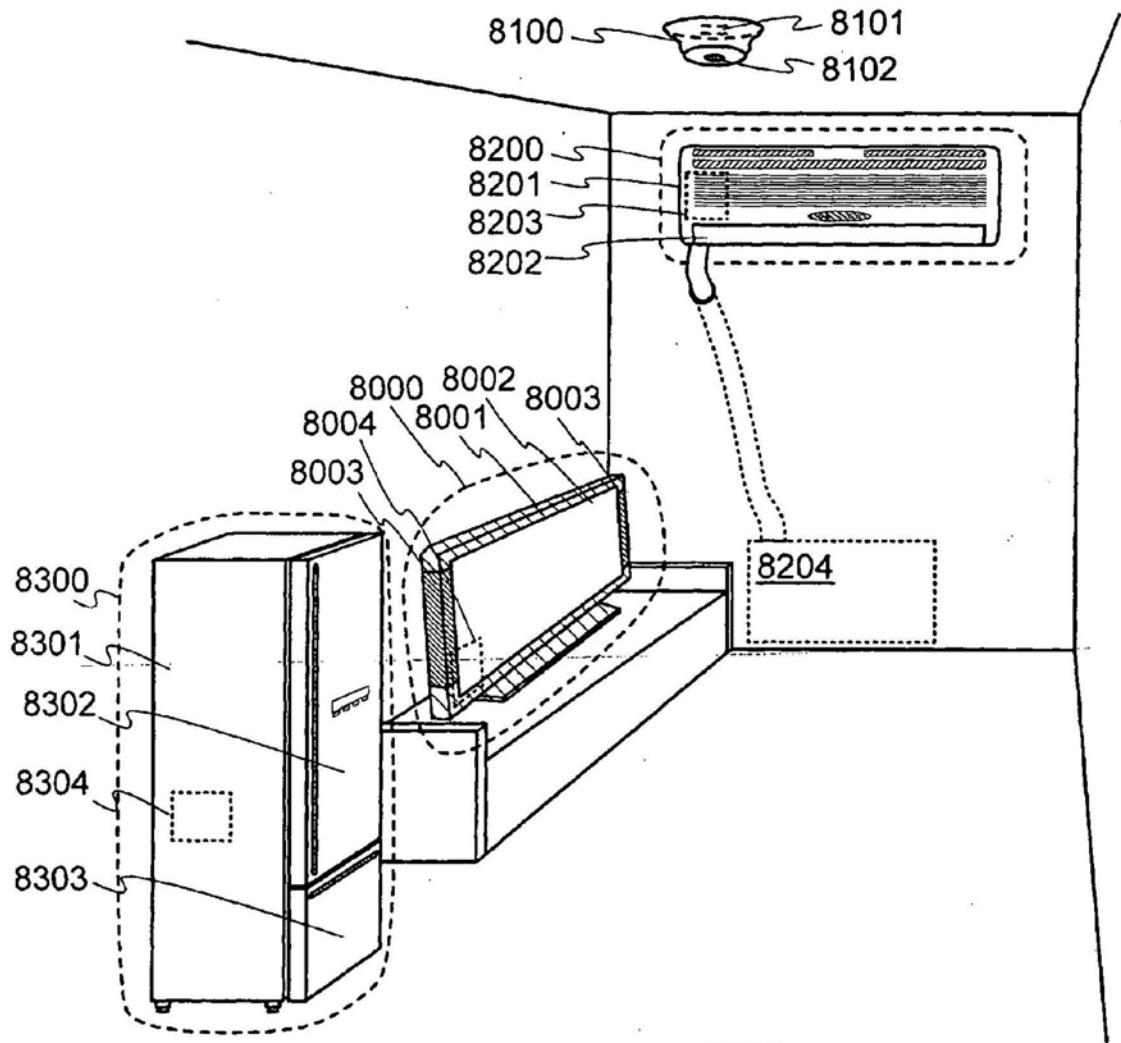


图 12A

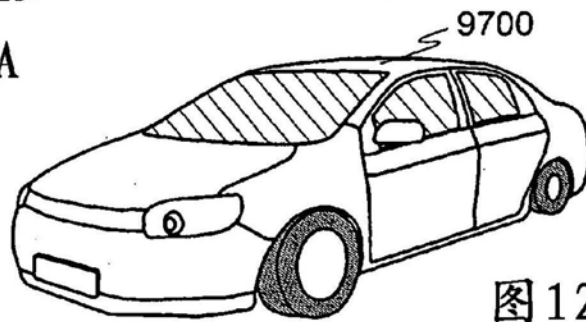


图 12B

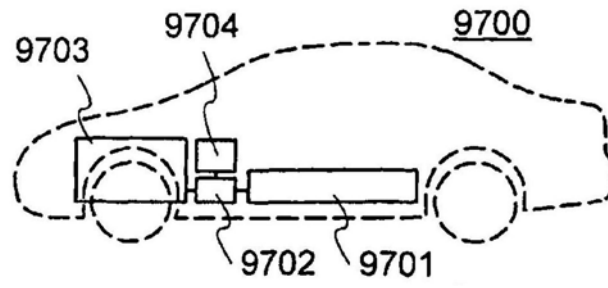


图12C