



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0097154
(43) 공개일자 2025년06월30일

(51) 국제특허분류(Int. Cl.)
H03L 7/081 (2006.01) H03L 7/093 (2006.01)
H03L 7/097 (2006.01) H03L 7/14 (2006.01)
(52) CPC특허분류
H03L 7/0814 (2013.01)
H03L 7/093 (2013.01)
(21) 출원번호 10-2023-0188122
(22) 출원일자 2023년12월21일
심사청구일자 2023년12월21일

(71) 출원인
경상국립대학교산학협력단
경상남도 진주시 진주대로 501 (가좌동)
(72) 발명자
손현우
경상남도 진주시 내동로348번길 10, 112동 1504호
강형민
경상남도 진주시 상대로 101, 11동 103호
우정민
경상남도 진주시 진주대로815번길 11, 103동 1301호
(74) 대리인
특허법인더웨이브

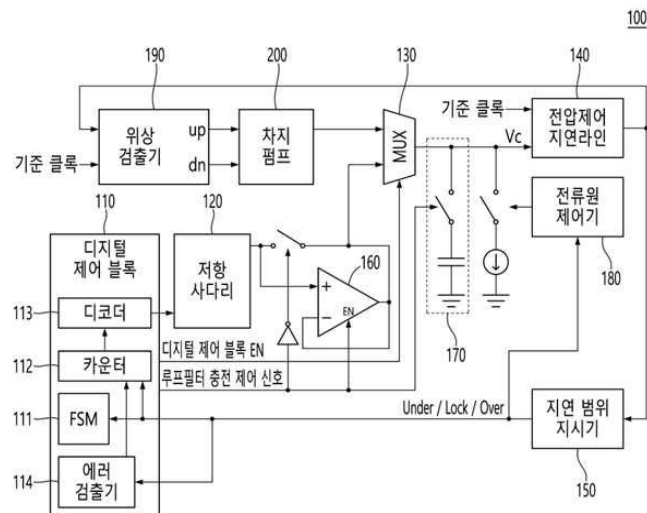
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 지연 고정 루프 회로 및 지연 고정 루프 회로의 동작방법

(57) 요약

일 측면에 따른 지연을 고정하는 방법은, 양자화된 전압 값들 중에서 제1 전압 값을 제어 전압 값으로 출력하는 단계; 상기 제어 전압 값을 전압 제어 지연 라인(VCDL; Voltage Controlled Delay Line)에 입력하는 단계; 상기 제어 전압 값에 따라 지연된 클록 신호를 출력하는 단계; 상기 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는지 판단하는 단계; 및 상기 위상 차이가 상기 기 설정된 범위 내에 존재하지 않는 것에 응답하여, 상기 제어 전압 값을 제2 전압 값으로 보정하는 단계;를 포함한다.

대표도 - 도1



(52) CPC특허분류

H03L 7/097 (2013.01)

H03L 7/14 (2025.05)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711190161
과제번호	2021R1C1C1014592
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	실시간 생체신호 처리를 위한 아날로그 프론트 엔드 및 인공지능 기반의 온칩 학습

이상 탐지기 연구

기 여 율	70/100
과제수행기관명	경상국립대학교
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1415182419
과제번호	P0020967
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술진흥원
연구사업명	산업혁신인재성장지원
연구과제명	스마트센서 전문인력양성사업
기 여 율	10/100
과제수행기관명	한국반도체연구조합
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711179296
과제번호	00156409
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송혁신인재양성
연구과제명	ICT혁신인재4.0 (경상국립대학교)
기 여 율	20/100
과제수행기관명	경상국립대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

양자화된 전압 값들 중에서 제1 전압 값을 제어 전압 값으로 출력하는 단계;

상기 제어 전압 값을 전압 제어 지연 라인(VCDL; Voltage Controlled Delay Line)에 입력하는 단계;

상기 제어 전압 값에 따라 지연된 클록 신호를 출력하는 단계;

상기 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는지 판단하는 단계; 및

상기 위상 차이가 상기 기 설정된 범위 내에 존재하지 않는 것에 응답하여, 상기 제어 전압 값을 제2 전압 값으로 보정하는 단계;를 포함하는, 지연을 고정하는 방법.

청구항 2

제 1 항에 있어서,

상기 제2 전압 값으로 보정하는 단계는,

상기 위상 차이가 상기 기 설정된 범위를 초과하는 것에 응답하여, 상기 양자화된 전압 값들 중에서 상기 제1 전압 값보다 큰 값을 상기 제2 전압 값으로 결정하는 단계;를 포함하는, 방법.

청구항 3

제 1 항에 있어서,

상기 제2 전압 값으로 보정하는 단계는,

상기 위상 차이가 상기 기 설정된 범위보다 미만인 것에 응답하여, 상기 양자화된 전압 값들 중에서 상기 제1 전압 값보다 작은 값을 상기 제2 전압 값으로 결정하는 단계;를 포함하는, 방법.

청구항 4

제 3 항에 있어서,

상기 제2 전압 값에 따라 지연된 클록 신호와 상기 기준 클록의 위상 차이가 상기 기 설정된 범위 내에 존재하는지 판단하는 단계;를 더 포함하고,

상기 위상 차이가 상기 기 설정된 범위를 초과하는 것에 응답하여, 상기 양자화된 전압 값들 중에서 제2 전압 값을 초과하는 적어도 하나의 전압 값 중 가장 작은 전압 값인 제3 전압 값으로 상기 제어 전압 값을 보정하는 단계;를 포함하는 방법.

청구항 5

제 2 항 또는 제 3 항에 있어서,

상기 제2 전압 값으로 결정하는 단계;는,

순차 검색 알고리즘 또는 이진 검색 알고리즘에 의해 수행되는, 방법.

청구항 6

제 1 항에 있어서,

상기 위상 차이가 기 설정된 범위 내에 존재하는 것에 응답하여, 루프필터 충전 신호를 출력하는 단계;를 포함하는, 방법.

청구항 7

제 6 항에 있어서,

상기 루프필터 충전 신호를 출력하는 동안 상기 위상 차이를 모니터링하여 에러를 검출하는 단계; 및

상기 에러를 검출한 것에 응답하여, 상기 제어 전압 값을 제4 전압 값으로 보정하는 단계;를 더 포함하는, 방법.

청구항 8

양자화된 전압 값들 중에서 제1 전압 값을 제어 전압 값으로 출력하는 디코더;

상기 제어 전압 값을 전압 제어 지연 라인에 입력하는 아날로그 MUX;

상기 제어 전압 값에 따라 지연된 클록 신호를 출력하는 전압 제어 지연 라인(VCDL; Voltage Controlled Delay Line);

상기 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는지 판단하는 지연범위 지시기; 및

유한 상태 머신 (FSM; Finite State Machine)을 포함하고,

상기 유한 상태 머신은,

상기 위상 차이가 기 설정된 범위 내에 존재하지 않는 것에 응답하여, 상기 제어 전압 값을 제2 전압 값으로 보정하는, 회로.

청구항 9

제 7 항에 있어서,

상기 유한 상태 머신은,

상기 위상 차이가 상기 기 설정된 범위를 초과하는 것에 응답하여, 상기 양자화된 전압 값들 중에서 상기 제1 전압 값보다 큰 전압 값을 상기 제2 전압 값으로 결정하는, 회로.

청구항 10

제 7 항에 있어서,

상기 유한 상태 머신은,

상기 위상 차이가 상기 기 설정된 범위보다 미만인 것에 응답하여, 상기 양자화된 전압 값들 중에서 상기 제1 전압 값보다 작은 전압 값을 상기 제2 전압 값으로 결정하는, 회로.

청구항 11

제 10 항에 있어서,

상기 지연범위 지시기는,

상기 제2 전압 값에 따라 지연된 클록 신호와 상기 기준 클록의 위상 차이가 상기 기 설정된 범위 내에 존재하는지 판단하는 과정을 더 수행하고,

상기 유한 상태 머신은,

상기 위상 차이가 상기 기 설정된 범위를 초과하는 것에 응답하여, 상기 양자화된 전압 값들 중에서 제2 전압 값을 초과하는 적어도 하나의 전압 값 중 가장 작은 전압 값인 제3 전압 값으로 상기 제어 전압 값을 보정하는, 회로.

청구항 12

제 9 항 또는 제 10항에 있어서,

상기 유한 상태 머신은,

순차 검색 알고리즘 또는 이진 검색 알고리즘에 의해 상기 제2 전압 값을 결정하는, 회로.

청구항 13

제 8 항에 있어서,

상기 유한 상태 머신은,

상기 위상 차이가 기 설정된 범위 내에 존재하는 것에 응답하여, 루프필터 충전 신호를 출력하는, 회로.

청구항 14

제 13 항에 있어서,

상기 루프필터 충전 신호를 출력하는 동안 상기 지연 범위 지시기의 출력을 모니터링하여 에러를 검출하는 에러 검출기를 더 포함하고,

상기 유한 상태 머신은,

상기 에러 검출기가 에러를 검출한 것에 응답하여, 상기 제어 전압 값을 제4 전압 값으로 보정하는 과정을 더 수행하는, 회로.

발명의 설명

기술 분야

[0001] 본 개시는, 지연 고정 루프 회로 및 지연 고정 루프 회로의 동작방법에 관한다.

배경 기술

[0002] 지연 고정 루프(Delay locked loop; DLL)의 방식은 아날로그와 디지털 방식으로 나뉘는데, 두 방식의 지연 고정 루프(DLL)의 차이는 지연 라인의 제어방식에 있다. 아날로그 지연 고정 루프(DLL)는 제어 전압 신호에 의하여 지연 값이 연속적으로 변하며, 디지털 지연 고정 루프(DLL)는 검출된 위상 차이에 해당하는 지연 셀(Delay Cell)을 선택하도록 함으로써 단계적으로 변하게 된다. 이러한 차이로 인하여 아날로그 방식은 전압 제어 지연 라인(VCDL)의 지터 특성이 좋으나, 락킹(locking)에 필요한 시간이 길고, 디지털은 락킹 속도가 빠른 반면 지터(jitter) 특성이 좋지 않다.

[0003] 일반적인 아날로그 DLL은 false lock를 피하기 위해 전압 제어 지연 라인(VCDL)의 제어 전압 값을 지연이 가장 적은 높은 전압에서 전류원을 동작 시켜 제어 전압을 천천히 감소시키면서 적절한 지연을 갖는 제어 전압 값을 찾고 위상 검출기 및 차지 펌프를 통하여 락킹 동작을 수행한다. 따라서 빠른 락킹을 위해서는 초기 적절한 지연을 갖는 제어 전압을 찾기 위한 전류원의 값이 커야 하나, 전류원의 값이 클 때 너무 빨리 제어 전압 값이 변하여 적절한 지연을 갖는 제어 전압 값을 찾지 못해 하모닉 락이 되거나 원하는 락 상태에 도달하지 못하고 특정 상태에 머무르는 현상과 같이 락킹에 실패할 가능성이 있다.

발명의 내용

해결하려는 과제

[0004] 양자화된 전압 값들 중 어느 하나의 전압 값을 제어 전압 값으로 하여 전압 제어 지연 라인에 적용함으로써, 정상적인 DLL 락킹(locking)이 가능한 지연 범위에 해당하는 제어 전압 값을 찾는 지연 고정 루프 회로 및 이를 이용한 지연 고정 방법을 제공하는 데 있다.

[0005] 해결하려는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0006] 일 측면에 따른 지연을 고정하는 방법은, 양자화된 전압 값들 중에서 제1 전압 값을 제어 전압 값으로 출력하는 단계; 상기 제어 전압 값을 전압 제어 지연 라인(VCDL; Voltage Controlled Delay Line)에 입력하는 단계; 상기 제어 전압 값에 따라 지연된 클록 신호를 출력하는 단계; 상기 지연된 클록 신호와 기준 클록의 위상 차이가

기 설정된 범위 내에 존재하는지 판단하는 단계; 및 상기 위상 차이가 상기 기 설정된 범위 내에 존재하지 않는 것에 응답하여, 상기 제어 전압 값을 제2 전압 값으로 보정하는 단계;를 포함한다.

[0007] 다른 측면에 따른 지연 고정 루프 회로는, 양자화된 전압 값들 중에서 제1 전압 값을 제어 전압 값으로 출력하는 디코더; 상기 제어 전압 값을 전압 제어 지연 라인에 입력하는 아날로그 MUX; 상기 제어 전압 값에 따라 지연된 클록 신호를 출력하는 전압 제어 지연 라인(VCDL; Voltage Controlled Delay Line); 상기 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는지 판단하는 지연범위 지시기; 및 유한 상태 머신(FSM; Finite State Machine)을 포함하고, 상기 유한 상태 머신은, 상기 위상 차이가 기 설정된 범위 내에 존재하지 않는 것에 응답하여, 상기 제어 전압 값을 제2 전압 값으로 보정한다.

도면의 간단한 설명

[0008] 도 1은 일 실시예에 따른 지연 고정 루프 회로의 일 예를 설명하기 위한 도면이다.
 도 2는 일 실시예에 따른 지연을 고정하는 방법의 일 예를 설명하기 위한 흐름도이다.
 도 3은 다른 실시예에 따른 지연을 고정하는 방법의 일 예를 설명하기 위한 흐름도이다.
 도 4는 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는 경우를 설명하기 위한 예시적인 도면이다.
 도 5는 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위보다 미만인 경우를 설명하기 위한 예시적인 도면이다.
 도 6은 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위를 초과하는 경우를 설명하기 위한 예시적인 도면이다.

발명을 실시하기 위한 구체적인 내용

[0009] 실시 예들에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도 또는 판례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서 명세서에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 명세서의 전반에 걸친 내용을 토대로 정의되어야 한다.

[0010] 명세서 전체에서 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있음을 의미한다. 또한, 명세서에 기재된 "~유닛", "~모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.

[0011] 또한, 명세서에서 사용되는 "제 1" 또는 "제 2" 등과 같이 서수를 포함하는 용어는 다양한 구성 요소들을 설명하는데 사용할 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용될 수 있다.

[0012] 아래에서는 첨부한 도면을 참고하여 실시 예에 대하여 상세히 설명한다. 그러나 실시 예는 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 예에 한정되지 않는다.

[0013] 도 1은 일 실시예에 따른 지연 고정 루프 회로의 일 예를 설명하기 위한 도면이다.

[0014] 도 1을 참조하면, 회로(100)는 디지털 제어 블록(110), 저항 사다리(120), MUX(130), 전압 제어 지연 라인(140), 지연 범위 지시기(150), 단위이득 버퍼(160), 루프필터(170), 전류원 제어기(180), 위상 검출기(190) 및 차지 펌프(200)를 포함할 수 있다. 디지털 제어 블록(110)은 유한 상태 머신(111), 디지털 카운터(112), 디코더(113) 및 에러 검출기(114)를 포함할 수 있다. 설명의 편의를 위하여, 도 1에는 본 발명과 관련된 구성요소만을 도시되어 있다. 따라서, 도 1에 도시된 구성요소들 외에 다른 범용적인 구성요소들이 더 포함될 수 있다.

[0015] 지연 고정 루프 회로(100)는 최초 작동 시, 코어스 락(coarse lock)을 위하여 디지털 카운터(112) 값을 리셋하고 디코더(113)를 통해 저항 사다리(120)에서 만들어진 양자화된 전압 값들 중 어느 하나의 전압 값인 제1 전압 값을 선택하여 출력할 수 있다. 이때 선택된 제어 전압 값이 전압 제어 지연 라인(140)에 바로 적용될 수 있도록 RC 지연을 최소화하기 위해 루프필터(170)에 직렬로 연결된 스위치를 OFF시켜 Vc라인의 커패시턴스를 최소화

할 수 있다.

- [0016] 전압 제어 지연 라인(140)은 입력된 제어 전압 값에 따라, 다중 위상을 갖는 지연된 클록 신호를 출력할 수 있다. 전체 다중 위상 신호 중에서 적어도 하나의 지연 신호가 선택되어 지연 범위 지시기(150)에 전달된다. 지연 범위 지시기(150)는 선택된 적어도 하나의 지연 신호를 이용하여, 전압 제어 지연 라인(140)이 출력한 지연 신호 중 최종 지연 신호의 상승 엣지(rising edge)가 기준 클록(REF)의 전체 주기 중 어디에 위치해 있는지를 판별한 신호를 생성할 수 있다. 이때 지연 범위 지시기(150)가 출력하는 신호에는 언더(under) 신호, 락(lock) 신호 및 오버(over) 신호가 포함될 수 있다.
- [0017] 언더(under) 신호는 최종 지연 신호의 지연 범위가 코어스 락을 수행하기 위한 적정 지연 범위 미만인 것으로 판별한 경우 출력되는 신호를 의미할 수 있다. 예를 들어, 최종 지연 신호의 지연이 기준 클록 주기(T)의 0.5배 보다 작은 경우, 지연 범위 지시기(150)는 언더 신호를 출력할 수 있다. 오버(over) 신호는 최종 지연 신호의 지연 범위가 코어스 락을 수행하기 위한 적정 지연 범위를 초과하는 것으로 판별한 경우 출력되는 신호를 의미할 수 있다. 예를 들어, 최종 지연 신호의 지연이 기준 클록 주기(T)의 1.5배 보다 큰 경우, 지연 범위 지시기(150)는 오버 신호를 출력할 수 있다.
- [0018] 락(lock) 신호는 최종 지연 신호의 지연 범위가 코어스 락을 수행하기 위한 적정 지연 범위에 해당하는 것으로 판별한 경우 출력되는 신호를 의미할 수 있다. 예를 들어, 최종 지연 신호의 지연이 0.5T보다 크고 1.5T보다 작은 경우, 지연 범위 지시기(150)는 락 신호를 출력할 수 있다. 일 실시예에 따르면, 안정적인 lock 동작을 위해 마진을 고려하여 0.5T보다 큰 값에서 1.5T보다 작은 값으로 적정 지연 범위를 설정할 수 있다.
- [0019] 지연 범위 지시기(150)의 출력은 디지털 제어 블록(110)에 전달된다. 지연 범위 지시기(150)가 언더 신호를 출력한 경우, 회로(100)는 전압 제어 지연 라인(140)의 지연을 증가시키기 위해, 디코더(113)가 양자화된 제어 전압 값들 중에서 현재 제어 전압 값보다 낮은 제어 전압 값을 출력하도록 한다. 지연 범위 지시기(150)가 오버 신호를 출력한 경우, 회로(100)는 전압 제어 지연 라인(140)의 지연을 감소시키기 위해, 디코더(113)가 양자화된 제어 전압 값들 중에서 현재 제어 전압 값보다 큰 제어 전압 값을 출력하도록 한다. 이러한 과정은 지연 범위 지시기(150)가 락 신호를 출력할 때까지 반복될 수 있다.
- [0020] 이때 디코더(113)로부터 출력되는 전압 값은 디지털 카운터(112)의 카운터 값에 기초하여 결정될 수 있다. 예를 들어, 저항 사다리(120)는 디지털 카운터(112)의 카운터 값이 커지면 저항 사다리(120)의 출력 전압이 커지도록 설계되거나 디지털 카운터(112)의 카운터 값이 작아지면 저항 사다리(120)의 출력 전압이 작아지도록 설계될 수 있다. 회로(100)는 지연 범위 지시기의 출력이 언더 또는 오버인 경우, 디지털 카운터(112)의 카운터 값을 조정할 수 있다.
- [0021] 바람직하게는, 저항 사다리(120)는 디지털 카운터(112)의 카운터 값이 커지면 저항 사다리(120)의 출력 전압이 커지도록 설계될 수 있다. 이때 회로(100)는 지연 범위 지시기(150)의 출력이 오버 신호인 것에 응답하여, 디지털 카운터(112)의 값을 큰 값으로 조정하고 제어 전압 값을 증가시킴으로써 지연을 감소시킬 수 있다.
- [0022] 회로(100)는 지연 범위 지시기(150)가 락 신호를 출력한 경우, 루프필터 충전 제어 신호를 출력할 수 있다. 단위이득 버퍼(160)는 루프필터 충전 제어 신호를 입력 받아, 해당 제어 전압 값으로 스위치 ON 된 루프필터(170)를 충전할 수 있다. 이후 일반적인 아날로그 DLL과 같이 위상 검출기(190) 및 차지 펌프(200)를 통하여 파인 락(fine lock) 동작이 수행될 수 있다.
- [0023] 본 실시예에 따른 지연 고정 루프(Delay locked loop; DLL) 회로는 적정 단계로 구성된 양자화된 제어 전압 값을 순차적으로 전압 제어 지연 라인(VCDL)에 적용함으로써, 초기 적정 지연을 찾기 위한 전류원 값의 증가없이 락킹 시간을 향상시킬 수 있다.
- [0024] 순차 검색 알고리즘을 이용하는 일 실시예에 따르면, 저항 사다리(120)가 양자화된 제어 전압 값을 생성하므로, 코어스 락(coarse lock) 동안 순차적으로 한 단계씩 낮은 양자화된 제어 전압 값을 전압 제어 지연 라인(140)에 적용할 때, 지연 범위 지시기(150)가 언더 신호에서 락 신호를 거치지 않고 바로 오버 신호를 출력하게 될 수 있다. 이 경우 오버 신호가 출력되면 디지털 제어 블록(110)은 저항 사다리(120)를 이용한 순차 검색을 멈춘다.
- [0025] 그리고, 회로(100)는 오버 신호가 생성된 제어 전압 값 대신 한 단계 높은 제어 전압 값으로 단위이득 버퍼(160)를 통하여 스위치 ON된 루프필터(170)를 충전한다. 이 때 아직은 전달된 제어 전압 값이 락킹 영역에 해당하는 지연을 생성하지 못하므로, 전류원 제어기(180)는 지연 범위 지시기(150)의 판별 신호를 이용하여 전류원의 스위치를 제어하여 전달된 제어 전압 값을 천천히 낮춰 지연 범위 지시기(150)가 락(lock) 신호를 출력하도록

록 한다.

- [0026] 상술한 바에 따르면, 순차 검색 동안 제한된 양자화된 제어 전압 값으로 인해 적절한 지연을 갖는 제어 전압 값 검색에 실패하더라도, 적절한 지연에서 가장 가까운 적은 지연(under)을 갖는 양자화된 제어 전압 값으로부터, 추가적으로 전류원 제어를 통하여 적절한 지연을 갖는 제어 전압 값을 찾을 수 있다.
- [0027] 한편, 코어스 락(corse lock)을 위한 순차 검색 동안 RC지연을 최소화하기 위해 루프필터(170) 커패시터를 스위치를 이용하여 분리시키기는 하지만, 여전히 기생성분에 의한 RC지연으로 인해 저항 사다리(120)에서 생성된 전달하고자 하는 제어 전압 값보다 더 높은 전압이 순차 검색동안 전압 제어 지연 라인(140)에 전달되어, 코어스 락에서 내린 결과값 (under, lock, over)이 틀릴 수 있어 파인 락(fine lock) 동작으로 넘어갈 때 락킹 오류(false lock)가 발생할 수 있다.
- [0028] 이를 해결하기 위해 단위이득 버퍼(160)를 사용하여 루프필터(170)를 충전하는 동안 지연 범위 지시기(150)의 출력을 모니터링한다. 지연 범위 지시기(150)의 출력이 언더(under) 또는 락(lock)이라면 상술한 대로 동작을 수행하고, 오버(over)라면 에러 검출기(114)를 통하여, 지연을 감소시키도록 디지털 카운터(112)의 값을 조정한다. 그리고, 지연이 덜한 한 단계 높은 제어 전압 값으로 루프필터 충전을 다시 수행하여 과도한 지연으로 인한 하모닉 락(harmonic lock)과 같은 락킹 오류(false lock)를 피한다. 과도한 지연에 의한 오류를 최소화하기 위해 에러 검출기(114)는 루프필터 충전 단계 이후에도 몇 주기 동안 지연 범위 지시기(150)의 오버(over) 출력을 모니터링한다.
- [0029] 한편, 심지어 순차 검색동안 RC지연이 없더라도 단위이득 버퍼(160)의 오프셋으로 인해 락킹 오류가 발생할 수 있다. 예를 들어, 순차 검색동안 락(lock)의 지연 범위를 찾았다 하더라도, 버퍼의 음성 오프셋은 원하는 전압보다 낮은 전압으로 루프필터를 충전함으로써 지연을 증가시켜 하모닉 락과 같은 락킹 오류가 발생할 수 있다. RC지연에 의한 오류와 마찬가지로, 오프셋으로 인한 오류 또한 루프필터(170)를 충전하는 동안 지연 범위 지시기(150)의 출력을 모니터링하는 방식으로 해결될 수 있다.
- [0030] 상술한 바에 따르면, 순차 검색 동안 RC지연과 버퍼 오프셋과 같은 회로의 비이상성으로 생길 수 있는 잘못된 결과값을 루프필터에 해당 제어 전압 값을 적용하는 동안 보정할 수 있으며, 잘못된 결과값으로 적정 지연보다 큰 지연을 갖는 제어 전압 값이 적용된 경우 에러 검출기를 통해 한 단계 적은 지연을 갖는 양자화된 제어 전압 값을 다시 적용함으로써, 하모닉 락의 발생 가능성을 줄일 수 있다.
- [0031] 이하, 도 2 및 도 3을 참조하여, 본 발명의 회로(100)를 동작 시켜 지연을 고정하는 방법의 예를 설명한다. 도 2 및 3의 지연을 고정하는 방법은 도 1에 개시된 회로(100)의 구성 요소에서 시계열적으로 처리되는 단계들로 구성된다. 따라서, 이하에서 생략된 내용이라고 하더라도 도 1에 도시된 회로(100)에 관하여, 이상에서 기술된 내용은 도 2 및 도 3의 지연을 고정하는 방법에도 적용될 수 있다.
- [0032] 도 2는 일 실시예에 따른 지연을 고정하는 방법의 일 예를 설명하기 위한 흐름도이다.
- [0033] 도 2를 참조하면, 단계 210에서 디코더는 양자화된 전압 값들 중에서 제1 전압 값을 제어 전압 값으로 출력한다. 여기서 양자화된 전압 값들은 저항 사다리(Resistor Ladder)에 의해 생성된 것일 수 있다. 양자화된 전압 값들은 일정한 간격을 가지는 값들일 수도 있고, 불규칙한 간격을 가지는 값들일 수도 있다. 일 실시예에 따르면, 디코더는 양자화된 전압 값들 중에서 가장 높은 전압 값을 제어 전압 값으로 출력할 수 있다.
- [0034] 단계 220에서 아날로그 MUX는 제어 전압 값을 전압 제어 지연 라인에 입력한다. 일 실시예에 따르면, 2:1 아날로그 MUX(Analog Multiplexer)는 디코더로부터 출력된 제어 전압 값을 아날로그 신호로 변환하여 전압 제어 지연 라인에 입력한다.
- [0035] 단계 230에서 전압 제어 지연 라인은 제어 전압 값에 따라 지연된 클록 신호를 출력한다. 일 실시예에 따르면, 전압 제어 지연 라인은 아날로그 MUX로부터 아날로그 신호인 제어 전압 신호를 입력 받아, 제어 전압 값에 따른 다중 위상의 지연된 클록 신호를 출력할 수 있다.
- [0036] 단계 240에서 지연범위 지시기는 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는지 판단한다. 일 실시예에 따르면, 지연범위 지시기는 다중 위상의 지연된 클록 신호 중 최종 지연 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는지 판단할 수 있다. 즉, 최종 지연 신호의 상승 엣지가 기준 클록의 주기에서 어디에 위치하는지 판별할 수 있다.
- [0037] 지연범위 지시기는 최종 지연 신호와 기준 클록의 위상 차이에 따른 신호를 출력할 수 있다. 지연범위 지시기의 출력은 언더(under) 신호, 락(lock) 신호 및 오버(over) 신호로 구분될 수 있다. 언더(under) 신호는 상기 위상

차이가 기 설정된 범위보다 미만인 경우 출력될 수 있고, 오버(over) 신호는 상기 위상 차이가 기 설정된 범위를 초과하는 경우 출력될 수 있다. 락(lock) 신호는 위상 차이가 기 설정된 범위 내에 존재하는 경우 출력될 수 있다. 여기서 기 설정된 범위는 코어스 락을 수행하기에 적절한 지연을 가지는 범위일 수 있다. 언더(under) 신호, 락(lock) 신호 및 오버(over) 신호가 출력되는 지연 신호의 예시들은 도 4 내지 도 6에서 구체적으로 후술한다.

- [0038] 도 4는 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는 경우를 설명하기 위한 예시적인 도면이다.
- [0039] 도 4를 참조하면, 기 설정된 범위는 0.5T보다 큰 값(43)에서 1.5T보다 작은 값(44)까지의 범위일 수 있다. 기 설정된 범위는 기준 클록의 0.5T 내지 1.5T의 범위일 수도 있고, 안정적인 락(lock) 동작을 위해 마진을 고려하여 0.5T보다 큰 값에서 1.5T보다 작은 값의 범위일 수도 있다. 이때 T는 기준 클록의 한 주기를 의미한다.
- [0040] 지연범위 지시기는 지연 신호(42)의 상승 엣지(45)가 기 설정된 범위 내에 존재하는 경우, 지연 신호가 락 영역에 있다고 결정하고, 락 신호를 출력할 수 있다. 즉, 기준 클록(41)과 지연된 클록 신호(42)의 위상차이가 0.5T보다 큰 값(43)에서 1.5T보다 작은 값(44)의 범위 내에 존재하는 경우, 지연 범위 지시기는 락 신호를 출력할 수 있다.
- [0041] 도 5는 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위보다 미만인 경우를 설명하기 위한 예시적인 도면이다.
- [0042] 도 5를 참조하면, 기 설정된 범위는 0.5T보다 큰 값(53)에서 1.5T보다 작은 값(54)까지의 범위일 수 있다. 지연 범위 지시기는 기준 클록(51)과 지연된 클록 신호(52)의 위상차이가 0.5T보다 큰 값(53)보다 작은 경우, 언더 신호를 출력할 수 있다.
- [0043] 도 6은 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위를 초과하는 경우를 설명하기 위한 예시적인 도면이다.
- [0044] 도 6을 참조하면, 기 설정된 범위는 0.5T보다 큰 값(63)에서 1.5T보다 작은 값(64)까지의 범위일 수 있다. 지연 범위 지시기는 기준 클록(61)과 지연된 클록 신호(62)의 위상차이가 1.5T보다 작은 값(64)보다 큰 경우, 오버 신호를 출력할 수 있다.
- [0045] 단계 250에서 유한 상태 머신은 상기 위상 차이가 기 설정된 범위 내에 존재하지 않는 것에 응답하여, 제어 전압 값을 보정한다.
- [0046] 일 실시예에 따르면, 현재의 제어 전압 값인 제1 전압 값을 제2 전압 값으로 보정하는 단계는, 위상 차이가 기 설정된 범위를 초과하는 것에 응답하여, 양자화된 전압 값들 중에서 상기 제1 전압 값보다 큰 값을 상기 제2 전압 값으로 결정하는 단계를 포함할 수 있다.
- [0047] 또는 현재의 제어 전압 값인 제1 전압 값을 제2 전압 값으로 보정하는 단계는, 위상 차이가 기 설정된 범위보다 미만인 것에 응답하여, 양자화된 전압 값들 중에서 상기 제1 전압 값보다 작은 값을 상기 제2 전압 값으로 결정하는 단계를 포함할 수 있다.
- [0048] 단계 210 내지 단계 260은 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재할 때까지 반복될 수 있다.
- [0049] 이때 제n 전압 값을 제n+1 전압 값으로 결정하는 단계는, 순차 검색(linear search) 알고리즘에 의할 수 있고 이진 검색(binary search) 알고리즘에 의할 수도 있으며, 이에 한정되지 않고 다양한 방법에 의해 수행될 수 있다. 이하 도 3에서는 설명의 편의를 위하여 순차 검색(linear search) 알고리즘을 사용하는 것으로 설명한다.
- [0050] 도 3은 다른 실시예에 따른 지연을 조정하는 방법의 일 예를 설명하기 위한 흐름도이다.
- [0051] 도 3을 참조하면, 단계 310에서 디코더는 양자화된 전압 값들 중에서 제1 전압 값을 제어 전압 값으로 출력한다. 일 실시예에 따르면, 디코더는 양자화된 전압 값들 중에서 가장 큰 전압 값을 제1 전압 값으로 출력할 수 있다.
- [0052] 단계 320에서 아날로그 MUX는 제어 전압 값을 전압 제어 지연 라인에 입력한다.
- [0053] 단계 330에서 전압 제어 지연 라인은 제어 전압 값에 따라 지연된 클록 신호를 출력한다.
- [0054] 단계 340에서 지연범위 지시기는 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는지

판단한다. 유한 상태 머신은 상기 위상 차이가 기 설정된 범위 내에 존재하는 경우 제어 전압 값을 찾는 동작을 종료한다.

[0055] 지연범위 지시기는 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위 내에 존재하는 것으로 판단한 경우 락 신호를 출력할 수 있다. 유한 상태 머신은 지연 범위 지시기가 락 신호를 출력한 경우, 루프필터 충전 제어 신호를 출력할 수 있다. 락 신호 발생시, 아날로그 DLL이 하모닉 락(harmonic lock)과 같은 락킹 오류(false lock)의 문제없이 락킹이 가능하므로, 해당 제어 전압 값으로 단위이득 버퍼(160)를 통하여 스위치 ON 된 루프필터를 충전할 수 있다. 이후 일반적인 아날로그 DLL과 같이 위상 검출기 및 차지 펌프를 통하여 파인 락(fine lock) 동작이 수행될 수 있다.

[0056] 단계 341에서 유한 상태 머신은 상기 위상 차이가 기 설정된 범위를 초과하는지 또는 기 설정된 범위보다 미만인지에 따라 단계 342 또는 단계 343의 동작을 수행한다.

[0057] 단계 342에서 유한 상태 머신은 위상 차이가 기 설정된 범위보다 미만인 것에 응답하여, 제 n 전압 값(현재의 제어 전압 값)보다 작은 전압 값으로 제어 전압 값을 보정한다. 일 실시예에 따르면, 디코더는 저항 사다리에서 디지털 카운터 값에 따라 한 단계 낮은 양자화된 제 $n+1$ 전압 값을 출력할 수 있다. 여기서 한 단계 낮은 양자화된 전압 값은, 양자화된 전압 값들 중에서 제 n 전압 값보다 미만인 전압 값들 중 가장 큰 전압 값을 의미한다.

[0058] 단계 343에서 유한 상태 머신은 위상 차이가 기 설정된 범위를 초과하는 것에 응답하여, 양자화 제한 여부에 따라 동작을 수행한다.

[0059] 여기서 양자화 제한이란, 전압 값들이 양자화되어 있어 양자화된 제어 전압 값들 중의 어떤 값을 제어 전압 값으로 하더라도 락(lock) 영역의 지연 신호를 출력할 수 없는 것을 의미한다. 예를 들어, 유한 상태 머신이 지연 범위 지시기가 언더 신호를 출력한 것에 응답하여, 지연을 증가시키기 위해 양자화된 전압 값들 중 한 단계 낮은 양자화된 전압 값으로 제어 전압 값을 보정한 결과, 곧바로 지연범위 지시기가 오버 신호를 출력하는 경우가 양자화 제한에 포함되는 경우일 수 있다.

[0060] 단계 344에서, 양자화 제한이 아닌 경우 유한 상태 머신은 위상 차이가 기 설정된 범위를 초과하는 것에 응답하여 제 n 전압보다 큰 전압 값으로 제어 전압 값을 보정할 수 있다. 일 실시예에 따르면, 디코더는 저항 사다리에서 디지털 카운터 값에 따라 한 단계 높은 양자화된 제 $n+1$ 전압 값을 출력할 수 있다. 여기서 한 단계 높은 양자화된 전압 값은, 양자화된 전압 값들 중에서 제 n 전압 값을 전압 값들 중 가장 작은 전압 값을 의미한다.

[0061] 단계 345에서, 유한 상태 머신은 위상 차이가 기 설정된 범위를 초과하는 것에 응답하여, 제 n 전압을 초과하는 전압 값 중 가장 작은 전압 값으로 제어 전압 값을 보정할 수 있다.

[0062] 예를 들어, 제 $n-1$ 전압을 제어 전압 값으로 하여 출력된 지연 신호가 언더 영역의 지연 신호이고, 한 단계 낮은 양자화된 전압 값인 제 n 전압 값을 제어 전압 값으로 하여 출력된 지연 신호가 오버 영역의 지연 신호인 경우, 제 n 전압 값 대신 제 $n-1$ 전압 값으로 단위이득 버퍼를 통하여 스위치 ON 된 루프필터를 충전할 수 있다.

[0063] 이때 전달된 제어 전압 값이 락킹 영역에 해당하는 지연을 생성하지 못하므로, 전류원 제어기는 지연 범위 지시기의 판별 신호를 이용하여 전류원의 스위치를 제어하여 전달된 제어 전압 값을 천천히 낮춰 지연 범위 지시기가 락(lock) 신호를 출력하도록 할 수 있다. 이후 락(lock) 신호가 출력되면, 위상 탐지기 및 차지 펌프를 통하여 파인 락(fine lock) 동작을 수행하여, 락킹 오류(false lock)를 방지할 수 있다.

[0064] 단계 310 내지 단계 350을 수행하는 일 실시예에 따르면, 제1 전압 값을 제어 전압 값으로 하여 출력된 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위보다 미만인 경우, 제어 전압 값은 양자화된 전압 값들 중에서 제1 전압 값보다 작은 제2 전압 값으로 보정될 수 있다. 이후 제2 전압 값을 제어 전압 값으로 하여 출력된 지연된 클록 신호와 기준 클록의 위상 차이가 기 설정된 범위를 초과하는 경우, 양자화된 전압 값들 중에서 제2 전압 값을 초과하는 적어도 하나의 전압 값 중 가장 작은 전압 값인 제3 전압 값으로 제어 전압 값이 보정될 수 있다.

[0065] 한편, 코어스 락(coarse lock)을 위한 제어 전압 값을 찾는 과정을 수행하는 동안, 루프필터의 스위치를 OFF시켜 커패시터를 분리시킴으로써 RC지연을 최소화할 수 있다. 그럼에도 기생성분에 의한 RC지연으로 인해, 저항 사다리에서 생성된 전달하고자 하는 제어 전압 값보다 더 높은 전압이 전압 제어 지연 라인에 전달되어, 코어스 락(coarse lock)에서 내린 결과값(under, lock, over)이 틀릴 수 있어 파인 락(fine lock) 동작을 수행할 때, 락킹 오류(false lock)가 발생할 수 있다.

[0066] 따라서, 루프필터 충전 신호를 출력하는 동안, 에러 검출기가 위상 차이를 모니터링하여 에러를 검출하는 단계

및 에러 검출기가 에러를 검출한 것에 응답하여, 유한 상태 머신이 제어 전압 값을 보정하는 단계가 더 포함될 수 있다.

[0067] 기생성분에 의한 RC지연 및 단위이득 버퍼의 오프셋으로 인해 락킹 오류가 발생하는 것을 방지하기 위해, 에러 검출기는 단위이득 버퍼를 사용하여 루프필터를 충전하는 동안 지연 범위 지시기의 출력을 모니터링할 수 있다. 이때 지연 범위 지시기의 출력이 언더 또는 락이라면 에러가 검출되지 않고, 파인 락 동작을 수행할 수 있다. 지연 범위 지시기의 출력이 오버라면 에러 검출기가 에러를 검출하고, 디지털 카운터는 카운팅 값을 조정할 수 있다.

[0068] 이후 지연을 감소시키기 위해 한 단계 높은 제어 전압 값으로 루프필터 충전을 다시 수행하여, 과도한 지연으로 인한 하모닉 락과 같은 락킹 오류를 피할 수 있다. 과도한 지연에 의한 오류를 최소화하기 위해 에러 검출기는 루프필터 충전 단계 이후에도 몇 주기 동안 지연 범위 지시기의 출력을 모니터링할 수 있다.

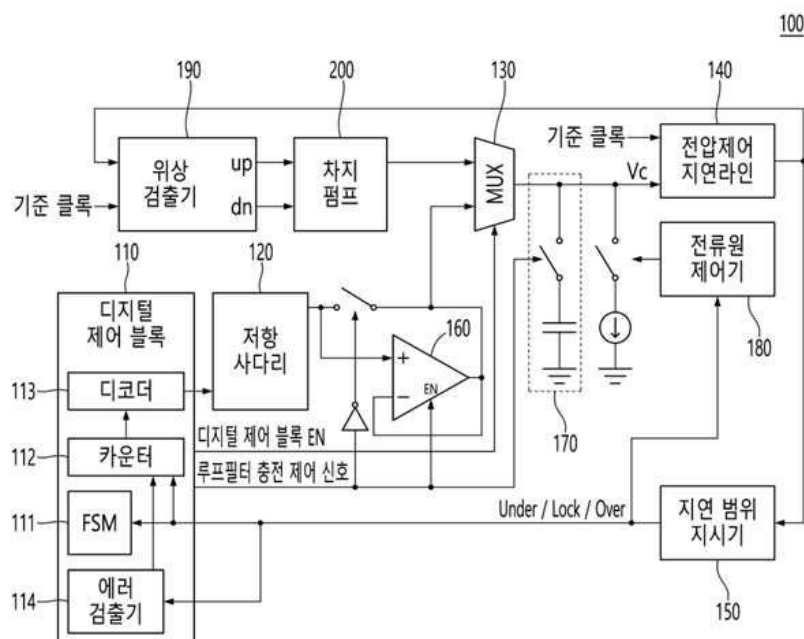
[0069] 상술한 본 발명의 DLL 회로에 의하면, 아날로그 DLL을 간헐적으로 동작 시킬 때 한번 록킹을 통해 찾아 놓은 양자화된 제어 전압 값에 대응하는 디지털 값을, 재 록킹(re-locking) 동작에서 제어 전압 값을 검색하는 과정 없이 재사용할 수 있으므로, 빠른 재 록킹(re-locking)이 가능하다. 빠른 록킹 기능을 가진 DLL은 반복적인 록킹 시 전력 소모를 획기적으로 줄일 수 있어 성능을 크게 향상시킬 수 있다.

[0070] 재 록킹(re-locking) 시 온도, 전압 등의 변화로 이전의 양자화된 제어 전압 값과 현재 필요한 양자화된 제어 전압 값이 다르더라도, 상술한 에러 검출기 및 전류원 제어를 통해 오류를 보상하여 락킹 오류(false lock)를 피할 수 있다.

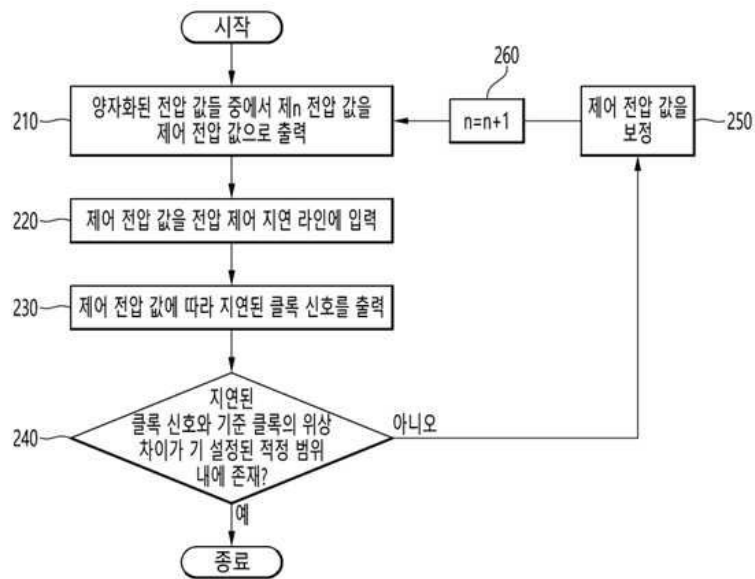
[0071] 본 실시예와 관련된 기술 분야에서 통상의 지식을 가진 자는 상기된 기재의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 방법들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하며, 권리 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점을 포함하는 것으로 해석되어야 할 것이다.

도면

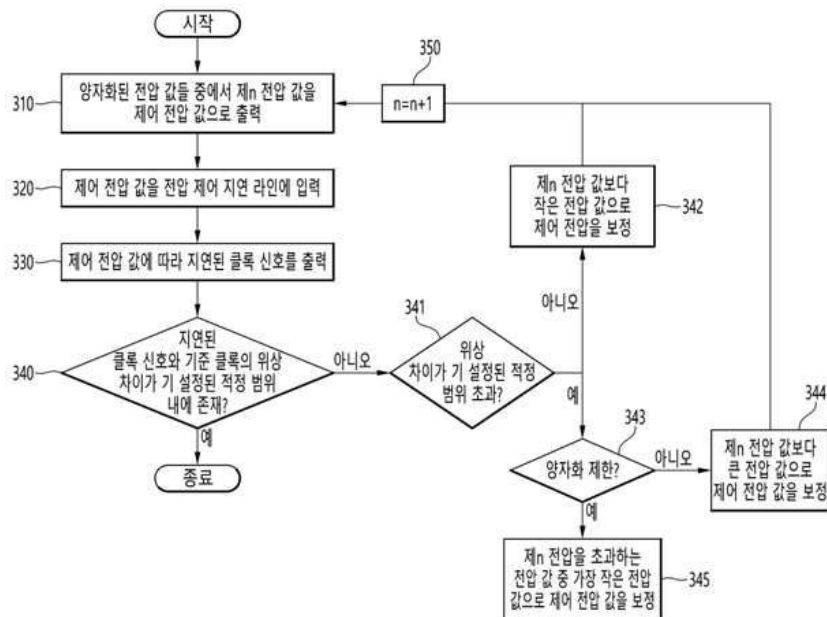
도면1



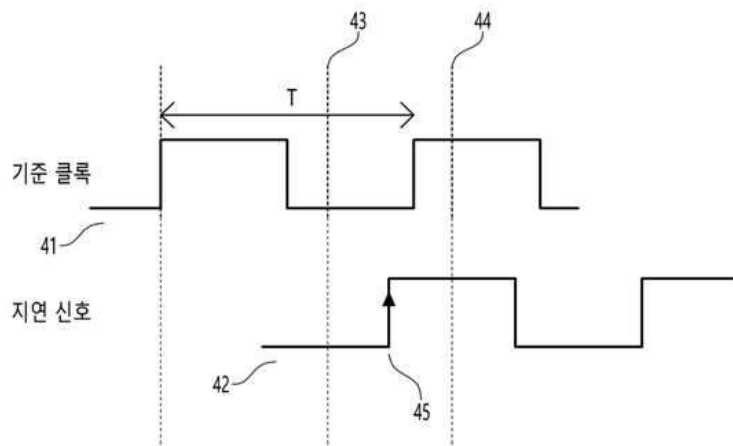
도면2



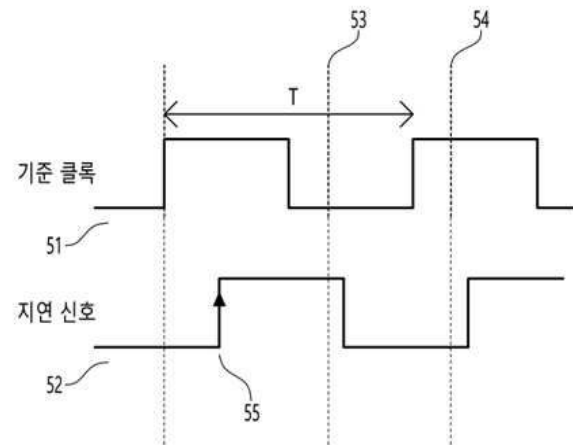
도면3



도면4



도면5



도면6

