

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94131487

※ 申請日期：94 年 9 月 13 日

※IPC 分類：H01L 21/331, 29/73
(2006.01) (2006.01)**一、發明名稱：**(中文/英文)

雙極互補式金氧半導體技術之集極形成方法

METHOD OF COLLECTOR FORMATION IN BiCMOS
TECHNOLOGY**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文) 琳奈 D 安德森/ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國 籍：(中文/英文) 美國/US

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 彼得 J 傑斯/ GEISS, PETER J.

2. 彼得 B 格瑞/ GRAY, PETER B.

3. 艾文 J 喬瑟夫/ JOSEPH, ALVIN J.

4. 劉奇紀/ LIU, QIZHI

國 籍：(中文/英文)

1.-2. 均為美國/ US；

3. 為印度/ IN；4. 為中國大陸/ CN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；西元 2004 年 9 月 21 日；10/711,479

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於雙極及互補式金氧半導體(BiCMOS)技術，特別是，關於包含在元件次集極上的一淺溝槽隔離區域之下的一埋設耐熱金屬矽化物層之一雙極電晶體(NPN 或 PNP)。本發明之雙極電晶體具有降低的集極電阻(R_c)，因此可在高速應用上使用。本發明也關於一種用以製造本發明之雙極電晶體的方法，此雙極電晶體包含一埋設耐熱金屬矽化物層於元件次集極上的淺溝槽隔離區域之下。

【先前技術】

雙極電晶體為具有兩個相互接近的 p-n 接面之電子元件。一個典型的雙極電晶體具有三個元件區域：射極(emitter)、集極(collector)、以及在射極與集極之間的基極(base)。理想上，兩個 p-n 接面(即射極-基極以及集極-基極接面)係在一單層半導體材料上，並以一特定距離分隔。藉由改變鄰近接面的偏壓，而調解在一 p-n 接面中的電流，稱作“雙極電晶體動作(bipolar-transistor action)”。

若射極及集極為摻雜 n 型而基極為摻雜 p 型，則元件為一“NPN”電晶體。另一方面，若使用相反的摻雜組態，則元件為一“PNP”電晶體。因為在 NPN 電晶體的基極區域之少數載子(即電子)的遷移率(mobility)比在 PNP 電晶體的基極中之電洞的遷移率高，所以 NPN 電晶體元件具有較高頻率的動作以及較高速度的性能。因此，用以建立積體電路的雙極電晶體大多數為 NPN 電晶體。

隨著雙極電晶體的垂直尺寸越來越小，而遭遇到嚴重的元件操作限制。一個用以克服這些限制之積極方法為：建立射極材料的能帶隙(band gap)比基極材料的能帶隙大之電晶體。這類的結構可稱作“異質接面(heterojunction)”電晶體。

對多數載子及少數載子元件皆可使用包含異質接面之異質結構。在多數載子元件中，最近已發展出以矽形成射極以及以矽-鍺(silicon-germanium)合金形成基極之異質接面雙極電晶體(HBTs)。矽鍺(SiGe)合金(通常簡單的表示為矽-鍺)的能帶隙比矽窄。

先進的矽-鍺雙極及互補式金氧半導體(BiCMOS)技術係使用一 SiGe 基極於異質接面雙極電晶體。在高速(例如數十億赫茲)架構中，傳統化合物半導體(像是 GaAs 及 InP)在現在的高速有線及無線傳輸市場中佔有主導的地位。SiGe BiCMOS 不但在像是功率放大器之類的元件中具有跟 GaAs 差不多的效能，而且也可大量的降低成本，其係由於異質接面雙極電晶體與標準 CMOS 的整合，而有所謂的“系統晶片(system on a chip)”之稱。

對於高性能的 NPN HBT 製程，需要一低集極電阻 R_c 。目前， R_c 主要來自次集極，其為高度 n 摻雜之矽，且每平方面積為 8 歐姆(8 ohms/square)。n+次集極可說是可製造之最高摻雜矽，用以提供低電阻。雙集極佈局設計為已知可用以降低 R_c 的方法。儘管降低 R_c ，雙集極佈局設計卻增加了集極對基極的電容(C_{cb})，且降低了 NPN 面積。因此，雙集極佈局設計在提升 NPN 性能上有其極限。

鑒於習知 HBTs 的上述缺點，需要提供一種 HBT，具有低集極電阻，而不需像習知的雙集極佈局設計一樣需犧

牲 Ccb 及 NPN 面積。此外，也需要在最不影響一般 BiCMOS 製作流程的情況下，提供這樣的 HBT。

【發明內容】

本發明提供一種異質雙極電晶體，具有比傳統 HBTs 小的 Rc 值，其係藉由提供一埋設耐熱金屬矽化物層於元件之次集極的淺溝槽隔離區域之下而達成。在提供一較低電阻次集極且對 BiCMOS 製程流程的影響最小下，耐熱 (refractory) 金屬矽化物 (例如為矽化鎢 (tungsten silicide))，可在 CMOS 及雙極模組中之持續的高溫熱循環下繼續存在。

以較概括的方式描述，本發明提供一異質雙極電晶體 (HBT)，包含：

- 一基板，包含至少一次集極；
- 一埋設耐熱金屬矽化物層，置於次集極上；以及
- 一淺溝槽隔離區域，置於埋設耐熱金屬矽化物層之一表面上。

本發明之 HBT 可為一 NPN 或一 PNP HBT，較佳為 NPN HBTs。本發明之 HBT 結構更包含位於基板表面之一 SiGe 基極 (base) (其鄰近淺溝槽隔離區域)，以及位於基極上之含多晶矽 (polySi) 的一射極 (emitter)。

除了上述所述之結構外，本發明亦提供製造此 HBT 的方法。特別是，所發明的 HBT 係使用以下步驟而製造：

在包含一次集極的一基板上，形成至少一包含一第一溝槽介電材料之淺溝槽隔離區域；

自至少一淺溝槽隔離區域移除第一溝槽介電材料，以

形成一開口，其暴露了包含次集極之基板的一部分；

在基板之暴露部分上的開口之一部分，形成一耐熱金屬矽化物層，此耐熱金屬矽化物層不會延伸超過開口；以及

在開口之耐熱金屬矽化物層上形成一第二溝槽介電材料，此第二溝槽介電材料不會延伸超過開口。

【實施方式】

本發明提供一 HBT 及其製造方法，此 HBT 具有一埋設耐熱金屬矽化物層於元件之次集極上的一淺溝槽隔離區域之下，現在將更詳細的描述本發明，並參考所伴隨的圖式。需注意的是，圖式並非以正確的比例繪製，而只用以說明本發明。再者，本說明書所提供的圖式描述：在形成 HBT 元件的基極及射極前，基板包含埋設耐熱金屬矽化物層於次集極之淺溝槽隔離區域之下。

值得注意的是，本說明書的圖式只繪示了 HBT 元件區域。為了簡化，不顯示 CMOS 元件區域以及一般 BiCMOS 結構之其他區域。這些未顯示的其他區域係置於顯示的 HBT 區域之周圍。此外，雖然顯示一單一 HBT 元件區域，但本發明可用以形成複數個 HBTs 於一單一基板的頂部。

首先參考圖 1A-1F，其繪示了本發明的一第一實施例。本發明的第一實施例開始於提供一初始結構 10，例如圖 1A 中所示。本發明之結構 10 包含一基板 12，其上設置有一墊堆疊(pad stack)14 及一硬式光罩(hard mask)20。如圖中所示，墊堆疊 14 係位於基板 12 的一表面上，且硬式光罩 20 係位於墊堆疊 14 之一上方暴露表面上。

本發明所實施的基板 12 包含具有例如 Si、SiGe、SiC、SiGeC、GaAs、InAs、InP 或其他 III/V 或 II/VI 化合物半導體之任何半導體基板。基板 12 也可包含一預製的絕緣層上矽(SOI)或絕緣層上矽鍺(SGOI)之基板。在本發明之一較佳實施例中，基板 12 為一含矽(Si-containing)基板，例如 Si、SiGe、SiGeC、SiC、SOI 或 SGOI。或者，基板 12 可包含一堆疊結構，其中一 Si 層(例如磊晶矽(epi-Si)或非晶矽(amorphous Si))係形成於一半導體基板之上。基板 12 可包含各種摻雜區域或井區域。基板 12 可包含一次集極 13，其為顯示於本發明圖式中之基板的部份。圖 1B 清楚的定義次集極 13。如熟此技藝者所周知，次集極 13 連接 HBT 元件至一鄰近的集極區域。次集極 13 係使用熟此技藝者所知的技術而形成。舉例來說，可使用離子植入(ion implantation)以及後續的退火(anneal)來製造次集極 13。

墊堆疊 14 可包含一單層絕緣材料，或可包含絕緣材料的多層堆疊，如圖 1A 所示。可做為墊堆疊 14 之絕緣材料的例示性範例包含氧化物、氮化物、氮氧化物及其中的多層。

墊堆疊 14 可由相同或不同沉積技術來形成，此技術包含例如熱成長(即氧化、氮化或氮氧化)、化學氣相沉積(chemical vapor deposition (CVD))、電漿加強化學氣相沉積(plasma-enhanced chemical vapor deposition (PECVD))、化學溶液沉積(chemical solution deposition)、原子層沉積(atomic layer deposition (ALD))、蒸發(evaporation)及其他類似沉積手段。

特別是，圖 1A 所示墊堆疊 14 包含位於基板 12 表面上的一墊氧化物 16 以及位於墊氧化物 16 上的一墊氮化物

18。墊氧化物 16 一般係藉熱氧化而形成，而墊氮化物 18 一般係藉化學氣相沉積而形成。

墊堆疊 14 的厚度可根據在堆疊上所出現的材料層的數量而變化。在圖中所示的情況中，墊氧化物 16 比覆蓋的墊氮化物 18 薄。一般來說，墊氧化物 16 的厚度為約 3nm 至約 50nm，而以約 5nm 至約 20nm 的厚度較常見。另一方面，墊氮化物 18 一般的厚度為約 50nm 至約 300nm，而以約 100nm 至約 200nm 的厚度較常見。

硬式光罩 20 形成於墊堆疊 14 之一上方大部份的暴露表面上；在此實施例，硬式光罩 20 係形成於墊氮化物 18 的上表面上。硬式光罩 20 係由一絕緣材料所組成，像是使用熟此技藝者所習知的沉積技術，自四乙基矽(tetraethylorthosilicate(TEOS))沉積的一氧化物。硬式光罩 20 係用以做為形成後續淺溝槽隔離區域之一圖案化光罩。硬式光罩 20 的厚度係依據所使用之絕緣材料及沉積程序而變化。一般而言，硬式光罩 20 的厚度為約 50nm 至約 300nm，而以約 100nm 至約 200nm 的厚度較常見。

接著，如圖 1B 所示，形成至少一淺溝槽隔離區域。在圖式中，形成兩個淺溝槽隔離區域 22L 及 22R。“淺溝槽隔離”這個術語表示具有一精確深度的一隔離區域，此深度從基板 12 的頂部表面至溝槽開口的底部表面，約為 0.5 微米或更小。硬式光罩 20 一般在蝕刻溝槽隔離區域後，自表面移除。

至少一淺溝槽隔離區域(22L 及 22R)係使用熟此技藝者所習知的傳統製程而形成，此傳統製程包含例如微影技術(例如施加一光阻材料、利用輻射圖案曝光此光阻以及使用傳統光阻顯影劑而顯影曝光的光阻)、蝕刻(例如濕蝕

刻、乾蝕刻或其結合)及溝槽填充。選擇性地，在溝槽填充前，此溝槽可以一溝槽襯裡材料(trench liner material)作襯裡，此材料例如氧化物、氮化物或氮氧化物。溝槽填充包含一第一溝槽介電材料，像是由傳統技術所沉積的一高密度氧化物或 TEOS。在溝槽填充程序後，可選擇性的使用密化(densification)步驟(例如退火)及/或平坦化(例如化學機械研磨)。

在以第一溝槽介電材料填充溝槽前，一般使用熟此技藝者習知的碳(C)植入程序，將碳植入基板 12 之次集極 13 及集極(未示於圖中)中。

接著，形成一塊狀光罩(block mask)(圖未示)於圖 1B 之結構的頂部，而暴露位在次集極 13 上方之至少一淺溝槽隔離區域 22L，且移除在區域 22L 的第一溝槽介電物，而形成開口 24。開口 24 暴露包含次集極 13 之基板 12 的一表面。塊狀光罩係使用熟此技藝者習知的傳統技術(包含例如微影技術)而形成。

從淺溝槽隔離區域 22 移除第一溝槽介電材料的移除步驟，包含選擇性地移除第一溝槽介電材料的一蝕刻程序。選擇性地從淺溝槽隔離區域 22L 移除第一溝槽介電材料的蝕刻程序之一範例為 HF 浸泡(HP dip)。需注意的是，塊狀光罩的出現避免了從其他淺溝槽隔離區域 22R 移除第一溝槽介電材料。

在從結構移除塊狀光罩後，形成氮化物或氮氧化物之隔離物(spacers)26 於由開口 24 所提供的暴露側邊上。隔離物 26 係藉沉積及蝕刻(例如反應離子蝕刻)而形成。舉例來說，圖 1C 顯示執行完上述步驟後而形成的結果結構。需注意的是，圖 1C 所示的結構係表示本發明最簡單的實施

例。

接著，參考圖 1D，形成耐熱金屬矽化物層 28 於基板 12 之暴露部份的頂部之開口 24 中，即在次集極 13 上。耐熱金屬矽化物層 28 係藉由首先沉積一耐熱金屬層於基板 12 之暴露表面上而形成。若基板 12 不含矽，則可在耐熱金屬層沉積前，形成一矽層於基板 12 之暴露表面上。耐熱金屬層可以一選擇性(selective)或一非選擇性(non-selective)的沉積程序而形成。當使用一選擇性的沉積程序時，耐熱金屬層係完全形成於開口 24 內。當使用一非選擇性的沉積程序時，耐熱金屬層也會形成於開口 24 外部。

選擇性沉積程序的例示性範例包含(但不限於)化學氣相沉積(CVD)，而非選擇性沉積程序的例示性範例包含(但不限於)：化學氣相沉積、電漿加強化學氣相沉積(PECVD)及濺鍍(sputtering)。

本發明所使用的術語“耐熱金屬(refractory metal)”係表示不易被腐蝕或熔化的含金屬(metal-containing)材料(元素金屬或金屬合金)，但當在高溫與矽反應時，仍能形成一矽化物。本發明可使用的耐熱金屬的例子包含(但不限於)：Ti、Co、W、Ta、Ni 及合金。在此所使用的“合金”這個術語表示元素耐熱金屬的混合物以及包含一合金成份添加物(例如 Si)的元素耐熱金屬。較佳的耐熱金屬包含 Co、Ta、及 W，其中又以 W 最佳，因為 W 的矽化物能夠抵擋用在形成一 BiCOMS 元件之加熱循環的更高溫狀態。

形成耐熱金屬矽化物層 28 所使用的耐熱金屬層厚度可隨沉積技術及所使用的耐熱金屬種類而變化。一般而言，耐熱金屬層的厚度為約 5nm 至 150nm，其中以約 10nm

至 100nm 的厚度較常見。

接著，對包含耐熱金屬層的結構進行退火(anneal)，以形成耐熱金屬矽化物層 28 於基板 12 之暴露部份的頂部之開口 24 中，即在次集極 13 上。執行退火直到矽化物係形成於其最低電阻的狀態。對於某些耐熱金屬(像是 Ni)，需要一單一退火步驟以轉換耐熱金屬層為一低電阻矽化物層，然而對其他耐熱金屬，像是 Ti 及 W，使用一第一退火步驟以轉換這些耐熱金屬為高電阻的金屬矽化物，接著還需要使用一第二退火以轉換高電阻金屬矽化物至其最低電阻的狀態。

一般執行第一退火步驟的溫度約為 400°C 至 700°C，時間約為半分鐘至 30 分鐘。第一退火一般係在一惰性氣體(像是 He、Ar、Ne、Xe、Kr、N₂ 或其混合物)中實施。本發明可使用一單一上升率(ramp-up rate)而無論有無浸泡(soaking)，也可使用多重上升率而無論有無浸泡(soaking)。

在第一退火期間，耐熱金屬與矽交互作用及反應，而形成一耐熱金屬矽化物。在交互作用及後續反應期間，會消耗大多數的耐熱金屬及部分的矽。

第一退火後，利用化學蝕刻劑(像是無機酸)將任何未反應的金屬自結構中移除。需注意的是，當使用非選擇性的沉積程序時，此蝕刻步驟不但移除形成於開口 24 外部的耐熱金屬，也移除了在開口 24 內的任何未反應金屬。

若有需要，此時可執行第二退火步驟，以將先前所形成的矽化物轉換為較低電阻的矽化物。第二退火步驟一般係在比第一退火步驟要高的退火溫度下執行。舉例來說，一般執行第二退火步驟的溫度約為 700°C 至 1100°C，時間約為 10 秒鐘至 5 分鐘。第二退火一般也在一惰性環境下

實施，像是前述關於第一退火步驟的環境。本發明可使用一單一上升率(ramp-up rate)而無論有無浸泡(soaking)，也可使用多重上升率而無論有無浸泡(soaking)。

移除未反應金屬的上述步驟(即第一退火)，以及選擇性的第二退火，皆為習知的矽化步驟。

如前所述，圖 1D 顯示在形成耐熱金屬矽化物 28 後所形成的結構。需注意的是，耐熱金屬矽化物 28 係包含於開口 24 內，即其沒有延伸超過開口 24。

在矽化物形成後，形成一第二溝槽介電材料 30，如圖 1E 所示之結構。第二溝槽介電質 30 一般為一氧化物，像是 TEOS 或一高密度氧化物。第二溝槽介電質 30 係藉一傳統沉積程序(像是 CVD 或是電漿加強 CVD)而形成。在沉積後，第二溝槽介電質 30 一般具有約 200nm 至 600nm 的厚度。

接著，對包含第二溝槽介電質 30 的結構實施一平坦化程序，像是一化學機械研磨或拋光(grinding)，以提供如圖 1F 所示之實質平坦化結構。特別是，如圖所示，平坦化第二介電層 30 至墊堆疊 14 的上表面，即墊氮化物 18 提供包含第二溝槽介電質 30 的一新的淺溝槽隔離區域 22L'。

在平坦化程序後，可使用熟此技藝習知的傳統 BiCMOS 製程而形成 HBT 及其他元件。例如，在 HBT 元件區域中，可藉由傳統的基極後射極(base-after emitter)或基極前射極(base-before emitter)之製程技術而形成一 SiGe 基極區域以及包含一多晶矽(polySi)射極的一射極區域。

因為耐熱金屬矽化物 28 存在於基板 12 之次集極 13 上的淺溝槽隔離區域 22L' 之下，所以包含圖 1F 所示結構

之 HBT 結構可降低 R_c 。耐熱金屬矽化物 28 在集極接觸(圖未示)以及基極接觸(圖未示)下延伸。

圖 1A 至 1F 描述本發明之一實施例。圖 2A 至 2E 描述本發明之一第二實施例，其中一耐熱金屬矽化物係形成於一開口中，此開口包含一選擇性(但較佳)的底切(undercut)區域。本發明的第二實施例開始於提供本發明之圖 1B 所示的結構。

接著，形成一含氮化物(nitride-containing)層 32(像是氮化矽或氮氧化矽)於包含硬式光罩 20 及淺溝槽隔離區域 22R 及 22L 之整體結構的頂部。含氮化物層 32 係藉傳統沉積程序而形成，例如 CVD、PECVD、化學溶液沉積及其類似程序。含氮化物層 32 一般的厚度約為 5nm 至 200nm，更常見的厚度約為 10nm 至 100nm。

接著，形成於一圖案化光阻 34 於包含含氮化物層 32 之結構(例如，圖 2A 所示的結構)的頂部。圖案化光阻 34 包含位於淺溝槽隔離區域 22L 之上的一開口 35。包含開口 35 的圖案化光阻 34 係藉微影技術而形成。

在提供了圖 2A 所示的結構後，藉由蝕刻含氮化物層 32 及部分的淺溝槽隔離區域 22L，而使開口 35 延伸進入淺溝槽隔離區域 22L。需注意的是，圖案化光阻 34 具有延伸超過淺溝槽隔離區域 22L 之側邊的側邊，使得圖案化光阻 34 保護淺溝槽隔離區域 22L 的一部分。

用以延伸開口 35 的蝕刻步驟包含選擇性地移除氧化物上的氮化填塞物(stopping)之一第一蝕刻步驟，以及定時且選擇性地移除氧化物之一第二蝕刻步驟。在某些實施例中，用以延伸開口 35 的第一及第二蝕刻步驟可結合為一單一蝕刻步驟，其首先移除未被圖案化光阻 34 保護的氮

化物層 32 之暴露部份，再移除淺溝槽隔離區域 22L 之底下的第一介電材料之一部分。在使用傳統剝除(stripping)程序而蝕刻後，移除圖案化光阻 34。

在此蝕刻(其延伸了開口 35)之後，形成氮化物或氮氧化物隔離物 26 於延伸開口 35 之暴露側邊上。圖 2B 顯示包含延伸開口 35 及隔離物 26 的結果結構。需注意的是，隔離物 26 也可以上述之本發明第一實施例而形成。

接著，利用選擇性地移除第一溝槽介電材料(即填塞在基板 12 表面上的氧化物)之一濕蝕刻程序，而移除淺溝槽隔離區域 22L 之剩餘第一溝槽介電質。現在，可選擇性地實施側向蝕刻(lateral etch)，以提供底切(undercut)區域 36 於延伸開口 35 上。底切區域 36 係較佳的，因為它可確保矽化物將會接近射極區域。可藉由濕式化學蝕刻(像是含 HF 蝕刻劑)實施此側向蝕刻。

接著，如前述形成一耐熱金屬層。圖 2D 顯示藉由一非選擇性沉積程序形成耐熱金屬層(元件符號為 27)的一實施例。雖然圖式繪示藉由非選擇性沉積方法而形成耐熱金屬層 27，但是第二實施例也可考慮上述選擇性沉積方法。

在所描述的情況中，接著移除在開口 35 外部的耐熱金屬層 27，如圖 2E 所示。接著實施上述製程步驟(即矽化物的形成)，以及第二溝槽介電材料 30 的形成及平坦化，以提供類似圖 1F 所示之實質地平坦化之結構，除了以矽化物填充的底切區域之外。接著，可在包含以耐熱金屬矽化物填充之底切區域的實質平坦化結構上，執行 CMOS 製程及雙極電晶體的形成。

雖然本發明結合特定較佳實施例特別地說明，然而先前的描述僅係用以說明，而非用以限制本發明。應了解的

是，熟此技藝者可對本發明做許多的修改和變化而不脫離本發明的範疇，因此本發明的範圍應由下述申請專利範圍所界定。

【圖式簡單說明】

圖 1A-1F 為截面圖之圖式表示，描述在本發明所實施之基本製程步驟，供集極的矽化，其中圖 1F 所示結構為形成 HBT 於其上的一模板；以及

圖 2A-2E 為描述本發明另一實施例之截面圖的圖式表示。

【主要元件符號說明】

10、結構	12、基板
13、次集極	14、墊堆疊
16、墊氧化物	18、墊氮化物
20、硬式光罩	22L、淺溝槽隔離區域
√22L'、氮化物層	22R、氮化物層
24、開口	26、隔離物
27、耐熱金屬層	28、耐熱金屬矽化物層
√30、溝槽介電材料	32、氮化物層
34、圖案化光阻	35、開口
36、底切區域	

五、中文發明摘要：

提供一種異質雙極電晶體(heterobipolar trnsistor (HBT))，供高速雙極互補式金氧半導體(BiCMOS)應用，其中，藉由提供一埋設耐熱金屬矽化物層(buried refractory metal silicide layer)於元件之次集極(subcollector)的淺溝槽隔離區域(shallow trench isolation region)之下，而降低集極電阻(R_c)。特別是，本發明之HBT包含：具有至少一次集極的一基板；位於次集極上的一埋設耐熱金屬矽化物層；以及位於埋設耐熱金屬矽化物層之一表面上的一淺溝槽隔離區域。本發明亦提供製造此HBT的方法。此方法包含：形成一埋設耐熱金屬矽化物層於元件之次集極的淺溝槽隔離區域之下。

六、英文發明摘要：

A heterobipolar transistor (HBT) for high-speed BiCOMS applications is provided in which the collector resistance, R_c , is lowered by providing a buried refractory metal silicide layer underneath the shallow trench isolation region on the subcollector of the device. Specifically, the HBT of the present invention includes a substrate including at least a subcollector; a buried refractory metal silicide layer located on the subcollector; and a shallow trench isolation region located on a surface of the buried refractory metal silicide layer. The present invention also provides a method of fabricating such a HBT. The method includes forming a buried refractory metal silicide underneath the shallow trench isolation region on the subcollector of the device.

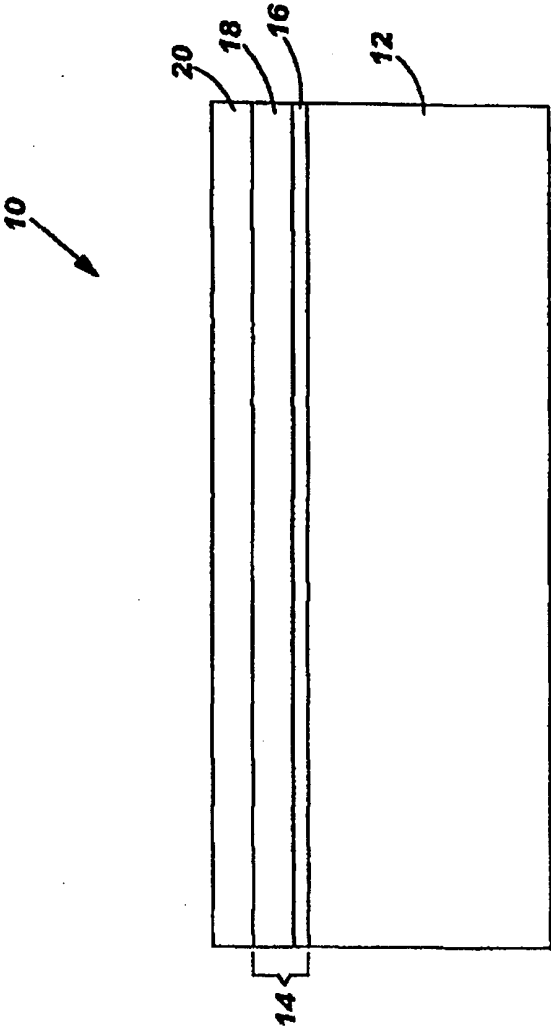
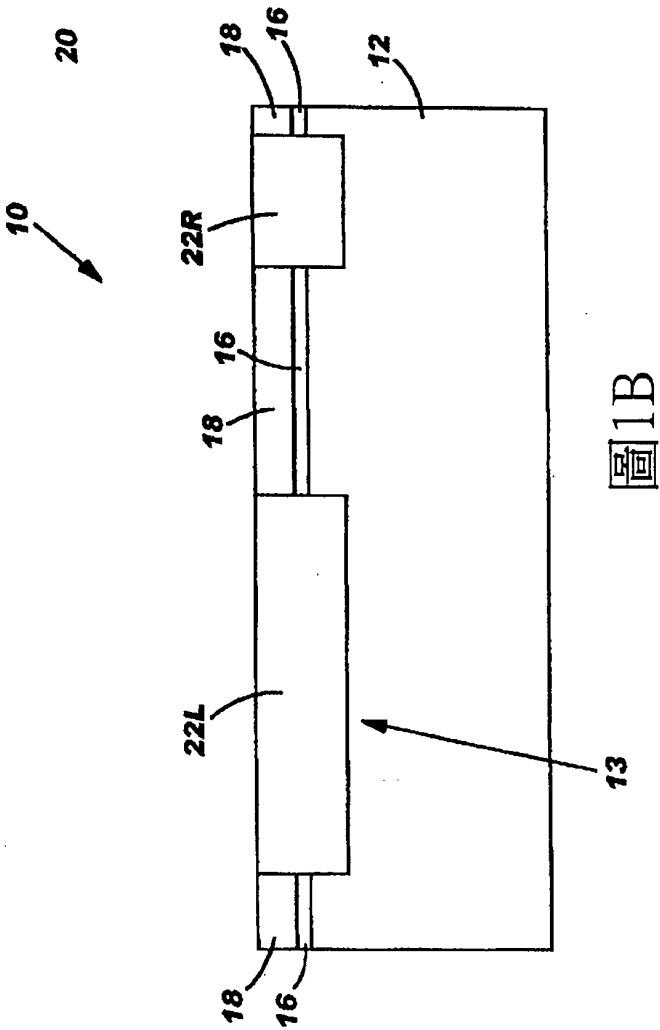
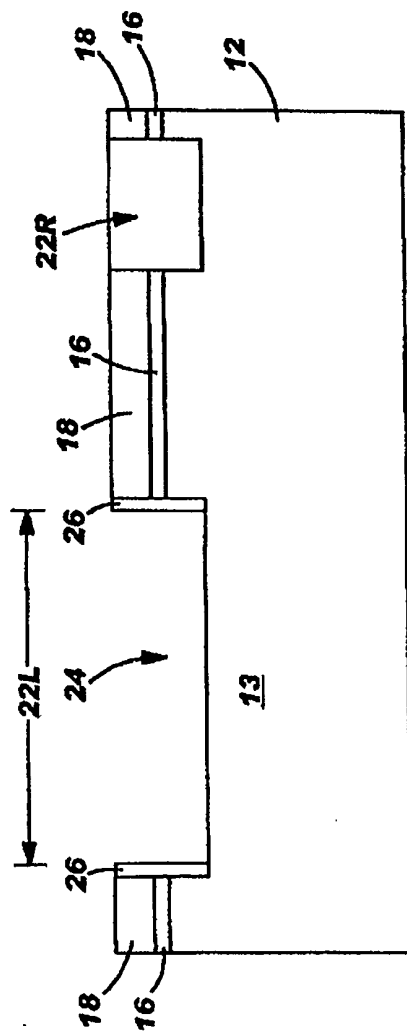
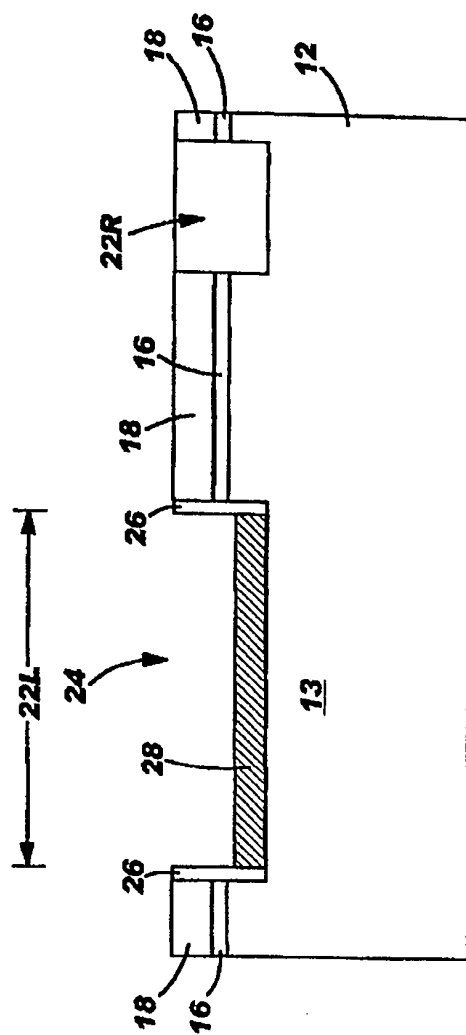


圖1A





四一



回

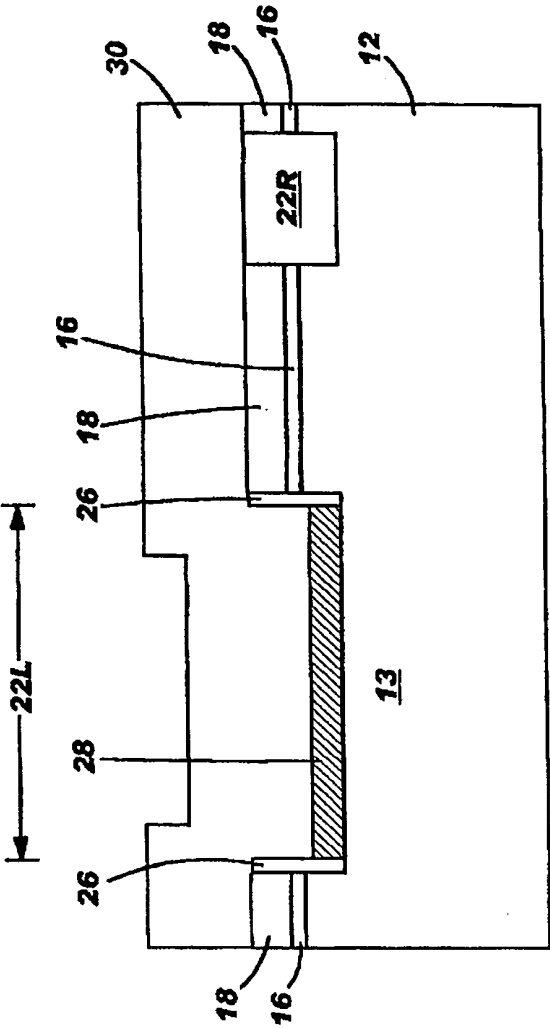


圖1E

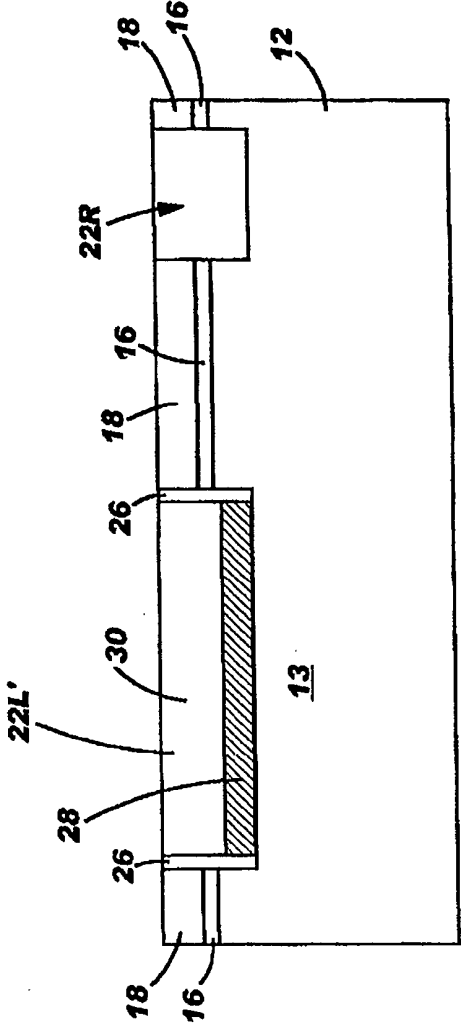


圖1F

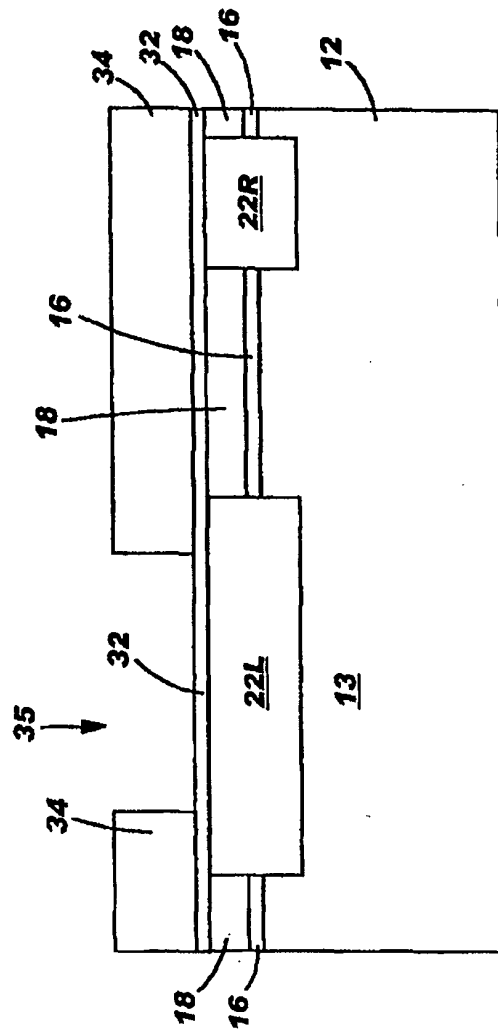


圖 2A

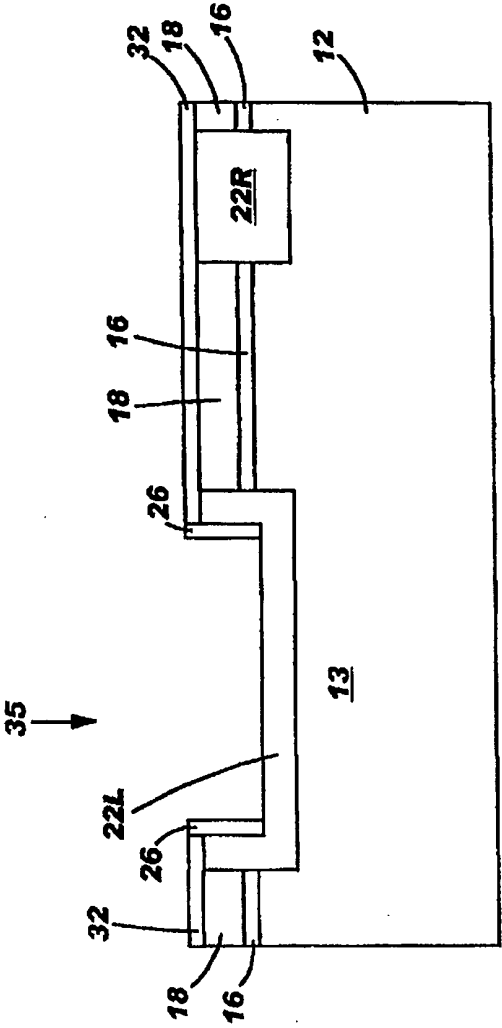


圖2B

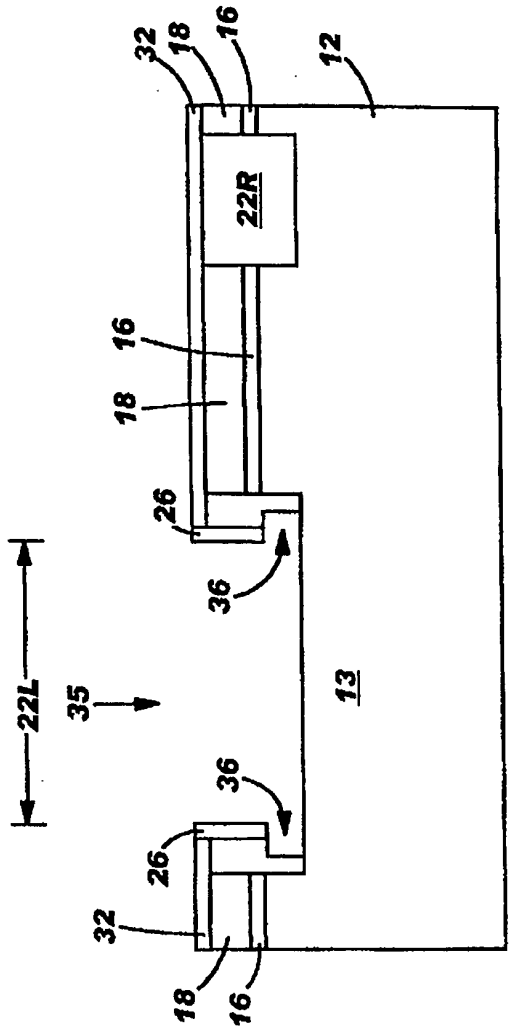


圖2C

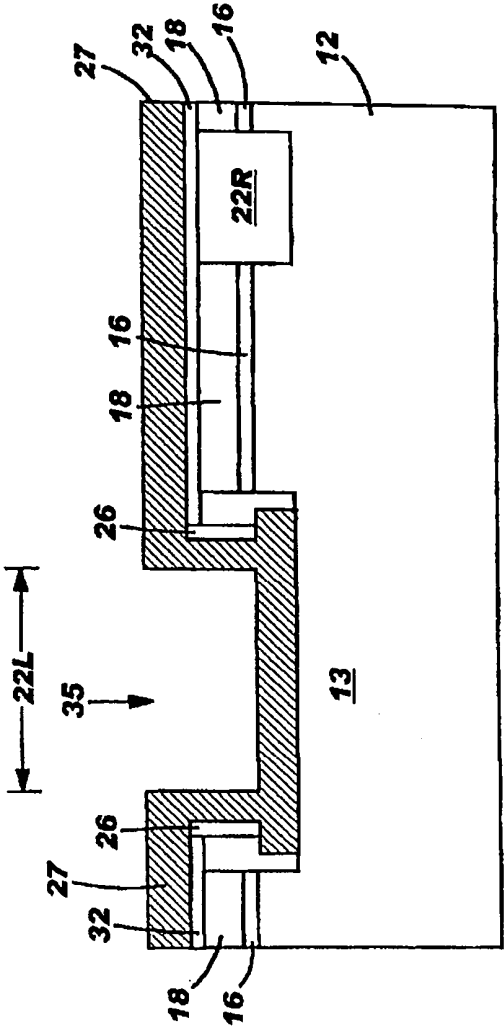


圖2D

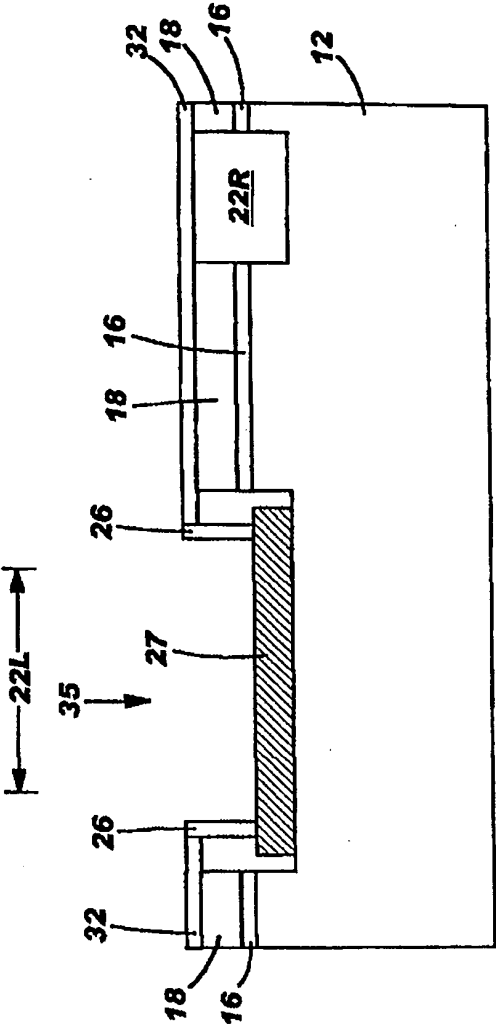


圖2E

七、指定代表圖：

(一)本案指定代表圖為：圖 1F。

(二)本代表圖之元件符號簡單說明：

12、基板

13、次集極

16、墊氧化物

18、墊氮化物

22L'、氮化物層

22R、氮化物層

26、隔離物

28、耐熱金屬矽化物層

30、溝槽介電材料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種異質雙極電晶體(heterobipolar trnsistor (HBT))，包含：
一基板，包含至少一次集極(subcollector)；
一埋設耐熱金屬矽化物層(buried refractory metal silicide layer)，置於該次集極上；以及
一淺溝槽隔離區域(shallow trench isolation region)，置於該埋設耐熱金屬矽化物層之一表面上；
其中該耐熱金屬矽化物層延伸而超過該淺溝槽隔離區域的邊緣，使得該耐熱金屬矽化物層的一部分呈現於一底切(undercut)區域上。
2. 一種異質雙極電晶體(heterobipolar trnsistor (HBT))，包含：
一基板，包含至少一半導體部分及一次集極(subcollector)，其中該半導體部分包含一半導體材料，該次集極包含該半導體材料及一摻質(dopant)，且該次集極直接置於(located)該半導體部分上及其上方；
一埋設耐熱金屬矽化物層(buried refractory metal silicide layer)，緊鄰(abutting)且直接置於該次集極上及其上方；以及
一淺溝槽隔離區域(shallow trench isolation region)，垂直地緊鄰該埋設耐熱金屬矽化物層之一表面。
3. 如請求項1或2所述之異質雙極電晶體，其中該基板包含選自以下材料的一半導體基板：Si、SiGe、SiC、SiGeC、GaAs、InAs、InP、絕緣層上矽(silicon-on-insulators)、絕緣層上矽鍺(silicon germanium-on-insulators)、以及其他 III/V 或 II/VI 化合物半導體。

4. 如請求項 3 所述之異質雙極電晶體，其中該半導體基板係包含矽(Si-containing)
5. 如請求項 1 或 2 所述之異質雙極電晶體，其中該次集極係摻雜碳(C)。
6. 如請求項 2 所述之異質雙極電晶體，其中該淺溝槽隔離區域及該埋設耐熱金屬矽化物層係置於包含氮化物或氮氧化物隔離物(spacers)之一開口。
7. 如請求項 1 或 2 所述之異質雙極電晶體，其中該耐熱金屬矽化物層包含 Ti、Co、W、Ta、Ni 或其合金之一矽化物。
8. 如請求項 7 所述之異質雙極電晶體，其中該耐熱金屬矽化物層包含 Co、Ta 或 W 之一矽化物。
9. 如請求項 8 所述之異質雙極電晶體，其中該耐熱金屬矽化物層包含 W 之一矽化物。
10. 如請求項 1 或 2 所述之異質雙極電晶體，其中該淺溝槽隔離區域包含一溝槽介電材料。
11. 如請求項 1 或 2 所述之異質雙極電晶體，更包含一 SiGe 基極(base)及一多晶矽(polySi)射極(emitter)於包含該次集極之該基板上。
12. 一種異質雙極電晶體(heterobipolar trnsistor (HBT))，包含：

一基板，包含至少一半導體部分及一次集極(subcollector)，其中該半導體部分包含一半導體材料，該次集極包含該半導體材料及一摻質(dopant)，且該次集極直接置於(located)該半導體部分上及其上方；

一埋設耐熱金屬矽化物層(buried refractory metal silicide layer)，緊鄰(abutting)且直接置於該次集極上及其上方；

一淺溝槽隔離區域(shallow trench isolation region)，緊鄰該埋設耐熱金屬矽化物層之一表面；以及

一氧化物或氮化物隔離物(spacers)，橫向地緊鄰該且置於該埋設耐熱金屬矽化物層上方。

13. 如請求項 12 所述之異質雙極電晶體，其中該淺溝槽隔離區域(shallow trench isolation region)，垂直地緊鄰該埋設耐熱金屬矽化物層之一表面。

14. 如請求項 13 所述之異質雙極電晶體，更包含另一淺溝槽隔離區域，其並未緊鄰該淺溝槽隔離區域，且置於該半導體部分上方及該基板內。

15. 一種用以製造一異質雙極電晶體之方法，包含以下步驟：

在包含一次集極的一基板上形成至少一淺溝槽隔離區域，該至少一淺溝槽隔離區域包含一第一溝槽介電材料；

自該至少一淺溝槽隔離區域移除該第一溝槽介電材料，以形成暴露包含該次集極之該基板的一部分之一開口；

在該基板之該暴露部分上的該開口之一部分，形成一耐熱金屬矽化物層，該耐熱金屬矽化物層不會延伸超過該開口；以及

在該開口之該耐熱金屬矽化物層上形成一第二溝槽介電材料，該第二溝槽介電材料不會延伸超過該開口。

16. 如請求項 15 所述之方法，其中該至少一淺溝槽隔離區域係藉以下形成：微影技術(lithography)、蝕刻及溝槽填充(trench fill)。

17. 如請求項 16 所述之方法，更包含密化(densification)或平坦化(planarization)程序之其中至少一個。

18. 如請求項 16 所述之方法，更包含在溝槽填充前，摻雜碳(C)於該次集極中。

19. 如請求項 15 所述之方法，其中移除該第一溝槽介電材料之該步驟包含一選擇性的蝕刻程序。

20. 如請求項 15 所述之方法，更包含在移除該第一溝槽介電材料及形成該耐熱金屬矽化物之該步驟之間，形成氮化物或氮氧化物隔離物(spacers)。

21. 如請求項 15 所述之方法，其中形成該耐熱金屬矽化物層之該步驟包含：

沉積一耐熱金屬層以及退火。

22. 如請求項 21 所述之方法，更包含在沉積前形成一矽層。

23. 如請求項 21 所述之方法，其中該沉積步驟包含一選擇性

(selective)的沉積程序。

24. 如請求項 21 所述之方法，其中該沉積步驟包含一非選擇性(non-selective)的沉積程序。

25. 如請求項 21 所述之方法，其中該退火包含一第一退火步驟及移除未反應的(unreacted)耐熱金屬。

26. 如請求項 25 所述之方法，其中該第一退火步驟係在溫度約為 400°C 至 700°C 之下實施。

27. 如請求項 21 所述之方法，更包含一第二退火步驟，在該移除未反應的耐熱金屬之步驟後執行。

28. 如請求項 27 所述之方法，其中該第二退火步驟係在溫度約為 700°C 至 1100°C 之下實施。

29. 如請求項 15 所述之方法，其中移除該第一溝槽介電材料之該步驟包含：

形成一圖案化光阻層(patterned photoresist)，以保護該至少一淺溝槽隔離區域之一部分。

30. 如請求項 29 所述之方法，更包含使用一側向蝕刻程序(lateral etching process)而形成一底切(undercut)區域。

31. 一種異質雙極電晶體(heterobipolar transistor (HBT))，包含：
一基板，包含至少一半導體部分及一次集極，其中該半導

體部分包含一半導體材料，該次集極包含該半導體材料及一摻質，且該次集極直接置於該半導體部分上及其上方；

一埋設耐熱金屬矽化物層，緊鄰且直接置於該次集極上及其上方；以及

一淺溝槽隔離區域(shallow trench isolation region)，垂直地緊鄰該埋設耐熱金屬矽化物層之一表面且置於該半導體部分上方。

32. 如請求項 31 所述之異質雙極電晶體，更包含一氧化物或氮化物隔離物，橫向地緊鄰該且置於該埋設耐熱金屬矽化物層上方。

33. 如請求項 32 所述之異質雙極電晶體，其中該氧化物或氮化物隔離物垂直地緊鄰該次集極。

34. 如請求項 32 所述之異質雙極電晶體，更包括一環形(ring-shaped)氧化物部分橫向地緊鄰該氧化物或氮化物的一外側壁且置於該基板內。

35. 如請求項 34 所述之異質雙極電晶體，其中該環形氧化物部分的一內側壁橫向地緊鄰該埋設耐熱金屬矽化物層的外側壁。

36. 如請求項 35 所述之異質雙極電晶體，其中該環形氧化物部分的另一內側壁橫向地緊鄰該氧化物或氮化物的該外側壁，及其中該環形氧化物部分的一表面上的一水平台階垂直地位於該內側壁及橫向地緊鄰該埋設耐熱金屬矽化物層的該另一側壁之間。

37. 如請求項 31 所述之異質雙極電晶體，更包含另一淺溝槽隔離區域，其並未緊鄰該淺溝槽隔離區域，且置於該半導體部分上方及該基板內。

38. 如請求項 34 所述之異質雙極電晶體，其中該淺溝槽隔離區域垂直地緊鄰該埋設耐熱金屬矽化物層之一表面。