

(此處由本局於收
文時黏貼條碼)

發明專利說明書200425468

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 93104540

※申請日期： 93.2.24

※IPC 分類： H01L 27/04

壹、發明名稱：(中文/英文)

半導體積體電路裝置

SEMICONDUCTOR IC DEVICE

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

羅沐股份有限公司

ROHM CO., LTD.

代表人：(中文/英文) 佐藤研一郎 / SATO, KENICHIRO

住居所或營業所地址：(中文/英文)

日本國京都府京都市右京區西院溝崎町 21 番地

21, Saiin Mizosaki-cho, Ukyo-ku, Kyoto-shi, Kyoto, Japan

國籍：(中文/英文) 日本國 / JAPAN

參、發明人：(共3人)

姓名：(中文/英文)

1. 山本精一 / YAMAMOTO, SEIICHI

2. 前田記寛 / MAEDA, NORIHIRO

3. 上田豊和 / UEDA, TOYOKAZU

住居所地址：(中文/英文)

1. 2. 3. 地址同

日本國京都府京都市右京區西院溝崎町 21 番地 羅沐股份有限公司內
c/o ROHM CO., LTD., 21, Saiin Mizosaki-cho, Ukyo-ku, Kyoto-shi, Kyoto,
Japan

國籍：(中文/英文)

1. 2. 3. 日本國 / JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本國；2003 年 02 月 26 日；特願 2003-048369 (主張優先權)
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於具有使大電流流動之功率 MOSFET 或功率雙極(bipolar)電晶體等功率電晶體之半導體積體電路裝置。

【先前技術】

以往在如馬達驅動器等裝置，針對用以驅動負載而使大電流流動之功率電晶體之半導體積體電路裝置，為防止功率電晶體流動規定以上電流而破壞，乃設置用以檢出流動於功率電晶體之電流量之電流檢出電路及過電流保護裝置。此種電流檢出電路及過電流保護裝置，係藉由對於包括功率電晶體之電路直接連接電流檢出用之電阻，以施行電流檢出者。

但，亦有對具有功率電晶體之半導體積體電路，供給 5v 等較低之電源電壓而使用之情形。此時，為了廣泛保持供給至負載的電壓之動態範圍(dynamic range)，必須對供給負載之電壓的電壓下降予以抑制。因此，如考慮直接連接至含功率電晶體之電路的電流檢出用之電阻所產生的電壓下降，則其對供給較低電源電壓之半導體積體電路裝置並非為適當之構成。

以採用抑制此種電壓下降之電流檢出電路或過電流保護裝置之先前技術而言，在日本專利特公平 7-120221 號公報，特公平 8-34222 號公報，特開 2002-16219 號公報，特開 2002-26707 號公報，及特開 2002-280886 號公報中，均

揭示一種附帶過電流保護功能之功率 MOSFET，具備依據來自汲極與閘極與功率電晶體之汲極與閘極成為相同電位的電晶體之電流大小，而進行流動於功率電晶體之電流保護。此外，作為先前技術，在特開平 6-61432 號公報中係揭示一種將與功率 FET 並聯連接的感測(sense)FET 及功率 FET，分別連接至運算放大器(operation amplifier)之輸出端子，再確認該運算放大器之輸出端子與感測 FET 側之輸入端子之間之電位差來進行電流檢出。

以上述特公平 7-120221 號公報，特公平 8-34222 號公報，特開 2002-16219 號公報，特開 2002-26707 號公報，及特開 2002-280886 號公報所揭示之電路構成的過電流保護電路及電流檢出電路而言，係除藉由檢測來自汲極及閘極與功率電晶體之汲極及閘極成為相同電位之電晶體之電流，以進行功率電晶體之電流檢出，但該電晶體之源極與功率電晶體之源極，並不強制構成為同電位。因此，因為用於電流檢出之電晶體，與功率電晶體並非是完全相同的動作狀態，所以，會有不能檢出與流動於功率電晶體之電流成比例之電流之情形。

又，上述特開平 6-61432 號公報所述電路構成之半導體裝置，因為是將電阻連接於運算放大器之反轉輸入端子與輸出端子之構成，所以即使從運算放大器之反轉輸入端子側的感測 FET 之源極電流，輸出作為檢出電流，感測 FET 之源極電流之一部份亦會經電阻流入運算放大器。所以，感測 FET 之源極電流並非完全輸出，而會成為依其動

作狀態而變動之值。因此必須作成按照運算放大器之輸出端子側之電壓與運算放大器反轉輸入端子側之電壓的差分，以檢測出流動於功率 FET 之電流之構成。

又此時，為了要使感測 FET 之源極電流流動於連接在運算放大器之輸出端子與反轉輸入端子間之電阻，而需要將運算放大器之反轉輸入端子側，連接至不會流入比較器 (comparator) 或運算放大器之輸入端子等之電流的電路段。亦即，必須在更後段設置作為電壓放大段之電路。還有，為了輸出作為電流信號，必須將該電壓放大段設為電壓電流轉換電路段。

【發明內容】

有鑑於上述問題，本發明之目的在提供一種半導體積體電路裝置，除了將電流檢出用電晶體設成與功率電晶體為相同動作狀態外，並同時輸出電流信號作為檢測用信號。

為達成上述目的，本發明半導體積體電路裝置具備：

對負載輸出大電流之功率電晶體；

具有第 2 電極及控制電極分別連接於前述功率電晶體之第 2 電極及控制電極之第 1 電晶體；

具有第 1 及第 2 電極之第 2 電晶體，將該第 1 及第 2 電極之一方電極連接於該第 1 電晶體之第 1 電極；

將一方輸入端子連接於前述功率電晶體之第 1 電極，另一方輸入端子則連接於前述第 1 電晶體之第 1 電極，同時前述第 2 電晶體之控制電極連接於輸出端子之運算放大

器；

於是，可由前述第 2 電晶體之第 1 及第 2 電極的另一方電極，輸出與流動前述功率電晶體之電流成比例之電流信號。

又，本發明半導體積體電路裝置具備：

對負載輸出大電流之功率電晶體；

具有第 2 電極及控制電極分別連接於前述功率電晶體之第 2 電極及控制電極之第 1 電晶體；

具有第 2 電極連接該第 1 電晶體之第 1 電極的第 2 電晶體；以及

控制電極連接於前述功率電晶體之第 1 電極，同時有第 2 電極連接於前述第 2 電晶體之控制電極的第 3 電晶體；

於是，可由前述第 2 電晶體之第 1 電極，輸出與流動前述功率電晶體之電流成比例之電流信號。

【實施方式】

(第 1 實施形態)

以下參照附圖，說明本發明之第 1 實施形態。第 1 圖為表示具有本實施形態之功率電晶體的半導體積體電路裝置的內部構成之電路方塊圖。

第 1 圖之半導體積體電路裝置，係由供給電流至負載 L 的功率電晶體 M1；分別將閘極及源極連接於功率電晶體 M1 之閘極及源極的電晶體 M2；將非反轉輸入端子連接於功率電晶體 M1 之汲極，並同時將反轉輸入端子連接於電

晶體 M2 之汲極之運算放大器 A；及將閘極連接於運算放大器 A 之輸出端子，並同時將源極連接於電晶體 M2 之電晶體 M3 所構成。

又，功率電晶體 M1 及電晶體 M2 之源極，除經由接地用端子 10 接地，並同時對於功率電晶體 M1 及電晶體 M2 之閘極，經由控制用端子 11 輸入控制信號。又，功率電晶體 M1 之汲極係經由負載用端子 12 與負載 L 連接。又，在電晶體 M3 之汲極設有輸出檢出電流之檢出用端子 13。還有，功率電晶體 M1 及 M2，M3，均係 N 通道(channel)之 MOSFET。又，藉由電晶體 M3 及運算放大器 A 構成負回授電路。

在構成此種半導體積體電路裝置時，因運算放大器 A 之反轉輸入端子及非反轉輸入端子之電壓幾乎相等，所以分別施加於功率電晶體 M1 及電晶體 M2 之汲極之電壓幾乎相等。因此，由於功率電晶體 M1 及電晶體 M2 連接有個別的源極及閘極，所以分別施加於汲極及源極及閘極之電壓即變成相等。

如上所述，藉由將施加於功率電晶體 M1 及電晶體 M2 之各電極之電壓予以均等化，可使流動於電晶體 M2 之汲極電流，成為與流動於功率電晶體 M1 之汲極電流成比例之值。亦即，假設功率電晶體 M1 之閘極寬度及閘極長度為 $W1$ 、 $L1$ ，而電晶體 M2 之閘極寬度及閘極長度為 $W2$ 、 $L2$ ，則相對於功率電晶體 M1 之汲極電流 $I1$ ，電晶體 M2 之汲極電流 $I2$ 即成為 $I1 \times (W2/L2)/(W1/L1)$ 。此時，相對

於電晶體 M2 之汲極電流為數 μA 至數 $10 \mu A$ ，電晶體 M1 之汲極電流即成為數百 mA。

又，藉由設置電晶體 M3，可使運算放大器 A 之輸出電壓，僅取樣作為電晶體 M3 之閘極電壓。因此，與電晶體 M2 經由電阻等直接連接於運算放大器 A 之輸出端子之情況不同，可防止作為電晶體 M3 之汲極電流的一部份，由運算放大器 A 流出，或流動於檢出用端子 13 之電流的一部份流入運算放大器 A。因此，來自運算放大器 A 的電流會流入或流出，出現在檢出用端子 13 之電流，不會受運算放大器 A 之影響，故出現於檢出用端子 13 之電流值，即顯示與功率電晶體 M1 之汲極電流成比例之電晶體 M2 之汲極電流之電流值。

又，第 1 圖雖係以電晶體 M3 作為 N 通道之 MOSFET，但亦可如第 2 圖所示，使用 npn 型雙極電晶體之電晶體 T3，以代替電晶體 M3。此時，電晶體 T3 之集極(collector)係連接於檢出用端子 13，而基極(base)則連接於運算放大器 A 之輸出端子，而射極(emitter)則連接於電晶體 M2 之汲極。亦即，藉由電晶體 T3 及運算放大器 A 構成負回授電路。又，因為該電晶體 T3 之基極電流，與集極電流相比為非常微小，所以，與第 1 圖情況相同，出現於檢出用端子 13 之電流值，即顯示與功率電晶體 M1 之汲極電流成比例的電晶體 M2 之汲極電流的電流值。

又，如第 1 圖及第 2 圖所示，雖係以功率電晶體 M1 作為 N 通道 MOSFET，但亦可如第 3A 圖及第 3B 圖所示，

以 npn 型雙極電晶體之功率電晶體 T1，代替功率電晶體 M1。此時，即可以 npn 型雙極電晶體之電晶體 T2，代替 N 通道 MOSFET 之功率電晶體 M2。

再者，運算放大器 A 之非反轉輸入端子及反轉輸入端子，分別連接功率電晶體 T1 之集極及電晶體 T2 之集極。此外，功率電晶體 T1 及電晶體 T2 之射極連接至接地用端子 10，而功率電晶體 T1 及電晶體 T2 之基極則連接至控制用端子 11。又，第 3A 圖為使用 N 通道 MOSFET 電晶體 M3 之構成。第 3B 圖則為使用 npn 型雙極電晶體之電晶體 T3 之構成。

如以第 3A 圖及第 3B 圖所示構成時，運算放大器 A 及電晶體 M3、T3，具有與第 1 圖及第 2 圖中的運算放大器 A 及電晶體 M3、T3 相同之功能。再者，功率電晶體 T1 及電晶體 T2 係分別對個別之射極、集極及基極施加相同之電壓之狀態，而流動與功率電晶體 T1 及電晶體 T2 之射極面積成比例之集極電流。因此，假設功率電晶體 T1 及電晶體 T2 之射極面積分別為 S_1 、 S_2 ，在功率電晶體 T1 之集極電流為 I_1 時，則流動於電晶體 T2 之集極電流 I_2 即成為 $I_1 \times S_2/S_1$ ，同時此集極電流 I_2 即出現於檢出用端子 13。

又，第 1 圖、第 2 圖、第 3A 圖及第 3B 圖，雖係設定功率電晶體 M1、T1 係連接於運算放大器 A 之非反轉輸入端子，而電晶體 M2、T2 則連接於運算放大器 A 之反轉輸入端子，但亦可將運算放大器 A 的非反轉輸入端子及反轉

輸入端子之連接關係予以互換。亦即，如第 4A 圖及第 4B 圖所示，將功率電晶體 M1 之汲極及電晶體 M2 之汲極分別連接於運算放大器之反轉輸入端子及非反轉輸入端子，此外，又如第 4C 圖及第 4D 圖所示，將功率電晶體 T1 之集極及電晶體 T2 之集極分別連接於運算放大器 A 之反轉輸入端子及非反轉輸入端子。

此時，連接在運算放大器 A 輸出端子之電晶體 M3、T3，分別藉由作為 P 通道 MOSFET，及 pnp 型雙極電晶體，以運算放大器 A 及電晶體 M3、T3 構成負回授電路。換言之，電晶體 M3 係如第 4A 圖及第 4C 圖所示，閘極連接於運算放大器 A 之輸出端子，源極連接於檢出用端子 13，而汲極連接於運算放大器 A 之非反轉輸入端子。然後，電晶體 T3 係如第 4B 圖及第 4D 圖所示，基極連接於運算放大器 A 之輸出端子，射極連接於檢出用端子 13，而集極連接於運算放大器 A 之非反轉輸入端子。

還有，在第 1 圖、第 2 圖、第 3A 圖、第 3B 圖及第 4A 圖至第 4D 圖中，雖將功率電晶體 M1 及電晶體 M2 設為 N 通道 MOSFET，功率電晶體 T1 及電晶體 T2 設為 npn 型雙極電晶體，但亦可如第 5A 圖至第 5D 圖所示，將功率電晶體 M1 及電晶體 M2 為 P 通道之 MOSFET，而功率電晶體 T1 及電晶體 T2 則設為 pnp 型雙極電晶體。

此時，如第 5A 圖及第 5B 圖所示，於運算放大器 A 之非反轉輸入端子及反轉輸入端子，分別連接功率電晶體 M1 之汲極及電晶體 M2 之汲極，並且將電晶體 M3、T3 分

別設為 P 通道 MOSFET 或 pnp 型雙極電晶體，連接運算放大器 A 之非反轉輸入端子及輸出端子 12。如此，第 5A 圖及第 5B 圖之電路構成，雖與第 1 圖及第 2 圖為相反極性，但其連接關係則相等。

又，如第 5C 圖及第 5D 圖所示，於運算放大器 A 之非反轉輸入端子及反轉輸入端子，分別連接功率電晶體 T1 之集極及電晶體 T2 之集極，同時將電晶體 M3、T3，分別設為 P 通道 MOSFET，或 pnp 型雙極電晶體，連接運算放大器 A 之非反轉輸入端子及輸出端子 12。如此，第 5C 圖及第 5D 圖之電路構成，雖與第 3A 圖及第 3B 圖為相反極性，但其連接關係則相等。

又，如第 6A 圖及第 6B 圖所示，於運算放大器 A 的反轉輸入端子及非反轉輸入端子分別連接功率電晶體 M1 之汲極及電晶體 M2 之汲極，同時將電晶體 M3、T3 分別設為 N 通道 MOSFET 或 npn 型雙極電晶體，連接運算放大器 A 之反轉輸入端子及輸出端子 12。如此，第 6A 圖及第 6B 圖之電路構成，雖與第 4A 圖及第 4B 圖為相反極性，但其連接關係則相等。

又，如第 6C 圖及第 6D 圖所示，於運算放大器 A 的反轉輸入端子及非反轉輸入端子分別連接功率電晶體 T1 之集極及電晶體 T2 之集極，同時將電晶體 M3、T3 分別設為 N 通道 MOSFET 或 npn 型雙極電晶體，連接運算放大器 A 之反轉輸入端子及輸出端子 12。如此，第 6C 圖及第 6D 圖之電路構成，雖與第 4C 圖及第 4D 圖為相反極性，但其

連接關係則相等。

(第 2 實施形態)

以下參照附圖說明本發明第 2 實施形態。第 7 圖為具備本實施形態之功率電晶體的半導體積體電路裝置的內部構成之電路方塊圖。此外，在第 7 圖中與第 1 圖相同之元件均賦予相同之符號，其詳細說明從略。

第 7 圖半導體積體電路裝置係從第 1 圖的半導體積體電路裝置中刪除運算放大器 A，並同時設置電源電壓 VDD 施加於一端之電阻，及於電晶體 M3 之閘極連接源極，且閘極連接功率電晶體 M1 之汲極的電晶體 M4。該電晶體 M4 為汲極經接地端子 10 接地之 P 通道 MOSFET，而電晶體 M3、M4 的源閘極間之閾值電壓設為約略相等之電壓 V_{th} 。

在如此構成時，如將功率電晶體 M1 之汲極電壓設為 V_a ，則因為此電晶體 M1 之汲極電壓 V_a 被供至電晶體 M4 之閘極，所以電晶體 M4 之源極電壓即成為 $V_a + V_{th}$ 。又，因為該電晶體 M4 之源極電壓 $V_a + V_{th}$ 供至電晶體 M3 之閘極，所以電晶體 M3 之源極電壓即成為 $V_a + V_{th} - V_{th} = V_a$ ，電晶體 M2 之汲極電壓即成為 V_a ，變成與功率電晶體 M1 之汲極電壓相等。

因此，由於電晶體 M2 之汲極電壓、閘極電壓及源極電壓分別成為與功率電晶體 M1 之汲極電壓、閘極電壓及源極電壓相等之值，所以電晶體 M2 之汲極電流，即相對功率電晶體 M1 之汲極電流成為(閘極寬度)/(閘極長度)比

例之值。又，由於功率電晶體 M1 之汲極電壓僅取樣作為電晶體 M4 的閘極電壓，而且，電晶體 M4 的源極電壓僅取樣作為電晶體 M3 之閘極電壓，所以，可減少從檢出用端子 13 所輸出的電晶體 M2 對於汲極電流的影響。

換言之，電晶體 M3 之汲極電流不會由於流動於電晶體 M4 及電阻 R 產生之電路之電流而增減，而成為與電晶體 M2 之汲極電流相等之值。而且，流動於功率電晶體 M1 之電流，不會由於流動於電晶體 M4 及電阻 R 產生之電路之電流而增減，而成為與流動負載 L 之電流相等之值。如此，與第 1 實施形態一樣，在檢出用端子 13 所呈現之電流，即成為與功率電晶體 M1 之汲極電流成比例的電晶體 M2 之汲極電流相等之值。

又，在第 7 圖中，雖將電晶體 M3 設為 N 通道 MOSFET，同時將電晶體 M4 設為 P 通道之 MOSFET，但亦可如第 8 圖所示，不使用電晶體 M3，而代之以 npn 型雙極電晶體之電晶體 T3，及不使用電晶體 M4，而代之以 pnp 型雙極電晶體 T4。

此時，電晶體 T3 之集極係連接於檢出用端子 13，基極係連接於電阻 R 之另一端而射極係連接於電晶體 M2 之汲極。電晶體 T4 之集極係連接於接地用端子 10，基極係連接於電晶體 M1 之汲極，而射極係連接於電晶體 T3 之基極。由於此電晶體 T3、T4 之基極電流與集極電流相比為非常微小，所以與第 7 圖之情形相同，出現於檢出用端子 13 之電流值，即表示為與功率電晶體 M1 之汲極電流成比

例之電晶體 M2 之汲極電流的電流值。

又，第 7 圖及第 8 圖中，雖係將功率電晶體 M1 設為 N 通道 MOSFET，但亦可如第 9A 圖及第 9B 圖，不使用功率電晶體 M1，而以 npn 型雙極電晶體之功率電晶體 T1 代替。此時，不使用 N 通道 MOSFET 的電晶體 M2，而以 npn 型雙極電晶體之電晶體 T2 代替。

再者，如第 9A 圖所示，功率電晶體 T1 之集極係連接於電晶體 M4 之閘極，同時電晶體 T2 之集極係連接於電晶體 M3 之源極。又，在第 9B 圖中，功率電晶體 T1 之集極係連接於電晶體 T4 之基極，同時電晶體 T2 之集極則係連接於電晶體 T3 之射極。還有，如第 9A 圖及第 9B 圖所示，功率電晶體 T1 及電晶體 T2 之射極係連接至接地用端子 10，而功率電晶體 T1 及電晶體 T2 之基極，則連接於控制用端子 11。

再者，在第 7 圖、第 8 圖、第 9A 圖、及第 9B 圖中，雖係將功率電晶體 M1 及電晶體 M2 設為 N 通道 MOSFET，並將功率電晶體 T1 及電晶體 T2 設為 npn 型雙極電晶體。但是，亦可將功率電晶體 M1 及電晶體 M2 設為 P 通道 MOSFET，並將功率電晶體 T1 及電晶體 T2 設為 pnp 型雙極電晶體。

又，如第 10A 圖及第 10C 圖所示，將源極連接於電晶體 M2 之汲極或電晶體 T2 之集極之電晶體 M3 設為 P 通道 MOSFET，同時將閘極連接於功率電晶體 M1 之汲極或功率電晶體 T1 之集極之電晶體 M4 設為 N 通道 MOSFET。

如此，雖然第 10A 圖及第 10C 圖之電路構成與第 7 圖及第 9A 圖為相反極性，但其連接關係則相等。

又，如第 10B 圖及第 10D 圖所示，將射極連接至電晶體 M2 之汲極或電晶體 T2 之集極的電晶體 T3 設為 pnp 雙極電晶體，同時將基極連接至功率電晶體 M1 之汲極或功率電晶體 T1 之集極之電晶體 T4 為 npn 型雙極電晶體。如此，雖然第 10B 圖及第 10D 圖之電路構成，與第 8 圖及第 9B 圖為相反極性，但其連接關係則相等。

依據本發明，係將流動於第 1 電晶體之電流輸出作為電流信號，該第 1 電晶體係施加與分別施加於功率電晶體之第 1 電極及第 2 電極及控制電極的電壓約略相同之電壓。因此，流動於與功率電晶體約略相同動作條件動作之第 1 電晶體的電流信號，即相對於流動於功率電晶體之電流信號成為比例關係，而可更為正確地確認流動於功率電晶體之電流。而且，流動於第 1 電晶體並輸出之電流信號，可作成不會受到流動於半導體積體電路裝置內部之其他電路部份的電流之影響之構成。因此，即可將所輸出的電流信號設為可靠度較高的電流信號。

【圖式簡單說明】

第 1 圖為表示本發明第 1 實施形態之半導體積體電路裝置的內部構成電路方塊圖。

第 2 圖為表示本發明第 1 實施形態之半導體積體電路裝置的另一內部構成電路方塊圖。

第 3A 圖及第 3B 圖為表示本發明第 1 實施形態之半導

體積體電路裝置的另一內部構成電路方塊圖。

第 4A 圖至第 4D 圖為表示本發明第 1 實施形態之半導體體積體電路裝置的另一內部構成電路方塊圖。

第 5A 圖至第 5D 圖為表示本發明第 1 實施形態之半導體體積體電路裝置的另一內部構成電路方塊圖。

第 6A 圖至第 6D 圖為表示本發明第 1 實施形態之半導體體積體電路裝置的另一內部構成電路方塊圖。

第 7 圖為表示本發明第 2 實施形態之半導體體積體電路裝置的內部構成電路方塊圖。

第 8 圖為表示本發明第 2 實施形態之半導體體積體電路裝置的另一內部構成電路方塊圖。

第 9A 圖及第 9B 圖為表示本發明第 2 實施形態之半導體體積體電路裝置的另一內部構成電路方塊圖。

第 10A 圖至第 10D 圖為表示本發明第 1 實施形態之半導體體積體電路裝置的另一內部構成電路方塊圖。

[元件符號說明]

10	接地用端子	11	控制用端子
12	輸出端	13	檢出用端子
A	運算放大器	L	負載
M1、T1	功率電晶體		
M2、M3、M4、T2、T3、T4			電晶體
R	電阻	VDD	電源電壓

伍、中文發明摘要：

本發明提供一種半導體積體電路裝置，將功率(power)電晶體(M1)之汲極(drain)連接至運算放大器(A)之非反轉輸入端子，同時並將電晶體(M2)之汲極，連接至運算放大器(A)之反轉輸入端子，使連接閘極等及源極(source)等之功率電晶體(M1)及功率電晶體(M2)之汲極電壓相同。再者，將電晶體(M2)之汲極電流從檢出用端子(13)輸出，作為與電晶體(M1)之汲極電流成比例之電流信號。

陸、英文發明摘要：

The drain of power transistor (M1) is connected to the non-reverse input terminal of an operation amplifier (A), and the drain of transistor (M2) is connected to the reverse input terminal of the operation amplifier (A), so as to equalize the drain voltages of the power transistor (M1) and the transistor (M2) whose corresponding gates and corresponding sources are respectively connected. And, as a result a drain current of the transistor (M2) in proportion to the drain current of the power transistor (M1) is outputted from the detecting terminal (13) as a current signal.

拾、申請專利範圍：

1. 一種半導體積體電路裝置，具備：

輸出大電流至負載的功率電晶體；

具有第 2 電極及控制電極分別連接於前述功率電晶體之第 2 電極及控制電極之第 1 電晶體；

具有第 1 電極及第 2 電極之第 2 電晶體，將該第 1 電極及第 2 電極之一方電極連接於該第 1 電晶體之第 1 電極；以及

將一方之輸入端子連接於前述功率電晶體之第 1 電極，另一方之輸入端子，則連接於前述第 1 電晶體之第 1 電極，同時將輸出端子連接於前述第 2 電晶體之控制電極之運算放大器；

其特徵為從前述第 2 電晶體之第 1 電極及第 2 電極之另一方電極，輸出與流動於前述功率電晶體之電流成比例之電流信號。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，其中，係以前述第 2 電晶體及前述運算放大器構成負回授電路。

3. 一種半導體積體電路裝置，具備：

輸出大電流至負載的功率電晶體；

具有第 2 電極及控制電極分別連接於前述功率電晶體之第 2 電極及控制電極之第 1 電晶體；

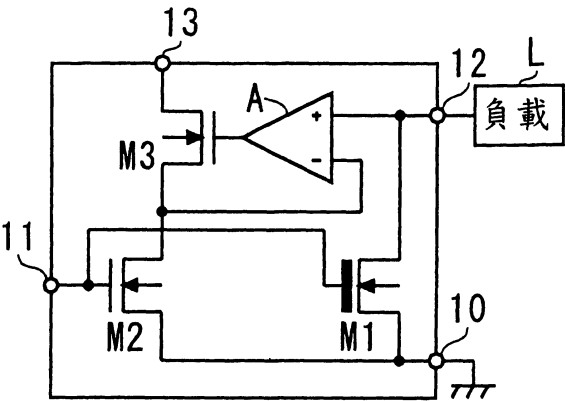
具有第 2 電極連接於該第 1 電晶體之第 1 電極之第 2 電晶體；以及

具有控制電極連接於前述功率電晶體之第 1 電極，同時有第 2 電極連接於前述第 2 電晶體之控制電極之第 3 電晶體；

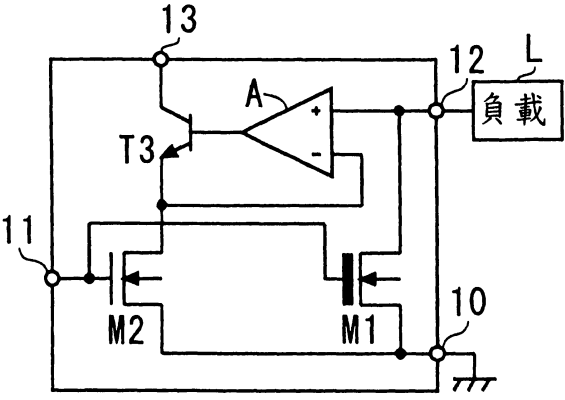
其特徵為從前述第 2 電晶體之第 1 電極，輸出與流動於前述功率電晶體之電流成比例之電流信號。

4. 如申請專利範圍第 3 項之半導體積體電路裝置，其中，前述第 3 電晶體之第 1 電極為與前述功率電晶體及前述第 1 電晶體之第 2 電極連接，同時並經由電阻將直流電壓施加至前述第 3 電晶體之第 2 電極。
5. 如申請專利範圍第 3 項之半導體積體電路裝置，其中，前述第 2 電晶體及前述第 3 電晶體係相反極性之電晶體，同時前述第 2 電晶體之第 2 電極及控制電極間所產生之電位差，與前述第 3 電晶體之第 2 電極及控制電極間所產生之電位差大致相等。
6. 如申請專利範圍第 5 項之半導體積體電路裝置，其中，前述第 2 電晶體與前述第 1 電晶體為相同極性之電晶體。
7. 如申請專利範圍第 6 項之半導體積體電路裝置，其中，前述第 3 電晶體之第 1 電極為與前述功率電晶體及前述第 1 電晶體之第 2 電極連接，同時並經由電阻將直流電壓施加至前述第 3 電晶體之第 2 電極。

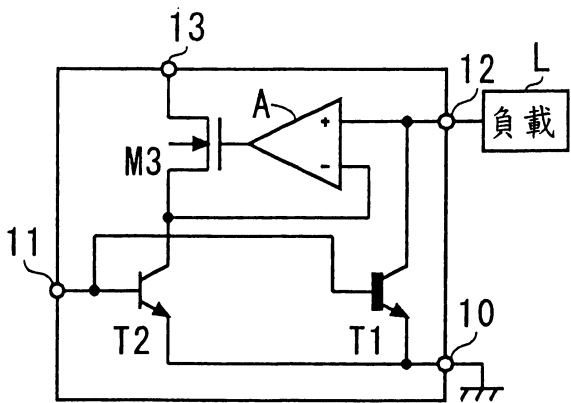
第 1 圖



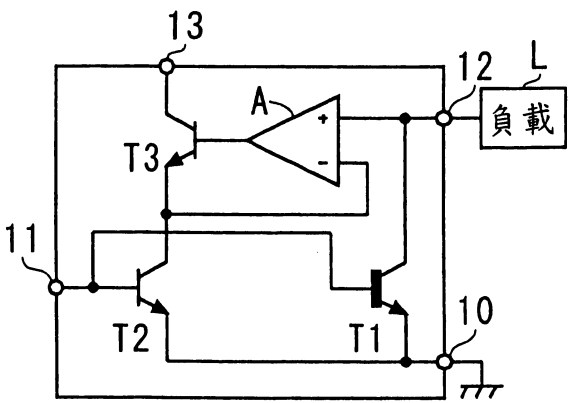
第 2 圖



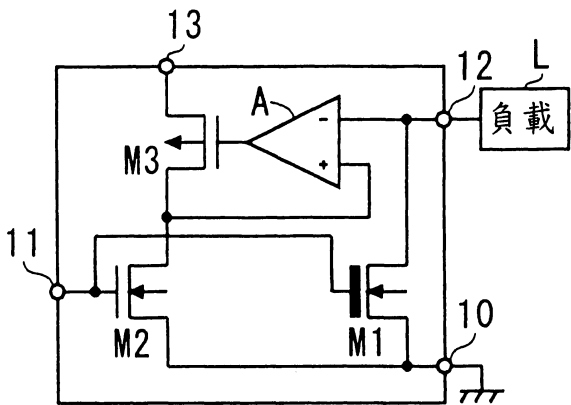
第 3A 圖



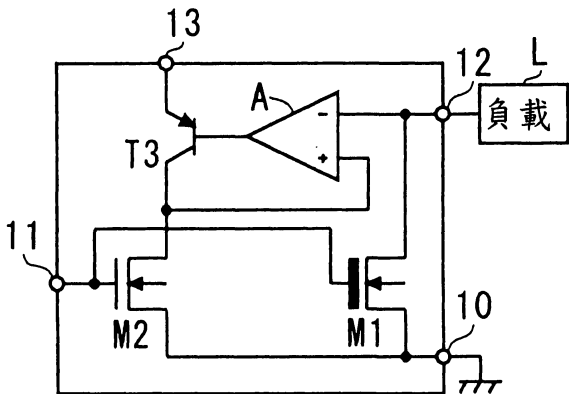
第 3B 圖



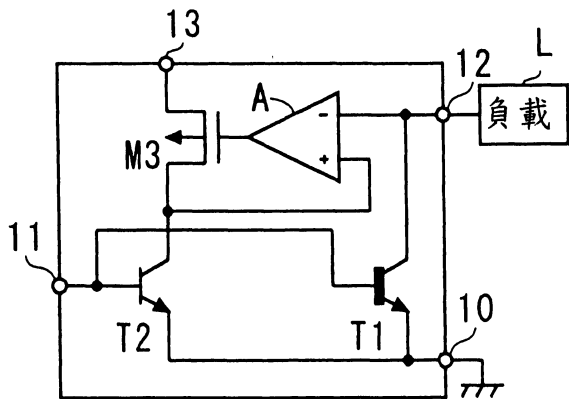
第 4A 圖



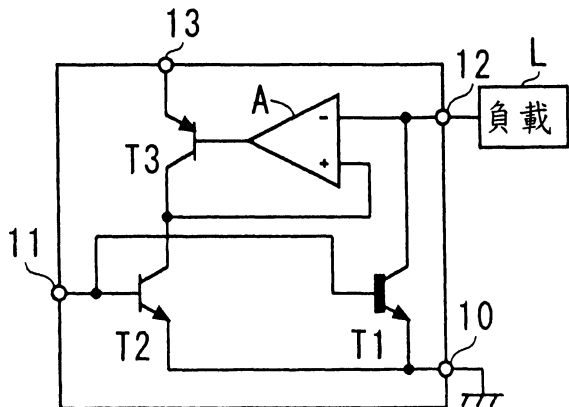
第 4B 圖



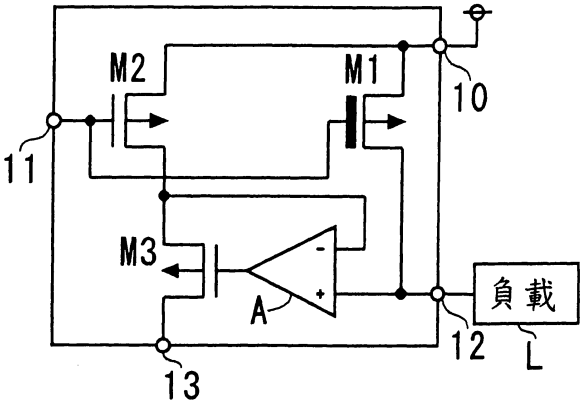
第 4C 圖



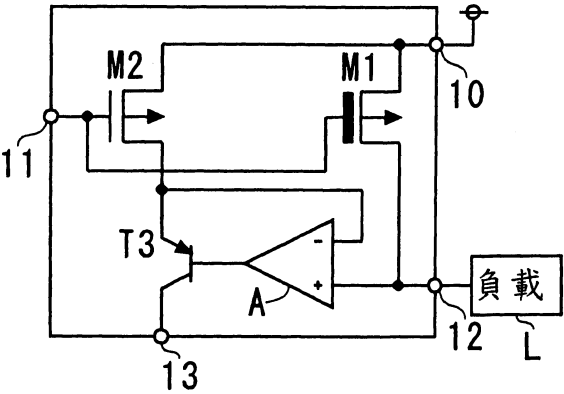
第 4D 圖



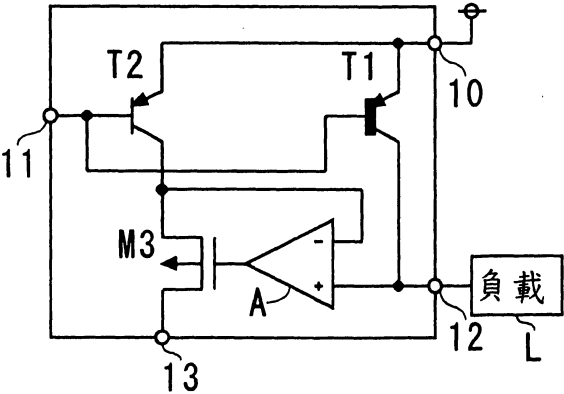
第 5A 圖



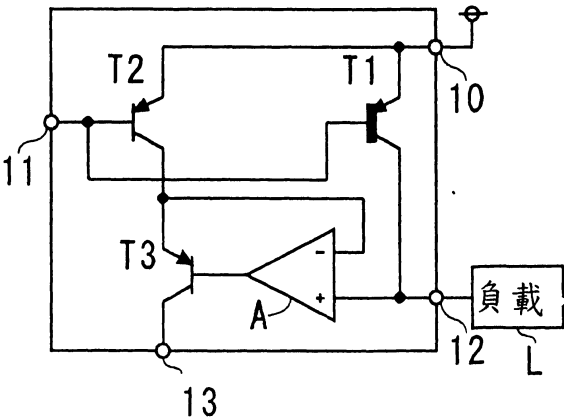
第 5B 圖



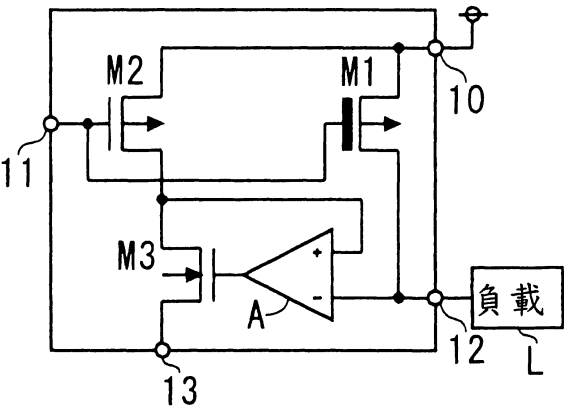
第 5C 圖



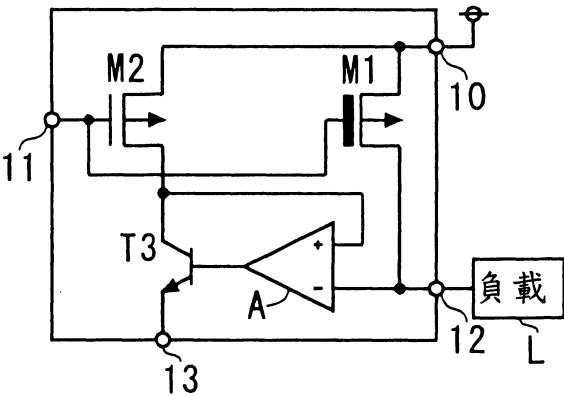
第 5D 圖



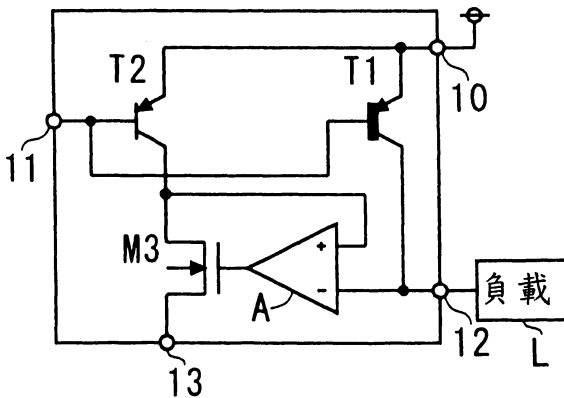
第 6A 圖



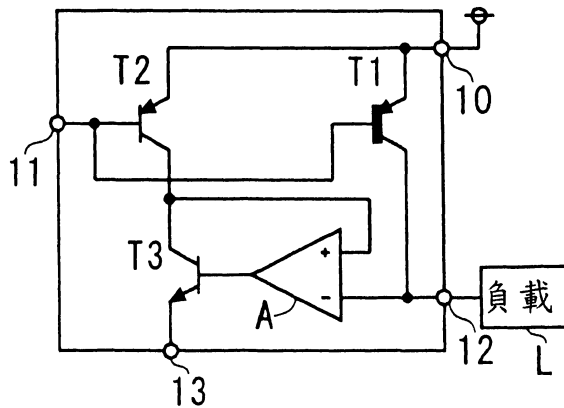
第 6B 圖

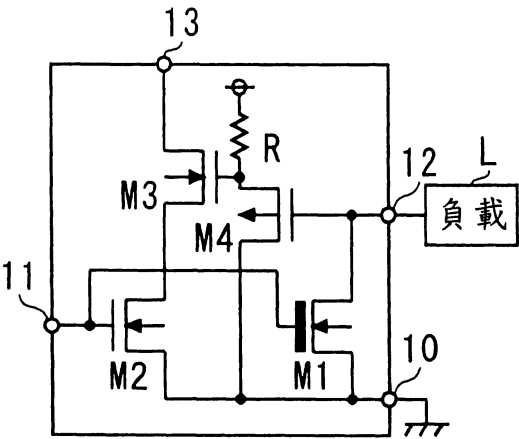


第 6C 圖

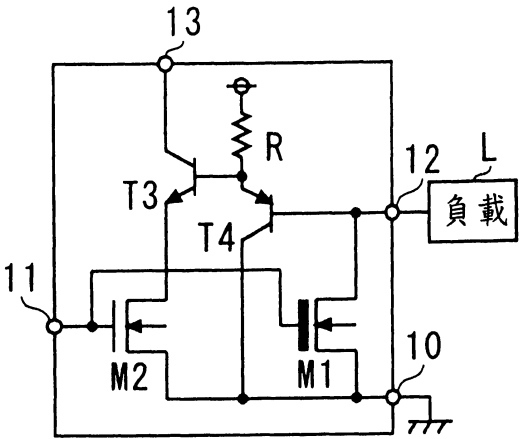


第 6D 圖

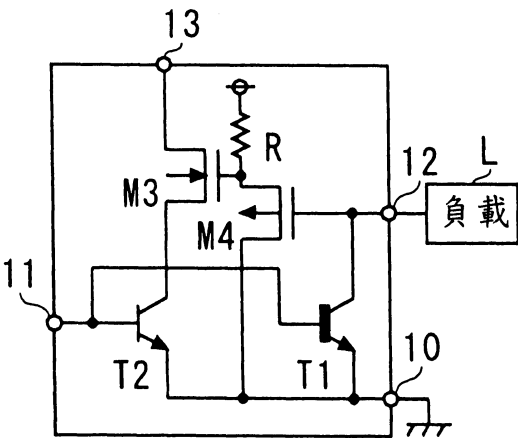




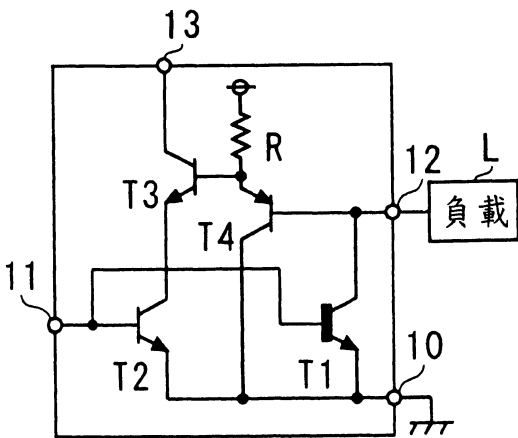
第 7 圖



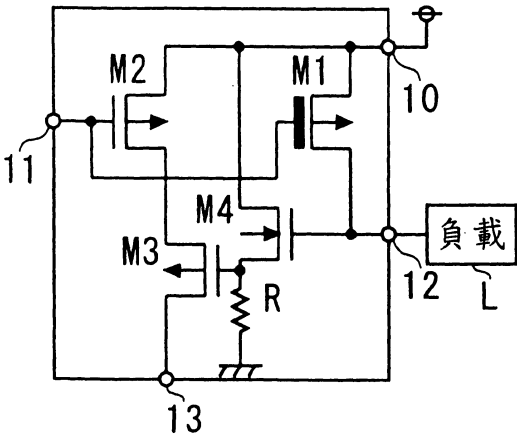
第 8 圖



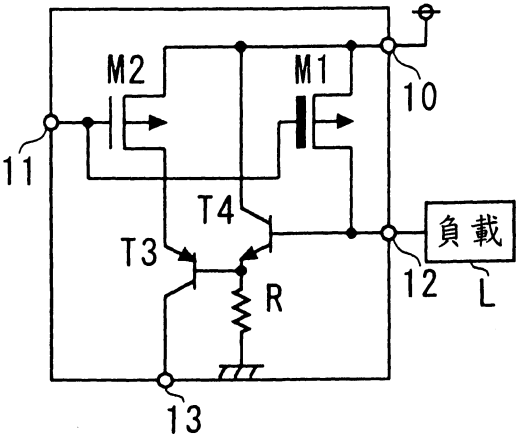
第 9A 圖



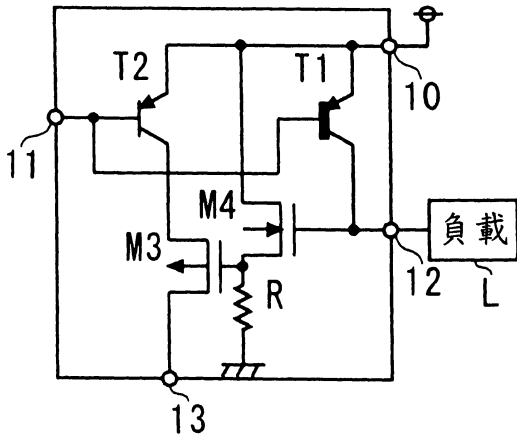
第 9B 圖



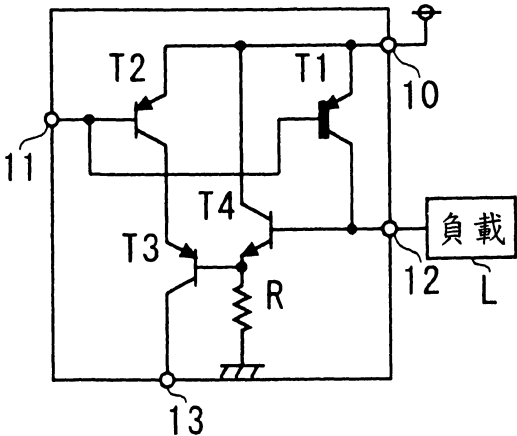
第 10A 圖



第 10B 圖



第 10C 圖



第 10D 圖

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

10	接地用端子	11	控制用端子
12	輸出端	13	檢出用端子
A	運算放大器	L	負載
M1	功率電晶體	M2、M3	電晶體
R	電阻	VDD	電源電壓

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：