

公告本

申請日期	28. 9. 23
案 號	88116403
類 別	G11C 1/2

A4
C4

442788

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	積體記憶體
	英 文	Integrated memory
二、發明 創作人	姓 名	1. 喬治布萊恩 (Georg Braun) 2. 卡羅斯馬素艾斯培裘 (Carlos Mazure-Espejo) 3. 赫英茲賀尼舒密德 (Heinz Hönigschmid) 4. 安德烈馬迪克 (Andrej Majdic)
	國 籍	1-4 皆屬德國
	住、居所	1. 德國慕尼黑 D-80339 特瑞辛荷 6B 號 2. 德國慕尼黑 D-81667 布雷撒查街 14 號 3. 德國史坦堡 D-82319 山德街 3 號 4. 德國桑內汀 D-85604 赫索黑里奇路 17 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

442788

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

德

國(地區)

申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

1998年 9月 28日

19844402.8號

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(¹)

本發明係關於一種積體記憶體，其具有可寫入之記憶胞。

鐵電質記憶體（例如，FRAMs或FeRAMs）是可寫入之具有記憶胞之積體記憶體，記憶胞至少具有一鐵電質電容器以作為記憶元件。此種電容器具有一種鐵電質材料以作為介電質。此種材料可以各種不同之方式而被極化，適相當於可儲存各種不同之資訊。當記憶體被電源電壓隔離時，則此種鐵電質材料仍保持其極性。因此，FRAMs是一種可寫入之永久性記憶體。當然在此種鐵電質記憶胞中亦會出現老化問題，其會使新的資訊不容易被儲存。因此，記憶胞例如試圖保持一種已程式化之狀態（所謂“Imprint（壓印）”）。

US5270967 涉及一種藉由鐵電質電容器之更新（refresh）而使鐵電質記憶胞之老化作用去除。此種更新是以下述方式進行：在記憶電容器上施加電壓，此種電壓須較一般操時所產生者還大。在更新期間此種較大之電壓是以交替變化之極性施加至記憶電容器。以此種方式可使上述之壓印（Imprint）現象減弱。此種記憶胞之更新因此是在對記憶胞進行一些固定次數之寫入過程之後進行。

在US5270967A中，在記憶胞更新之前其內容須暫時儲存在讀出放大器中，讀出放大器然後藉由開關而與記憶胞相隔離。於是一種特殊之電路單元產生此種更新時所需之交替變換之電壓。在更新過程結束之後此種開關關閉且上述暫時儲存在讀出放大器中之資訊可再寫入記憶

五、發明說明(2)

胞中以形成先前之狀態。

上述方式所具有之缺點是：由於另外設置一種電路單元（其可產生此種更新過程所需之較高之電壓），則面積需求會較大。

本發明之目的是提供一種上述形式之積體記憶體，其中記憶胞之更新是以較低之硬體費用來達成。

此種目的是以申請專利範圍第1項之積體記憶體以及第8項之去除記憶胞之老化現象所用之方法來達成。本發明有利之其它形式敘述在申請專利範圍各附屬項中。

此種積體記憶體具有第一差動式讀出放大器（其具有一些接點），這些接點是與資料線對（pair）相連接，第一讀出放大器在讀出過程時由記憶胞中經由資料線對而讀出資訊，以便隨後可使這些資訊放大，且讀出放大器在寫入過程時經由資料線對而將資訊寫入記憶胞中，其中相關之資訊以差動信號之形式經由資料線對來傳送且在每寫入時暫時儲存在第一讀出放大器中。此外，此積體記憶體具有一個切換單元，資料線對經由此切換單元而與第一讀出放大器之接點相連接，此種切換單元是依據其本身之切換狀態相對於此讀出放大器之各接點來切換資料線對之各條導線。切換單元之切換狀態在寫入時至少會改變一次，使即將寫入之資訊首先不會被第一讀出放大器所反相且然後以反相方式寫入相關之記憶胞中。

在本發明之記憶體中，第一讀出放大器因此不只用來暫時儲存此種更新前儲存在記憶胞中之資訊且將此種資

五、發明說明 (3)

訊在更新結束之後寫回至記憶胞中，就像 US5270967A 中所示之情況一樣。此外，第一讀出放大器在更新時是用來傳送交變之電壓（其對應於不同之邏輯狀態）至記憶胞，因此這裡不需其它之電路單元。積體記憶體中之差動式讀出放大器習知方式是用來使此種與其相連接之資料線對中之電位互補，即，在寫入或讀出時線對中之一條導線具有高位準（其例如是邏輯“1”），另一條導線則具有低位準，其例如是邏輯“0”。在寫入過程時由於本發明中資料線對（pair）之導線配置相對於第一讀出放大器之接點而言是交替地變換，則此二條導線之每一條導線中之電位因此會持續地在高位準和低位準之間改變。以此種方式，則讀出放大器可使交變之電壓施加至記憶胞。這樣就可減小記憶胞之壓印（Imprint）現象。

若寫入過程中此切換單元之切換狀態之切換次數是偶數時，則此種情況是有利的。然後在寫入過程結束之後資訊以其原來之邏輯狀態而儲存在記憶胞中。

切換單元之切換作用例如可在記憶體之記憶胞之每次寫入過程中進行。在每次寫入過程時會自動進行記憶胞之去老化作用。這樣當然會使寫入過程所需之時間變長。因此，有利之情況是：依據本發明之其它形式此記憶體具有：第一操作模式，其中切換單元之切換狀態在寫入過程中是不會改變的；第二操作模式，其中切換單元之切換狀態在寫入過程中至少改變一次。在第一操作模式中寫入過程較快，而第二操作模式中寫入過程則較慢。

五、發明說明(4)

在此種寫入過程(其中切換單元之切換狀態會改變)中,其可能是一種一般之寫入過程,此時外部之資料傳送至記憶體且儲存在記憶胞中;其亦可能是一種特殊之寫入過程,其中須首先讀出此種儲存在即將更新之記憶胞中之資訊,暫時儲存在第一讀出放大器中,然後以交變之電位使資訊寫回至記憶胞中數次(several times)。為了在更新之後在記憶胞中具有原來之資訊(就像更新前一樣),則在記憶胞讀出之後切換狀態改變之次數必須也是偶數的。

在本發明之實施形式中,第一讀出放大器是一種主(main)讀出放大器且資料線對是記憶體之位元線對(pair),主讀出放大器是與位元線對直接相連接。在此種實施形式中每一個位元線對都需一個切換單元。

依據本發明之其它實施形式,第一讀出放大器是一種副讀出放大器且此記憶體具有至少二個第二讀出放大器,它們是主讀出放大器且一方面分別經由至少一對位元線而與記憶胞相連接且另一方面經由資料線對而與第一讀出放大器相連接。在可寫入之積體記憶體(例如, DRAMs或FRAMs)中多個主讀出放大器通常經由資料線對而分別與副讀出放大器相連,副讀出放大器對這些由記憶胞所讀出之信號而言是作為另一放大器用。在此種實施形式中每一與副讀出放大器相連接之資料線對只需一個電路單元,使電路單元之數目較先前所述之實施形式者還少。

五、發明說明 (5)

本發明較佳是適合（但不是專門）用來使鐵電質記憶體之記憶胞之老化現象去除，這些記憶胞分別具有至少一個鐵電質記憶電容器，在寫入過程中在各記憶胞上經由其記憶電容器上之電壓降在第二操作模式中若較第一操作模式中者還大，則此種情況是有利的。記憶電容器上此種較大之電壓例如可以下述方式達成一個與位元線對相連接之第一或第二讀出放大器在第二操作模式中以較第一操作模式中者還高之電源電壓來供電。於是讀出放大器在第二操作模式中進行寫入過程時會在位元線對上發出一種電壓較高之差動信號。於是在將資料寫入記憶胞時一種較第一操作模式中還高之電位會施加至其記憶電容器之與位元線相連接之電極。因此會由於讀出放大器之較大之電源電壓而在記憶胞之記憶電容器上產生較大之電壓。另一方式或除了使讀出放大器之電源電壓提高之外，亦可使記憶胞之記憶電容器之遠離位元線之電極在第二操作模式中所在之位準不同於第一操作模式中者。這樣同樣可在第二操作模式中使記憶電容器上之電壓提高。因此相關電容器電極上之電位可以是定值的或脈波式的。

本發明以下將依據圖式來詳述。圖式簡單說明：

- ✓ 第 1 圖 積體記憶體之第一實施例。
- ✓ 第 2 圖 本發明之記憶體之第二實施例。
- ✓ 第 3 圖 記憶體之記憶胞陣列。
- ✓ 第 4 圖 記憶體之記憶胞。

五、發明說明 (6)

第1圖是本發明積體記憶體之第一實施例，其中只顯示一些了解本發明時所需之組件。此處所考慮之實施例是有關一種鐵電質記憶體，其具有一些如第3圖所示之以矩陣形式配置之位元線BL及字元線WL，其交叉點處則配置記憶胞MC。

此種鐵電質記憶胞MC之每一個之構造均如第4圖所示。其是一種單一電晶體／單一電容器形式之記憶胞，此記憶胞可藉由字元線WL而讀出，資訊可經由位元線BL中之一而寫入記憶胞中，或可將所儲存之資訊由記憶胞經由位元線BL而讀出。位元線BL經由記憶胞電晶體T之主電流路徑而與鐵電質記憶電容器C之第一電極相連接。電容器C之第二電極是與平板電位V相連接。記憶胞電晶體之閘極是與字元線WL中之一相連接。依據記憶胞MC之型式，平板電位 V_p 固定地處於一種平均值（其是介於二個電源電壓之間，例如 $V_{cc}/2$ ）處或是此平板電位 V_p 在記憶胞MC每次寫入或讀出時會出現脈波式之變化。

依據第1圖，資訊以差動信號之方式經由位元線對BLL, /BLL; BLR, /BLR而傳送至記憶胞或由記憶胞（例如，DRAMs及FRAMs）中傳送而出。每二個位元線對（pair）配屬於一個差動式主讀出放大器SA，其在讀出過程中是用來放大該差動信號，而此差動信號是形成在一對位元線上。主讀出放大器SA將此種已放大之差動信號發送至資料線對DL, /DL。在寫入過程時即將寫入之資訊在相反方向中由資料線DL, /DL，讀出放大器SA以及位元線對BLL

五、發明說明 (7)

, /BLL中之一傳送至相對應之記憶胞。

在對一個記憶胞MC進行讀寫過程時，則須藉由一種施加至記憶體之相對應之位址來對此記憶胞所屬之字元線WL和位元線BL進行定址。在讀出之前位元線BLL, /BLL之二條導線預充電至相同之電位。在讀出過程時記憶胞之資訊讀出至非反相之位元線BLL，而反相之位元線/BLL則具有定值之電位，主讀出放大器SA將上述非反相之位元線BLL上之電位來與位元線/BLL上之電位相比較。若在記憶胞MC讀出之後非反相之位元線BLL上之電位數目反相位元線/BLL上者還大，則此差動式主讀出放大器SA使此種電位差放大且在非反相之位元線BLL上產生一種高的位準(V_{cc})。反之，若在記憶胞MC讀出之後非反相之位元線BLL上之電位小於反相之位元線/BLL上之電位，則主讀出放大器使非反相之位元線BLL上之信號放大成一種低位準(接地)。主讀出放大器SA在反相之位元線/BLL上產生此種與非反相之位元線BLL之電位反相之邏輯狀態。上述之原理已為DRAMs及FRAMs之專家所熟知，因此在這裡不再詳述。

第1圖中之主讀出放大器SA具有二個接點，其一方面是對應於左邊之位元線對BLL, /BLL且另一方面是對應於右邊之位元線對BLR, /BLR，此二個位元線對屬於不同之晶胞陣列(共用之感測放大器概念)。主讀出放大器之第一接點經由第一電晶體T1而此讀出放大器之第二接點則經由第二電晶體T2而與左方之非反相之位元線BLL相

五、發明說明(8)

連接。此外，第二接點經由第三^{電晶體}切換T3且第一接點經由第四電晶體T4而與左方之反相之位元線/BLL相連接。又，第一接點經由第五電晶體T5且第二接點經由第六電晶體T6而與右方之非反相之位元線BLR相連接。第二接點經由第七電晶體T7且第一接點經由第八電晶體T8而與右方之反相之位元線/BLR相連接。在本實施例中此主讀出放大器SA對應於二個記憶胞陣列，即，左右各一個。藉由對8個電晶體進行適當之控制，則讀出放大器之各接點分別與左方之位元線對BLL,/BLL(其位於左方之記憶胞陣列中)相連接，或分別與右方之位元線對BLR,/BLR(其位於右方之記憶胞陣列中)相連接。

第1圖中之8個電晶體是n-通道型的。第一電晶體T1和第三電晶體T3之閘極是與第一控制線(L1)相連接。第二電晶體T2和第四電晶體T4之閘極是與第二控制線L2相連接。第六電晶體T7和第八電晶體T8之閘極是與第三控制線R1相連接。第五電晶體T5和第七電晶體T7之閘極是與第四控制線R2相連接。

第一至第四電晶體(T1至T4)形成第一切換單元SW而其餘之4個電晶體T5至T8形成第二切換單元SW。切換單元SW之電晶體是用來切換各別位元線對BLL,/BLL至主讀出放大器SA之各接點所需各導線之配置方式。對應於各別切換單元SW之控制線L1, L2或R1, R2因此具有三種不同之狀態。其中一種是低電位存在於此二條控制線L1, L2中，使所有相關之切換T1至T4都截止(off)。此外，第

五、發明說明 (9)

一或第二控制線可具有一種高位準。

若此二條控制線L1, L2具有一種低位準, 則此主讀出放大器SA會與此位元線對BLL, /BLL相隔離。於是此SA例如可將資料傳送至右方之位元線對BLR, /BLR或自此對位元線BLR, /BLR中使資料傳送進來, 若第三(R1)或第四(R2)控制線受到適當之控制時。

在記憶體於第一操作模式中操作時, 在寫入或讀出時在一與左方之位元線對BLL, /BLL相連接之記憶胞上之第一控制線L1之電位通常是高位準的, 而第二控制線L2上之電位通常是低位準的。主讀出放大器SA之接點對位元線BLL, /BLL之二條導線之配置方式在第一操作模式中保持固定。

此外, 此記憶體具有第二操作模式, 其中第一控制線L1和第二控制線L2上之電位持續地改變, 使第一電晶體T1和第二電晶體T3導通而第二電晶體T2和第四電晶體T4截止(off), 然後第二電晶體T2和第四電晶體T4導通而第一電晶體T1和第三電晶體T3截止。此種交變現象在第二操作模式中在對位元線對之記憶胞MC中之一進行寫入過程時發生。在本實施例中對所對應之記憶胞MC所進行之讀取過程在第二操作模式中發生於寫入過程之前。於是此記憶胞中所儲存之資訊經由位元線對BLL, /BLL而傳送至主讀出放大器SA且在該處暫時儲存。主讀出放大器SA因此就像在DRAMs或FRAMs中者一樣以一般方式來構成。主讀出放大器SA之實施形式例如顯示在已述及之

五、發明說明⁽¹⁰⁾

US5270967 中。主讀出放大器 SA 將此種由記憶胞 MC 所讀出之資訊放大，使記憶體之相反之電源電位隨後可施加於位元線對 BLL, /BLL 上。在此種讀出過程中第一控制線 L1 具有高位準而第二控制線 L2 具有低位準。在所讀出之資訊已暫時儲存在主讀出放大器 SA 之後，此二條控制線 L1, L2 之電位持續地變換，使讀出放大器 SA 之接點上之差動信號總是以相反之極性而傳送至位元線對 BLL, /BLL。於是持續性交替變化之電壓施加至各別選取之記憶胞 MC。

由於第 1 圖中之主讀出放大器 SA 在第二操作模式中暫時儲存此種先前由記憶胞中所讀出之資訊，則此種資訊須依據切換單元 SW 之切換狀態以反相或非反相之方式而寫回至記憶胞 MC 中。

在第 1 圖中藉由左邊之位元線對 BLL, /BLL 來對記憶胞 MC 中之一進行更新時，第三和第四控制線 R1, R2 具有低電位，使右方之位元線對 BLR, /BLR 由主讀出放大器 SA 中去耦合 (de-coupled)。右方之位元線對之介入過程類似於左方之位元線對 BLL, /BLL 之去耦方式來進行，其中第一組之二條控制線 L1, L2 具有低電位。第 1 圖中之 4 條控制線 L1, L2, R1, R2 因此具有二種功能：一方面是它們可與 8 個電晶體 T1 至 T8 形成一種多工器 (Multiplexer)，藉此多工器可選取左方或右方之位元線對。另一方面它們可在第二操作模式中使所選取之位元線對之各條導線相對於主讀出放大器 sa 之接點而切換。因此，藉由此

五、發明說明 ()

11

8 個電晶體之上述二種使用方式而使電路元件和面積所需之耗費較少以便達成此多工器之功能及切換單元 SW 之切換功能。

在此處所描述之實施例中，第 4 圖中之平板電位 V 在此二種操作模式中具有 $V/2$ 之位準，此位準 $V/2$ 在此二種操作模式中正好在此記憶體之二個電源電位 V，接地之間。在第二操作模式中此記憶體之電源電壓較第一操作模式中者高，使此種由讀出放大器 SA 而讀出至位元線對 BL_L, /BL_L 之信號具有一種較高之信號位準。因此在第二操作模式中施加至記憶胞 MC 之記憶電容器 C 上之電壓較第一操作模式中者還高且此種電壓由於切換單元 SW 之切換狀態之改變而持續地改變其極性。以此種方式可達成記憶胞之去老化作用。

第 2 圖是本發明之第二實施例，其顯示三個差動式主讀出放大器 SA₁, SA₂, SA₃，其分別對應於位元線對 BL₁, /BL₁, BL₂, /BL₂ 及 BL₃, /BL₃。主讀出放大器 SA_i 是與共同之資料線對 DL, /DL 相連接。DL, /DL 則經由差動式副讀出放大器 SSA 而與外部資料線對 D, /D 相連接。在對一種與第一位元線對 BL₁, /BL₁ 相對應之記憶胞進行讀出過程時令在此位元線對上產生一種相對應之差動信號且由主讀出放大器 SA₁ 所放大而傳送至資料線對 DL, /DL。副讀出放大器 SSA 使此種差動信號進一步放大，然後將此信號發送至外部之資料線對 D, /D。在本實施例中此記憶體具有切換單元 SW，其用來使資料線對 DL, /DL 之各條

五、發明說明(¹²)

導線相對於副讀出放大器 SSA 之接點而被切換。未反相之資料線 DL 經由第九電晶體 T9 而與副讀出放大器之第一接點相連接且經由第十電晶體 T10 而與副讀出放大器之第二接點相連接。反相之資料線 /DL 經由第十一電晶體 T11 而與副讀出放大器 SSA 之第二接點相連接且經由第十二電晶體而與 SSA 之第一接點相連接。第十和第十二電晶體 T10, T12 之閘極是與第一控制線 S1 相連接且第九和第十一電晶體 T9, T11 之閘極是與第二控制線 S2 相連接。第 2 圖中切換單元 SW 藉由控制線 S1, S2 來進行控制是和第 1 圖中切換單元 SW 藉由控制線 L1, L2 或 R1, R2 來進行控制時所用之方式相同。

就像第 1, 2 圖中之主讀出放大器 SA, SAi 一樣, 第 2 圖中之副讀出放大器 SSA 是一種差動式讀出放大器, 其可暫時儲存此種由記憶胞 MC 所讀出之資訊或儲存此種即將寫入記憶胞中之資訊。SSA 之構成方式和主讀出放大器者相同。在第 1 圖之實施例中每一對位元線 BLL, /BLL 或 BLR, /BLR 需要一個切換單元 SW, 以便對這些與其相連接之記憶胞進行一種更新 (refresh) 作用, 在第 2 圖之實施例中所有之位元線對 BLi, /BLi 只需一個切換單元 SW, 這些位元線對經由其所屬之主讀出放大器 SAi 而與副讀出放大器 SSA 相連接。這樣在硬體花費上可較第 1 圖中之實施例還少。此外, 第 2 圖之實施例所具有之優點是: 副讀出放大器通常可配置在仍有足夠之空間可用於其它組件 (例如, 切換單元 SW) 之此種位置處

五、發明說明 (¹³)

。反之，主讀出放大器須配置在盡可能靠近記憶胞 MC 之處，其可放大記憶胞 MC 之資訊。主讀出放大器因此通常直接配置在晶胞陣列中或其邊緣處，該處不易設置其它之電路組件（例如，切換單元 SW 之組件）。

記憶胞 MC 之去老化或更新在此處所述之實施例中只在第二操作模式中進行。去老化過程通常是在一定次數之寫入過程之後才進行。為了測定此種寫入過程，則記憶胞須含有一種適當之計數器。若已到達一種指定之計數器狀態，則記憶體之所有記憶胞 MC 須進行更新，其中須讀出此種儲存於記憶胞中之資訊，暫時儲存且利用交變之位準寫回至記憶胞中。在這些實施例中切換單元 SW 之切換狀態之交變次數是偶數的，因此在更新結束時原來儲存在記憶胞中之資訊又可寫回。

符號之說明

BL.....位元線

WL.....字元線

MC.....記憶胞

C.....記憶電容器

T.....記憶胞電晶體

SA, SA1, SA2, SA3.....主讀出放大器

SSA...副讀出放大器

D, /D, DL, /DL.....資料線對

BLL, /BLL; BLR, /BLR.....位元線對

T, T1 ~ T12.....電晶體

SW.....切換單元

L1, L2, R1, R2.....控制線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

積體記憶體

此種記憶胞具有第一差動式讀出放大器(SA;SSA)，其接點是與資料線對(BLL,/BLL;DL,/DL)相連接，第一讀出放大器在讀出過程時經由資料線對而由記憶胞中讀出資訊，隨後將資訊放大，且在寫入過程時經由資料線對使資訊寫入記憶胞中，其中相關之資訊以差動信號之形式經由資料線對而傳送且在每一寫入過程中資訊是由第一讀出放大器暫時儲存，具有一個切換單元(SW)，資料線對(BLL,/BLL;DL,/DL)經由切換單元(SW)而與第一讀出放大器(SA;SSA)之接點相連接，資料線對之各條導線相對於第一讀出放大器之接點而依據切換狀態來進行切換，切換單元(SW)之切換狀態在寫入過程時至少改變一次，使即將寫入之資訊首先不會被第一讀出放大器(SA;SAA)所反相且然後以反相方式寫入相關之記憶胞(MC)中。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄

四、英文發明摘要 (發明之名稱: Integrated memory)

The memory has a 1st differential read-amplifier (SA; SSA) with terminals, which are connected with a data-line-pair (BLL, /BLL; DL, /DL), through said data-line-pair the 1st read-amplifier can read-out in a read-access an information from one of the memory-cells, so as to amplify the information subsequently, and through the data-line-pair said 1st read-amplifier can write in a write-access an information into one of the memory-cells, wherein the related information as the difference-signals are transmitted through said data-line-pair and in each write-access are temporarily stored by said 1st read-amplifier. In addition, the memory has a switch-unit (SW), through which the data-line-pair (BLL, /BLL) is connected with the terminals of the 1st read-amplifier (SA), so as to exchange the lines of the data-line-pair with respect to the terminals of the 1st read-amplifier depending on its switching state. Thus the switching state of the switch-unit (SW) will be changed at least one time during a write-access, so that the writable information at first will not be inverted by the 1st read-amplifier (SA) and then inverted and is written into the related memory-cell (MC).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種積體記憶體，其具有可寫入之記憶胞(MC)，記憶胞在記憶胞陣列中設置一些位元線(BL)及字元線(WL)，其特徵為：
 - 具有第一差動式讀出放大器(SA;SSA)，其接點是與資料線對(BLL,/BLL;DL,/DL)相連接，第一讀出放大器在讀出過程時經由資料線對而由記憶胞中讀出資訊，隨後將資訊放大，且在寫入過程時經由資料線使資訊寫入記憶胞中，其中相關之資訊以差動信號之形式經由資料線對而傳送且在每一寫入過程中資訊是由第一讀出放大器暫時儲存，
 - 具有一個切換單元(SW)，資料線對(BLL,/BLL;DL,/DL)經由切換單元(SW)而與第一讀出放大器(SA;SSA)之接點相連接，資料線對之各條導線相對於第一讀出放大器之接點而依據切換狀態來進行切換，
 - 切換單元(SW)之切換狀態在寫入過程時至少改變一次，使即將寫入之資訊首先不會被第一讀出放大器(SA;SAA)所反相且然後以反相方式寫入相關之記憶胞(MC)中。
2. 如申請專利範圍第1項之積體記憶體，其中具有第一操作模式，此時切換單元(SW)之切換狀態在寫入過程時不會改變；另具有第二操作模式，此時切換單元之切換狀態在寫入過程時至少改變一次。
3. 如申請專利範圍第1項之積體記憶體，其中資料線對由二條位元線(BLL,/BLL)所構成，且第一讀出放大器

六、申請專利範圍

是一種直接與位元線對相連接之主讀出放大器(SA)。

4.如申請專利範圍第1項之積體記憶體，其中

- 第一讀出放大器是一種副讀出放大器(SSA)，
- 其具有至少二個第二讀出放大器(SA1, SA2)，其是一種主讀出放大器且一方面分別經由至少一對位元線(BL1, /BL1; BL2, /BL2)而與記憶胞(MC)相連接且另一方面經由資料線對(DL, /DL)而與第一讀出放大器(SSA)相連接。

5.如申請專利範圍第2項之積體記憶體，其中記憶胞(MC)

之記憶能力是依據所進行之寫入及／或讀出過程之次數而定；第一操作模式是一種正常之操作模式而第二操作模式是一種去老化之操作模式。

6.如申請專利範圍第5項之積體記憶體，其中記憶胞(MC)是一種鐵電質記憶胞。

7.如申請專利範圍第6項之積體記憶體，其中

- 記憶胞(MC)具有鐵電質記憶電容器(C)以便儲存資訊，
- 經由記憶電容器(C)在寫入過程中下降於各記憶胞(MC)上之電壓在第二操作模式中較第一操作模式中者還大。

8.一種積體記憶體之記憶胞(MC)去老化所用之方法，此積體記憶體是申請專利範圍前幾項中任一項所述者，其特徵為：

- 讀出此種儲存在記憶胞(MC)中之資訊且暫時儲存在

六、申請專利範圍

第一讀出放大器(SA;SSA)中，

- 此種暫時儲存在讀出放大器(SA;SSA)中之資訊至少須寫回至記憶胞(MC)中二次，在每次寫回之後此切換單元(SW)之切換狀態須改變。

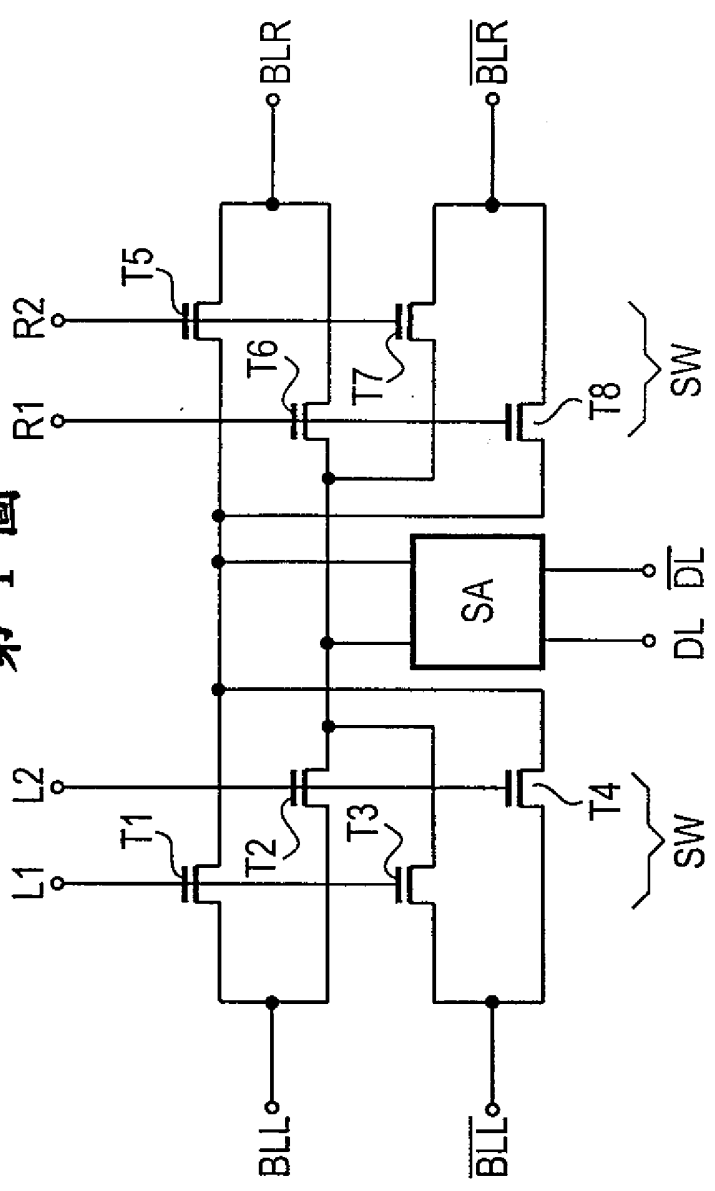
(請先閱讀背面之注意事項再填寫本頁)

裝

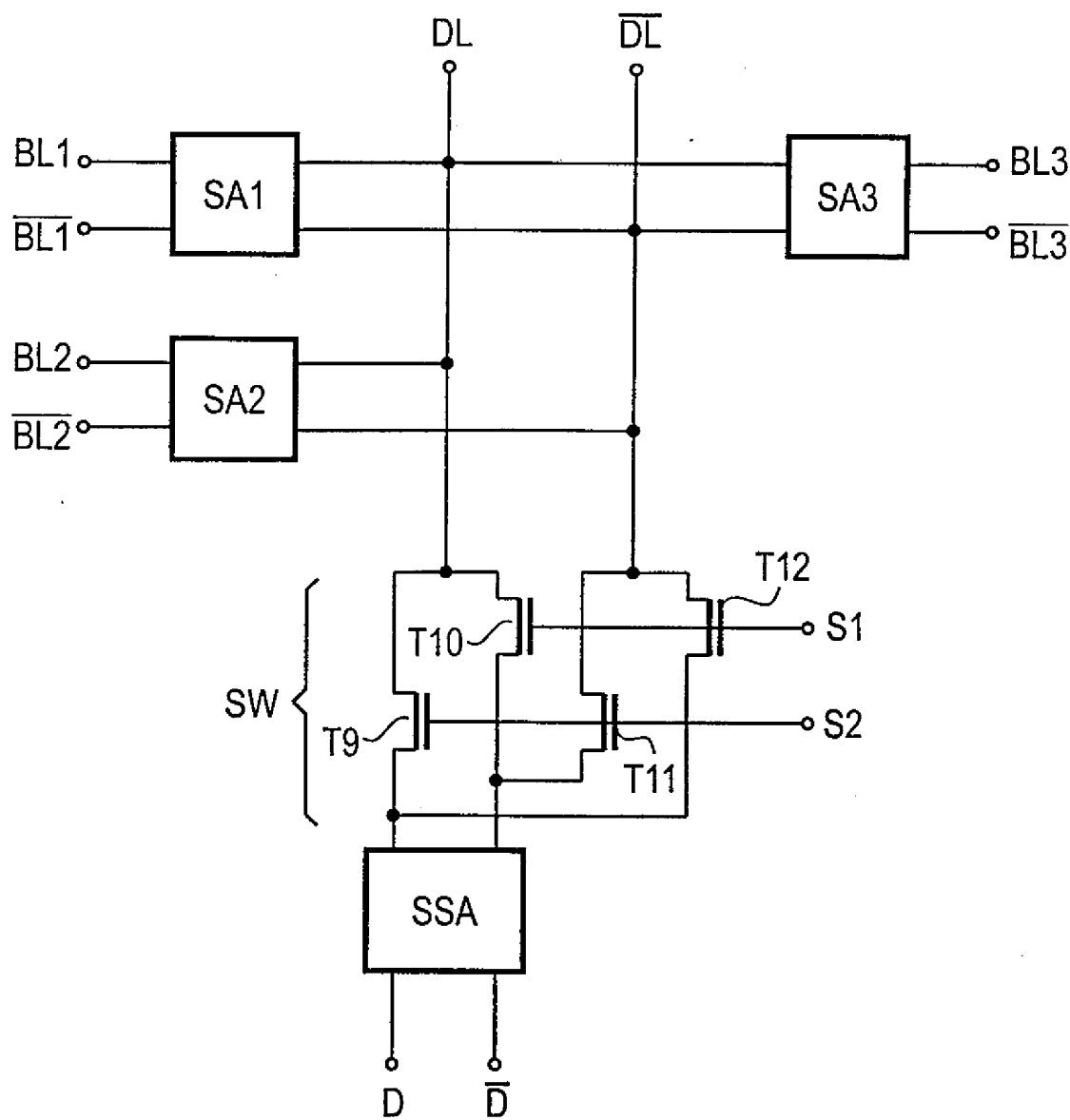
訂

線

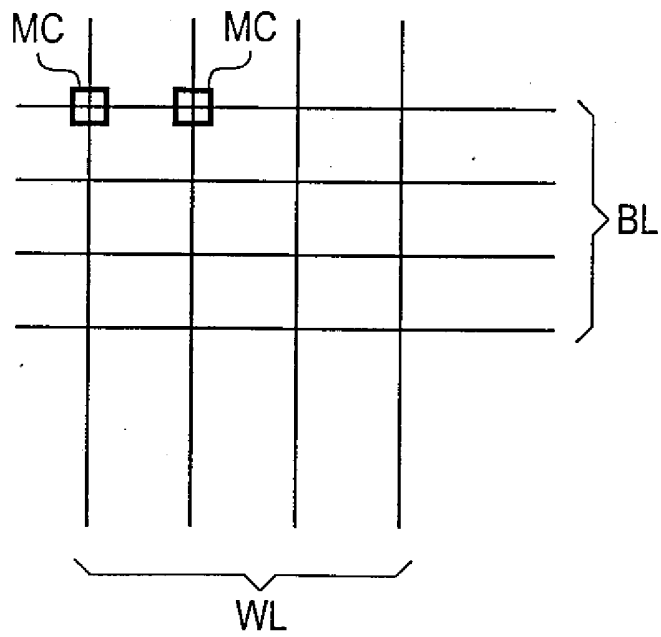
第 1 圖



第 2 圖



第 3 圖



第 4 圖

