

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月24日(24.09.2020)



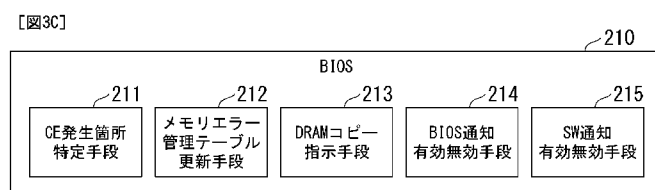
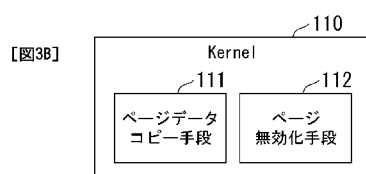
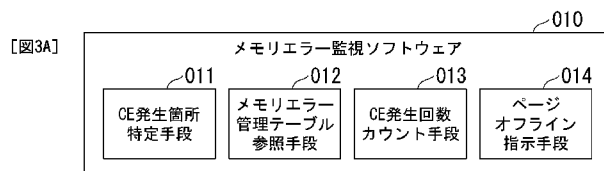
(10) 国際公開番号

WO 2020/189617 A1

- (51) 国際特許分類:
G06F 11/07 (2006.01) G06F 11/20 (2006.01)
G06F 11/10 (2006.01)
- (21) 国際出願番号: PCT/JP2020/011396
- (22) 国際出願日: 2020年3月16日(16.03.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-051453 2019年3月19日(19.03.2019) JP
- (71) 出願人: NECプラットフォームズ株式会社
(NEC PLATFORMS, LTD.) [JP/JP]; 〒2138511
- 神奈川県川崎市高津区北見方二丁目
6番1号 Kanagawa (JP).
- (72) 発明者: 中島 英二(NAKAJIMA Eiji); 〒2138511
神奈川県川崎市高津区北見方二丁目6
番1号 NECプラットフォームズ株
式会社内 Kanagawa (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.);
〒1006620 東京都千代田区丸の内一丁
目9番2号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: MEMORY FAULT HANDLING SYSTEM, INFORMATION PROCESSING DEVICE, AND MEMORY FAULT HANDLING METHOD

(54) 発明の名称: メモリ障害対処システム、情報処理装置及びメモリ障害対処方法



010 Memory error monitoring software
011, 211 CE occurrence point specification means
012 Memory error management table reference means
013 CE occurrence counts counting means
014 Page offline indication means
110 Kernel
111 Page data copying means
112 Page disabling means
212 Memory error management table updating means
213 DRAM copying indication means
214 BIOS notification enabling/disabling means
215 SW notification enabling/disabling means

(57) Abstract: This memory fault handling system includes a memory controller, firmware, and software. The memory controller has an error occurrence notification means that, when the occurrence of a memory error is detected, notifies the firmware or software about the occurrence of the memory error on the basis of a setting pertaining to a notification recipient. The firmware has: a notification recipient setting means for setting a notification recipient for the memory controller; and a spare memory switching indication means that, when a notification indicating the occurrence of a memory error is received from the memory controller, indicates that memory be switched from a memory in which the memory

HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

error has occurred to a spare memory. The software has a disabling indication means that, when a notification indicating the occurrence of a memory error is received from the memory controller, indicates that a page corresponding to the memory in which the memory error has occurred be disabled.

(57) 要約：メモリ障害対処システムは、メモリコントローラと、ファームウェアと、ソフトウェアとを含む。メモリコントローラは、メモリエラーの発生を検出すると、通知先の設定に基づいて、メモリエラーの発生をファームウェアまたはソフトウェアへ通知するエラー発生通知手段を有する。ファームウェアは、通知先をメモリコントローラに対して設定する通知先設定手段と、メモリコントローラからメモリエラーの発生を示す通知を受けると、メモリエラーが発生したメモリから予備メモリへの切り替えを指示する予備メモリ切替指示手段とを有する。ソフトウェアは、メモリコントローラからメモリエラーの発生を示す通知を受けると、メモリエラーが発生したメモリに対応するページを無効化する指示を行う無効化指示手段を有する。

明 細 書

発明の名称：

メモリ障害対処システム、情報処理装置及びメモリ障害対処方法

技術分野

[0001] 本発明は、メモリ障害対処システム、情報処理装置及びメモリ障害対処方法に関する。

背景技術

[0002] 近年、D R A M (Dynamic Random Access Memory) の価格の低下、大容量化により、サーバ装置に数十テラバイトのメモリを搭載して、計算に必要なデータをメモリ上に置くことで計算処理を圧倒的に高速化するインメモリ・コンピューティングという技術が利用されている。インメモリ・コンピューティングでは、メモリ上のデータの保全性が重要である。一方、D I M M (Dual Inline Memory Module) の高集積化、大容量化に伴ってエラーの発生頻度も増加している。メモリエラーにはE C C (Error Check and Correct) 機能で訂正されるCorrectable Error (以下、C Eと記載する。)と、E C C機能で訂正できないUncorrectable Error (以下、U C Eと記載する。)がある。C Eが複数のデータで同時に発生するとE C C機能で訂正できないため、U C Eとなる。U C Eが発生するとシステムダウンが生じる。

[0003] これに対し、近年のコンピュータシステムでは、ハードウェア (以下、H Wと記載する。)とソフトウェア (以下、S Wと記載する。)のそれぞれが、C Eが発生した場合の対処機能を装備している。

H Wは、あるD R A MでC Eの発生回数が閾値に到達した場合、故障と判断して予備のD R A Mへデータを移す機能 (以下、H W機能と記載する場合がある。)を備えている。

一方、S Wは、ページオフラインという機能を装備している。S Wは、メモリ上でのC E発生の通知を受けると、ページ単位でC Eの発生回数をカウントする。S Wは、あるページで発生したC Eの発生回数が閾値に到達した

場合、そのページを無効化するようにカーネルへ指示する。カーネルは、そのページに有効なデータが含まれているがその時点で未使用であれば、別の物理ページへデータを移して、元のページを使用しないように制御する。これをページオフライン機能（以下、SW機能と記載する場合がある。）と呼ぶ。

[0004] しかし、一般にHW機能とSW機能は連携して動作しておらず、非効率な動作を行うことがある。例えば、SWが管理対象としているページには、メモリのインターリーブによって、複数のDRAMがマッピングされている。そのため、例えば3つのDRAMそれぞれでCEが発生した場合、SWは、そのページでCEが3回発生したとカウントする。すると、そのページについてSWが管理するCEの発生回数は、HWが個々のDRAMについて管理しているCEの発生回数よりも先に、閾値に到達することがある。すると、HW機能（予備DRAMへのデータコピー）が実行可能であるにも関わらず、SW機能（ページオフライン）が先に動作してしまう。ページオフライン機能が動作すると、（１）ユーザが利用できるメモリページが減る、（２）カーネルによるデータの移動というオーバーヘッドが生じる、といった影響がある。

一方、HW側の機能は、予備のDRAMを使い、HWが有するCOPYエンジンを使ってデータを移す。このため、HW側の機能によるSWへの影響は無い。従って、まずHW側の機能を動作させ、それでもなおメモリCEが発生する場合に、最後の手段として、SW側のページオフラインを動作する方が望ましい。

[0005] 特許文献1には、このような方針に沿って、HW機能とSW機能とを連動させる仕組みが開示されている。特許文献1は、上記のHWの機能に相当する予備メモリ切替と、上記のSWの機能に相当するページ閉塞とを連携させてシステムダウンを防止するメモリ障害処理システムを開示している。

このメモリ障害処理システムは、メモリCEの発生回数が閾値に達すると、まずメモリCEが発生したメモリを予備メモリに切り替え、その後、メモ

リ C E の発生回数が閾値に達すると、ページ閉塞を行うという制御を行う。これによって、メモリ障害処理システムは、予備メモリ切替とページ閉塞とを連動させている。

ページ閉塞を行うときの動作をより具体的に説明すると、ファームウェア（以下、FWと記載する。）に実装される障害ページ通知部 6 2 が、障害が発生した箇所に対応するメモリページを、OS（Operating System）に実装されるページ閉塞部 6 3 に通知する。そして、ページ閉塞部 6 3 が通知されたページを検索してページ閉塞を行っている。

先行技術文献

特許文献

[0006] 特許文献1：特開 2 0 1 1 - 1 5 0 4 6 9 号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献 1 に記載の方法には、次の課題がある。（A）障害ページ通知部 6 2 は、BIOS（Basic Input/Output System）と呼ばれるFWに実装されている。BIOSは、エラーが発生したページをテーブルに登録し、ページ毎に発生回数をカウントし、閾値を越えた場合に閾値を越えたページをページ閉塞部 6 3 に通知する。OSに実装されるページ閉塞部 6 3 は、通知されたページに対してページ閉塞を行う。ただし、BIOSというFWがテーブルの検索、登録、発生回数のカウントを行うため、その処理の間、OSはCPUを使えない。このため、一時的にOSのCPU利用率が下がってしまう。（B）BIOSやOSに上記の機能を実装する以上、無制限に、エラーが発生した全てのページを通知するように実装することはできない。このため、通知するページ数に上限値を設ける必要がある。つまり、障害ページ通知部 6 2 は、エラーが発生した全てのページを通知することができず、及び、ページ閉塞部 6 3 はエラーが発生した全てのページを閉塞することができないという制約がある。

[0008] メモリの大容量化に伴いエラーの発生頻度が増加する可能性のあるインメモリ・コンピューティングに特許文献1の方法を適用すると、上記のような点が制約となってメモリの障害対処ができない。これにより、システムダウン等を招く可能性がある。

[0009] そこでこの発明は、上述の課題を解決するメモリ障害対処システム、情報処理装置及びメモリ障害対処方法を提供することを目的としている。

課題を解決するための手段

[0010] 本発明の一態様によれば、メモリ障害対処システムは、メモリコントローラと、ファームウェアと、ソフトウェアと、を含み、前記メモリコントローラは、メモリエラーの発生を検出すると、通知先の設定に基づいて、前記メモリエラーの発生を前記ファームウェアまたは前記ソフトウェアへ通知するエラー発生通知手段を有し、前記ファームウェアは、前記通知先を前記メモリコントローラに対して設定する通知先設定手段と、前記メモリコントローラから前記メモリエラーの発生を示す通知を受けると、前記メモリエラーが発生した前記メモリから予備メモリへの切り替えを指示する予備メモリ切替指示手段と、を有し、前記ソフトウェアは、前記メモリコントローラから前記メモリエラー発生を示す前記通知を受けると、前記メモリエラーが発生した前記メモリに対応するページを無効化する指示を行う無効化指示手段、を有する。

[0011] また、本発明の他の一態様によれば、情報処理装置は、上記のメモリ障害対処システムを備える。

[0012] また、本発明の他の一態様によれば、メモリ障害対処方法は、ファームウェアが、メモリエラーが発生した場合の通知先をメモリコントローラに対して設定するステップと、前記メモリコントローラが、メモリエラーの発生を検出すると、前記通知先の設定に基づいて、前記メモリエラーの発生を前記ファームウェアまたはソフトウェアへ通知するステップと、前記ファームウェアが、前記メモリコントローラから前記メモリエラー発生を示す通知を受け取った場合、前記メモリエラーが発生したメモリから予備メモリへの切り

替えを指示するステップと、前記ソフトウェアが、前記メモリコントローラから前記メモリエラー発生を示す前記通知を受け取った場合、前記メモリエラーが発生した前記メモリに対応するページを無効化する指示を行うステップと、を有する。

発明の効果

[0013] 本発明によれば、HWによる予備メモリ切り替え機能とSWによるページオフライン機能を連動させて、効果的にメモリCEの発生に対処することができる。

図面の簡単な説明

[0014] [図1]本発明の一実施形態に係るコンピュータシステムの一例を示す図である。

[図2A]本発明の一実施形態に係るメモリおよびメモリの一例を示す図である。

[図2B]本発明の一実施形態に係るメモリおよびメモリコントローラの一例を示す図である。

[図3A]本発明の一実施形態に係るメモリエラーに関するソフトウェア群のうち、メモリエラー監視ソフトウェアの構成の一例を示す図である。

[図3B]本発明の一実施形態に係るメモリエラーに関するソフトウェア群のうち、Kernelの構成の一例を示す図である。

[図3C]本発明の一実施形態に係るメモリエラーに関するソフトウェア群のうち、BIOSの構成の一例を示す図である。

[図4]本発明の一実施形態に係るメモリエラー管理テーブルの一例を示す図である。

[図5]本発明の一実施形態に係る制御の一例を示す第1のフローチャートである。

[図6]本発明の一実施形態に係る制御の一例を示す第2のフローチャートである。

[図7]本発明の一実施形態に係る制御の一例を示す第3のフローチャートであ

る。

[図8]本発明の一実施形態に係る制御の一例を示す第4のフローチャートである。

[図9]本発明の一実施形態に係る制御の一例を示す第5のフローチャートである。

[図10]本発明の一実施形態に係る制御の一例を示す第6のフローチャートである。

[図11]本発明の一実施形態に係るメモリ障害対処システムの最小構成を示す図である。

発明を実施するための形態

[0015] 以下、本発明の一実施形態に係るメモリエラー発生時の制御について図面を参照して説明する。

(構成)

図1は、本発明の一実施形態に係るコンピュータシステムの一例を示す図である。

図1に示すように、コンピュータシステム400は、HW（ハードウェア）300と、FW（ファームウェア）200と、OS（オペレーティングシステム）100と、SW（ソフトウェア）000と、を備えている。

[0016] HW300は、CPU（Central Processing Unit）310と、メモリコントローラ320と、1つ以上のDIMM（Dynamic Random Access Memory）330と、を含む。メモリコントローラ320は、1または複数のチャンネル（以降、CHと記載する。）を備える。各DIMM330は何れかのCHに接続されている。DIMM330は、メモリモジュールである。メモリコントローラ320は、DIMM330におけるメモリCE（Correctable Error）の発生を検出する機能と、HW機能（予備DRAMへのデータコピー機能）とを有している。

[0017] FW200は、BIOS（Basic Input/Output System）210を含んでいる。BIOS210は、HW300とOS100の間で、HW機能とSW機

能を効果的に連携させるための機能を有している。

[0018] OS 100は、Kernel (カーネル) 110を含んでいる。Kernel 110は、SW機能 (ページのオフライン機能) を有している。

SW 000は、メモリエラー監視ソフトウェア 010を含んでいる。メモリエラー監視ソフトウェア 010は、SW機能の実行を指示する。

[0019] コンピュータシステム 400において、DIMM 330にECが発生すると、OS 100と、FW 200と、HW 300とは、連携してメモリエラーへの対処を行う。

[0020] 図2A及び図2Bは、本発明の一実施形態に係るメモリおよびメモリコントローラの一例を示す図である。

図2Aは、DIMM 330の構成例を示す。DIMM 330は、ランク1、ランク2を含む。ランク1、ランク2の区別が必要ないときには、ランクと記載する。ランクは、メモリモジュールのブロックを示す。メモリコントローラ 320は、ランク単位でメモリモジュールを管理する。ランク1は、複数のDRAM 3311a~3311cと、少なくとも1つの予備DRAM 3312を備えている。ランク2は、複数のDRAM 3321a~3321cと、少なくとも1つの予備DRAM 3322を備えている。

なお、DRAM 3311a~3311cの区別が必要ないときには、DRAM 3311と記載する。DRAM 3321a~3321cの区別が必要ないときには、DRAM 3321と記載する。また、ランクの区別も必要なくDIMM 330に含まれるDRAMを指すときには、DRAM 3301と記載し、予備DRAMを指すときには予備DRAM 3302と記載する。なお、ランクの数やDRAMの数は、図示するものに限定されない。

[0021] 図2Bは、メモリコントローラ 320の構成例を示す。メモリコントローラ 320は、CE回数カウント機能 321と、ECC訂正機能 322と、DRAMコピー機能 323と、BIOS通知機能 324と、SW通知機能 325とを備えている。

CE回数カウント機能 321は、DRAM 3301ごとにメモリCEの発

生回数をカウントする。

ECC訂正機能322は、DRAM3301でメモリCEが発生するとECC（誤り訂正符号）訂正を行う。誤り訂正符号は、データを記録または伝送する際に発生する誤りを、受信側で検出し訂正できるように付加される符号である。

DRAMコピー機能323は、例えば、DRAM3301から予備DRAM3302に切り替えるときに、切り替え対象のDRAM3301から予備DRAM3302へデータのコピーを行う。例えば、DRAM3311aに閾値回数以上のメモリCEが発生した場合、DRAM3311aから、同じランク1の予備DRAM3312へデータのコピーが実行される。

BIOS通知機能324は、予備DRAM3302への切り替え前にメモリCEの発生回数が所定の閾値を上回った場合、メモリCEの発生をFW200へ通知する。

SW通知機能325は、予備DRAM3302へ切り替えた後に、さらにメモリCEが発生した場合、メモリCEの発生をSW000（メモリエラー監視ソフトウェア010）へ通知する。

[0022] 図3A及び図3Bは、本発明の一実施形態に係るメモリエラーに関するソフトウェア群の一例を示す図である。

図3Aは、メモリエラー監視ソフトウェア010の構成例を示す。メモリエラー監視ソフトウェア010は、CE発生箇所特定手段011と、メモリエラー管理テーブル参照手段012と、CE発生回数カウント手段013と、ページオフライン指示手段014とを有している。

CE発生箇所特定手段011は、メモリCEが発生したDRAM3301を特定する。

メモリエラー管理テーブル参照手段012は、図4で後述するメモリエラー管理テーブル500を参照して、メモリCEが発生したDRAM3301について、予備DRAM3302へのデータコピーが実行済みであるか否かを示す情報を取得する。

C E発生回数カウント手段013は、メモリコントローラ320から通知されたメモリC Eの回数をページ単位でカウントする。

ページオフライン指示手段014は、C E発生回数カウント手段013がカウントしたC Eの発生回数が閾値を超えると、メモリC Eの発生回数が閾値を超えたページを無効化するようにK e r n e l 110へ指示する。

[0023] 図3Bは、K e r n e l 110の構成例を示す。K e r n e l 110は、ページデータコピー手段111と、ページ無効化手段112とを有している。

ページデータコピー手段111は、ページ無効化の前に、無効化対象のページから有効なページヘデータをコピーする。

ページ無効化手段112は、メモリエラー監視ソフトウェア010（ページオフライン指示手段014）から指定されたページを無効化する。

[0024] 図3Cは、B I O S 210の構成例を示す。B I O S 210は、C E発生箇所特定手段211と、メモリエラー管理テーブル更新手段212と、D R A Mコピー指示手段213と、B I O S通知有効無効手段214と、S W通知有効無効手段215と、を有している。

C E発生箇所特定手段211は、メモリC Eが発生したD R A M 3301を特定する。

メモリエラー管理テーブル更新手段212は、図4で後述するメモリエラー管理テーブル500内の、予備D R A M 3302ヘデータコピーを行ったD R A M 3301の位置に対応するデータに対して、H W機能が実行済みであることを示す情報を登録する。

D R A Mコピー指示手段213は、メモリC Eの発生回数が閾値を超えたD R A M 3301について、そのD R A M 3301のデータを予備D R A M 3302ヘコピーするよう、メモリコントローラ320へ指示する。この指示は、H W機能の実行指示である。

B I O S通知有効無効手段214は、D R A M 3301でメモリC Eが発生した場合に、メモリC Eの発生をB I O S 210に通知するか否かを設定

する。

SW通知有効無効手段215は、DRAM3301でメモリCEが発生した場合に、メモリCEの発生をメモリエラー監視ソフトウェア010に通知するか否かを設定する。

[0025] 図4は、本発明の一実施形態に係るメモリエラー管理テーブルの一例を示す図である。

図4に示すようにメモリエラー管理テーブル500は、CPUテーブル501を含む。CPUテーブル501は、メモリコントローラテーブル502を含む。メモリコントローラテーブル502は、チャネルテーブル503を含む。チャネルテーブル503は、ランクテーブル504を含む。

[0026] 図4には一例として、4つのCPU301、各CPU301に対して2つのメモリコントローラ302、各メモリコントローラ302に対して3つのCH、各CHに対して7つのランクが設けられたコンピュータシステム400のメモリエラー管理テーブル500を例示する。前述したとおり、ランクはメモリモジュールのブロックを示す。

コンピュータシステム400がこのような構成の場合、図示するように、メモリエラー管理テーブル500は、CPU1～CPU4（4つのCPU301）に対応するCPUテーブル501-1～501-4を含む。また、例えば、CPU1に対応するCPUテーブル501-1は、2つのメモリコントローラ302に対応するメモリコントローラテーブル502-1～502-2を含む。また、例えば、メモリコントローラテーブル502-1は、3つのCHに対応するチャネルテーブル503-1～503-3を含む。また、例えば、チャネルテーブル503-1は、7つのランクに対応するランクテーブル504-1～504-7を含む。

そして、ランクテーブル504-1～504-7の各々には、対応するブロックのメモリモジュールに関して、HW機能が実行済みであることを示す値（例えば、0xFF）、又は、HW機能が未実行であることを示す値（例えば、0x00）が格納される。初期状態では、ランクテーブル504-1

～504-7の各々には、「0x00」の値が格納されている。

BIOS210は、メモリコントローラ320に対するHW機能の実行を指示すると、当該DRAM3301を含むランクに対応するランクテーブル504（例えば、ランクテーブル504-1）に値「0xFF」を書き込む。メモリエラー監視ソフトウェア010は、ランクテーブル504に値「0xFF」が格納されていることを確認した後に、ページ無効化の指示を行う。これにより、まず、HW機能を動作し、その後、SW機能を動作させるという処理の順序が確保される。

[0027] BIOS210が、メモリエラー管理テーブル更新手段212を使ってメモリエラー管理テーブル500に対する書き込みを行う。メモリエラー監視ソフトウェア010がメモリエラー管理テーブル参照手段012を使って、メモリエラー管理テーブル500の読み込みを行う。従って、メモリエラー管理テーブル500は、BIOS210とメモリエラー監視ソフトウェア010が、アクセス可能な共有メモリ等に記憶される。

[0028] （動作）

次にメモリCE発生時の動作について説明する。

図5は、本発明の一実施形態に係る制御の一例を示す第1のフローチャートである。

図5は、CE発生時の通知先の初期設定を行う処理を示す。

BIOS210は、BIOS通知有効無効手段214を使って、メモリCEの発生をBIOS210へ通知するようメモリコントローラ320に対して設定しておく（ステップS1）。また、BIOS210は、SW通知有効無効手段215を使って、メモリCEの発生をSW000へ通知しないようにメモリコントローラ320に対して設定しておく（ステップS2）。

メモリコントローラ320は、これらの設定を受け取って、BIOS通知機能324を有効にする設定、及び、SW通知機能325を無効にする設定を行う。これらの初期設定により、ECC訂正機能322で訂正されたメモリCEが閾値を越えて発生した場合、その通知は、BIOS通知機能324

によって、BIOS 210へ通知される。

次に初期設定（図5のS1、S2）が行われた状態でメモリCEが発生したときの動作を、図6を参照して説明する。

[0029] 図6は、本発明の一実施形態に係る制御の一例を示す第2のフローチャートである。

メモリCEが発生したメモリコントローラ320は、ECC訂正機能322を使ってメモリCEを訂正する（ステップS11）。次にメモリコントローラ320は、CE回数カウント機能321を使って、DRAM3301ごとのメモリCEの発生回数をカウントする（ステップS12）。

メモリコントローラ320は、メモリCEが発生したDRAM3301のメモリCEの発生回数が閾値に到達したか否かを確認する（ステップS13）。閾値に到達していない場合（ステップS13のNO）、図6に示す処理が終了する。閾値に到達した場合（ステップS13のYES）、メモリコントローラ320は、BIOS通知機能324を使って、メモリCEの発生をBIOS 210へ通知する（ステップS14）。

メモリCEの発生がBIOS 210へ通知されると、始めにHW機能を使ってエラーが発生したDRAM3301のデータが予備DRAM3302へ移される。次に図7を参照してHW機能に係る一連の処理の流れを説明する。

[0030] 図7は、本発明の一実施形態に係る制御の一例を示す第3のフローチャートである。図7は、メモリCEの発生回数が閾値に達し（S13のYES）、BIOS 210に通知が出力された場合（図6のS14）の処理を示す。

メモリCE発生の通知を受信したBIOS 210は、DRAMコピー指示手段213を使ってメモリコントローラ320に対して指示する。BIOS 210は、メモリCEが発生したDRAM3301のデータを予備DRAM3302へコピーするよう、メモリコントローラ320に対して指示する（ステップS21）。メモリコントローラ320は、この指示を受けて、DRAMコピー機能323を使って、指定されたDRAM3301から同じラン

クの予備DRAM3302へのデータのコピーを行うことで、HW機能を動作させる。

次にBIOS210は、CE発生箇所特定手段211を使って、メモリCEが発生したDRAM3301を特定する（ステップS22）。次にBIOS210は、メモリエラー管理テーブル更新手段212を使って、メモリCEが発生したDRAM3301の位置を、メモリエラー管理テーブル500に登録する（ステップS23）。DRAM3301の位置は、例えば、当該DRAM3301を含むランクを識別する情報を示す。

ここで、例えば、メモリCEが発生したDRAMの位置が、「CPU1ーメモリコントローラ1ーチャネル1ーランク1」であった場合を例示する。この場合、BIOS210は、図4に例示で示されるメモリエラー管理テーブル500の「CPU1ーメモリコントローラ1ーチャネル1ーランク1」に該当する箇所にHW機能動作済み（ステップ1動作済み）を示す値（例えば、「0xFF」）に登録する。すなわち、BIOS210は、メモリエラー管理テーブル500における、メモリCEが発生したDRAM3301が属するランクに対応するエリアに値「0xFF」を書き込む。

次に、BIOS210は、BIOS通知有効無効手段214を使って、HW機能が動作済みのランクで発生したメモリCEをBIOS210へ通知しないよう、メモリコントローラ320に対して設定する（ステップS24）。BIOS210は、SW通知有効無効手段215を使って、HW機能が動作済みのランクに属する複数のDRAM3301の何れかのDRAM3301におけるメモリCEの発生をSW000（メモリエラー監視ソフトウェア010）へ通知するよう、メモリコントローラ320に対して設定する（ステップS25）。

これにより、HW機能を動作させたランクに属する複数のDRAM3301のうち、その後、他のDRAM3301等でメモリCEが発生した場合に、そのメモリCEの発生はメモリエラー監視ソフトウェア010へ通知される。これは、同一ランクに属する複数のDRAM3301のうち、何れかの

DRAM3301に対してHW機能が既に動作済みの場合、予備DRAM3302が無いという理由により、SW機能で対処する必要があるためである。メモリCEの発生回数は、メモリエラー監視ソフトウェア010でカウントされ、閾値を上回った場合（図9にて後述）、SW機能を使って、エラーが発生したページのデータが別のページに移される。

次に、HW機能が動作したランクに属するDRAM3301のメモリCEの発生が検出された場合の処理の流れを図8に示す。

[0031] 図8は、本発明の一実施形態に係る制御の一例を示す第4のフローチャートである。

メモリコントローラ320は、HW機能が動作済みのランクに属する何れかのDRAM3301におけるメモリCEの発生を検出すると、ECC訂正機能322を使ってメモリCEを訂正する（ステップS31）。次にメモリコントローラ320は、HW機能動作済みであることに基づいて（CE回数をカウントせずに）、SW通知機能325を使って、メモリCEの発生をメモリエラー監視ソフトウェア010へ通知する（ステップS32）。メモリCEの発生が通知されたメモリエラー監視ソフトウェア010の動作を、図9を参照して説明する。

[0032] 図9は、本発明の一実施形態に係る制御の一例を示す第5のフローチャートである。

メモリエラー監視ソフトウェア010は、CE発生箇所特定手段011を使って、メモリCEが発生したDRAM3301を特定する（ステップS41）。次にメモリエラー監視ソフトウェア010は、メモリエラー管理テーブル参照手段012を使って、ステップS41で特定した、メモリCEが発生したDRAM3301に対してHW機能が動作済みか否かを調べる（ステップS42及びステップS43）。具体的には、メモリエラー監視ソフトウェア010は、特定したメモリCEが発生したDRAM3301の位置をキーにして、メモリエラー管理テーブル500を検索して、HW機能が動作済みか否かを調べる。

HW機能がまだ動作していない場合は（ステップS 4 3のNO）、図9の処理が終了する。HW機能が動作済みの場合（ステップS 4 3のYES）、メモリエラー監視ソフトウェア0 1 0は、CE発生回数カウント手段0 1 3を使ってCE発生回数をページ単位でカウントする（ステップS 4 4）。CE発生回数カウント手段0 1 3は、ステップS 4 1で特定されたDRAM3 3 0 1に対応する（DRAM3 3 0 1がマッピングされた）ページについてCE発生回数をカウントする。例えば、ページには、複数のDRAM3 3 0 1がマッピングされている。

メモリエラー監視ソフトウェア0 1 0は、特定されたDRAM3 3 0 1に対応するページのCE発生回数が閾値に到達したか否かを確認する（ステップS 4 5）。閾値に到達していない場合（ステップS 4 5のNO）、図9の処理が終了する。閾値に到達した場合（ステップS 4 5のYES）、メモリエラー監視ソフトウェア0 1 0は、ページオフライン指示手段0 1 4を使って、無効化するページを指定して、ページオフラインをKernel 1 1 0に対して指示する（ステップS 4 6）。

このように、エラーが発生したDRAM3 3 0 1のランク内でHW機能が動作済みの場合には、当該DRAM3 3 0 1がマッピングされたページのCE発生回数に応じて、当該ページに対してSW機能が実行される。なお、図9のステップS 4 5で用いられる閾値と、図6のステップS 1 3で用いられる閾値は同一の値であってもよいし、異なる値であってもよい。すなわち、HW機能を動作させるか否かを判定するための閾値と、SW機能を動作させるか否かの閾値は、同一であってもよいし異なってもよい。

[0033] 図10は、本発明の一実施形態に係る制御の一例を示す第6のフローチャートである。図10を参照して、ページオフラインを指示された（図9のS 4 6）ときの、Kernel 1 1 0の動作を説明する。

Kernel 1 1 0は、ページデータコピー手段1 1 1を使って、メモリエラー監視ソフトウェア0 1 0から指定されたページ上のデータを別のページへコピーする（ステップS 5 1）。次にKernel 1 1 0は、ページ無

効化手段１１２を使って、メモリエラー監視ソフトウェア０１０から指定されたメモリＣＥが発生したページを使わないよう無効化する（ステップＳ５２）。これにより、ＳＷ機能が実行済みとなる。

[0034] 次にメモリエラー管理テーブル５００の登録と参照について、具体例を交えて説明する。

例えば、図７のステップＳ２２において、ＢＩＯＳ２１０が、メモリＣＥが発生したＤＲＡＭの位置が、「ＣＰＵ１－メモリコントローラ１－チャンネル１－ランク１」であると特定する場合を例示する。この場合、ステップＳ２３において、ＢＩＯＳ２１０は、図４に例示するメモリエラー管理テーブル５００の「ＣＰＵ１－メモリコントローラ１－チャンネル１－ランク１」に該当する箇所に、ＨＷ機能（予備ＤＲＡＭへのデータコピー）が動作済みであることを示す値を登録する。

そして、図９の処理のステップＳ４１において、メモリエラー監視ソフトウェア０１０は、メモリＣＥが発生したＤＲＡＭ３３０１の位置が、「ＣＰＵ１－メモリコントローラ１－チャンネル１－ランク１」であると特定する。すなわち、メモリエラー監視ソフトウェア０１０は、メモリＣＥが発生したＤＲＡＭ３３０１のランクを識別する。そして、メモリエラー監視ソフトウェア０１０は、メモリエラー管理テーブル５００の「ＣＰＵ１－メモリコントローラ１－チャンネル１－ランク１」に該当する箇所の値を参照して、ＨＷ機能が動作済みであることを確認する。

そして、メモリエラー監視ソフトウェア０１０は、ステップＳ４４においてメモリＣＥ発生回数をカウントする。メモリエラー監視ソフトウェア０１０は、ランク１に属するＤＲＡＭ３３０１でメモリＣＥが発生した場合、当該ＤＲＡＭ３３０１がマッピングされたページのメモリＣＥ発生回数をカウントする。メモリエラー監視ソフトウェア０１０は、メモリＣＥ発生回数が閾値に到達していた場合（ステップＳ４５のＹＥＳ）、ステップＳ４６において、当該ページについてＳＷ機能（ページオフライン）を動作させる。このように本実施形態では、メモリエラー管理テーブル５００に基づいて、Ｈ

W機能が実行済みであることが確認されてから、SW機能を動作させる。

[0035] 本実施形態によれば、HW300とSW000の中間に位置するFW200にメモリエラー管理テーブル500を作成しておく。また、メモリCEが発生すると最初はFW200に通知が行き、FW200がHW機能を動作させる。さらにFW200はHW機能を動作させたDRAM3301の位置をメモリエラー管理テーブル500に登録する。

そして、FW200は、HW機能が動作済みのランク内の何れかのDRAM3301で次にメモリCEが発生した場合、SW000に通知が出力されるように設定する。さらにメモリCEが発生するとSW000に通知が出力される。SW000がメモリCEを認識すると、メモリCEが発生したDRAM3301を特定し、メモリエラー管理テーブル500を参照して、特定したDRAM3301に対してHW機能が動作済みか否かを確認する。HW機能が動作済みの場合、SW000は、特定したDRAM3301に対応するページのメモリCE発生回数に応じてページオフライン機能を動作させる。

これにより、メモリCEが発生した場合にまずHW機能を動作させ、HW機能の動作後においてもメモリCEが発生する場合にSW機能を動作させるという制御を実現することができる。

[0036] また、上記したように、本実施形態によれば、BIOS210によるメモリCEエラーの通知先の設定処理（図5）により、SW機能より先にHW機能が動作する。図5の設定処理では、メモリCEの発生がBIOS210に対して通知され、SW000には通知されないように設定される。そのため、HW機能によってメモリCEの発生が収まれば、SW機能（ページオフライン）が動作することはない。その場合、（1）ユーザが利用できるメモリページが減る、（2）カーネルによるデータの移動というオーバーヘッドが生じる、といった影響を受けることなく、コンピュータシステム400の運用を継続することができる。

HW機能が動作した後であってもさらにメモリCEが発生していると判定

された場合には、その時点で、SW機能を動作させる。これにより、メモリCEが複数個所で同時に発生しUCE（Uncorrectable Error）となり、コンピュータシステム400がシステムダウンすることを防止できる。

[0037] また、本実施形態では、BIOS210のBIOS通知有効無効手段214、及びSW通知有効無効手段215の設定に基づいて、HW機能実行前であれば、メモリコントローラ320からBIOS210へメモリCE発生が通知される。また、HW機能実行後であれば、メモリコントローラ320からメモリエラー監視ソフトウェア010へメモリCE発生が通知される。また、無効化が必要なページに対応するDRAM3301の位置は、メモリエラー管理テーブル500を介してメモリエラー監視ソフトウェア010に通知される。そのため、BIOS210が無効化（閉塞）すべきページを通知する必要が無く効率的である。

また、メモリエラー監視ソフトウェア010は、メモリエラー管理テーブル500を参照してDRAM3301の位置を確認し、確認されたDRAM3301の位置に対応するページを無効化する。これにより、無効化対象のページを検索する必要が無く効率的である。

従って、メモリの大容量化に伴いエラーの発生頻度が増加する可能性のあるインメモリ・コンピューティング環境においても、滞りなく、メモリ障害への対処を行うことができる。

[0038] また、メモリエラー管理テーブル500には、コンピュータシステム400が実際に搭載する（有限の）DRAM3301の情報を登録しておく。これにより、どのDRAM3301でメモリCEが発生した場合であっても、メモリエラー管理テーブル500に基づく上記処理により対処することができる。従って、無効化できるページ数に上限値を設ける等の制約が生じない。

[0039] 図11は、本発明の一実施形態に係るメモリ障害対処システムの最小構成を示す図である。

図11に示すようにメモリ障害対処システム10は、少なくともソフトウ

ウェア２０と、ファームウェア３０と、メモリコントローラ４０とを含む。

メモリコントローラ４０は、メモリエラー（ＣＥ）の発生を検出すると、メモリエラーの発生を、ファームウェア３０またはソフトウェア２０へ通知するエラー発生通知部４１を有する。

ソフトウェア２０は、無効化指示部２１を有する。無効化指示部２１は、メモリコントローラ３２０からメモリエラー発生の通知を受けると、メモリエラーが発生したメモリに対応するページを無効化するようにカーネルに指示する。

ファームウェア３０は、予備メモリ切替指示部３１と通知先設定部３２とを有する。通知先設定部３２は、メモリコントローラ４０がメモリエラーの発生を検出した時のメモリエラー発生の通知先（ソフトウェア２０またはファームウェア３０）を、メモリコントローラ４０に対して設定する。予備メモリ切替指示部３１は、メモリコントローラ４０からメモリエラー発生の通知を受けると、メモリエラーが発生したメモリから予備メモリへの切り替えをメモリコントローラ４０へ指示する。

上記の実施形態の構成と対比すると、ソフトウェア２０はメモリエラー監視ソフトウェア０１０に対応し、ファームウェア３０はＢＩＯＳ２１０に対応し、メモリコントローラ４０はメモリコントローラ２３０に対応する。

また、エラー発生通知部４１はＢＩＯＳ通知機能３２４およびＳＷ通知機能３２５に対応し、ページ無効化指示部２１はページオフライン指示手段０１４に対応する。また、予備メモリ切替指示部３１はＤＲＡＭコピー指示手段２１３に対応し、通知先設定部３２はＢＩＯＳ通知有効無効手段２１４およびＳＷ通知有効無効手段２１５に対応する。

[0040] なお、メモリエラー監視ソフトウェア０１０の各手段、Kernel 1110の各手段、及びＢＩＯＳ２１０の各手段による各処理の過程は、プログラムの形式でコンピュータ読み取り可能な記録媒体に記憶される。このプログラムが、ＣＰＵ３１０が読み出して実行することによって、上記処理が行われる。ここでコンピュータ読み取り可能な記録媒体とは、磁気ディスク、光

磁気ディスク、CD-ROM、DVD-ROM、半導体メモリ等をいう。また、このコンピュータプログラムを通信回線によってコンピュータに配信し、この配信を受けたコンピュータが当該プログラムを実行するようにしてもよい。また、上記プログラムは、前述した機能の一部を実現するためのものであってもよい。さらに、前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であってもよい。

[0041] その他、本発明の趣旨を逸脱しない範囲で、上記した実施の形態における構成要素を周知の構成要素に置き換えることは適宜可能である。また、この発明の技術範囲は上記の実施形態に限られるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。コンピュータシステム400は、情報処理装置の一例である。

[0042] この出願は、2019年3月19日に日本出願された特願2019-051453号を基礎とする優先権を主張し、その開示の全てをここに取り込む。

産業上の利用可能性

[0043] 本発明によれば、HWによる予備メモリ切り替え機能とSWによるページオフライン機能を連動させて、効果的にメモリCEの発生に対処することができる。

符号の説明

[0044] 000・・・SW
010・・・メモリエラー監視ソフトウェア
011・・・CE発生箇所特定手段
012・・・メモリエラー管理テーブル参照手段
013・・・CE発生回数カウント手段
014・・・ページオフライン指示手段
100・・・OS
110・・・Kernel

1 1 1 . . . ページデータコピー手段
1 1 2 . . . ページ無効化手段
2 0 0 . . . F W
2 1 0 . . . B I O S
2 1 1 . . . C E 発生箇所特定手段
2 1 2 . . . メモリエラー管理テーブル更新手段
2 1 3 . . . D R A M コピー指示手段
2 1 4 . . . B I O S 通知有効無効手段
2 1 5 . . . S W 通知有効無効手段
3 0 0 . . . H W
3 1 0 . . . C P U
3 2 0 . . . メモリコントローラ
3 2 1 . . . C E 回数カウント機能
3 2 2 . . . E C C 訂正機能
3 2 3 . . . D R A M コピー機能
3 2 4 . . . B I O S 通知機能
3 2 5 . . . S W 通知機能
3 3 0 . . . D I M M
3 3 1 1、3 3 2 1 . . . D R A M
4 0 0 . . . コンピュータシステム
5 0 0 . . . メモリエラー管理テーブル
5 0 1 . . . C P U テーブル
5 0 2 . . . メモリコントローラテーブル
5 0 3 . . . チャネルテーブル
5 0 4 . . . ランクテーブル

請求の範囲

[請求項1]

メモリコントローラと、

ファームウェアと、

ソフトウェアと、

を含み、

前記メモリコントローラは、

メモリエラーの発生を検出すると、通知先の設定に基づいて、前記メモリエラーの発生を前記ファームウェアまたは前記ソフトウェアへ通知するエラー発生通知手段、を有し、

前記ファームウェアは、

前記通知先を前記メモリコントローラに対して設定する通知先設定手段と、

前記メモリコントローラから前記メモリエラーの発生を示す通知を受けると、前記メモリエラーが発生した前記メモリから予備メモリへの切り替えを指示する予備メモリ切替指示手段と、を有し、

前記ソフトウェアは、

前記メモリコントローラから前記メモリエラーの発生を示す前記通知を受けると、前記メモリエラーが発生した前記メモリに対応するページを無効化する指示を行う無効化指示手段、を有する、

メモリ障害対処システム。

[請求項2]

前記通知先設定手段は、前記予備メモリへの前記切り替え前においては、前記ファームウェアを前記通知先として設定し、前記予備メモリへの前記切り替え後には、前記ソフトウェアを前記通知先として設定する、

請求項1に記載のメモリ障害対処システム。

[請求項3]

前記ファームウェアは、前記メモリコントローラが管理する複数のメモリについて、前記予備メモリへ切り替え済みか否かを示す情報を登録するメモリエラー管理テーブルを記憶し、

前記メモリエラー管理テーブルは、前記ファームウェアから更新可能、且つ、前記ソフトウェアから参照可能に記憶される、

請求項1または請求項2に記載のメモリ障害対処システム。

[請求項4] 前記ファームウェアは、前記予備メモリへの前記切り替えを指示すると、切り替え対象の前記メモリが、前記予備メモリへ切り替え済みであることを示す情報を前記メモリエラー管理テーブルに登録する、
請求項3に記載のメモリ障害対処システム。

[請求項5] 前記ソフトウェアは、前記メモリエラー管理テーブルを参照して、前記メモリエラーが発生したメモリについて、前記切り替え済みであることを示す情報が登録されている場合に、前記ページの無効化を指示する、

請求項3または請求項4に記載のメモリ障害対処システム。

[請求項6] 前記ソフトウェアは、前記メモリエラー管理テーブルに登録された前記メモリの位置に基づいて、当該位置に対応する前記ページの無効化を指示する、

請求項3から請求項5の何れか1項に記載のメモリ障害対処システム。

[請求項7] 請求項1から請求項6の何れか1項に記載のメモリ障害対処システムを含む、
情報処理装置。

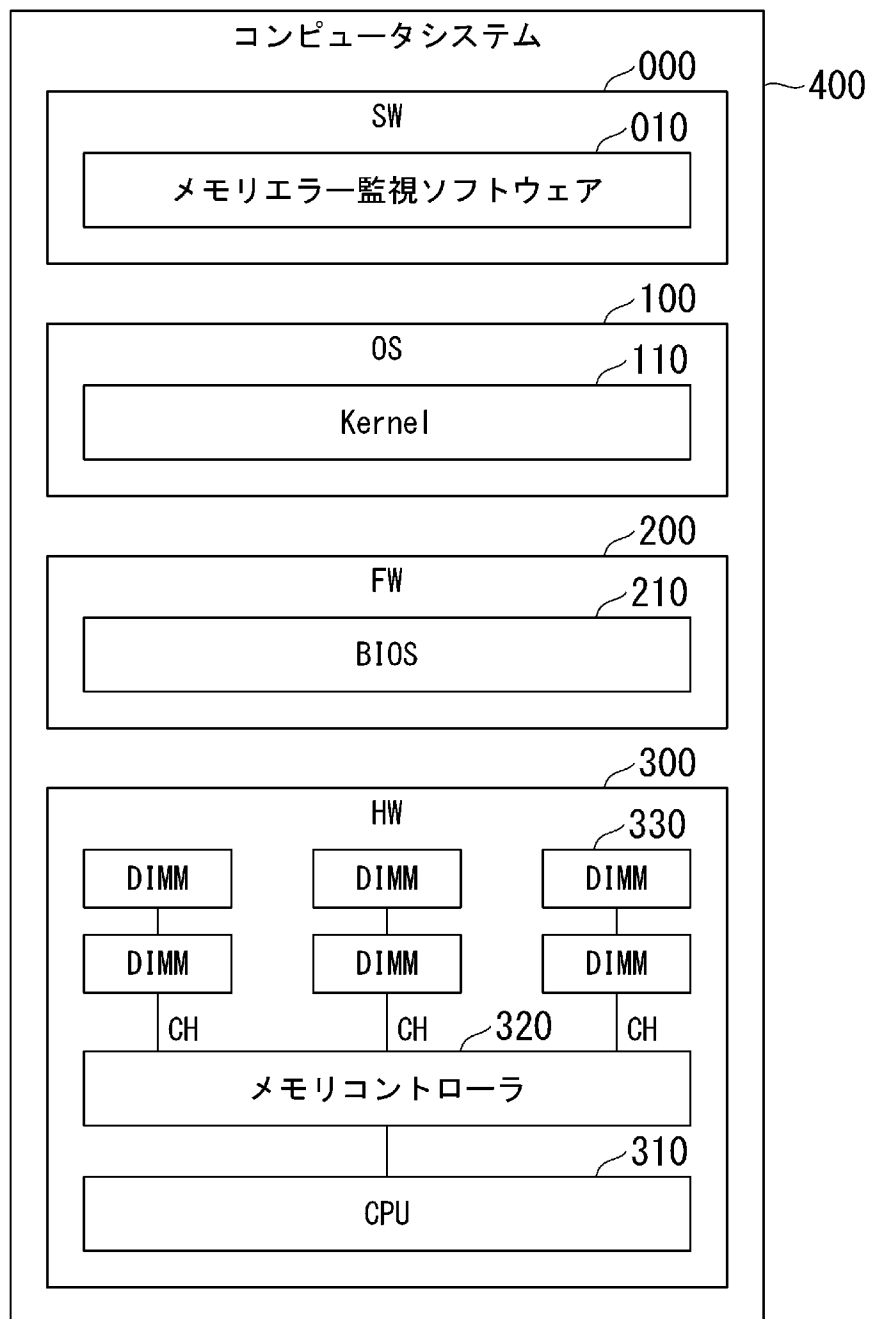
[請求項8] ファームウェアが、メモリエラーが発生した場合の通知先をメモリコントローラに対して設定するステップと、

前記メモリコントローラが、メモリエラーの発生を検出すると、前記通知先の設定に基づいて、前記メモリエラーの発生を前記ファームウェアまたはソフトウェアへ通知するステップと、

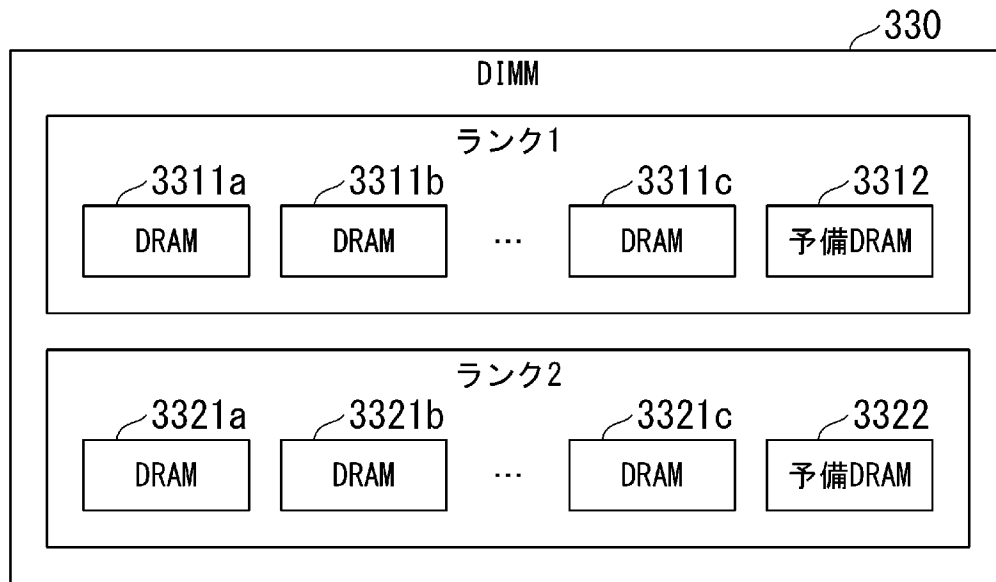
前記ファームウェアが、前記メモリコントローラから前記メモリエラーの発生を示す通知を受け取った場合、前記メモリエラーが発生したメモリから予備メモリへの切り替えを指示するステップと、

前記ソフトウェアが、前記メモリコントローラから前記メモリエラーの発生を示す前記通知を受け取った場合、前記メモリエラーが発生した前記メモリに対応するページを無効化する指示を行うステップとを有する、メモリ障害対処方法。

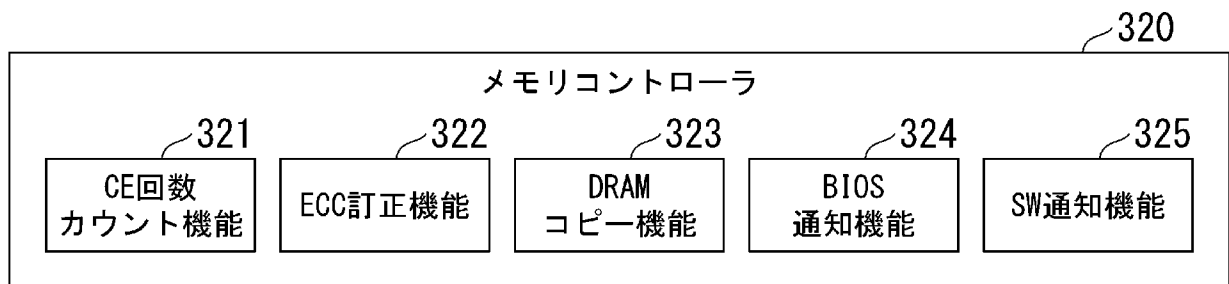
[図1]



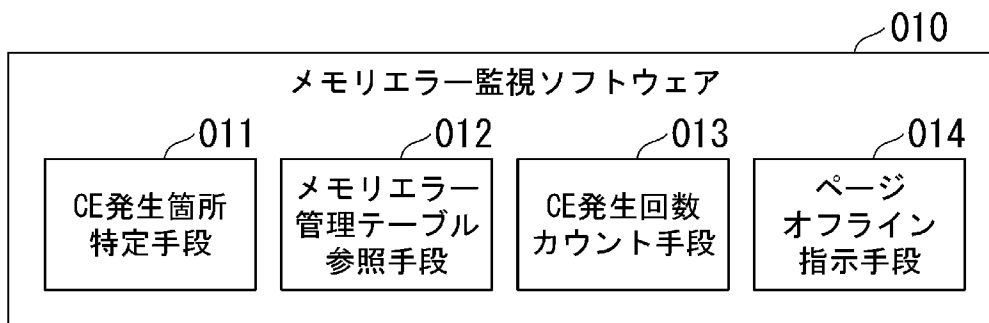
[図2A]



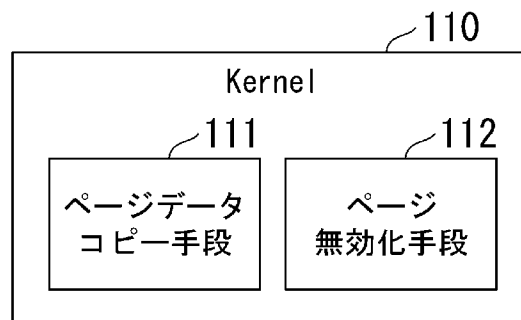
[図2B]



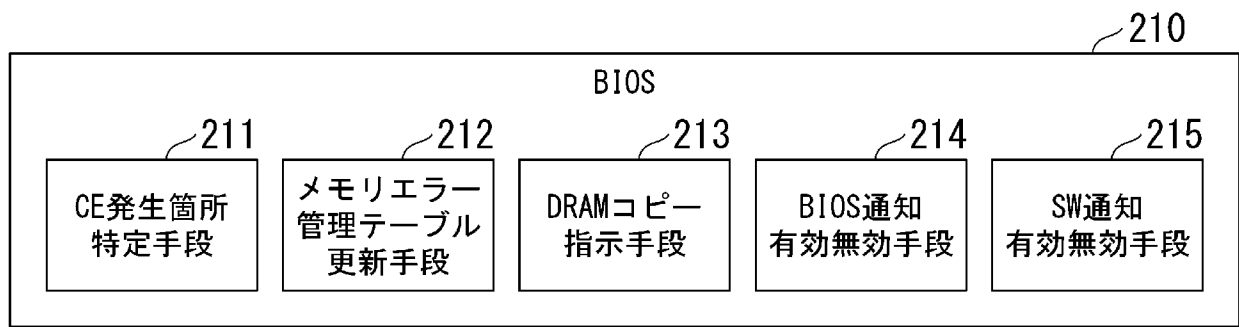
[図3A]



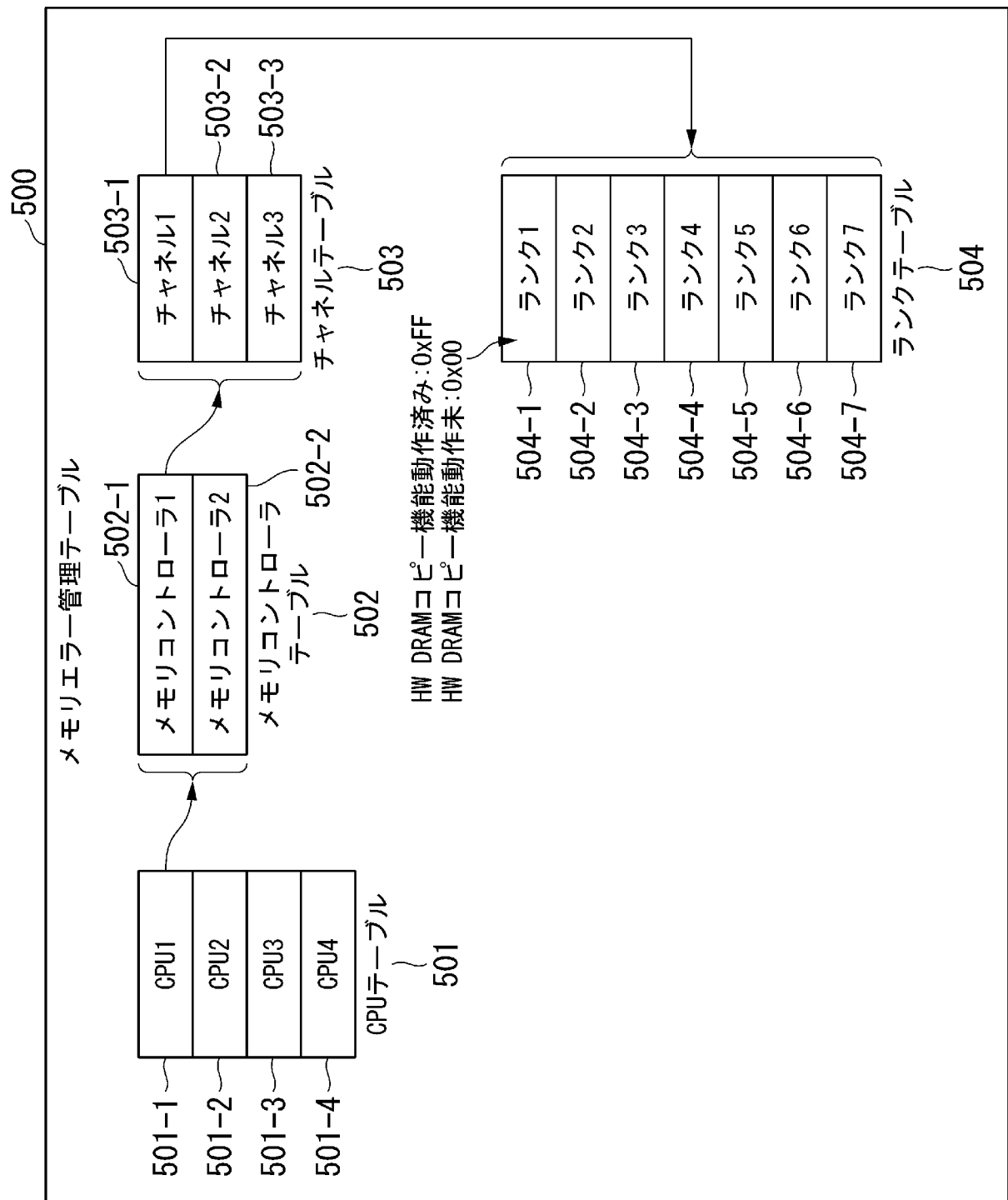
[図3B]



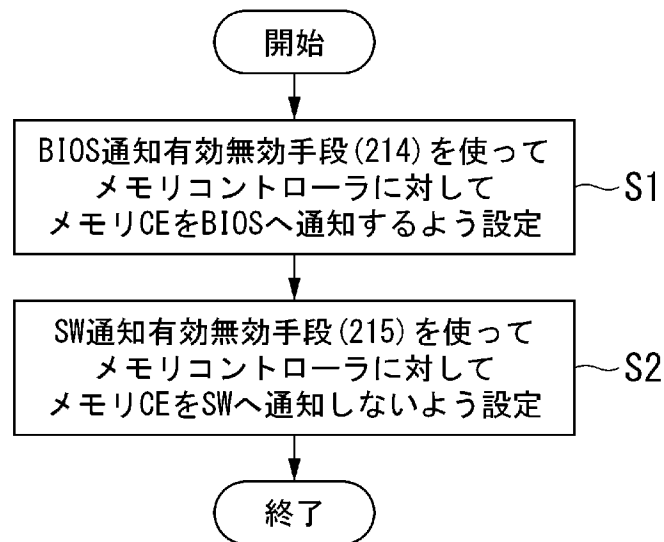
[図3C]



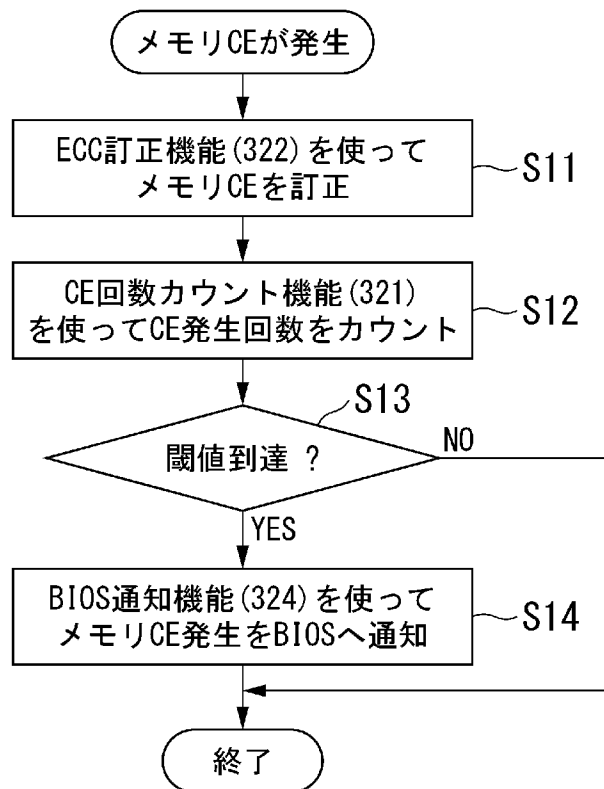
[図4]



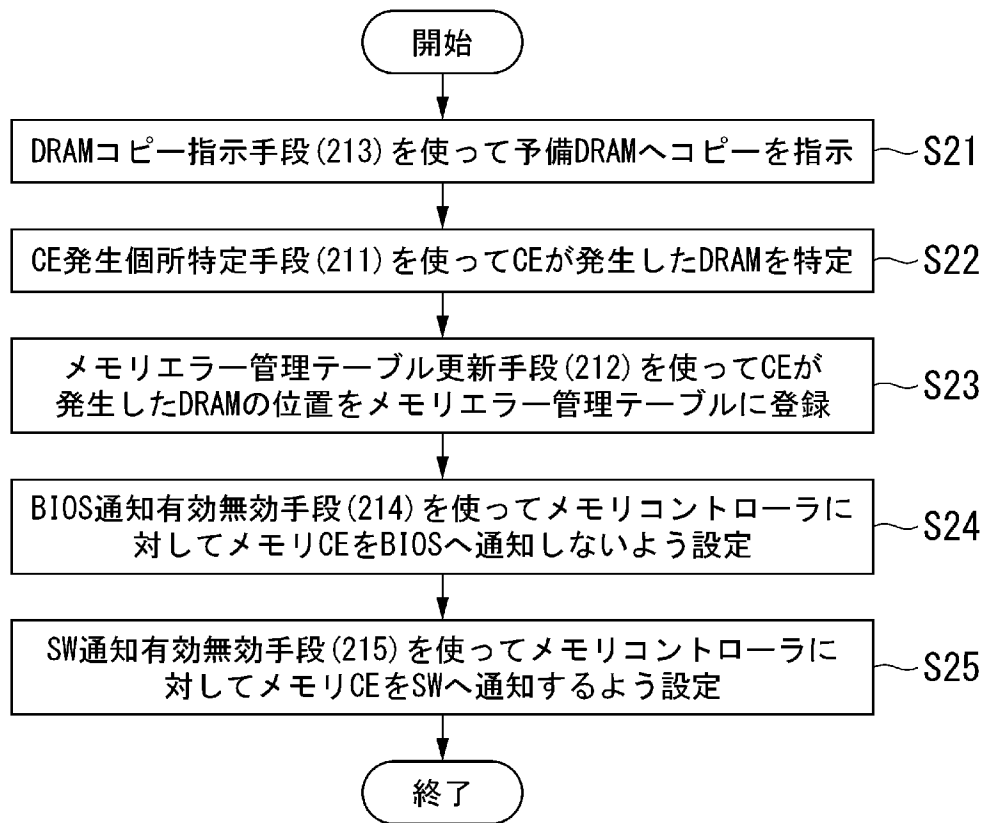
[図5]



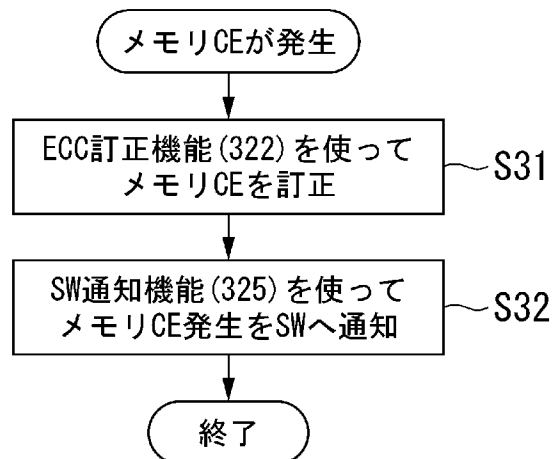
[図6]



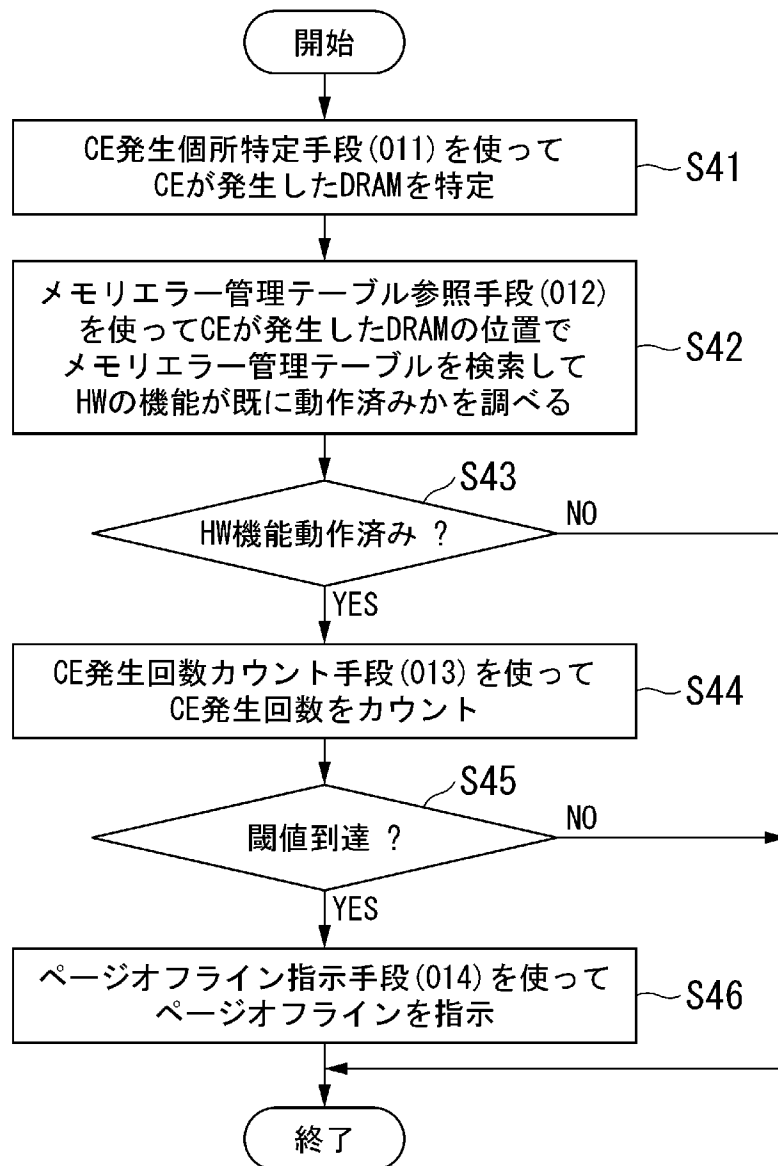
[図7]



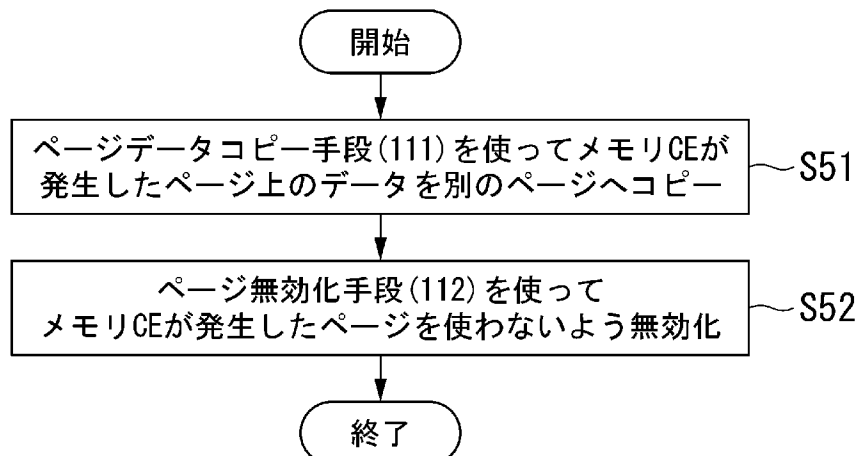
[図8]



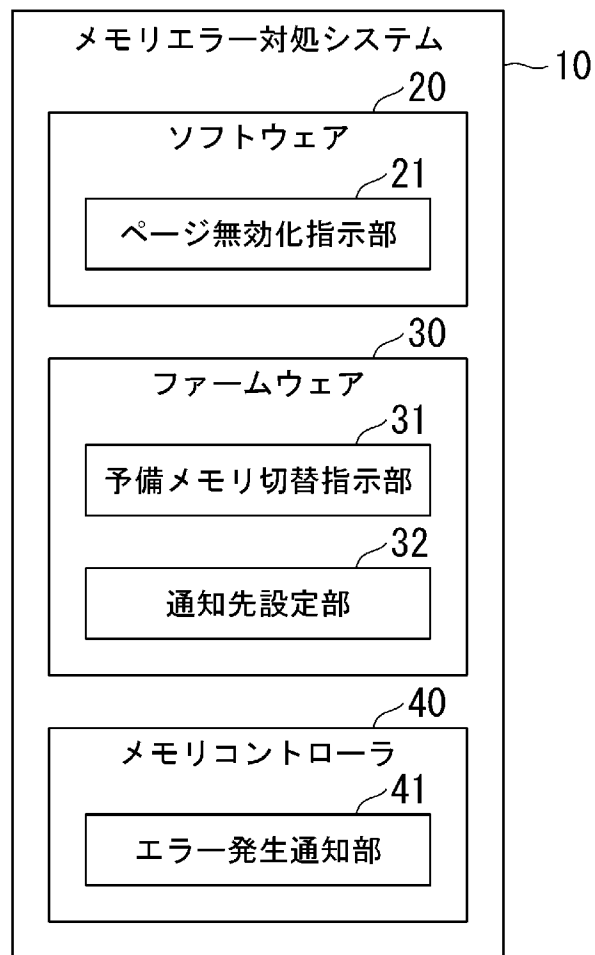
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/011396

A. CLASSIFICATION OF SUBJECT MATTER

G06F 11/07(2006.01)i; G06F 11/10(2006.01)i; G06F 11/20(2006.01)i
 FI: G06F11/07 193; G06F11/07 140N; G06F11/20 617; G06F11/10 608

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/07; G06F11/10; G06F11/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-150469 A (NEC CORP.) 04.08.2011 (2011-08-04) paragraphs [0017]-[0050], [0067]-[0068], [0089]-[0101], fig. 1-3, 6-7	1-8
Y	JP 2003-303139 A (NEC CORP.) 24.10.2003 (2003-10-24) paragraphs [0025]-[0031], fig. 1-5	1-8
A	JP 11-175409 A (NEC CORP.) 02.07.1999 (1999-07-02) paragraphs [0017]-[0026], fig. 1	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

05 June 2020 (05.06.2020)

Date of mailing of the international search report

16 June 2020 (16.06.2020)

Name and mailing address of the ISA/

Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/011396

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2011-150469 A	04 Aug. 2011	US 2011/0179318 A1 paragraphs [0024]- [0057], [0074]- [0075], [0096]- [0108], fig. 1-3, 6-7	
JP 2003-303139 A	24 Oct. 2003	US 2004/0168101 A1 paragraphs [0001]- [0087], fig. 1-5	
JP 11-175409 A	02 Jul. 1999	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 11/07(2006.01)i; G06F 11/10(2006.01)i; G06F 11/20(2006.01)i FI: G06F11/07 193; G06F11/07 140N; G06F11/20 617; G06F11/10 608														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G06F11/07; G06F11/10; G06F11/20														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2011-150469 A（日本電気株式会社）04.08.2011（2011 - 08 - 04） 段落0017-0050, 0067-0068, 0089-0101, 図1-3, 6-7	1-8												
Y	JP 2003-303139 A（日本電気株式会社）24.10.2003（2003 - 10 - 24） 段落0025-0031, 図1-5	1-8												
A	JP 11-175409 A（日本電気株式会社）02.07.1999（1999 - 07 - 02） 段落0017-0026, 図1	1-8												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 05.06.2020	国際調査報告の発送日 16.06.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 三坂 敏夫 5B 4178 電話番号 03-3581-1101 内線 3545													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/011396

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-150469	A	04.08.2011	US 2011/0179318 A1 Paragraphs0024-0057, 0074-0075, 0096-0108, Figures1-3, 6-7	
JP	2003-303139	A	24.10.2003	US 2004/0168101 A1 Paragraphs0081-0087, Figures1-5	
JP	11-175409	A	02.07.1999	(ファミリーなし)	