

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5259666号
(P5259666)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 A
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 3 D
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E
H O 1 L 21/8247 (2006.01)	G 1 1 C 17/00 6 2 1 Z
H O 1 L 27/115 (2006.01)	H O 1 L 27/10 4 3 4
請求項の数 6 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2010-212720 (P2010-212720)	(73) 特許権者	000003078
(22) 出願日	平成22年9月22日 (2010.9.22)		株式会社東芝
(65) 公開番号	特開2012-69200 (P2012-69200A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成24年4月5日 (2012.4.5)	(74) 代理人	100108855
審査請求日	平成24年8月9日 (2012.8.9)		弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎
		最終頁に続く	

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に積層された複数のワード線に、電荷蓄積層を有する複数のメモリセルがそれぞれ接続され、且つ、隣接するメモリセル間で電荷蓄積層が連続しているメモリセルアレイと、

前記メモリセルアレイの n 番目 (n は自然数) のワード線と電氣的に接続された第 1 メモリセル及び第 2 メモリセルにデータを書き込む際に、前記第 1 メモリセルと電氣的に接続される第 1 ビット線に第 1 電圧を、前記第 2 メモリセルと電氣的に接続される第 2 ビット線に前記第 1 電圧よりも高い第 2 電圧を印加したまま、 $(n - 1)$ 番目及び $(n + 1)$ 番目のワード線に n 番目のワード線と同一の書き込み電圧を一括して印加するよう制御する制御回路と、

を具備したことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記制御回路は、前記 n 番目のワード線に接続された第 1 メモリセル及び第 2 メモリセルにベリファイを行い、

前記 n 番目のワード線に接続された第 1 メモリセルの閾値電圧が所望の正の電圧を超えるまで、前記 n 番目及び前記 $(n \pm 1)$ 番目のワード線に書き込み電圧を一括して印加することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記制御回路は、さらに、前記 $(n \pm 1)$ 番目のワード線と電氣的に接続された第 3 メ

メモリセル及び第4メモリセルのペリファイを行い、前記 $(n-1)$ 番目のワード線と電氣的に接続された第5メモリセル及び第6メモリセルのペリファイを行い、前記 n 番目のワード線と電氣的に接続された第1メモリセルの閾値電圧が所望の正の電圧を超えるまで、前記 n 番目及び $(n \pm 1)$ 番目のワード線に書き込み電圧を一括して印加することを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】

前記制御回路は、前記ペリファイの結果に応じて、ペリファイパスしたメモリセルと電氣的に接続されたビット線に非書き込み電圧を印加し、

ペリファイフェイルしたメモリセルと電氣的に接続されたビット線に書き込み電圧を印加することを特徴とする請求項2又は3記載の不揮発性半導体記憶装置。

10

【請求項5】

前記メモリセルアレイは、

前記半導体基板上に柱状に形成された活性層と、

前記活性層の側壁面を囲むようにトンネル絶縁膜、電荷蓄積層、及びブロック絶縁膜が形成されたゲート絶縁膜部と、

前記ゲート絶縁膜部の側壁面を囲むように形成されて、且つ前記半導体基板上に複数の層間絶縁膜と複数の導電層が交互に積層された積層構造部と

を有し、

前記活性層、トンネル絶縁膜、電荷蓄積層、ブロック絶縁膜、及び導電層を含むトランジスタで前記メモリセルを構成したものであることを特徴とする請求項1乃至4の何れか1項に記載の不揮発性半導体記憶装置。

20

【請求項6】

前記制御回路は、要求される書き込み速度に応じて、

前記第1メモリセル及び前記第2メモリセルにデータを書き込む際に、前記第1ビット線に前記第1電圧を、前記第2ビット線に前記第2電圧を印加したまま、 $(n-1)$ 番目及び $(n+1)$ 番目のワード線に n 番目のワード線と同一の書き込み電圧を一括して印加する第1の書き込みモードと、

前記第1メモリセル及び前記第2メモリセルにデータを書き込む際に、前記第1メモリセル及び第2メモリセルの閾値電圧を、負の閾値電圧を有する第1消去状態から正の閾値電圧を有する第2消去状態へと遷移させた後、前記第1ビット線に前記第1電圧を、前記第2ビット線に前記第2電圧を印加したまま、前記 n 番目のワード線に書き込み電圧を印加する第2の書き込みモードと

30

のいずれかを選択することを特徴とする請求項1乃至5の何れか1項に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、積層型のメモリセル構造を有する不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、NAND型フラッシュメモリのビット密度向上に向けたアプローチとして、メモリセルを積層した積層型NAND、いわゆるBiCS (Bit-Cost Scalable) タイプのメモリが提案されている。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-266946号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

50

本実施形態は、データ書き込みの高速化をはかり得る不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【0005】

実施形態の不揮発性半導体記憶装置によれば、半導体基板上に積層された複数のワード線に、電荷蓄積層を有する複数のメモリセルがそれぞれ接続され、且つ、隣接するメモリセル間で電荷蓄積層が連続しているセル構造のメモリセルアレイと、前記メモリセルアレイの n 番目(n は自然数)のワード線に接続されたメモリセル群にデータを書き込む際に、 $(n-1)$ 番目及び $(n+1)$ 番目のワード線に接続されたメモリセル群に同一の書き込み電圧を同時に印加するよう制御する制御回路と、を具備したことを特徴とする。

10

【図面の簡単な説明】

【0006】

【図1】第1の実施形態に用いた不揮発性半導体記憶装置の素子構造の一例を示す鳥瞰図。

【図2】図1の不揮発性半導体記憶装置の1つのNANDストリングの構造を示す斜視図。

【図3】図1の不揮発性半導体記憶装置の1つのNANDストリングの構造を示す断面図。

【図4】1bit/cellの平面NANDタイプの不揮発性半導体記憶装置の V_{th} バジェットを示す図。

20

【図5】1bit/cellのBiCSタイプの不揮発性半導体記憶装置の V_{th} バジェットを示す図。

【図6】第1の実施形態に係わる不揮発性半導体記憶装置の回路構成を示すブロック図。

【図7】第1の実施形態に係わる不揮発性半導体記憶装置の動作を示すフローチャート図。

【図8】第1の実施形態における書き込みのタイミングチャートを示す図。

【図9】第1の実施形態におけるベリファイのタイミングチャートを示す図。

【図10】第1の実施形態におけるベリファイのタイミングチャートの別の例を示す図。

【図11】第1の実施形態における書き込みによる閾値変化を示す図。

【図12】第1の実施形態における書き込みによる n 番目及び $(n\pm 1)$ 番目のワード線に接続されたメモリセルの閾値分布を示す図。

30

【図13】複数ワード線群に接続されたメモリセルに書き込みを行った場合の各メモリセルの閾値分布の状態を示す図。

【図14】(a)は、先行の不揮発性半導体記憶装置の書き込み動作を示すタイミングチャート図、(b)は、本実施形態の不揮発性半導体記憶装置の書き込み動作を示すタイミングチャート図。

【発明を実施するための形態】

【0007】

以下、実施の形態について、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。また、図面の寸法比率は、図示の比率に限定されるものではない。

40

【0008】

(第1の実施形態)

まず、第1の実施形態に係わる3次元積層型不揮発性半導体記憶装置を例として、図6のブロック図を用いて説明する。

【0009】

[不揮発性半導体記憶装置の構成]

本実施形態の3次元積層型不揮発性半導体記憶装置は、BiCSフラッシュメモリ10と、メモリコントローラ(外部コントローラともいう)20とを有する。ここで、BiCSフラッシュメモリ10は、メモリセルアレイ11、センスアンプ12、カラムアドレス

50

バッファ／カラムデコーダ13、ロウデコーダ14、制御回路（内部コントローラともいう）15、電圧生成回路16、パワーオン検出回路17、ロウアドレスバッファ18、入出力バッファ19を備える。

【0010】

<メモリセルアレイ>

まず、本実施形態のメモリセルアレイ1について、図1乃至図3を用いて説明する。

【0011】

メモリセルアレイ1は、図1の鳥瞰図に示すような素子構造を有する。このメモリセルアレイ1は、消去の一単位となる複数のブロックを複数個、有する。説明の便宜上、図1では、2つのブロックBK<i>、BK<i+1>について図示した。

10

【0012】

図1に示すように、このブロックは、ソース拡散層32、ソース拡散層32上方に形成された導電層（図1では、SGS、SGD、WL<0>乃至WL<3>を示す）、活性層AAなどにより形成される。

【0013】

<<ソース拡散層>>

半導体基板31内に形成されるソース拡散層32は、例えば、同一プレーン内の全ブロックBKに共通に1つ設けられる。ソース拡散層32は、コンタクトプラグPSLを介して、ソース線SL・M1に接続される。

【0014】

20

また、ソース拡散層32上には、例えば、導電性ポリシリコンから構成される3以上の導電層が層間絶縁膜（図示略）を介して積層される。

【0015】

<<導電層>>

本実施形態では、導電層は、層間絶縁膜を介して6層積層された構造となっている。図1では、導電膜は、ワード線WL<0>乃至WL<3>と、ドレイン側セレクトゲート線（第1セレクトゲート線）SGDと、ソース側セレクトゲート線（第2セレクトゲート線）SGSである。

【0016】

最上層（図1における、SGD<0>乃至SGD<5>）を除く残りの5つの導電層は、1つのブロックBK<i+1>内でそれぞれプレート状に形成される。また、6つの導電層のx方向の端部は、各々の導電層にコンタクトをとるために全体として階段状に形成される。例えば、ワード線WL<0>は、ソース側セレクトゲート線SGS上方に形成されるが、ソース側セレクトゲート線SGSのコンタクトをとるための領域の上方には形成されない。すなわち、ワード線WL<0>は、ソース側セレクトゲート線SGSよりもx軸方向の幅が短く形成される。同様に、ワード線WL<1>は、ワード線WL<2>よりもx軸方向の幅が短く形成され、ワード線WL<2>は、ワード線WL<3>よりもx軸方向の幅が短く形成され、ワード線WL<3>は、ドレイン側セレクトゲート線SGDよりもx軸方向の幅が短く形成される。

30

【0017】

40

最下層は、ソース側セレクトゲート線SGSとなり、最下層及び最上層を除く残りの4つの導電層は、ワード線WL<0>、WL<1>、WL<2>、WL<3>となる。

【0018】

最上層は、x方向に延びるライン状の複数の導電線から構成される。1つのブロックBK<i+1>内には、例えば、6本の導電線が配置される。最上層の例えば6本の導電線は、ドレイン側セレクトゲート線SGD<0>～SGD<5>となる。

【0019】

<<活性層>>

そして、NANDストリング（図3で後述する）を構成するための複数の活性層（アクティブエリア）AAは、z方向（半導体基板の表面に対して垂直方向）に柱状に形成され

50

ており、ソース拡散層 32 から複数の導電層を突き抜けてビット線 BL に達するように形成される。

【0020】

複数の活性層 AA の上端は、y 方向に延びる複数のビット線 BL<0> ~ BL<m> に接続される。また、ソース側セレクトゲート線 SGS は、コンタクトプラグ P_{SGS} を介して、x 方向に延びる引き出し線 SGS-M1 に接続され、ワード線 WL<0> ~ WL<3> は、それぞれ、コンタクトプラグ P_{WL<0>~P_{WL<3>}} を介して、x 方向に延びる引き出し線 WL<0>・M1 ~ WL<3>・M1 に接続される。

【0021】

さらに、ドレイン側セレクトゲート線 SGD<0> ~ SGD<5> は、それぞれ、コンタクトプラグ P_{SGD<0>~P_{SGD<5>}} を介して、x 方向に延びる引き出し線 SGD<0>・M1 ~ SGD<5>・M1 に接続される。

10

【0022】

複数のビット線 BL<0> ~ BL<m> 及び引き出し線 SGS・M1, WL<0>・M1, WL<1>・M1 ~ WL<3>・M1, SGD<0>・M1 ~ SGD<5>・M1 は、例えば、金属から構成される。

【0023】

図 2 は、1 つの NAND ストリングの鳥瞰図を示している。図 1 に示すようなブロック BK には、図 2 に示すような NAND ストリングを複数個（例えば、24 個）、有する。この NAND ストリングは、複数のメモリセルと、ソース側選択ゲートトランジスタと、ドレイン側選択ゲートトランジスタとを有する。

20

【0024】

図 3 は、1 つの NAND ストリングの構造例を示す断面図であり、(a) は全体構成を示し、(b) は一部を拡大して示している。

【0025】

図 2 及び図 3 に示すように、メモリセルは、半導体基板 31 表面に対して垂直方向（z 方向）に柱状に形成された活性層 AA とワード線 WL<0> ~ WL<3> との交差部分に形成される。また、ソース側選択ゲートトランジスタは、活性層 AA とソース側セレクトゲート線 SGS との交差部分に形成され、ドレイン側選択ゲートトランジスタは、活性層 AA とドレイン側セレクトゲート線 SGD との交差部分に形成される。

30

【0026】

ソース側セレクトゲート線 SGS とドレイン側セレクトゲート線 SGD は、複数のワード線 WL<0> ~ WL<3> を挟むように形成される。

【0027】

3 次元構造の NAND ストリングの特徴の一つは、ドレイン側セレクトゲート線 SGD<5> が、柱状の活性層 AA の側面を取り囲む構造を有している点にある。

【0028】

このため、例えば、複数の活性層 AA を細くして、半導体基板 31 上により多くの活性層 AA を形成し、大容量化を図っても、NAND ストリングを構成する選択ゲートトランジスタの駆動力を十分に確保できることになる。

40

【0029】

図 3 に示すように、1 つの NAND ストリングを構成している複数のメモリセル MC 及び選択ゲートトランジスタ ST（ソース側選択ゲートトランジスタ、ドレイン側選択ゲートトランジスタ）は、層間絶縁膜 37 を介して z 方向に積層される。

【0030】

メモリセル MC は、MONOS 構造を有する。MONOS 構造とは、電荷蓄積層が SiN 等の窒化物などの絶縁体から構成されるメモリセル構造のことである。即ち、図 3 (b) に示すように、メモリセル MC は、電荷蓄積層 34 が、例えば、2 つの絶縁膜 33, 35 に挟み込まれた構造を有した、ONO (Oxide-Nitride-Oxide) の構成となっている。電荷蓄積層 34 と活性層 AA との間には、絶縁膜 33 が介在している。絶縁膜 33 は、デ

50

ータの書き込み時にはトンネル絶縁膜として機能し、データの保持時には電荷が活性層 A Aにリークするのを防止する。電荷蓄積層 3 4 と制御ゲート 3 6 との間には、ブロック絶縁膜 3 5 が介在している。ブロック絶縁膜 3 5 は、電荷蓄積層 3 4 に捕獲された電荷が制御ゲート 3 6 にリークするのを防止する。制御ゲート 3 6 は、ワード線 W L に接続される。

【0031】

なお、メモリセル M C は、ブロック絶縁膜 3 5 を設けない M N O S 構造のメモリセルでもよい。

【0032】

1 つのワード線 W L を共有する各 N A N D ストリング内のメモリセルトランジスタ M の集合は、データ読み出し及び書き込みの単位となるページを構成する。また、ワード線 W L を共有する複数の N A N D ストリングの集合は、データ消去の単位となるブロックを構成する。

【0033】

<センスアンプ及びカラムアドレスバッファ／カラムデコーダ>

図 6 に示すように、センスアンプ 1 2 は、ビット線 B L を介してメモリセルアレイ 1 1 と接続される。センスアンプ 1 2 は、読み出しの際にメモリセルアレイ 1 1 のデータをページ単位で読み出しを行い、書き込みの際にメモリセルアレイ 1 1 にデータをページ単位で書き込む。

【0034】

また、センスアンプ 1 2 はカラムアドレスバッファ／カラムデコーダ 1 3 とともに接続されており、センスアンプ 1 2 はカラムアドレスバッファ／カラムデコーダ 1 3 (後述する) から入力される選択信号をデコードして、ビット線 B L のいずれかを選択し、駆動する。

【0035】

センスアンプ 1 2 は、書き込む際のデータを保持するデータラッチの機能も兼ねる。本実施形態のセンスアンプでは、それぞれのセンスアンプには複数個 (通常、2bit/cell の M L C では 3 つ) のデータラッチ回路を有する。

【0036】

カラムアドレスバッファ／カラムデコーダ 1 3 は、メモリコントローラ 2 0 からロウアドレスバッファ 1 8 を介して入力されるカラムアドレス信号を一時的に格納し、カラムアドレス信号に従ってビット線 B L のいずれかを選択する選択信号をセンスアンプ 1 2 に出力する。

【0037】

<ロウデコーダ>

ロウデコーダ 1 4 は、ロウアドレスバッファ 1 8 を介して入力されるロウアドレス信号をデコードして、ワード線 W L 及びセレクトゲート線 S G D, S G S を選択し、駆動する。

【0038】

なお、本実施形態の B i C S フラッシュメモリ 1 0 には、外部入出力端子 I / O (図示略) が設けられており、この外部入出力端子 I / O を介して入出力バッファ 1 9 とメモリコントローラ 2 0 のデータの授受が行われる。外部入出力端子 I / O を介して入力されるアドレス信号は、ロウアドレスバッファ 1 8 を介してロウデコーダ 1 4 及びカラムアドレスバッファ／カラムデコーダ 1 3 に出力される。

【0039】

<制御回路>

制御回路 1 5 は、メモリコントローラ 2 0 を介して供給される各種外部制御信号 (書き込みイネーブル信号 W E n、読み出しイネーブル信号 R E n、コマンドラッチイネーブル信号 C L E、アドレスラッチイネーブル信号 A L E 等) とコマンド C M D に基づいて、データ書き込み及び消去のシーケンス制御及び読み出しの動作・制御を行う。制御回路 1 5 は、パワーオン検出回路 1 7 から入力される検知信号を受けて、初期化動作を自動的に行う

10

20

30

40

50

。

【0040】

<電圧生成回路>

電圧発生回路16は、制御回路15により制御されて、書き込み、消去及び読み出しの動作に必要な各種内部電圧を発生するもので、電源電圧より高い内部電圧を発生するために昇圧回路が用いられる。

【0041】

<パワーオン検出回路>

パワーオン検出回路17は、制御回路15に接続される。パワーオン検出回路17は、電源の投入を検出し、制御回路15に検知信号を出力する。

10

【0042】

<メモリコントローラ>

メモリコントローラ20は、BiCSフラッシュメモリ10に必要なコマンドなどを出力し、BiCSフラッシュメモリ10の動作モード（後述する、第1の書き込みモード、第2の書き込みモードを含む。）を設定し、読み出し及び書き込みを行う。

【0043】

[本実施形態の経緯]

ここで、本実施形態の不揮発性半導体メモリは、図3(b)に示すように、隣接するメモリセル間で電荷蓄積層34がつながっている。このため、平面NANDタイプの不揮発性半導体メモリのようにメモリセルの消去レベルを負にした V_{th} バジェットを使用すると、本実施形態の不揮発性半導体メモリのデータリテンションが悪化する場合がある。その支配的要因はいわゆる電荷の横抜けである。これは、例えば同一チャネルのボディで正の閾値のメモリセルと負の閾値のメモリセルが隣接した場合に起こる。

20

【0044】

すなわち、閾値を正に書き込んだメモリセルに隣接するメモリセルが閾値が負の消去セルの場合、物理的につながった電荷蓄積層間でホールとエレクトロンの再結合が起こり、正の閾値に書き込んだメモリセルの閾値の低下と、負の閾値のメモリセルの閾値の上昇が起こる。これにより、データリテンション特性が低下する。以降、このようなデータリテンション特性の低下をデータの横抜けと呼び、データの横抜けが起こるデータパターンをデータの横抜けパターンと呼ぶ。そこで、このデータの横抜けを防ぐために、消去レベルを正にしておくことが有効である。

30

【0045】

図4は、1bit/cellの平面NANDタイプの不揮発性半導体記憶装置の V_{th} バジェットを示す図である。平面NANDタイプの不揮発性半導体記憶装置では、書き込みセルを正の閾値に書き込み、非書き込みセルについては、閾値が負の消去状態のままにしておく。この場合には、書き込む際に分布を一つ書き込むだけでよい。そのため、書き込み電圧のステップアップ幅である ΔV_{PGM} を大きく設定できる。その結果、書き込みループ回数が少なくなり、非常に高速の書き込みが実現できる。

【0046】

図5は、1bit/cellのBiCSタイプの先行の不揮発性半導体記憶装置の V_{th} バジェットを示す図である。先に説明したデータの横抜けを防止するために、非書き込みセルについて、初期の消去状態（第1の消去状態ともいう）から閾値電圧が正である消去状態（第2の消去状態ともいい、図5におけるE'レベルを意味する）への書き込みが必要で、書き込みセルについては、更に高いAレベルへの書き込みを行う必要がある。なお、第1の消去状態は、全ての非書き込みセルの閾値電圧が負である状態に限られず、非書き込みセルの一部の閾値電圧が正の状態であってもよい。また、第2の消去状態は、全ての非書き込みセルの閾値分布が正の状態である。

40

【0047】

先行の不揮発性半導体記憶装置の場合には、正に2つの閾値分布を書く必要があることから、メモリセルへの書き込み過ぎを防止すべく初期 V_{PGM} を低くする必要があるとともに

50

に、E'レベルの上裾とAレベルの下裾とのマージンを確保すべく ΔV_{PGM} をアップページ書き込みと同程度に小さく設定し、閾値分布を細く書き込む必要がある。

【0048】

そのため、図5の場合と比較して、初期 V_{PGM} を低く、 ΔV_{PGM} が小さく、且つAレベルを高いレベルまで書き込む必要があり、書き込む際に印加するパルス数が増大する。その結果、書き込み時間が大幅に長くなる。

【0049】

そこで、この問題を解決するために本実施形態では、消去レベルを正に書き戻す必要のない、高速なSLC書き込みを実現することで、データ書き込みの高速化を図りうる不揮発性半導体記憶装置を提供する。

10

【0050】

[不揮発性半導体記憶装置の動作]

次に、本実施形態の不揮発性半導体記憶装置の書き込み動作について、図7のフローチャート図を用いて説明する。

【0051】

ステップS1では、メモリコントローラ20から専用コマンドが発行され、専用コマンドが、入出力バッファ19を介して制御回路15に入力される。また、アドレス信号は、入出力バッファ19を介してロウアドレスバッファ18に入力される。さらに、書き込みデータは入出力バッファ19を介してセンスアンプ12のデータラッチ回路(図示略)に入力される。

20

【0052】

ステップS2で、制御回路15は、ステップS1で入力されたコマンドを受けて、高速書き込み動作モード信号(第1の書き込みモード信号ともいう)を生成する。

【0053】

ステップS3で、制御回路15は、電圧を生成するためのタイミング制御信号、電圧設定信号を電圧生成回路16に出力する。

【0054】

ステップS4で、制御回路15は、アドレス制御信号、メモリセルへのアクセス制御信号に基づいて、センスアンプ12、ロウデコーダ14及び電圧生成回路16を制御し、選択されたブロックBK内の選択されたn番目のワード線WL(選択ワード線WLともいう)と、(n±1)番目のワード線WLに同一の書き込み電圧 V_{PGM} を印加する。ただし、nは自然数である。

30

【0055】

ステップS5で、書き込み電圧 V_{PGM} の印加後に、制御回路15は、n番目のワード線WLに接続されたメモリセルのみベリファイを行うようセンスアンプ12、ロウデコーダ14及び電圧生成回路16を制御する。

【0056】

ステップS6で、ステップS5のベリファイの結果に応じて、n番目のワード線WLに接続されたメモリセルの閾値電圧が所望の電圧を超えたか否かを、制御回路15は判定し、このメモリセルの閾値電圧が所望の電圧を超えるまで、ステップS4からステップS6までを繰り返す。ステップS6で、n番目のワード線WLに接続されたメモリセルの閾値電圧が所望の電圧を超えないと判定された場合には(ステップS6でNG)、ステップS4の書き込み電圧に ΔV_{PGM} を昇圧した電圧を、新たに書き込み電圧として設定し、ステップS4で、新たに設定された書き込み電圧を印加する。したがって、ステップS6で、n番目のワード線WLに接続されたメモリセルの閾値電圧が所望の電圧を超えないと判定されるたびに、書き込み電圧は ΔV_{PGM} ずつ昇圧される。

40

【0057】

図8に、本実施形態の書き込み時におけるプログラムタイミングチャートを示す。

【0058】

書き込みセルと非書き込みセルはBL電圧で制御する。“0”データの書き込みセルに

50

接続されたビット線には0 Vを印加し、 t_1 時から昇圧し“1”データの非書き込みセルに接続されたビット線にはV_{dd}を印加する。

【0059】

また、ドレイン側選択ゲートSGDには、非書き込みセルに接続されたビット線BLの電圧をセルチャネルに転送するために電圧V_{sg}を印加し、セルチャネルにV_{dd}の転送が完了したところで、V_{sgd}にする。ソース側選択ゲートSGS（図示略）には0 Vを印加する。

【0060】

これにより選択されたNANDストリング内のチャネルについて、書き込みセルのチャネルを0 V、非書き込みセルのチャネルをV_{dd}とできる。その後（ t_4 後に）、選択ワード線WLと選択ワード線WLに隣接するワード線WLを含めた3本のワード線WLに書き込み電圧V_{pgm}（例えば18 V）、それ以外のワード線WLにV_{pass}（例えば、10 V）を印加する。

10

【0061】

図9及び図10に、ベリファイにおけるプログラムタイミングチャートを示す。

【0062】

図9では、選択ワード線WLのみベリファイを行う。これは、 n 番目の選択ワード線WLの両隣の（ $n \pm 1$ ）番目のワード線WLに関してはデータ格納のためではなく、 n 番目のワード線WLの電荷抜けを防止するためであり、（ $n \pm 1$ ）番目のワード線WLに接続されたメモリセルの閾値がベリファイレベルを超えているか確認する必要がないためである。それ以上に、ベリファイを選択ワード線WLのみで済ませることができ、高速化に有利である。

20

【0063】

具体的には、図9に示すように、 t_0 時から、ドレイン側選択ゲートSGDには、電圧V_{sg}を印加し、選択ワード線WLには、V_{verify}を印加する。 t_1 時から非選択ワード線WLにV_{read}を印加する。

【0064】

t_0 後の t_1 時からビット線BLにはV_{b1}を印加し、この昇圧されたV_{b1}の電圧が下がるか否かでベリファイパス／フェイルの判定をする。

【0065】

t_4 時からソース側選択ゲートSGS（図示略）には、V_{sq}を印加する。

30

【0066】

図10では、選択ワード線WLとその両隣のワード線WLに対してベリファイを行う。この場合には、3本のワード線に対してベリファイを行うために、より確実に電荷の横抜けを防止することができる。この場合には、3本のワード線に対してベリファイを行うために、選択ワード線WLの両隣のワード線に接続されたメモリセルの閾値もベリファイレベル以上であることが保障される。したがって、選択ワード線WLに接続されたメモリセルに対してより確実に電荷の横抜けを防止することができる。

【0067】

[本実施形態の効果]

40

以上により、データ書き込みの高速化をはかり得る不揮発性半導体記憶装置を提供できる。以下、具体的に説明する。図11は、第1の実施形態における書き込みによる n 番目及び（ $n \pm 1$ ）番目のワード線に接続されたメモリセルの閾値分布を示す図であり、図12は、複数ワード線群に接続されたメモリセルに書き込みを行った場合の各メモリセルの閾値分布の状態を示す図である。

【0068】

本実施形態の不揮発性半導体記憶装置では、 n 番目及び（ $n \pm 1$ ）番目のワード線間において、隣接するメモリセルに同一の書き込み電圧V_{PGM}を印加する。このため、例えば、上記のステップS4からステップS6を3回繰り返すことで、図11（b）に示すようなメモリセルの閾値分布となる。

50

【0069】

このような書き込みを行うことによって、全てのメモリセルを第2の消去状態に書き込むことなく、図12に示すように、着目ワード線WLに接続されたメモリセルにおいてデータの横抜けパターンを取り除くことが可能となる。ここで、図12に示すEは第1の消去状態、Aはベリファイレベルを超えた書き込み状態、Pは、実際にはベリファイは行わないが、閾値がベリファイレベル付近であることが期待される書き込み状態である。

【0070】

なお、ベリファイについては、 n 番目のワード線WLに対してのみ行い、 $(n \pm 1)$ 番目のワード線WLについてはベリファイを行わない。

【0071】

このように平面NANDと同様、第2の消去状態に書き込むことなく、初期 V_{PGM} 、 ΔV_{PGM} を大きめに設定しても、閾値分布間のマージンを確保しやすく、書き込みの高速化が期待できる。

【0072】

また、本実施形態で行うベリファイは、 n 番目のワード線に接続されたメモリセルの閾値電圧が所望の電圧を超えたか否かを判定するものである。先行の不揮発性半導体記憶装置の場合には、第2の消去状態(E')のベリファイを行う必要があるが、本実施形態では、第2の消去状態(E')のベリファイを行う必要はない。したがって、図14に示すように、本実施形態の不揮発性半導体記憶装置(図14(b)参照)は、先行の不揮発性半導体記憶装置(図14(a)参照)と比べて、印加するパルス数を低減できる。ここで、図14(a)は、先行の不揮発性半導体記憶装置の書き込み動作を示すタイミングチャート図であり、図14(b)は、本実施形態の不揮発性半導体記憶装置の書き込み動作を示すタイミングチャート図である。

【0073】

したがって、先行の不揮発性半導体記憶装置と比べて、本実施形態は、データ書き込みの高速化を図りうる不揮発性半導体記憶装置を提供できる。

【0074】

但し、 n ページ(WLn)に書き込みを行った後は、次に書き込み可能なページは $(n+3)$ ページ(WLn+3)になるため、このSLCバッファ方式を用いた場合、2ビット/cellのMLCの1ブロック分のデータを書き込むのに6ブロックが必要となる。

【0075】

より詳しく本実施形態の効果について図13を用いて説明する。図13は、複数のワード線群に書き込みを行った場合のメモリセルの閾値分布の状態を示す模式図である。ここで、 n 番目乃至 $(n+2)$ 番目のワード線を1つのワード線群とする。図13では、本実施形態の一例として、2つのワード線群(n 番目乃至 $(n+2)$ 番目のワード線を有する第1のワード線群、 $(n+3)$ 番目乃至 $(n+5)$ 番目のワード線を有する第2のワード線群)においてデータの書き込みを行った場合を示す。

【0076】

第1のワード線群について、 $(n+1)$ 番目のワード線WLを着目ワード線として、その前後の n 番目及び $(n+2)$ 番目のワード線WLにも同時に書き込みを行う。第2のワード線群について、 $(n+4)$ 番目のワード線WLを着目ワード線として、その前後の $(n+3)$ 番目及び $(n+5)$ 番目のワード線WLにも同時に書き込みを行う。

【0077】

第1のワード線群における $(n+1)$ 番目のワード線と第2のワード線群における $(n+4)$ 番目のワード線とに接続されたメモリセルは、本来のデータを格納する部分として使用する。

【0078】

この場合に、 $(n+2)$ 番目のワード線WL(第1のワード線群)に接続されたメモリセルに対して、 $(n+3)$ 番目のワード線WL(第2のワード線群)に接続された隣接するメモリセルの関係で、データの横抜けパターンが生じる場合がある。しかし、 $(n+2)$

10

20

30

40

50

）番目と（ $n+3$ ）番目のワード線WLに接続されたメモリセルは本来のデータを格納する部分ではない。したがって、これらメモリセルの間でデータの横抜けパターンが生じて、本来のデータを格納する部分である（ $n+1$ ）番目のワード線と（ $n+4$ ）番目のワード線とに接続されたメモリセルの電荷蓄積層に蓄積された電荷の横抜けを軽減できる。その結果、データの破損などを防止でき、データの信頼性を向上できる。

【0079】

このように本実施形態によれば、メモリセルアレイの n 番目のワード線WLに接続されたメモリセル群にデータを書き込む際に、（ $n-1$ ）番目のワード線WL及び（ $n+1$ ）番目のワード線WLに接続されたメモリセル群に同じデータを同時に書き込むことにより、データ書き込みの高速化及びデータ信頼性の向上をはかることができる。

10

【0080】

即ち、3本のワード線WLに接続されたメモリセルを用いて、1ページのデータを書き込むため、着目ワード線WLの両側のワード線WLをシールドとして用いることにより、データ信頼性の向上をはかることができる。しかも、書き込みに際しては3本のワード線を同時に選択するのみで良いため、書き込み時間が増大することもない。

【0081】

（第2の実施形態）

次に、第2の実施形態に係わる不揮発性半導体記憶装置を説明する。MLCのチップを用いたSSD（Solid State Drive）においてSLCをバッファとして使用した例を用いて説明する。本実施形態にかかる不揮発性半導体記憶装置は、第1の実施形態に係わる不揮発性半導体記憶装置と構成は同一であるが、動作方法が異なる。したがって、本実施形態では、不揮発性半導体記憶装置の動作方法について詳細に説明する。

20

【0082】

[不揮発性半導体記憶装置の動作方法]

説明の便宜上、第1の実施形態におけるステップS1からステップS6までのいわゆるSLC書き込みを行い、SLCバッファにデータが書き込まれていることを前提として説明する。

【0083】

ステップSAで、制御回路15は、SLCバッファにデータが書き込まれた2ページ分を選択するようロウデコーダ14、センスアンプ12などを制御する。

30

【0084】

ステップSBで、制御回路15は、センスアンプ12などを制御し、センスアンプ12に2ページ分のデータを読み出し、センスアンプ12内のデータラッチにこれらのデータを保持する。

【0085】

ステップSCで、制御回路15は、メモリセルアレイ11内の所望のアドレス信号をロウデコーダ14、センスアンプ12に出力し、データラッチに保持された2ページ分のデータを、所望のアドレスのメモリセルに対してMLC書き込みできるようロウデコーダ14、センスアンプ12、電圧生成回路16などを制御する。

【0086】

40

このステップSAからステップSCを第1の実施形態で書き込まれたブロックに対して行う。すなわち、第1の実施形態で書き込まれたブロックの全てのページがMLC書き込みされるまで、ステップSAからステップSCを繰り返す。

【0087】

ステップSDで、第1の実施形態で書き込まれたブロックの全てのページがMLC書き込みされたとき、制御回路15は、SLCバッファに書き込まれたブロックのデータを消去する。

【0088】

なお、ステップSBで、センスアンプ12に2ページ分のデータを読み出し、センスアンプ12内のデータラッチにこれらのデータを保持する際に、読み出した2ページ分のデ

50

ータを外部入出力端子 I/O を介してメモリコントローラ 20 に読み出し、その後 E C C でエラー訂正を行った後に、ステップ S C を行ってもよい。

【0089】

このように、M L C のチップでも高速なデータ書き込みが必要な場合には、S L C をバッファとして使用する。第 1 の実施形態同様に、本実施形態でも、データ書き込みの高速化をはかり得る不揮発性半導体記憶装置を提供できる。

【0090】

(第 3 の実施形態)

本実施形態の不揮発性半導体記憶装置では、第 1 及び第 2 の実施形態に対して、メモリコントローラが、第 1 の実施形態のように 3 本のワード線に接続されたメモリセルにデータ書き込みを行う超高速 S L C バッファモード (第 1 の書き込みモード) と、1 本のワード線に接続されたメモリセルの消去状態を、第 1 の消去状態から第 2 の消去状態に書き込み、データ書き込みを行う高速 S L C バッファモード (第 2 の書き込みモード) を選択する点で異なり、その他は同様である。

【0091】

本実施形態では、メモリコントローラ 20 は、第 1 の書き込みモード及び第 2 の書き込みモードのいずれかを選択する。第 1 の実施形態にかかる不揮発性半導体記憶装置の動作におけるステップ S 2 で、本実施形態のメモリコントローラ 20 が、第 1 モードを選択するとき第 1 の書き込みモード信号を、第 2 モードを選択するとき第 2 の書き込みモード信号を生成する。

【0092】

第 1 の書き込みモードでは、第 1 の実施形態と同様に、3 本のワード線 W L に接続されたメモリセルを用いて 1 ページのデータを書き込む。このモードでは、両隣接ワード線 W L にも同時に同じデータを書き込むことによって、3 本のワード線 W L に接続されたメモリセルの閾値を正に書き戻す必要がなくなる。このため、高速・高信頼性のデータを書き込むことができる。ここでは、両隣接 W L をシールドページと呼ぶ。

【0093】

第 2 の書き込みモードでは、図 11 に示したように、1 本のワード線に接続されたメモリセルの消去状態を、第 1 の消去状態から第 2 の消去状態に書き込み、データ書き込みを行う。また、この第 2 の書き込みモードでは、シールドページが不要なことから、第 1 の書き込みモードで書き込む場合よりも、本来のデータを格納するためのページ数を 1/3 に削減することができる。また、第 2 の書き込みモードは、通常の M L C で書き込む場合と比較しても、後述するようにデータの信頼性が高く、かつ、書き込み速度も高速である。

【0094】

このように本実施形態によれば、例えばメモリコントローラからの要求が非常に高速な書き込みである場合には、メモリコントローラ 20 は 3 本のワード線 W L の領域を用いて 1 ページのデータを書き込む第 1 の書き込みモードを選択し、メモリコントローラからの要求が第 1 の書き込みモードと比較して高速な書き込みでない場合には、メモリコントローラ 20 は第 2 の書き込みモードを選択する。その結果、要求される書き込み速度に応じて最適な書き込み制御を行うことができる。

【0095】

また、例えばブロックの管理情報など高い信頼性が要求されるデータをメモリセルアレイに書き込む場合には、メモリコントローラ 20 は第 2 の書き込みモードを選択する。これにより、このデータは M L C 書き込みでなく、S L C 書き込みを行うことになり、データの信頼性を向上できる。このように外部メモリコントローラは、用途に応じて書き込みモード信号を生成し、最適な書き込みを行う。

【0096】

(変形例)

なお、本発明は上述した各実施形態に限定されるものではない。メモリセルアレイの構

10

20

30

40

50

成は必ずしも B i C S に限るものではなく、電荷蓄積層と制御ゲートを有するメモリセルを基板上に積層した、積層型のメモリセル構造の不揮発性半導体記憶装置に適用することができる。さらに、B i C S の構造も前記図 1 に何ら限定されるものではなく、仕様に応じて適宜変更可能である。

【0097】

また、実施形態では S L C のデータ書き込みに適用した例で説明したが、M L C のデータ書き込みに適用することも可能である。

【0098】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0099】

- 10…B i C S フラッシュメモリ
- 11…メモリセルアレイ
- 12…センスアンプ
- 13…カラムアドレスバッファ／カラムデコーダ
- 14…ロウデコーダ
- 15…制御回路
- 16…電圧生成回路
- 17…パワーオン検出回路
- 18…ロウアドレスバッファ
- 19…入出力バッファ
- 20…メモリコントローラ
- 31…半導体基板
- 32…ソース拡散層
- 33…トンネル絶縁膜
- 34…電荷蓄積層
- 35…ブロック絶縁膜
- 36…制御ゲート

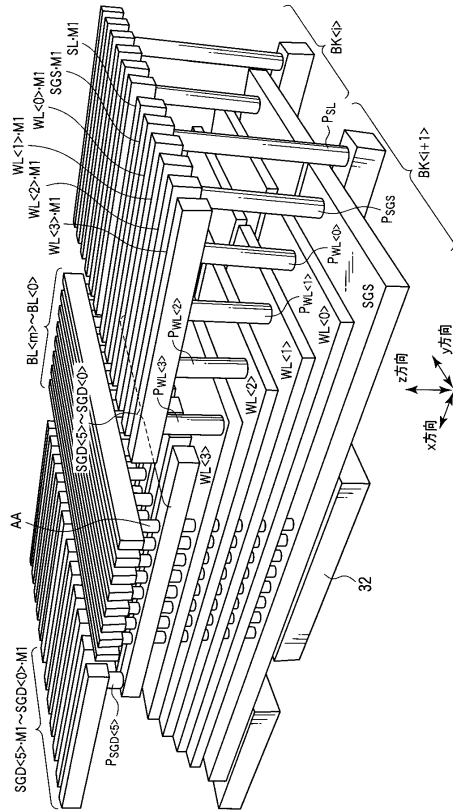
10

20

30

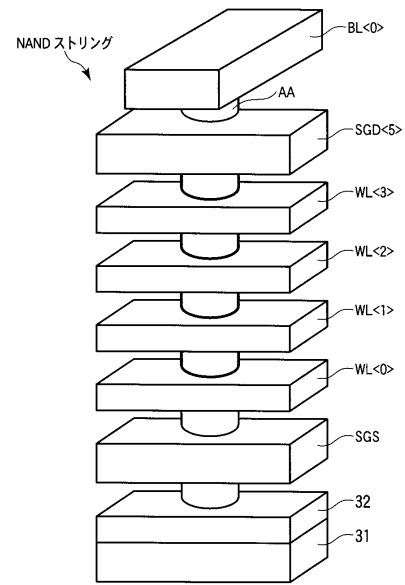
【図 1】

図 1



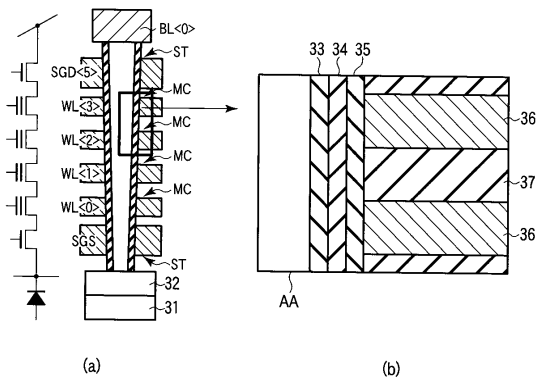
【図 2】

図 2



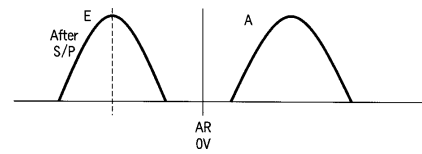
【図 3】

図 3



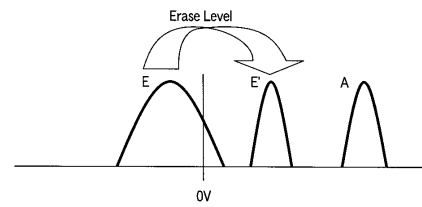
【図 4】

図 4



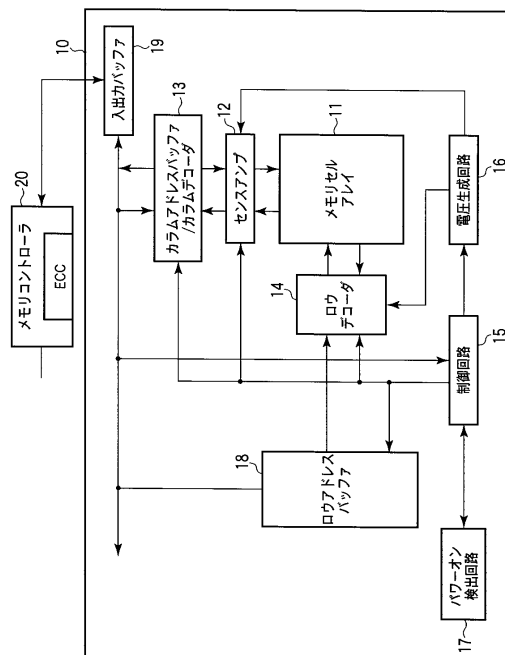
【図 5】

図 5



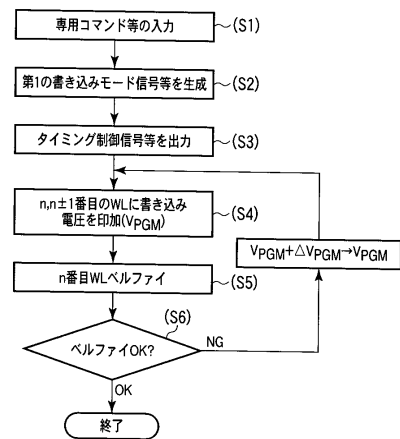
【図 6】

図 6



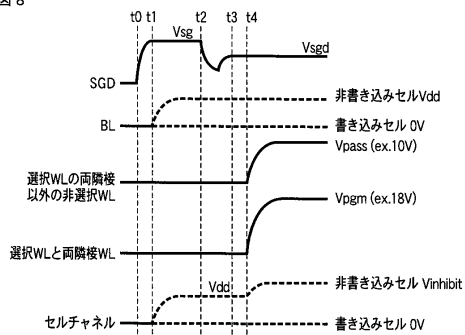
【図 7】

図 7



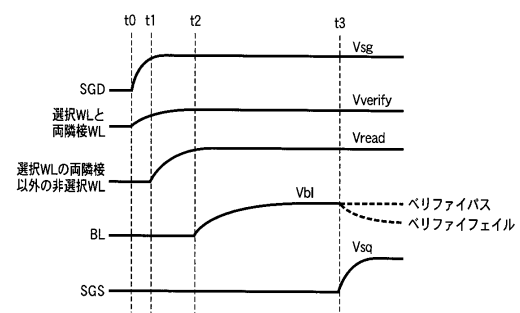
【図 8】

図 8



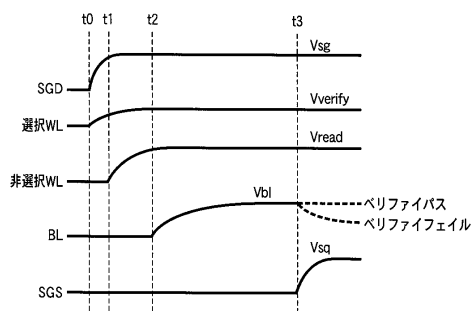
【図 10】

図 10



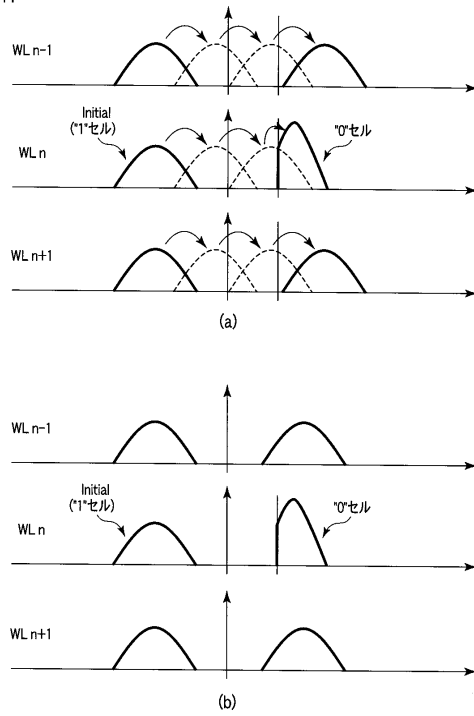
【図 9】

図 9



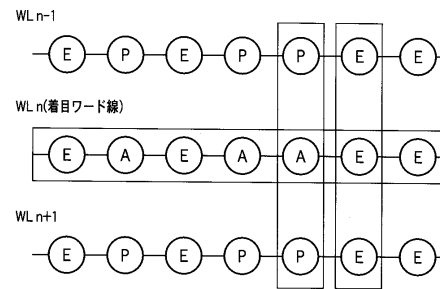
【図 1 1】

図 11



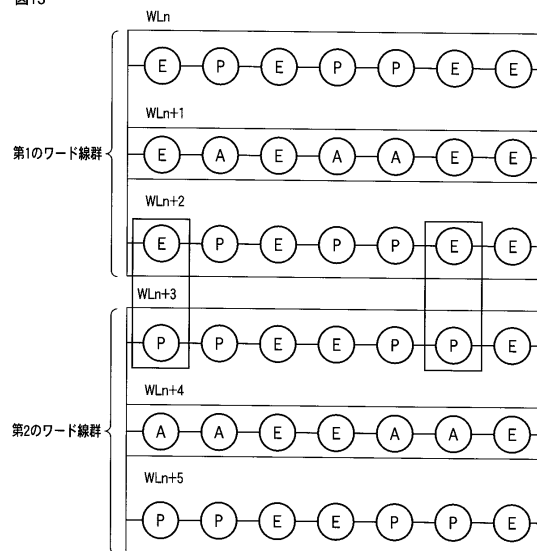
【図 1 2】

図 12



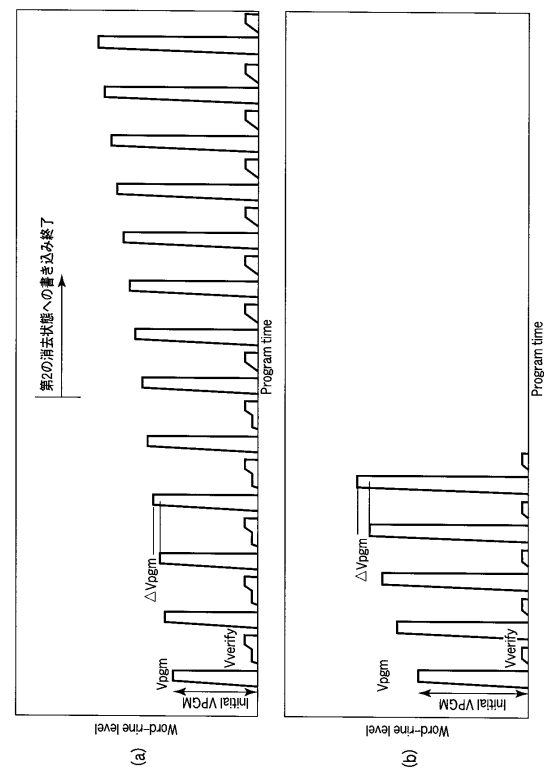
【図 1 3】

図 13



【図 1 4】

図 14



フロントページの続き

(51)Int.Cl. F I
H O 1 L 21/336 (2006.01) H O 1 L 29/78 3 7 1
H O 1 L 29/788 (2006.01)
H O 1 L 29/792 (2006.01)

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 白川 政信
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 菅原 浩二

(56)参考文献 特開2009-230818 (JP, A)
特開2009-266946 (JP, A)
特表2008-536247 (JP, A)
特開2008-010076 (JP, A)
特開2009-146954 (JP, A)
特開2000-236031 (JP, A)
特開2007-257739 (JP, A)
特開2010-118580 (JP, A)
特開2010-161199 (JP, A)
特開2010-199235 (JP, A)
特表2008-536248 (JP, A)
特開平11-162199 (JP, A)
特開2003-208793 (JP, A)
特開平11-066871 (JP, A)

特開2009-301607 (JP, A)

特開2002-025280 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/04

G11C 16/06

H01L 21/336

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792