



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월16일
(11) 등록번호 10-1165809
(24) 등록일자 2012년07월09일

(51) 국제특허분류(Int. Cl.)
H01J 1/30 (2006.01)
(21) 출원번호 10-2011-0002878
(22) 출원일자 2011년01월11일
심사청구일자 2011년01월11일
(56) 선행기술조사문헌
KR1020100021898 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
이철진
서울특별시 강북구 인수봉로47길 32 (수유동)
신동훈
서울특별시 서초구 사평대로18길 38, 301호 (반포동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 15 항

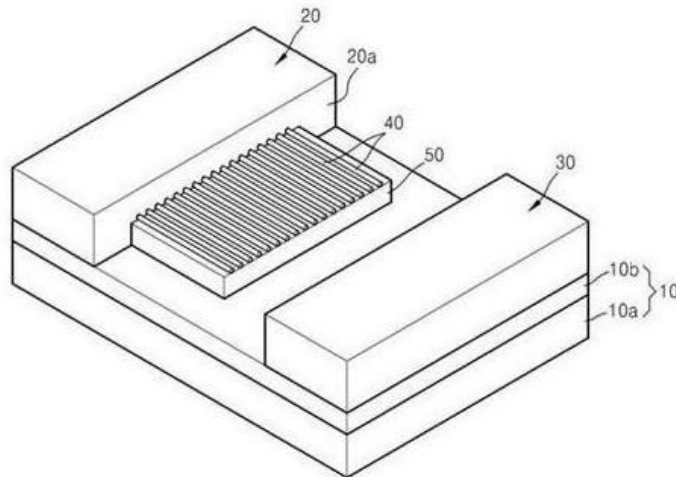
심사관 : 박남현

(54) 발명의 명칭 **횡형 전계 방출 소자**

(57) 요약

기판에 나란한 방향으로 전자가 방출되는 횡형 전계 방출 소자에 관련하여기술된다. 기판에 대해 나란하게 일 방향으로 배향되는 침상 전자방출물질은 기판에 대해 소정 높이의 두께를 가지는 지지부에 형성되며, 기판의 타측에 전자방출물질에 대응하는 애노드가 형성된다.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호 20100018450
 부처명 한국연구재단
 연구사업명 중견연구자지원_도약연구
 연구과제명 플렉서블 투명전도성 CNT-Polymer 박막 기술
 주관기관 고려대학교 산학협력단
 연구기간 2010.06.01 ~ 2011.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 R322010000100820
 부처명 한국과학재단
 연구사업명 세계적수준의연구중심대학육성사업
 연구과제명 플렉서블 나노시스템 기반기술
 주관기관 고려대학교 산학협력단
 연구기간 2010.10.01 ~ 2011.08.31

이 발명을 지원한 국가연구개발사업

과제고유번호 K2090200144810E010003010
 부처명 한국연구재단
 연구사업명 (국제)해외우수연구기관유치사업
 연구과제명 [2단계2차]바텔연구소 유치활용을 통한 급성 호흡기 감염및 중증 패혈증 조기진단용 나노

바이오 시스템 개발

주관기관 고려대학교 산학협력단
 연구기간 2010.07.01 ~ 2011.06.30

특허청구의 범위

청구항 1

기관;

기관의 표면에 나란한 방향으로 연장되는 침상 전자방출물질;

상기 침상 전자방출물질을 기관 상에 지지하는 지지부;

상기 기관 상에 마련되는 상기 침상 전자방출물질에 전기적으로 연결되는 캐소드; 그리고

상기 침상 전자방출물질에 대향하게 상기 기관 상에 마련되는 애노드;를 구비하는 횡형 전계 방출 소자.

청구항 2

제 1 항에 있어서,

상기 지지부와 애노드 사이에 게이트가 마련되어 있는 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 3

제 2 항에 있어서,

상기 게이트는 상기 침상 전자방출물질과 애노드 사이의 전자진행 경로와 상기 기관 사이에 마련되는 것을 특징으로 하는 횡형 전계방출소자.

청구항 4

제 2 항에 있어서,

상기 게이트는 상기 침상 전자방출물질과 애노드 사이의 전자진행 경로의 양측에 위치하는 게이트 부재를 구비하는 특징으로 하는 횡형 전계방출소자

청구항 5

제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 애노드는 상기 침상 전자방출물질로부터의 전자가 충돌하는 측면을 가지는 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 6

제 5 항에 있어서,

상기 침상 전자방출물질은 탄소 나노 튜브 또는 나노카본 소재 또는 반도체 나노와이어 또는 금속 나노와이어 인 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 7

제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 침상 전자방출물질은 탄소 나노 튜브 또는 나노카본 소재 또는 반도체 나노와이어 또는 금속 나노와이어 인 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 8

제 2 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 캐소드, 애노드 및 게이트는 전도성을 갖는 동일 물질로 형성되는 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 9

기관;

기관의 일측에 소정 두께로 마련되는 지지부와 지지부 상에 형성되는 캐소드 및 캐소드에 전기적으로 연결되는 침상 전자방출물질을 포함하는 캐소드 구조체; 그리고

상기 기관의 타측에 상기 캐소드 구조체에 대향하게 마련되는 애노드;를 구비하는 횡형 전계 방출 소자.

청구항 10

제 9 항에 있어서,

상기 캐소드 구조체에서, 캐소드는 상기 침상 전자방출물질의 일부분을 덮는 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 11

제 9 항 또는 제 10 항에 있어서,

상기 캐소드 구조체와 애노드의 사이에 게이트가 더 구비되어 있는 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 12

제 11 항에 있어서,

상기 게이트는 상기 캐소드 구조체와 애노드 사이의 전자 진행 경로의 양측에 마련되는 게이트 부재를 구비하는 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 13

제 9 항 또는 제 10 항에 있어서,

상기 애노드는 상기 전자방출물질로부터의 전자가 충돌하는 측면을 가지는 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 14

제 11 항에 있어서,

상기 캐소드, 애노드 및 게이트는 전도성을 갖는 동일 물질로 형성되는 것을 특징으로 하는 횡형 전계 방출 소자.

청구항 15

제 9 항 또는 제 10 항에 있어서,

상기 침상 전자방출물질은 탄소 나노 튜브 또는 나노카본 소재 또는 반도체 나노와이어 또는 금속 나노와이어인 것을 특징으로 하는 횡형 전계 방출 소자.

명세서

기술분야

[0001] 전계 방출 소자에 관련되며, 상세하게 기관에 나란한 방향으로 전자의 방출이 일어나는 횡형 전계 방출 소자에 관해 기술된다.

배경기술

[0002] 침상 전자방출물질인CNT(Carbon Nano Tube)는 전기적, 기계적, 화학적, 열적 특성 등의 우수한 물성 때문에 다양한 응용분야에서 활용도가 매우 높은 물질이다. CNT는 낮은 일 함수(work function)와 높은 종횡 비 및 나노 크기의 선단부의 작은 곡률 반경에 의한 큰 전계 강화인자(field enhancement factor, β)를 갖기 때문에 CNT는 낮은 전계에서 전자 방출이 용이하고, 또한 기계적, 화학적 안정성과 열적, 전기적 전도도가 매우 높다. CNT를 이용한 종래 CNT전계 전자방출 소자는 음극부와 양극부가 기관(전면판, 배면판)의 평면에 대해 수직방향으로 배열되는 수직적 종형(縱形) 구조를 가진다. 이러한 구조의 특성은 음극부와 양극부 전극 사이

에 전자 진행 공간 확보를 위한 스페이서가 마련되어야 한다. 이러한 스페이서는 복잡한 제조공정을 요구하며 또한 소자의 집적화에 장애요소가 된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시 예들에 따르면, 횡형 전계 방출 소자가 제공된다.

과제의 해결 수단

[0004] 본 발명의 한 유형에 따른 횡형 전계 방출 소자:는

[0005] 기관;

[0006] 기관에 대해 나란하게 일 방향으로 배향되는 침상 전자방출물질;

[0007] 상기 침상 전자방출물질을 기관 상에 지지하는 지지부;

[0008] 상기 기관 상에 마련되는 상기 침상 전자방출물질에 전기적으로 연결되는 캐소드; 그리고

[0009] 상기 침상 전자방출물질에 대향하게 상기 기관 상에 마련되는 애노드;를 구비한다.

[0010] 한 실시 예에 따르면, 상기 침상 전자방출물질과 애노드의 사이에 게이트가 마련된다.

[0011] 상기 게이트는 상기 침상 전자방출물질과 애노드 사이의 전자 이동경로 하방에 위치할 수 있다.

[0012] 또한, 상기 게이트는 전자방출물질과 상기 애노드 사이의 전자진행 경로의 양측에 위치하는 게이트 부재를 구비할 수 있다.

[0013] 상기 애노드는 상기 전자방출물질로부터의 전자가 충돌하는 측면을 가질 수 있다.

[0014] 상기 침상 전자방출물질은 탄소 나노 튜브이다.

[0015] 상기 캐소드, 애노드 및 게이트는 동일 물질로 형성될 수 있다.

[0016] 본 발명의 다른 유형에 따른 횡형 전계 방출 소자:는

[0017] 기관;

[0018] 기관의 일측에 소정 두께로 마련되는 지지부와 지지부 상에 형성되는 캐소드 및 캐소드에 전기적으로 연결되는 침상 전자방출물질을 포함하는 캐소드 구조체; 그리고

[0019] 상기 기관의 타측에 상기 캐소드 구조체에 대향하게 마련되는 애노드;를 구비한다.

[0020] 상기 캐소드 구조체에서, 캐소드는 상기 침상 전자방출물질의 일부분을 덮을 수 있다.

[0021] 상기 캐소드 구조체와 상기 애노드의 사이에 게이트가 더 구비될 수 있다. 특히 상기 게이트는 상기 캐소드 구조체와 상기 애노드 사이의 전자 진행 경로의 양측에 마련되는 게이트 부재를 구비할 수 있다.

발명의 효과

[0022] 기존의 종형 구조에서 요구되었던 스페이서가 배제되며 따라서 스페이서를 형성하는 공정이 생략할 수 있다. 특히 전체 구조가 하나의 기관 상에 형성되기 때문에 전체 제조 공정이 종래에 비해 단축될 수 있다. 또한 하나의 기관에 형성되므로 집적화된 다수 전계 전자방출 소자 어레이 구조를 얻을 수 있고, 필요에 따라 이들 어레이를 개별 소자 단위로 분리함으로써 대량의 개별 전계 방출 소자의 제조가 가능하다. 이러한 구조의 전계 전자방출 소자는 예를 들어, 램프, 표시장치, 평판 디스플레이용 백라이트 장치, 고출력 마이크로 웨이브 용 전자 소스 등이 있다. 또한 선택적인 개별 소자의 독립 구동이 가능하고 개별 소자 간의 연결이 가능함으로써 고체 반도체 소자와 유사한 형태의 집적화된 진공 전자방출소자 구현이 가능하다.

도면의 간단한 설명

[0023] 도 1a는 본 발명의 한 실시 예에 따른 2 극(diode)구조의 횡형 전계 방출 소자를 개략적으로 보이는 사시도이다.

도 1b는 도 1a에 도시된 횡형 전계 방출 소자를 개략적으로 보이는 측면도이다.

도 2a는 본 발명의 다른 실시 예에 따른 3 극(triode)구조의 횡형 전계 방출 소자를 개략적으로 보이는 사시도이다.

도 2b는 도 2a에 도시된 횡형 전계 방출 소자를 개략적으로 보이는 측면도이다.

도 3a는 본 발명의 또 다른 실시 예에 따른 3 극 구조의 횡형 전계 방출 소자를 개략적으로 보이는 사시도이다.

도 3b는 도 3a에 도시된 횡형 전계 방출 소자를 개략적으로 보이는 평면도이다.

도 4a 내지 도 4g는 도 1a, 1b에 도시된 본 발명의 한 실시 예에 따른 횡형 전계 방출 소자의 제조 공정을 나타내 보인다.

도 5a 내지 도 5g는 도 2a, 2b에 도시된 본 발명의 다른 실시 예에 따른 횡형 전계 방출 소자의 제조 공정을 나타내 보인다.

도 6a 내지 도 6g는 도 3a, 3b에 도시된 본 발명의 또 다른 실시 예에 따른 횡형 전계 방출 소자의 제조 공정을 나타내 보인다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하면서 본 발명의 실시 예들에 따른 전계방출 소자들을 설명한다.
- [0025] 도 1a는 전계 방출(electric field emission)에 필요한 기본적인 2 극(diode) 구조를 가지는 것으로서, 본 발명에 따른 횡형 전계 방출 소자를 개략적으로 보이는 사시도이며, 도 1b는 측면도이다.
- [0026] 도 1a, 1b에 도시된 바와 같이, 기판(10) 상에 도전성 물질, 예를 들어 Au, Ag와 같은 금속으로 된 캐소드(20)와 애노드(30)가 상호 마주 대하게 일정 거리를 두고 마련된다. 한편, 애노드(30)를 마주대하는 캐소드(20)의 일 측면 가까이에는 애노드(30)를 향하여 정렬된 다수의 CNT와 같은 침상 전자방출물질(40)이 마련되고, 이들 하부에는 절연성 지지부(50)가 마련되어 있다. 여기에서 상기 침상 전자방출물질(40)은 탄소 나노튜브 또는 나노 카본 소재 또는 반도체 나노와이어 또는 금속 나노와이어이다.
- [0027] 이 지지부(50)는 PMMA(Poly methyl methacrylate) 수지 또는 실리콘 질화물(SiNx)등의 절연물질로 형성되며, 상기 침상 전자방출물질(40)의 선단(전자 방출이 일어나는 단부, emission end)이 마주 보는 애노드(30)의 일 측면(30a)의 중간 부분에 대응하도록 하여 침상 전자방출물질(40)로부터의 전자 진행 경로(P)를 따라 진행하는 전자가 애노드(30)의 일 측면(30a) 중간 부분에 충돌(또는 랜딩)될 수 있게 하기 위한 것이다. 상기 침상 전자방출물질(40)의 후단은 상기 캐소드(20)에 전기적으로 연결되어 있다. 이때에 침상 전자방출물질(40)의 후단은 캐소드(20)의 일 측면(또는 내측면, 20a)에 대해 물리적으로 접촉 및 고정된다. 침상 전자방출물질(40)의 후단이 캐소드(20)에 일 측면(20a)에 고정되는 경우는 후단 일부가 캐소드(20)의 일 측면(20a)에 매립될 수 있다. 한편, 상기 기판(10)은 단일층이 아닌 다중층 구조를 가질 수 있다. 예를 들어, 하부는 기판(10)의 기판 본체(10a)로서 실리콘 기판(silicon substrate or Si wafer)으로 형성될 수 있고, 그리고 상부는 절연층(10b)으로서 실리콘 산화막(Silicon Oxide)으로 형성될 수 있다. 그러나, 다른 실시 예 따르면 상기 기판(10)은 유리와 같이 잘 알려진 다른 절연재료로도 형성될 수 있다.
- [0028] 위와 같은 구조의 2 극 구조의 전계방출 소자는 캐소드(20)와 애노드(30)에 전원이 인가되면 캐소드(20)에 전기적으로 연결된 것으로 실제 냉음극(cold cathode)에 해당하는 침상 전자방출물질의 선단으로부터 전자(電子)의 방출이 일어나고 이 전자는 애노드(30)의 내측 면에 충돌하게 된다.
- [0029] 도 2a는 도 1a에 도시된 전계방출 소자의 개량 구조체로서 3 극(triode) 구조를 가지는 본 발명에 따른 횡형 전계방출 소자를 개략적으로 도시하며, 도 2b는 그 측면도이다.
- [0030] 도 2a, 2b를 참조하면, 기판(10) 상에 도전성 물질, 예를 들어 Au, Ag와 같은 금속으로 된 캐소드(20)와 애노드(30)가 상호 마주 대하게 일정 거리를 두고 마련된다. 캐소드(20)와 애노드(30) 사이에는 전술한 바와 같은 침상 전자방출물질(40)을 지지하는 지지부(50) 및 게이트(60)가 마련되어 있다. 지지부(50)와 게이트(60)는 일정 거리 이격되어 있으며, 그 높이는 양자가 비슷하거나, 게이트(60)가 약간 낮을 수 있다. 여기에서, 게이트(60)의 높이는 침상전자방출물질(40)과 애노드(30) 사이의 전자 진행 경로(P) 상에 적절한 게이트(제어) 전계를 형성할 수 있는 정도의 높이를 가지며, 이 높이는 설계 요구에 따라 적절히 조절될 수 있다. 이러한 게

이트(60)는 캐소드(20) 나 애노드(30)와 같이 Au 또는 Ag 와 같은 물질로 형성될 수 있다.

- [0031] 상기 지지대(50)는 역시 PMMA(Poly methyl methacrylate) 수지 또는 실리콘 질화물(SiNx)등의 절연물질로 형성된다.
- [0032] 상기 침상 전자방출물질(40)의 후단은 상기 캐소드(20)에 전기적으로 연결되어 있다. 이때에 침상 전자방출물질(40)의 후단은 캐소드(20)의 일 측면에 대해 물리적으로 접촉 및 고정된다. 침상 전자방출물질(40)의 후단이 캐소드(20)에 고정되는 경우는 후단 일부분이 캐소드(20)에 매립될 수 있다. 여기에서 매립되는 구조는 캐소드(20)가 상하 2 중층의 구조를 가질 수 있으며, 이들 층 사이에 상기 침상 전자방출물질(40)의 후단부가 끼어있을 수 있으며, 이러한 구조는 전술한 도 1a, 1b의 구조에도 선택적으로 적용 가능하다.
- [0033] 한편, 상기 기관(10)은 전술한 실시 예에서와 마찬가지로 단일층이 아닌 다중층 구조를 가질 수 있으며, 예를 들어, 기관(10)의 그 표면에 산화막이 형성된 실리콘 웨이퍼가 적용될 수 있다. 여기에서 웨이퍼는 기관(10)의 본체(10a), 그리고 산화막은 절연층(10b)에 해당한다.
- [0034] 도 3a는 도 2a, 2b에 도시된 3 극 구조의 전계방출 소자와는 다른 게이트구조를 가지는 횡형 전계방출 소자를 개략적으로 도시하며, 도 3b는 그 평면도이다.
- [0035] 도 3a, 3b를 참조하면, 기관(11)의 일측(도면에서 오른쪽)에는 전술한 바와 같이 Au, Ag와 같은 금속으로 된 애노드(31)가 형성되고, 그 반대측에는 캐소드(21), 침상 전자방출물질(41) 및 이들을 캐소드(21)와 침상 전자방출물질(41)을 하부에서 지지하는 소정 두께(높이)의 지지부(51)가 구비된 캐소드 구조체(K)가 마련되어 있다. 그리고 기관(11)의 중앙에는 상기 침상 전자방출물질(41)와 애노드(31) 간의 전자 진행 경로 양측에 위치하는 게이트 부재(61a, 61a) 및 이들을 상호 연결하는 게이트 연결부(또는 게이트 어드레스 라인, 61b)를 갖는 게이트(61)가 마련되어 있다.
- [0036] 게이트 부재(61a, 61a)는 도전성 물질로써, 애노드(31)와 같은 물질, 예를 들어 Au, Ag와 같은 금속으로 형성된다. 상기 양 게이트 부재(61a, 61a)는 전자 진행 경로(P)의 양측에서 전자 진행 경로(P)를 충분히 커버할 수 있는 두께(높이)로 위치하여 전자 진행 경로(P) 상에서 소정의 전자를 제어하는 전계를 형성한다.
- [0037] 캐소드 구조체(K)를 좀 더 살펴보면, PMMA(Poly methyl methacrylate) 수지 또는 실리콘 질화물(SiNx)등의 절연물질로 형성된 지지부(51) 위에 캐소드(21)와 침상 전자방출물질(41)이 형성되어 있다. 여기에서, 캐소드(21)는 침상 전자방출물질(41)의 후단부를 덮고 있다. 이 구조는 지지부(51) 위에 먼저 침상 전자방출물질(41)이 배열된 후, 일부분이 침상 전자방출물질(41)을 덮도록 캐소드(31)가 형성됨을 보인다. 도 3a, 3b에 도시된 형태의 캐소드 구조체를 가지는 횡형 전계 방출 소자의 경우, 상기 게이트(61)가 제외(생략)됨으로써 2극, 즉 다이오드 구조를 가질 수 도 있다.
- [0038] 상기한 바와 같은 다양한 실시 예를 통해 설명된 횡형 전계 전자방출 소자는 기존의 종형 구조에서 요구하였던 스페이서가 배제되며 따라서 스페이서를 형성하는 공정이 생략할 수 있다. 특히 전계 구조가 하나의 기관 상에 형성되기 때문에 전체 제조공정이 간략화될 수 있다. 더욱이 하나의 기관에 형성되므로 다수 전계 전자방출 소자 어레이의 구조를 얻을 수 있고, 필요에 따라 이를 개별 소자 별로 분리함으로써 대량의 개별 전계 방출 소자의 제조가 가능하다. 이러한 구조의 전계 전자방출 소자는 다양한 분야에 적용될 수 있다. 예를 들어, 램프, 표시장치, 평판 디스플레이용 백라이트 장치, 고출력 마이크로 웨이브용 전자 소스 등이 있다. 또한 선택적인 개별 소자의 독립 구동이 가능하고 개별 소자 간의 연결이 가능함으로써 고체 반도체 소자와 유사한 형태의 집적화된 진공 전자방출소자 구현이 가능하다.
- [0039] 이하에서는 전술한 실시 예들에 따른 횡형 전계 방출 소자의 제조 방법을 설명한다.
- [0040] 도 4a 내지 도 4g는 도 1a, 1b에 도시된 전계 방출 소자의 제조 공정을 개략적을 보인다.
- [0041] 도 4a에 도시된 바와 같이 기관(10)을 준비한다. 기관(10)은 절연성 표면을 가지는 재료, 예를 들어 유리나 사파이어로 제조될 수 있다. 한편, 이러한 기관(10)은 실리콘 웨이퍼로서 실리콘 본체(10a) 위에 산화막(10b)이 형성된 구조를 가질 수 있다.
- [0042] 도 4b에 도시된 바와 같이, 상기 기관(10) 위에 도 1a, 1b에 도시된 지지부(50)를 제조하기 위한 절연물질층(Mi, Insulation Material)을 형성한다. 절연물질층(Mi)은 PMMA 또는 실리콘 질화물(SiNx)를 스퍼터링과 같은 물리적 증착법, 또는 화학적 반응이 수반되는 화학기상증착법(CVD) 등으로 형성될 수 있다.
- [0043] 도 4c에 도시된 바와 같이 상기 절연물질층(Mi)을 상기 지지부(50)를 형성하기 위한 초기 형태의 반가공(semi-finished) 지지부(50s)를 가지도록 패터닝한다. 이때에 반가공 지지부(50s)의 길이는 캐소드(20)와 애

노드(30) 간의 간격에 대응하며, 그 폭은 전술한 침상 전자물질(40)이 배열될 수 있는 정도의 폭을 가진다.

- [0044] 반가공 지지부(50s)의 패터닝은 기존의 습식 패터닝법이나 건식 패터닝법을 적용하여 형성할 수 있으며, 구체적으로 기존의 포토리소그래피법이나 전자빔 에칭을 이용한 패터닝이 적용될 수 있다.
- [0045] 도 4d에 도시된 바와 같이, 상기 반가공 지지부(50s)가 형성된 기판(10) 위에 캐소드(20)와 애노드(30)의 제조를 위한 도전성 물질층(Mc, Conductive Material), 예를 들어 Au, Ag 층을 형성한다. 도전성 물질층(Mc)은 열 증착법, 전자빔 증착법, 또는 스퍼터링법 등의 물리적 증착법을 적용할 수 있다.
- [0046] 도 4e에 도시된 바와 같이, 상기 도전성 물질층(Mc)을 패터닝하여, 상기 반가공 지지부(50s)의 양측 면에 위치하는 캐소드(20)와 애노드(30)를 형성한다. 캐소드(20)와 애노드(30)의 형성은 기존의 건식법이나 습식법을 적용할 수 있다.
- [0047] 도 4f에 도시된 바와 같이 상기 반가공 지지부(50s) 위에 침상 전자방출물질(40)을 캐소드(20)와 애노드(30) 사이에 배열한다. 이때의 배열은 전기영동법에 의해 상기 반가공 지지부(50s) 상에 배치할 수 있다. 즉, 침상 전자물질이 분산된 전해액 내에서, 상기 캐소드(20)와 애노드(30) 사이에 적절한 전압을 인가한 전기장 형성 방향으로 침상 전자방출물질(40s)이 배치된다. 전기 영동법은 전해액 내에서 진행되므로 침상 전자방출물질(40s)을 형성한 후에는 건조가 진행되어야 할 것이다.
- [0048] 이러한 전기 영동법 외에 직접 침상 전자방출 물질을 지지부에 올릴 수 있을 것이다. 본 발명의 기술적 범위는 침상 전자방출물질을 지지부에 형성하는 다양한 방법에 의해 제한되지 않는다.
- [0049] 이어서, 상기 반가공 지지부(50s)와 침상 전자방출물질(40s)을 패터닝하여, 애노드(30)와 소정거리 이격되는 지지부(50)와 침상 전자방출물질(40)을 형성하여 도 4g에 나타난 바와 같은 목적하는 2 극 구조의 전계 방출 소자를 얻는다. 이때에 침상 전자방출물질(40)은 캐소드(20)에 대해 전기적으로 연결된 상태를 유지한다.
- [0050] 도 5a 내지 도 5g는 도 2a, 2b에 도시된 3 극 구조의 전계 방출 소자의 제조 공정을 개략적으로 보인다.
- [0051] 도 5a에 도시된 바와 같이 기판(10)을 준비한다. 기판(10)은 절연성 표면을 가지는 재료, 예를 들어 유리나 사파이어로 제조될 수 있다. 한편, 이러한 기판(10)은 실리콘 웨이퍼로서 실리콘 본체(10a) 위에 산화막(10b)이 형성된 구조를 가질 수 있다.
- [0052] 도 5b에 도시된 바와 같이, 상기 기판(10) 위에 상기 지지부(50)를 제조하기 위한 절연물질층(Mi)을 형성한다. 절연물질층(Mi)은 PMMA 또는 실리콘 질화물(SiNx)를 스퍼터링과 같은 물리적 증착법, 또는 화학적 반응이 수반되는 화학기상증착법(CVD) 등으로 형성될 수 있다.
- [0053] 도 5c에 도시된 바와 같이 상기 절연물질층(Mi, Insulation Material)을 도 2a, 2b에 도시된 지지부(50)를 형성하기 위한 초기 형태의 반가공(semi-finished) 지지부(50s)를 가지도록 패터닝한다. 이때에 반가공 지지부(50s)의 길이는 캐소드(20)와 애노드(30) 간의 간격에 대응하며, 그 폭은 전술한 침상 전자물질(40)이 배열될 수 있는 정도의 폭을 가진다.
- [0054] 반가공 지지부(50s)의 패터닝은 기존의 습식 패터닝법이나 건식 패터닝법을 적용하여 형성할 수 있으며, 구체적으로 기존의 포토리소그래피법이나 전자빔 에칭을 이용한 패터닝이 적용될 수 있다.
- [0055] 도 5d에 도시된 바와 같이, 상기 반가공 지지부(50s)가 형성된 기판(10) 위에 캐소드(20), 애노드(30) 및 이들 사이의 게이트(60)를 제조하기 위한 도전성 물질층(Mc, Conductive Material), 예를 들어 Au, Ag 층을 형성한다. 도전성 물질 층(Mc)은 열 증착법, 전자빔 증착법, 또는 스퍼터링법 등의 물리적 증착법을 적용할 수 있다.
- [0056] 도 5e에 도시된 바와 같이, 상기 도전성 물질층(Mc)을 패터닝하여, 캐소드(20), 애노드(30) 및 이들 사이의 반가공 게이트(60s)를 형성한다. 한편, 상기 반가공 지지부(50s)의 양측에는 캐소드(20)와 반가공 게이트(60s)가 위치한다. 이러한 캐소드(20), 애노드(30) 및 이들 사이의 반가공 게이트(60s)의 패터닝은 기존의 건식법이나 습식법을 적용할 수 있다.
- [0057] 도 5f에 도시된 바와 같이 상기 반가공 지지부(50s) 위에 침상 전자방출물질(40)을 캐소드(20)와 반가공 게이트(60s) 사이에 배열한다. 이때의 배열은 전기영동법에 의해 상기 반가공 지지부(50s) 상에 배치할 수 있다. 즉, 침상전자방출물질이 분산된 전해액 내에서, 상기 캐소드(20)와 반가공 게이트(60s) 사이에 적절한 전압을 인가한 전기장 형성방향으로 침상 전자방출물질(40)이 배치된다. 전기 영동법은 전해액 내에서 진행되므로 침

상 전자방출물질(40)을 형성한 후에는 건조가 진행되어야 할 것이다.

- [0058] 이러한 전기 영동법 외에 직접 침상 전자방출 물질을 지지부에 올릴 수 있을 것이다. 본 발명의 기술적 범위는 침상 전자방출물질을 지지부에 형성하는 다양한 방법에 의해 제한되지 않는다.
- [0059] 상기 반가공 지지부(50s)와 침상 전자방출물질(40s)을 패터닝하고, 그리고 반가공 게이트(60s)의 두께를 낮추어, 전자빔 진행 경로 상의 하방에 위치하는 게이트(60)를 완성하여 도 5g에 도시된 바와 같은 3 극 구조의 전계 방출 소자를 얻는다. 이때에 상기 게이트(60)와 지지부(50)와 이 위의 침상 전자방출물질(40)이 소정 거리 이격되도록 패터닝한다. 위와 같은 과정은 상기 게이트(60)의 두께를 지지부(50)의 두께와 같거나 이 보다 작도록 게이트(60)의 상부를 일정한 깊이로 에칭하는 패터닝 과정과, 상기 지지부(50)와 이 위의 침상 전자방출물질(40)을 형성하기 위한 패터닝 과정이 별도로 진행될 수 있다.
- [0060] 도 6a 내지 도 6g는 도 3a, 3b에 도시된 3 극 구조의 전계 방출 소자의 제조 공정을 개략적으로 보인다.
- [0061] 도 6a에 도시된 바와 같이 기판(11)을 준비한다. 기판(11)은 절연성 표면을 가지는 재료, 예를 들어 유리나 사파이어로 제조될 수 있다. 한편, 이러한 기판(11)은 실리콘 웨이퍼로서 실리콘 본체(11a) 위에 산화막(11b)이 형성된 구조를 가질 수 있다.
- [0062] 도 6b에 도시된 바와 같이, 기판(11) 위에 도전성 물질층(Mc, Conductive Material), 예를 들어 Au, Ag 을 이용하여 기판(11) 일측(도면에서 오른쪽)의 애노드(31)와 기판(11) 중간의 게이트 형성용 물질층(Mg)를 형성한다. 이들은 도전성 물질을 열 증착법, 전자빔 증착법, 또는 스퍼터링법 등의 물리적 증착법을 금속층을 형성한 후 기존의 습식법 또는 건식법에 의해 상기 애노드(1) 및 게이트 형성용 물질층(Mg)를 형성할 수 있다.
- [0063] 도 6c에 도시된 바와 같이, 상기 게이트 형성용 물질층(Mg)을 패터닝하여 반가공 게이트(60s)를 형성한다. 반가공 게이트(60s)는 두 개의 게이트 부재(61a)와 이들을 연결하는 게이트 연결부(61b)를 가진다.
- [0064] 도 6d에 도시된 바와 같이, 상기 게이트 연결부(61b)를 선택적 에칭에 의해 그 두께를 낮춘다. 이러한 에칭에는 마스크를 이용하여 게이트 연결부(61b)만을 소정 깊이 깎아 내는 선택적 에칭법이 적합하다. 게이트 연결부(또는 게이트 어드레이 라인, 61b)의 두께는 가급적 얇으면서도 양 게이트 부재(61a)를 가급적 낮은 전기적 저항으로 연결할 수 있도록 하는 것이 바람직하다.
- [0065] 도 6e에 도시된 바와 같이, 상기 기판(11) 위의 타측(도면에서 왼쪽)에 상기 지지부(51)를 소정 두께로 형성한다. 이는 PMMA 또는 실리콘 질화물(SiNx)를 스퍼터링과 같은 물리적 증착법, 또는 화학적 반응이 수반되는 화학기상증착법(CVD) 등으로 증착한 후 이를 습식 또는 건식법으로 에칭함으로써 얻을 수 있다. 이때에 상기 게이트 연결부(61b)는 지지부(51)에 의해 덮일 수 있다. 상기 지지부(51)는 캐소드(21)와 침상 전자물질(41)이 배열될 수 있는 정도의 깊이와 폭을 가진다.
- [0066] 도 6f에 도시된 바와 같이, 상기 지지부(51) 위에 그 길이방향이 상기 게이트부재(61a)들의 사이를 향하도록, 즉 전술한 바와 같이 전자 진행 경로(P) 에 나란하도록 침상 전자방출물질(41)을 배열한다.
- [0067] 상기 지지부(51)의 타측(도면에서 외쪽)에 캐소드(21)를 형성하여 도 6g에 도시된 바와 같은 구조의 3 극 구조의 전계 방출 소자를 얻는다. 이때에 캐소드(21)는 상기 침상 전자방출물질(41)의 후단부분을 일정 폭 덮는다. 이러한 캐소드(21)는 마스크를 이용한 증착법의 이용하거나, 아니면 마스크를 이용한 도전성 페이스트의 스크린 프린팅에 의해서도 형성할 수 있다.

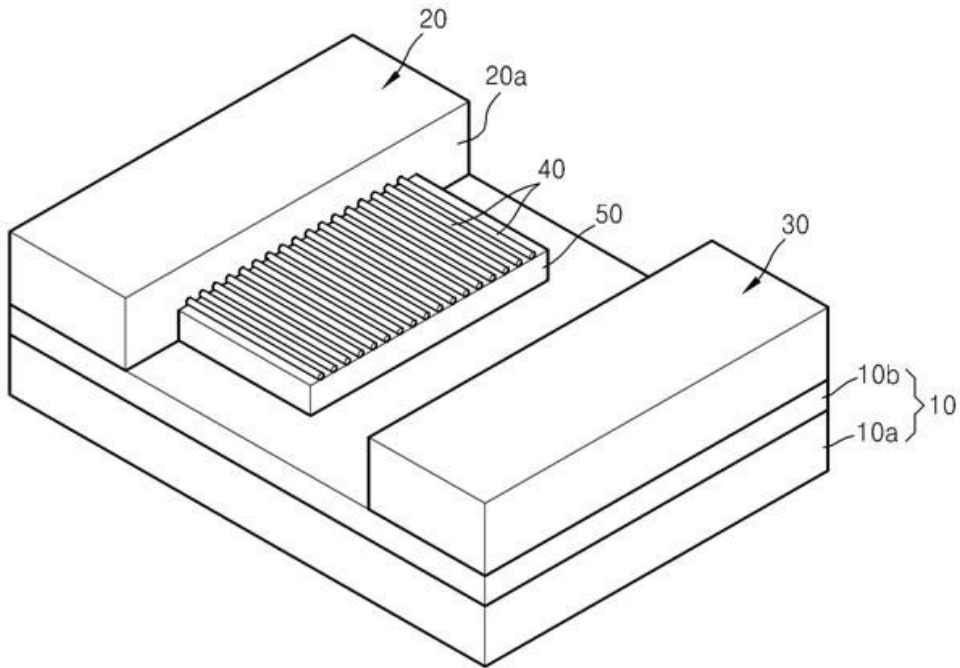
부호의 설명

- [0068] 10: 기판
20, 21: 캐소드
30, 31: 애노드
40, 41: 전자방출물질
50, 51: 지지부
60, 61: 게이트
61a: 게이트 부재
61b: 게이트 접속층

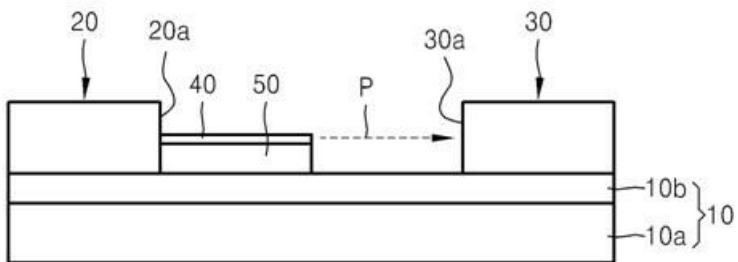
P: 전자 진행 경로

도면

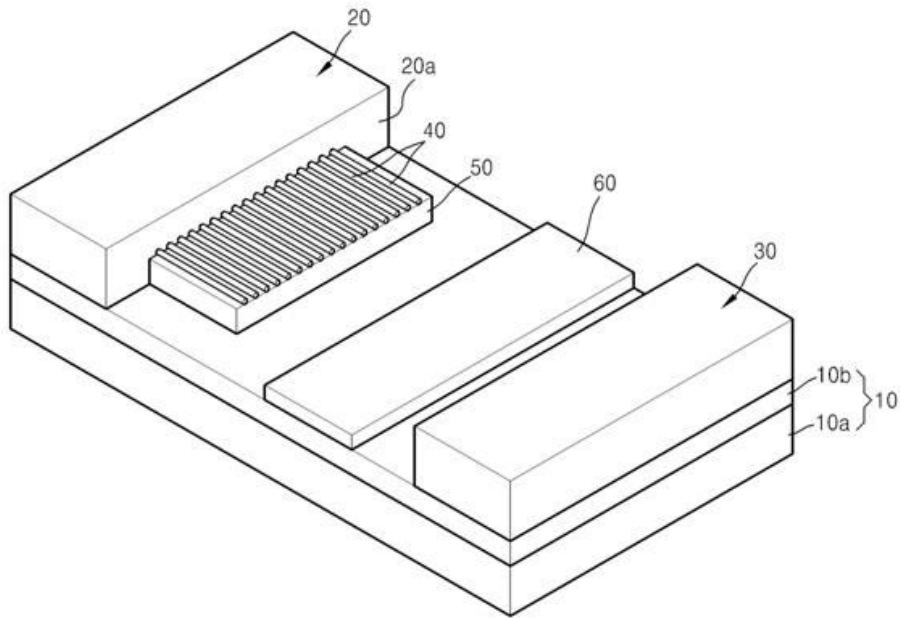
도면1a



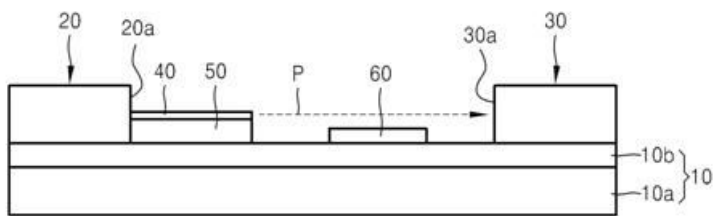
도면1b



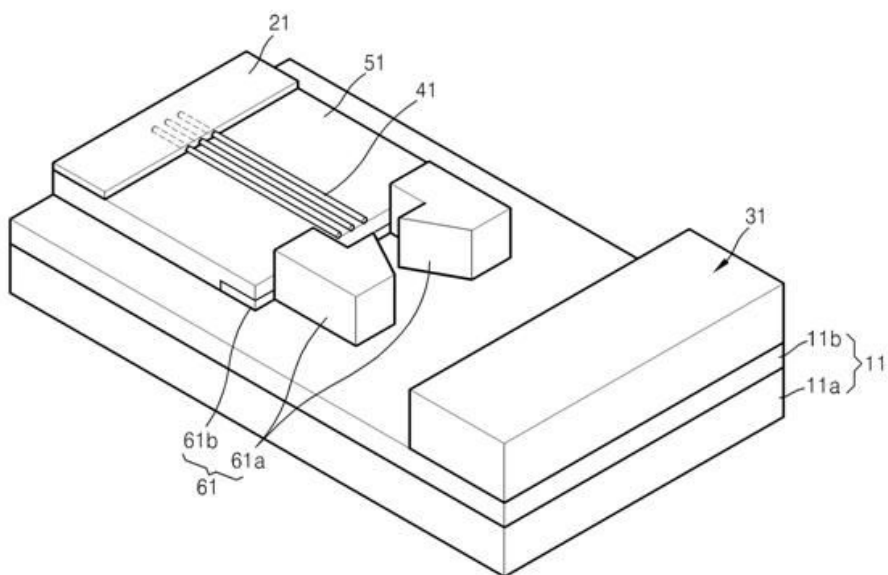
도면2a



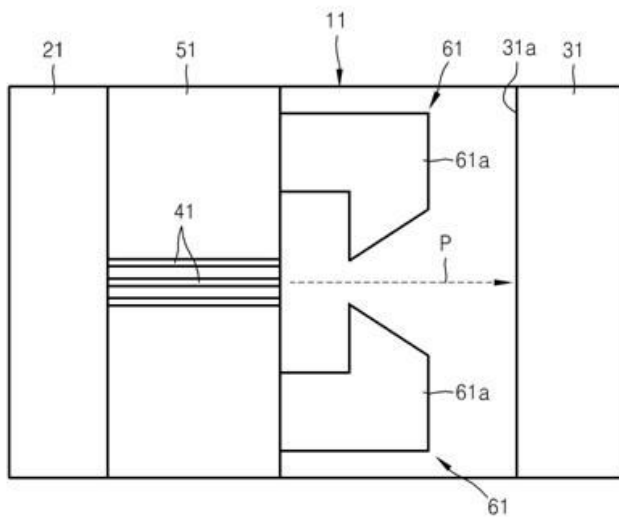
도면2b



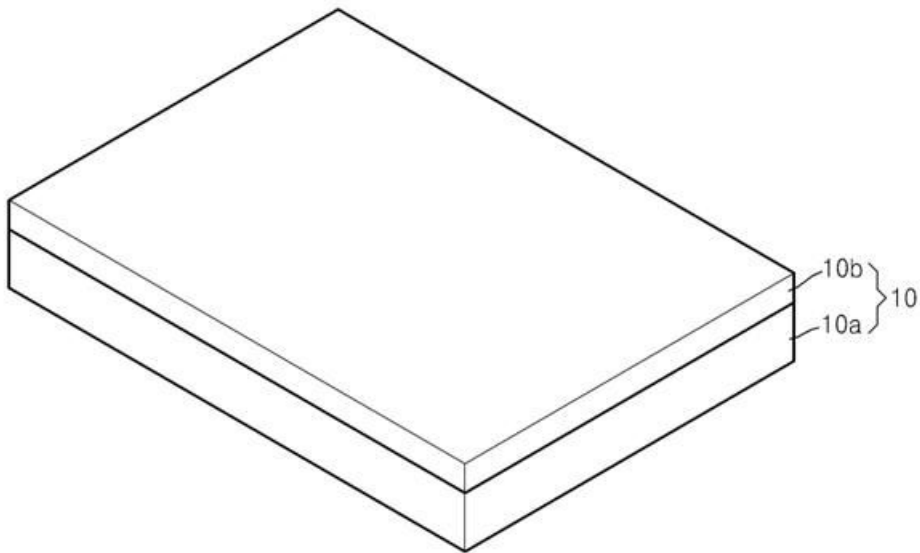
도면3a



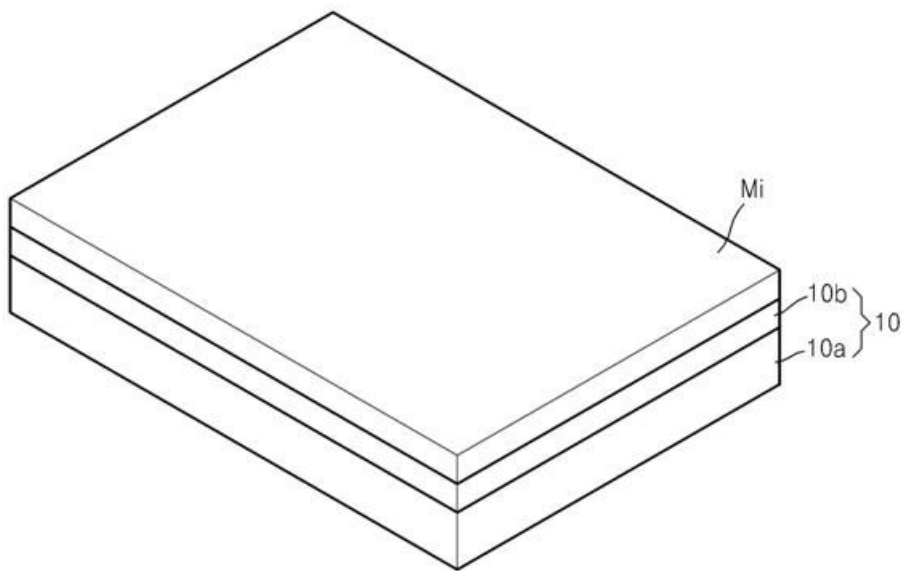
도면3b



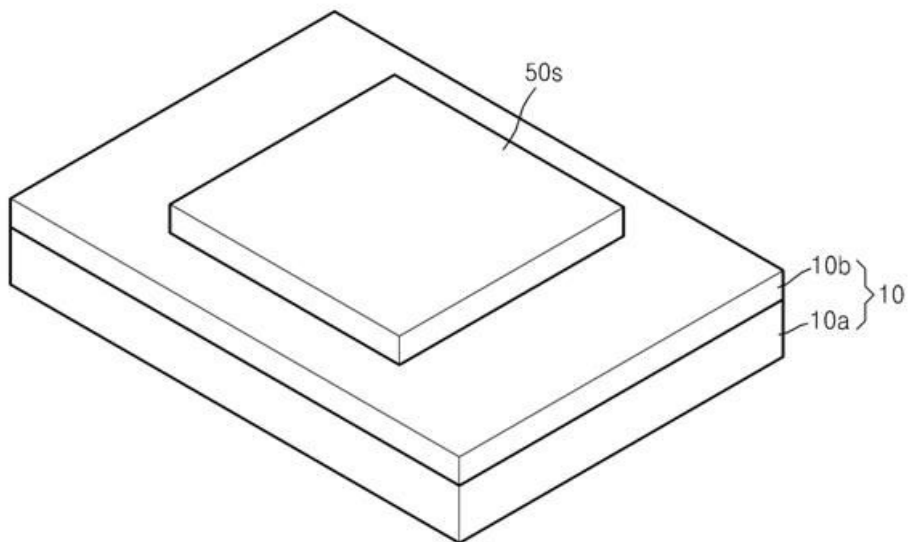
도면4a



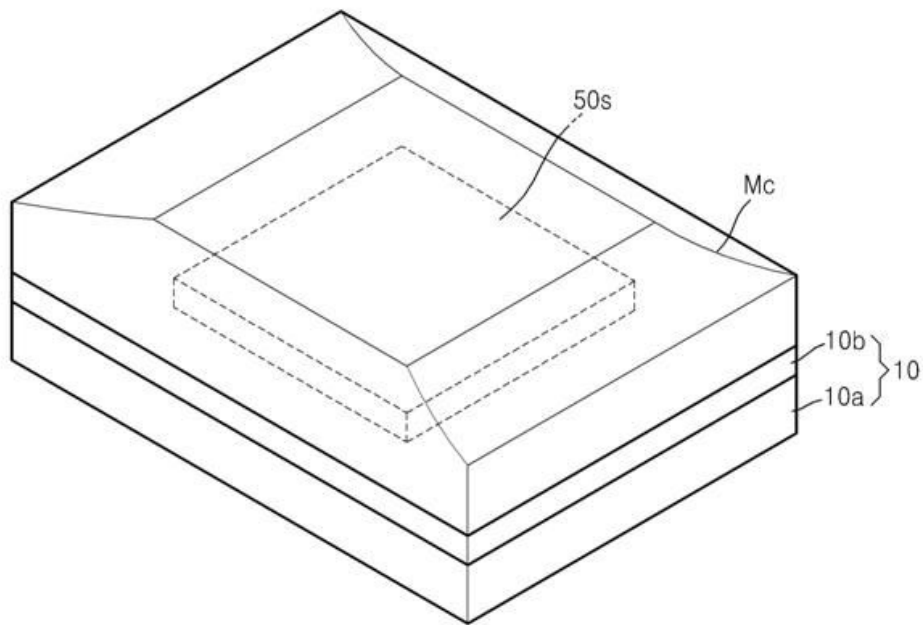
도면4b



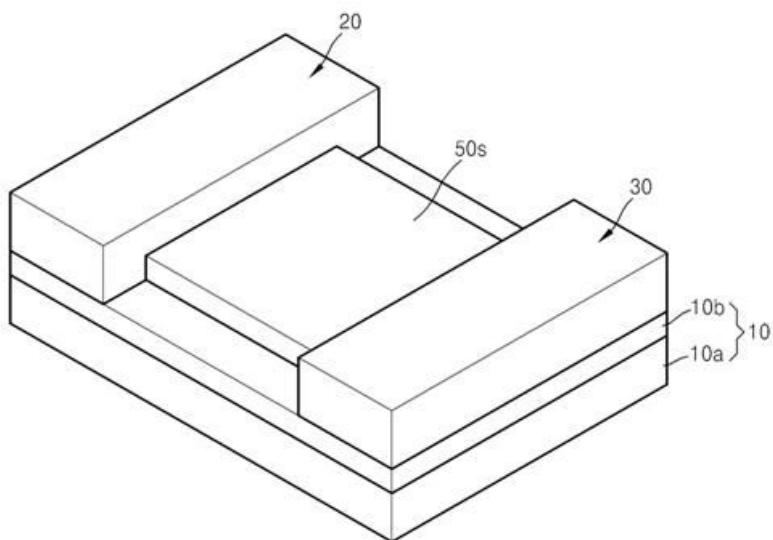
도면4c



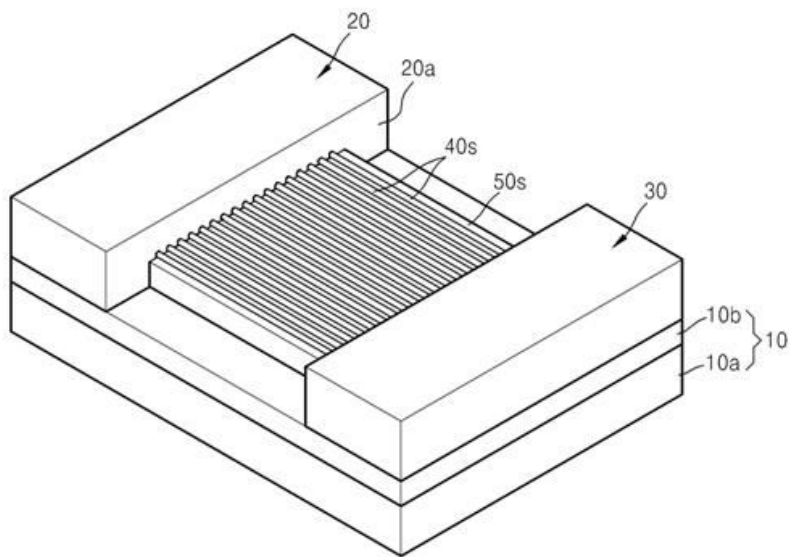
도면4d



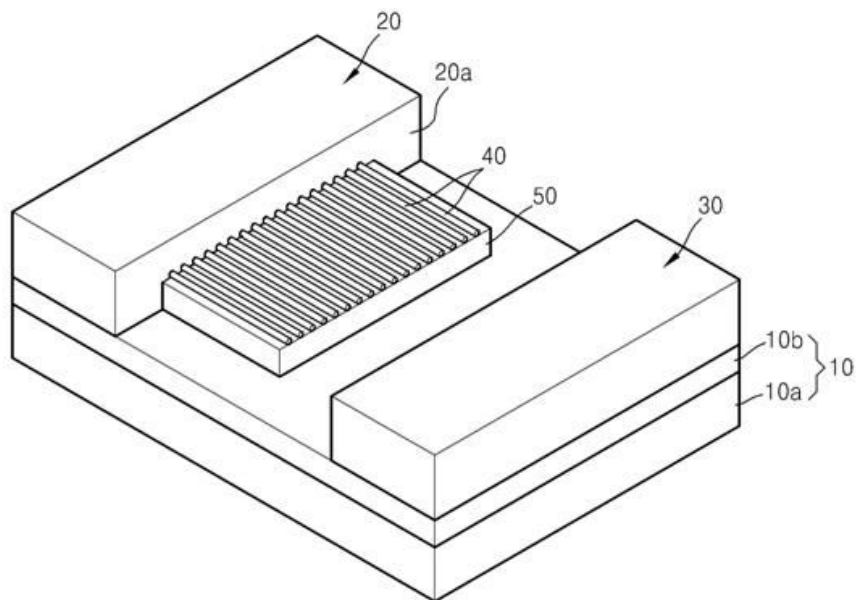
도면4e



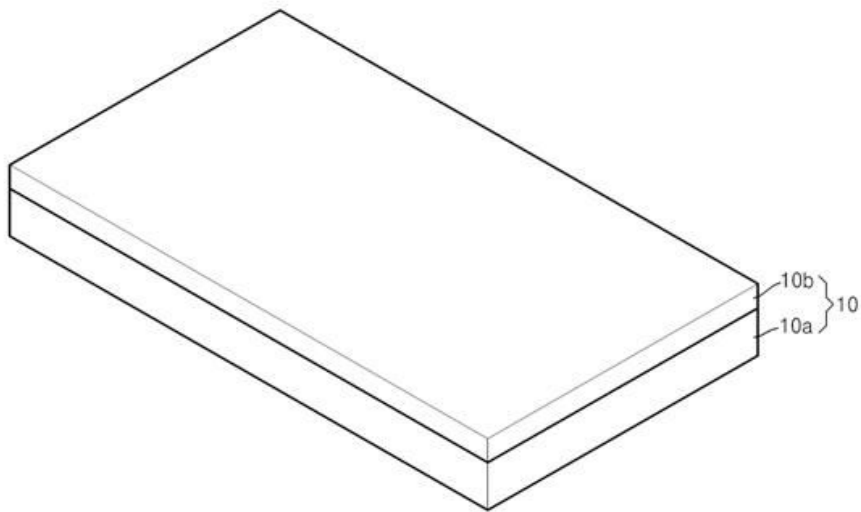
도면4f



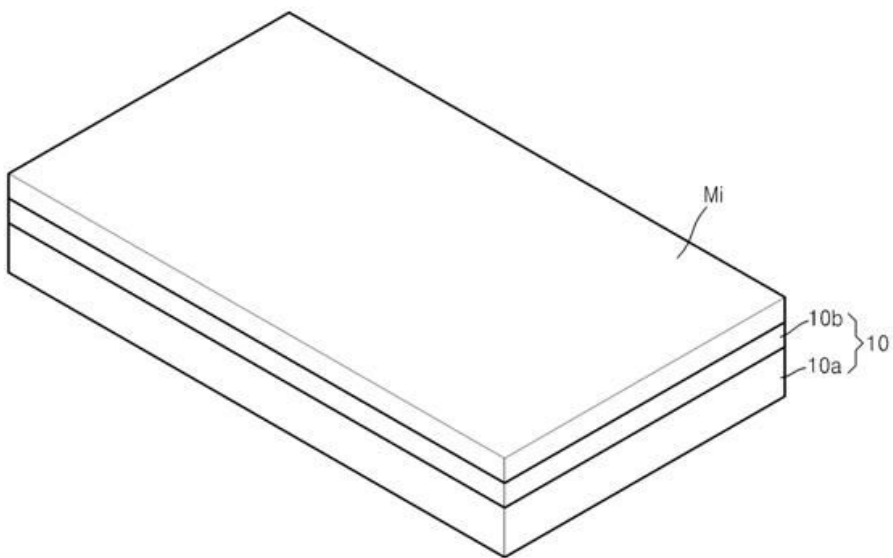
도면4g



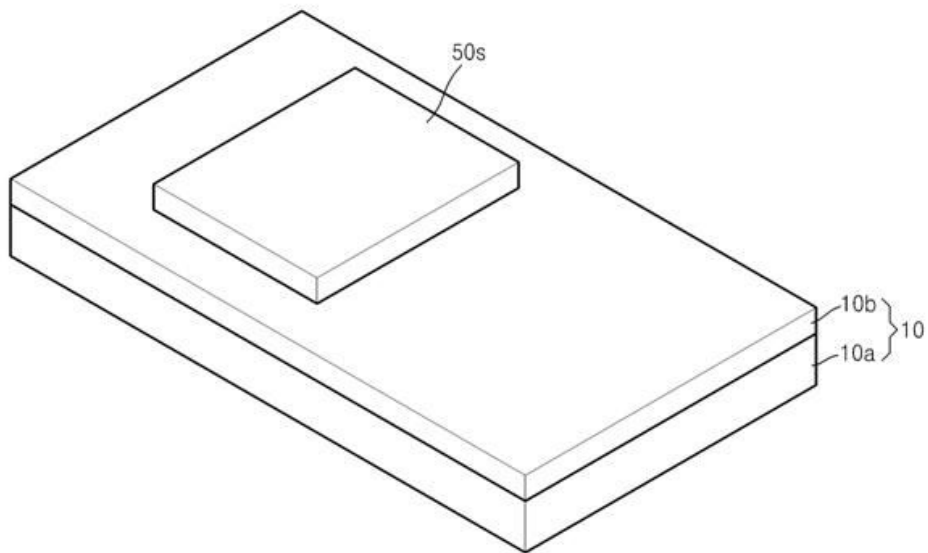
도면5a



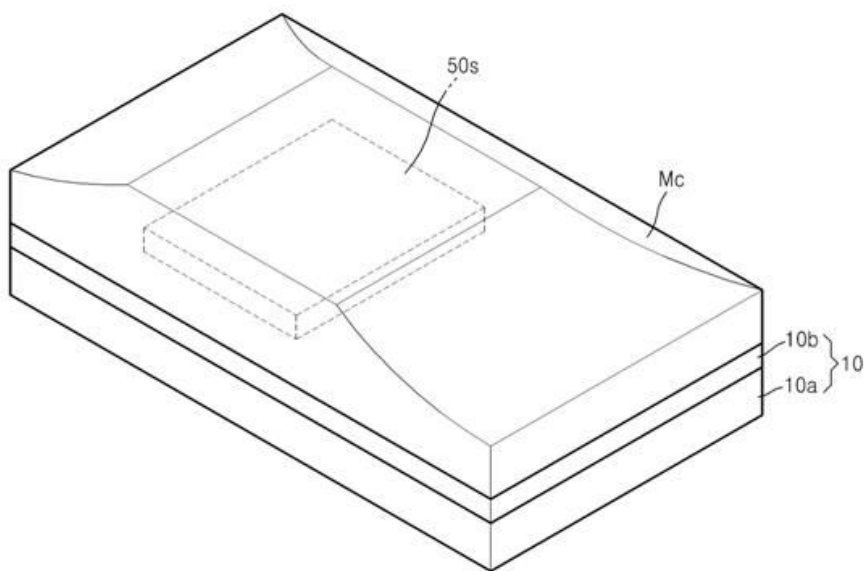
도면5b



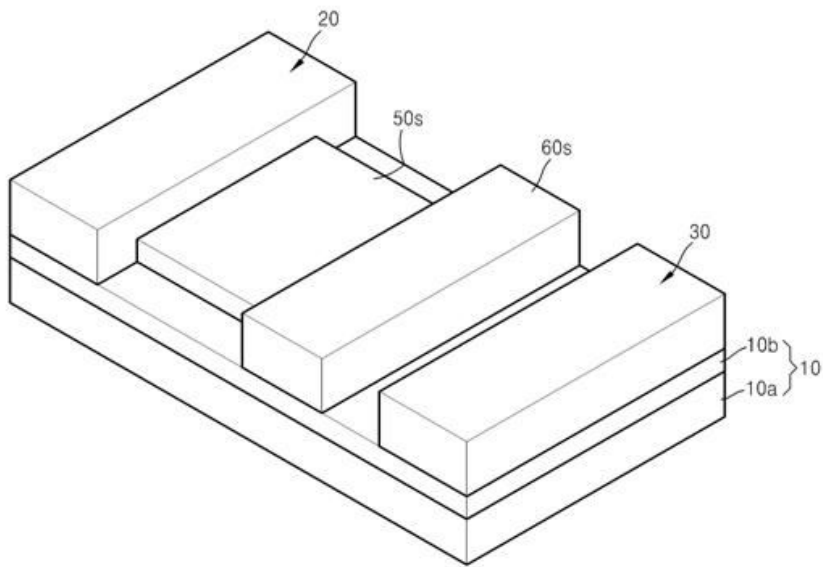
도면5c



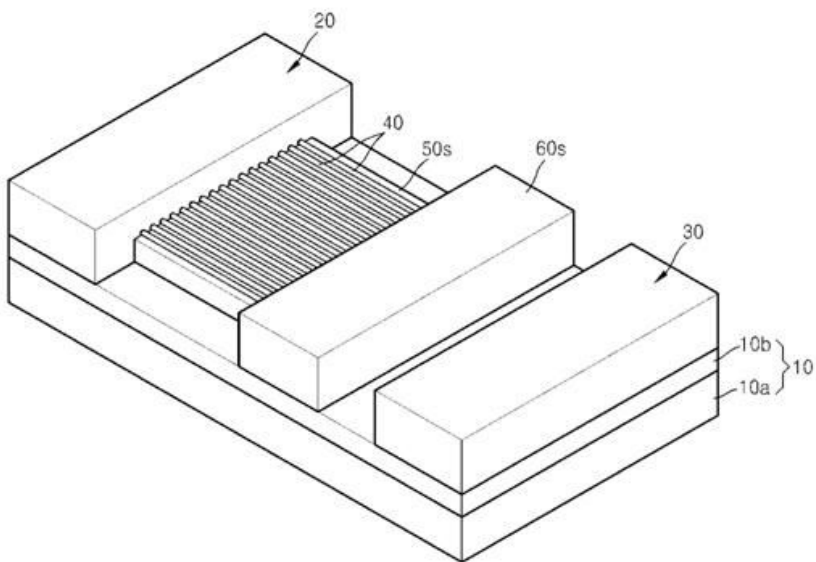
도면5d



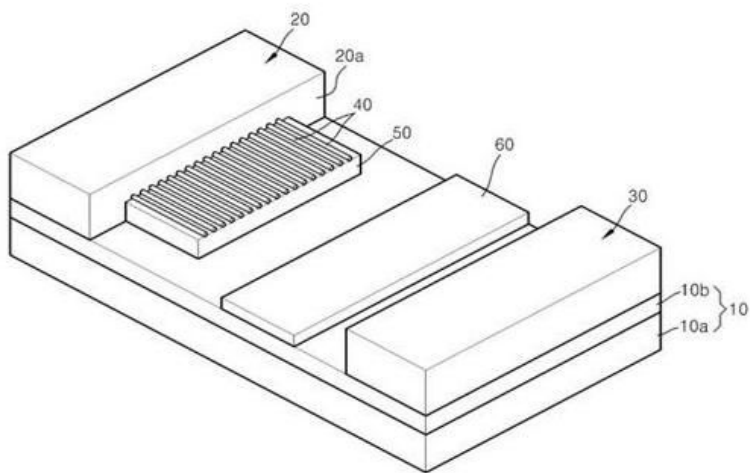
도면5e



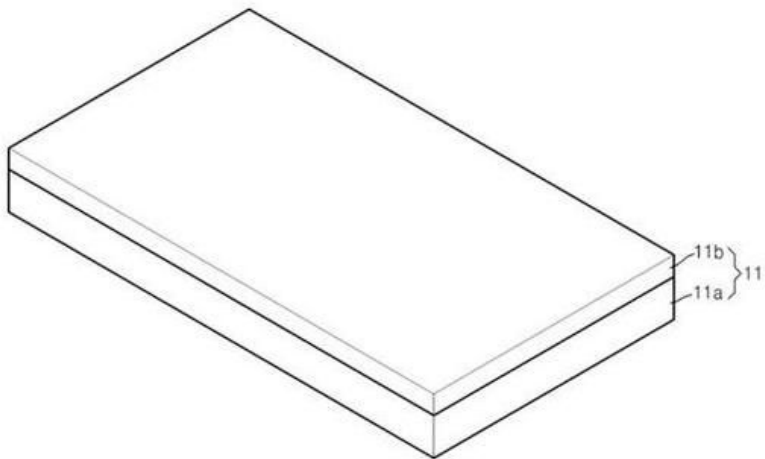
도면5f



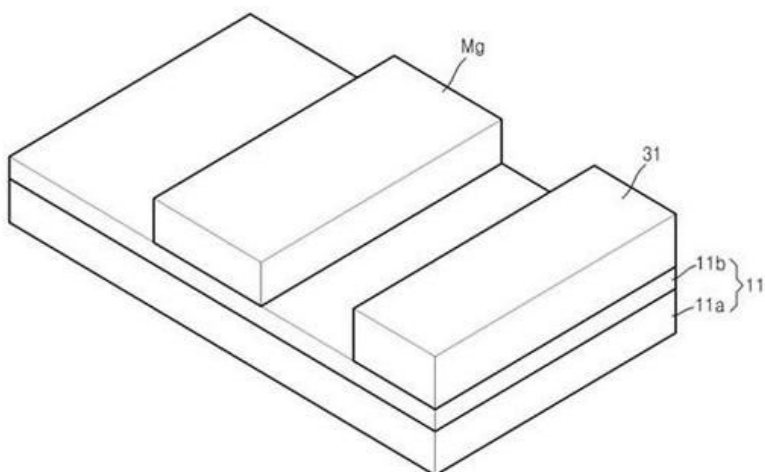
도면5g



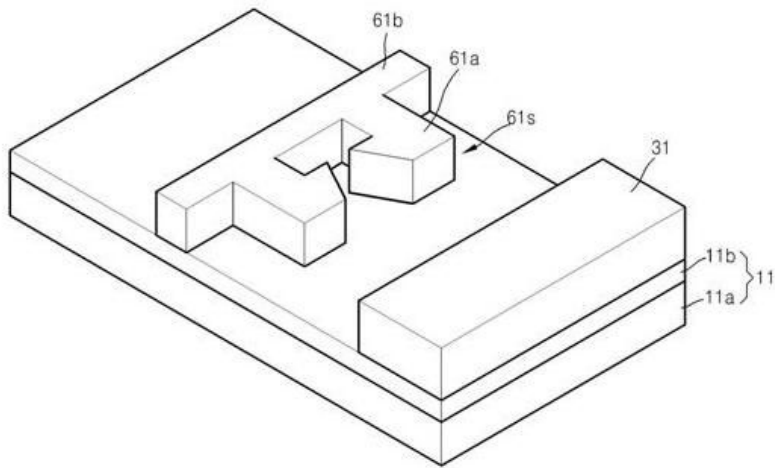
도면6a



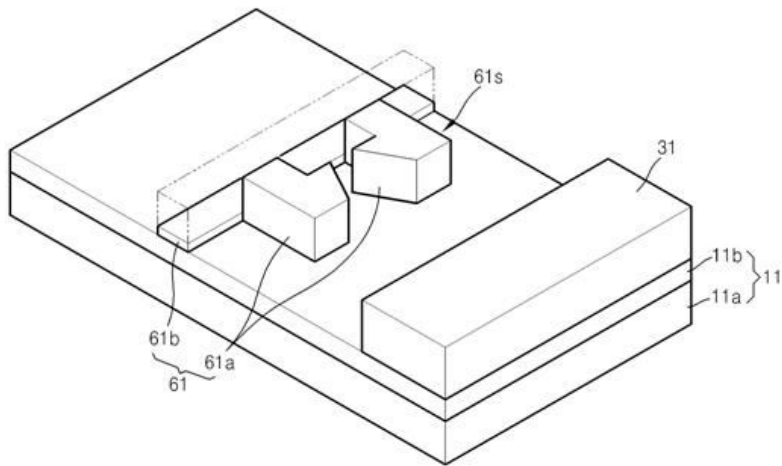
도면6b



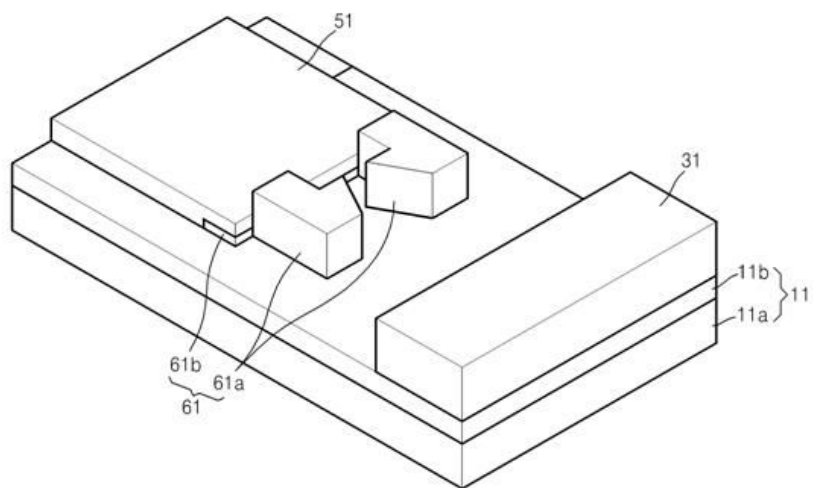
도면6c



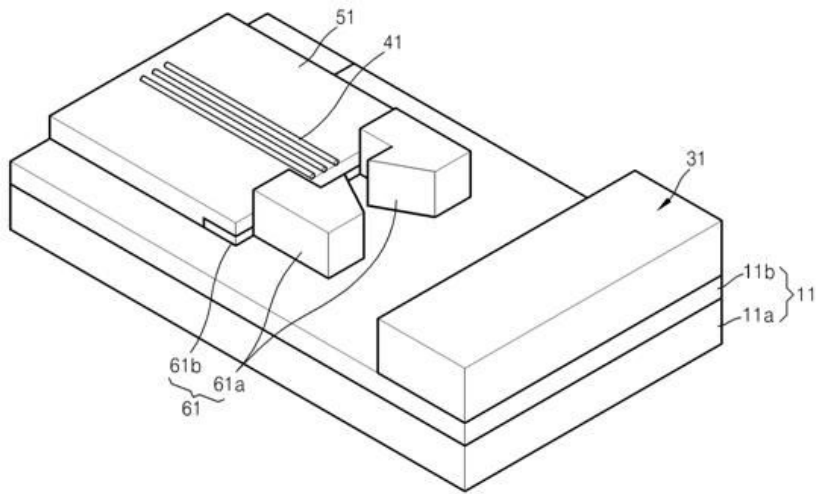
도면6d



도면6e



도면6f



도면6g

