(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年11 月27 日 (27.11.2008)

PCT

(10) 国際公開番号
WO 2008/143285 A1

(51) 国際特許分類:
H03K 19/173 (2006.01)

(21) 国際出願番号: PCT/JP2008/059350

(22) 国際出願日: 2008 年5 月21 日 (21.05.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
PCT/JP2007/060335
2007 年5 月21 日 (21.05.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 川村 嘉郁 (KAWAMURA, Yoshifumi) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 株式会社ルネサステクノロジ内 Tokyo (JP).

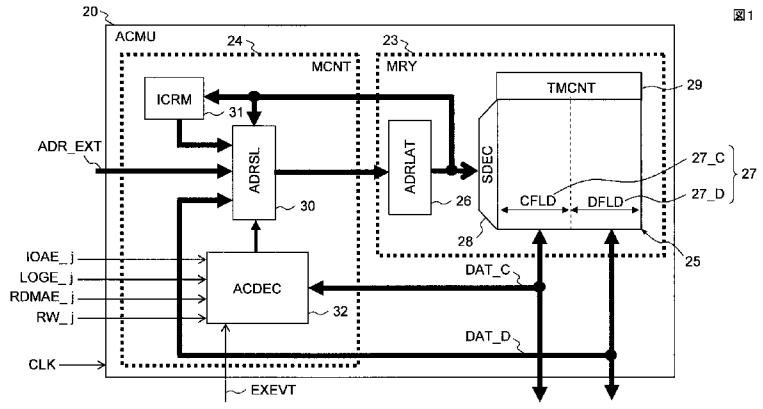
(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1010052 東京都千代田区神田小川町１丁目１番地 山城ビル９０１号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,

[続葉有]

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** A semiconductor device comprises function reconstruction cells each having a storage circuit and a control circuit to realize a variable logic function. The function reconstruction cells autonomously control by themselves the read addresses of the storage circuits storing truth-value data. For example, the control circuits receive feedback of information synchronously read out of the data fields and control fields of the storage circuits and use feedback received information or other information from the data fields as address information for controlling the next synchronous read of the data fields and control fields according to the feedback received information from the control fields. Since the function reconstruction cells can autonomously control the read of the storage circuits by themselves, the storage circuits realizing the variable logic function can be handled as circuits equivalent to logic circuits. Flexibility of the realizable logic construction and the logic scale can be achieved, and a variable logic function adaptable to a large logic scale can be realized with a small chip occupied area.

(57) 要約: 可変論理機能を実現するためにそれぞれ記憶回路と制御回路を有する複数の機能再構成セルを備え、真理値データを格納する記憶回路の読み出しアドレスを機能再構成セルそれ自体で自律的に制御する。例えば前記制御回路は記憶回路のデータフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィ

[続葉有]

WO 2008/143285 A1

NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

ールドを次に同期的に読み出し制御するためのアドレス情報とする。真理値データを格納する記憶回路の読み出しを機能再構成セルそれ自体で自律的に制御することができるから、可変論理機能を実現するための記憶回路を論理回路と等価な回路として扱うことができる。実現可能な論理構成や論理規模に融通性を得ることができ、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。

明 細 書

半導体装置

技術分野

[0001] 本発明は記憶回路を用いて可変可能に論理機能を実現することができる半導体装置に関し、例えばプログラマブルに周辺機能を実現することができる可変論理モジュールを備えた半導体データ処理装置に適用して有効な技術に関する。

背景技術

[0002] 可変論理モジュール若しくは可変論理デバイス(リコンフィギュラブルデバイス)としてPLD(プログラマブル・ロジック・デバイス)若しくはFPLD(フィールドPLD)が既に利用されている。代表的なPLDとしてはFPGA(フィールド・プログラマブル・ゲート・アレイ)などのプログラマブル・デバイスがある。FPGAはルックアップ・テーブルを基本にしてそれにフリップフロップを併せ持たせたCLB(コンフィギャラブル・ロジック・ブロック)をMOSスイッチでプログラマブルに接続させて大規模ロジックを構成するものである。FPGAは基本的に書き換え可能な論理回路と可変スイッチ回路を持たせた素子である。特許文献1にはFPGAについて記載がある。FPGAの基本である論理回路は例えば4入力のLUT(ルック・アップ・テーブル)で構成され、最終段にF／F(フリップ・フロップ)を有し、それを2段2層の論理構造で持っている。これをCLBと呼んでいる。例えば、1メガ(M)ゲート相当でプログラマブルに論理を構成するためには1キロ(k)以上のCLBを集合させ、このCLBの論理情報をSRAM(スタティック・ランダム・アクセス・メモリ)に持たせて書き換え可能にしている。これらのCLBはお互いの接続をプログラマブルにする為にスイッチマトリックスを有している。そのスイッチは方向性を持たせる為に、6MOSのスイッチMOSで構成され、このスイッチMOSのオン／オフ制御情報もSRAMに持たせているので、1Mゲート相当に対して1．7Mビット程度の情報量が必要である。また、特許文献2にはメモリに所定の真理値データを格納させることによって任意の論理を構成可能な複数の可変論理回路をマトリクス状に配置し、それらをX、Y方向の配線に可変スイッチ回路で可変化能に接続するようにした半導体装置について記載がある。

[0003] 特許文献1:特開平04－242825号公報

特許文献2:特開2003－149300号公報

発明の開示

発明が解決しようとする課題

[0004] 上記FPGAに代表されるように多数のCLBをスイッチマトリクスを用いて接続することによって可変論理モジュールを構成する場合には、必要な論理規模の増大にしたがってCLBの数やスイッチマトリクスのスイッチ素子が多くなり、実装面積の改善に限界のあることが本発明者によって見出された。すなわち、複雑な論理やシーケンスをプログラムする場合には必要な論理規模に比例して多数のスイッチマトリクスを用いて多数のCLBの接続を設定しなければならない。SRAMに論理構成用の真理値データを格納するとき、SRAMからリードした真理値データを単に論理構成のためのスタティックな情報としてしか利用しない場合には、必要な論理規模に比例してSRAMの記憶容量を増大しなければならない。また、従来技術においては、可変論理モジュールの論理構成をダイナミックに書き換えること、そして、周辺回路のような実回路に可変論理モジュールを適用することについて何ら着眼されていない。

[0005] 本発明の目的は、可変論理機能を実現するための記憶回路を論理回路と等価な回路として扱うことができる半導体装置を提供することにある。

[0006] 本発明の別の目的は、小さなチップ占有面積で可変論理機能を実現可能な半導体装置を提供することにある。

[0007] 本発明の更に別の目的は、論理機能をダイナミックに再構成することが容易な半導体装置を提供することにある。

[0008] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0009] 本願において開示される発明のうち代表的なものについて簡単に説明すれば下記のとおりである。

[0010] 本発明に係る半導体装置は、可変論理機能を実現するためにそれぞれ記憶回路と制御回路を有する複数の機能再構成セルを備え、真理値データを格納する記憶

回路の読み出しアドレスを機能再構成セルそれ自体で自律的に制御する。例えば前記制御回路は記憶回路のデータフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とする。前記機能再構成セルはアクセス要求主体からのアクセス要求に応答するインタフェース制御回路の制御を受ける。

[0011] 上記より、真理値データを格納する記憶回路の読み出しを機能再構成セルそれ自体で自律的に制御することができるから、可変論理機能を実現するための記憶回路を論理回路と等価な回路として扱うことができる。したがって、実現可能な論理構成や論理規模に融通性を得ることができ、また、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。

[0012] また、前記記憶回路に対するランダムアクセス用のアドレスマッピングに対し、機能設定された機能再構成セルによる論理動作結果を取得するために機能再構成セルに割り当てたメモリマップドI／Oアドレスのようなリードアドレスマップを個別化する。これにより、機能再構成セルに対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することが容易になる。特に、機能再構成セルに周辺機能が設定される場合、中央処理装置等によるメモリアクセス経路と、周辺回路に対するアクセス経路を分離しているアーキテクチャとの整合を考慮する場合には、アクセス要求主体からインタフェース制御回路に対する機能再構成セルへの機能設定用アクセス経路と、機能設定された機能再構成セルへのアクセス経路とを分離すればよい。

発明の効果

[0013] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0014] すなわち、可変論理機能を実現するための記憶回路を論理回路と等価な回路として扱うことができる。

[0015] また、小さなチップ占有面積で可変論理機能を実現可能になる。

[0016] また、論理機能をダイナミックに再構成することが容易になる。

図面の簡単な説明

[0017] [図1]図1は機能再構成セルの一例を示すブロック図である。

[図2]図2は本発明の一例に係るデータプロセッサを全体的に示すブロック図である。

[図3]図3は複数の機能再構成セルのアレイ構成を例示するブロック図である。

[図4]図4は機能再構成メモリの全体的な構成を例示するブロック図である。

[図5]図5は機能再構成セルと経路選択回路のアドレスマッピングを例示するアドレスマップである。

[図6]図6は機能再構成セルにおける論理動作の基本概念を示す説明図である。

[図7]図7は図6の内部シーケンスを例示するフローチャートである。

[図8]図8は機能再構成セルでリロード型ダウンカウンタを構成する場合の例が示すブロック図である。

[図9]図9は2個の機能再構成セルでリロード型ダウンカウンタを構成する場合の例を示すブロック図である。

[図10]図10は図8の(A)の構成で3ビットカウンタを構成する場合の例を示すデータ例である。

[図11]図11は図10による3ビットカウンタ動作の動作シーケンスを例示するフローチャートである。

[図12]図12は図6の論理動作基本概念図に対応する具体的な動作例を示す動作説明図である。

[図13]図13は3ビットカウンタを夫々構成する機能再構成セルを接続選択回路で接続して6ビットカウンタを構成する例を示すブロック図である。

[図14]図14はCPUによる機能再構成メモリのアクセス形態を例示する説明図である。

[図15]図15は第2の実施の形態に係る機能再構成セルを例示するブロック図である。

[図16]図16は機能再構成セルをダウンカウンタに用いた例を示すブロック図である。

[図17]図17は複数の機能再構成セルを直列的に動作させてカウンタを実現する構成が例示されるシステム図である。

[図18]図18は前段と後段の機能再構成セルの動作タイミングを例示するタイミングチャートである。

[図19]図19は複数個の機能再構成セルの接続形態を例示するシステム図である。

[図20]図20には図19の構成を用いた非同期動作を例示するタイミングチャートである。

[図21]図21は一の機能再構成セルで発生されたクロック信号CKを後段の機能再構成セルに供給する構成を採用した例を示すシステム図である。

[図22]図22は第2の実施の形態に係る別の機能再構成セルを例示するブロック図である。

[図23]図23は第3の実施の形態に係る機能再構成セルを例示するブロック図である。

[図24]図24はクロックゲート回路(CLKDRV)の具体例を示す論理回路図である。

[図25]図25は複数の機能再構成セルを直列的に動作させて8ビットPWMを実現するシステム図である。

[図26]図26は複数の機能再構成セルを直列的に動作させて24ビットカウンタを実現するシステム図である。

[図27]図27は8ビットカウンタ機能が定義された4個の機能再構成セルを4個用いて32ビットカウンタを実現するときのシステムズである。

符号の説明

[0018] 1 データプロセッサ

2 中央処理装置(CPU)

4 ランダム・アクセス・メモリ(RAM)

5 ダイレクト・メモリ・アクセス・コントローラ(DMAC)

SBUS システムバス(第1バス)

6 バスステートコントローラ(BSC)

PBUS 周辺バス(第2バス)

8 機能再構成メモリ(RCFGM)

16 割込みコントローラ(INTC)

20、20A、20B、20C 機能再構成セル(ACMU)

21 インタフェース制御回路(IFCNT)

23 記憶回路(MRY)

24 制御回路(MCONT)

25 スタティック・ランダム・アクセスメモリ(SRAM)

26 アドレスラッチ回路(ADRLAT)

27 メモリアレイ27

28 アドレスデコーダ(SDEC)

29 タイミングコントローラ(TMCNT)

27__D データフィールド(DFLD)

27__C 制御フィールド(CFLD)

30 セレクタ(ADRSL)

31 アドレスインクリメンタ(ICRM)

32 アクセス制御デコーダ(ACDEC)

DAT__C 制御情報

EXEVT 外部イベント信号

RDMAE__j ランダムアクセス選択信号

IOAE__j IOアクセス選択信号

RW__j リード/ライト信号

LOGE__j ロジックイネーブル信号

35 接続経路選択回路

IBUS__i 内部バス

IABUS__i 内部アドレスバス

IDBUS__i 内部データバス

36 スイッチ回路

37 接続用記憶回路

40 バスインタフェース回路(BUSIF)

41 アドレスデコーダ(ADEC)

42 内部バス選択回路(IBSL)

AA1 第1のアドレス範囲

AA2 第2のアドレス範囲

AA3 第3のアドレス範囲

発明を実施するための最良の形態

[0019] 1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

[0020] 〔1〕本発明の代表的な実施の形態に係る半導体装置は、記憶回路(23)と制御回路(24)を有する複数の機能再構成セル(20)と、アクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路(40, 41, 42)と、を備える。前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールド(DFLD)と制御フィールド(CFLD)を有する。前記制御回路は前記記憶回路の次の読出しアドレスを先に前記記憶回路から読出した制御フィールドの情報又は外部イベント入力に基づいて自律的に制御することが可能である。

[0021] 上記より、記憶回路の読み出しを機能再構成セルそれ自体で自律的に制御することができるから、可変論理機能を実現するための記憶回路を論理回路と等価な回路として扱うことができる。したがって、実現可能な論理構成や論理規模に融通性を得ることができ、また、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。

[0022] 例えば前記制御回路は前記次の読出しアドレスとして、前記アクセス要求に伴ってインタフェース制御回路に供給されるアドレス情報、所定の外部イベント入力を条件に前記制御回路が決定するアドレス情報、先に記憶回路のデータフィールドから読み出された情報、又は先に前記記憶回路に出力したアドレス情報のアドレス演算により得られるアドレス情報を出力する。

[0023] 〔2〕本発明の別の実施の形態に係る半導体装置は、上記同様の複数の機能再構成セルとインタフェース制御回路とを有し、特に、前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能である。この構成においても、記憶回路の読み出しを機能再構成セルそれ自体で自律的に制御することができる。したがって、可変論理機能を実現するための記憶回路を論理回路と等価な回路として扱うことができ、実現可能な論理構成に融通性があり、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。

[0024] 一つの具体的な形態として、前記制御回路は、前記制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をアドレス情報として選択するセレクタ(30、32)を有する。

[0025] 前記別の情報は、前記アクセス要求に伴ってインタフェース制御回路に供給されるアドレス情報、所定の外部イベント入力を条件に前記制御回路が決定するアドレス情報、又は先に前記記憶回路に出力したアドレス情報のアドレス演算により得られるアドレス情報である。

[0026] このとき前記制御回路は前記アドレス演算を行うアドレス演算器(31)を有し、アドレス演算器の出力は前記セレクタの入力に接続され、前記セレクタは前記制御フィールドからの帰還入力情報に基づいてアドレス演算器の出力を選択可能であり、前記アドレス演算器の入力は前記セレクタの出力に結合される。

[0027] 別の具体的な形態として、前記複数個の機能再構成セルの記憶回路は、半導体装置のメモリ空間に割り当てられたアドレス範囲とIO空間に割り当てられたアドレス範囲との両方にアドレスがマッピングされる。前記インタフェース制御回路は、メモリ空間に割り当てられた第1のアドレス範囲(AA1)に対するアクセス要求に応答して、当該アドレスが割り当てられた機能再構成セルの前記記憶回路をメモリとしてアクセス可能とする。これにより、アクセス要求主体は第1のアドレス範囲のアドレスを指定するメモリアクセスによって記憶回路に書き込みを行って機能再構成セルの論理構成を

定義することができる。

[0028] また、前記インタフェース制御回路は、IO空間に割り当てられた第2のアドレス範囲（AA2）に対するライトアクセス要求に応答して当該アドレスの制御回路での処理に必要な情報を書き込むことが出来る。同様にリードアクセス要求に応答して、当該アドレスの制御回路がそのとき記憶回路に出力させている情報を読み出す。これにより、アクセス要求主体は論理機能が設定された機能再構成セルによる論理動作に必要な情報を第2のアドレス範囲のアドレスを指定するライトアクセスによって供給し、論理動作の結果を第2のアドレス範囲のアドレスを指定するリードアクセスによって任意に取得することができる。

[0029] 上述のように、前記記憶回路に対するランダムアクセス用のアドレスマッピング(第1のアドレス範囲)に対し、機能設定された機能再構成セルによる論理動作結果を取得するために機能再構成セルに割り当てたメモリマップドI／Oアドレスのようなリードアドレス（第2のアドレス範囲のアドレス）を個別化することにより、機能再構成セルに対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することが容易になる。

[0030] 更に別の具体的な形態として、前記複数の機能再構成セルの間を可変可能に接続する接続経路選択回路（35）を更に有する。複数の機能再構成セルを直列的に動作させ、あるいは並列的に動作させて、一単位の論理機能を実現することが可能になる。

[0031] このとき、前記接続経路選択回路は、一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続するスイッチ回路（36）と、前記スイッチ回路のスイッチ制御情報を保持するための接続用記憶回路（37）とを有する。複数の機能再構成セル間でそれぞれの自律制御を連関させることが可能になる。

[0032] 前記接続用記憶回路にはメモリ空間に割り当てられた第3のアドレス範囲（AA3）がマッピングされる。このとき、前記インタフェース制御回路は、第3のアドレス範囲に対するライトアクセス要求に応答して、当該アドレスが割り当てられた前記接続用記憶

回路をメモリとしてアクセス可能とする。これにより、アクセス要求主体は第3のアドレス範囲のアドレスを指定するランダムアクセスにより接続用記憶回路に書き込みを行って機能再構成セル間の接続を任意に定義することができる。

[0033] 〔3〕本発明の更に別の実施の形態に係る半導体装置は、アクセス要求主体となり得るロジック回路(2, 5)と、前記ロジック回路からのアクセス要求に応答して動作する機能再構成メモリ(8)とを有する。ロジック回路は例えば中央処理装置とされる。前記機能再構成メモリは、記憶回路と制御回路を有する複数の機能再構成セルと、前記複数の機能再構成セルの間を可変可能に接続する接続経路選択回路と、アクセス要求に応答して前記機能再構成セル及び接続経路選択回路を制御するインタフェース制御回路とを備える。前記記憶回路は半導体装置のアドレス空間のうち、メモリ空間にマッピングされたアドレス範囲とIO空間にマッピングされたアドレス範囲とがマッピングされる。前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有する。前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能である。前記接続経路選択回路は一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続するスイッチ回路と、前記スイッチ回路のスイッチ制御情報を保持する接続用記憶回路とを有する。

[0034] この半導体装置においても、記憶回路の読み出しを機能再構成セルそれ自体で自律的に制御することができる。したがって、可変論理機能を実現するための記憶回路を論理回路と等価な回路として扱うことができ、実現可能な論理構成に融通性があり、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。

[0035] 一つの具体的な形態として、前記接続用記憶回路には半導体装置のメモリ空間に第3のアドレス範囲のアドレスがマッピングされる。このとき、前記ロジック回路は第3のアドレス範囲に対するライトアクセス要求を行なうことにより、そのアクセス要求に係

るアドレスが割り当てられた前記接続用記憶回路をランダムアクセスして、前記スイッチ制御情報を書き込む。これにより、ロジック回路は第3のアドレス範囲を指定したランダムアクセスにより機能再構成セル間の接続を任意に定義することができる。

[0036] 別の具体的な形態として、前記複数個の機能再構成セルの記憶回路には半導体装置のメモリ空間において第1のアドレス範囲のアドレスがマッピングされる。前記ロジック回路は第1のアドレス範囲に対してアクセス要求を行なうことにより、そのアクセス要求に係るアドレスが割り当てられている機能再構成セルの前記記憶回路をランダムアクセスして、前記機能再構成セルの記憶回路に所定の論理機能を実現するための情報を書き込む。これにより、ロジック回路は第1のアドレス範囲のアドレスを指定したランダムアクセスにより機能再構成セルの論理構成を任意に定義することができる。

[0037] 更に別の具体的な形態として、前記複数個の機能再構成セルには半導体装置のIO空間において第2のアドレス範囲のアドレスがマッピングされる。前記ロジック回路は第2のアドレス範囲に対してリードアクセス要求を行なうことにより、そのアクセス要求に係るアドレスの制御回路がそのとき記憶回路から出力している情報を前記論理機能によって得られた結果としてリードする。これにより、ロジック回路は論理機能が設定された機能再構成セルによる論理動作の結果を第2のアドレス範囲のアドレスを指定したリードアクセスによって任意に取得することができる。

[0038] 上述のように、前記記憶回路と接続用記憶回路に対するランダムアクセス用のアドレスマッピング(第1のアドレス範囲と第3のアドレス範囲)に対し、機能設定された機能再構成セルによる論理動作結果を取得するために機能再構成セルに割り当てたメモリマップドI/Oアドレスのようなリードアドレス(第2のアドレス範囲のアドレス)を個別化することにより、機能再構成セル及び接続選択回路に対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することが容易になる。

[0039] 〔4〕本発明の更に別の実施の形態に係る半導体装置は、中央処理装置と、前記中央処理装置が接続される第1内部バスと、前記第1内部バスにバスステートコントロー

ラを介して接続される第2内部バスと、前記第1内部バス及び第2内部バスに接続される機能再構成メモリとを備える。前記機能再構成メモリは、記憶回路と制御回路を有する複数の機能再構成セルと、前記複数の機能再構成セルの間を可変化能に接続する接続経路選択回路と、アクセス要求に応答して前記機能再構成セル及び接続経路選択回路を制御するインタフェース制御回路とを有する。前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有する。前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能である。前記接続経路選択回路は一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続するスイッチ回路と、前記スイッチ回路のスイッチ制御情報を保持する接続用記憶回路とを有する。

[0040] 一つの具体的な形態として、前記複数個の機能再構成セルの記憶回路には半導体装置のメモリ空間において第1のアドレス範囲のアドレスがマッピングされる。このとき、前記インタフェース制御回路は、前記第1バスからの第1のアドレス範囲に対するアクセス要求に応答して、そのアクセス要求に係るアドレスが割り当てられている機能再構成セルの前記記憶回路をランダムアクセス可能にする。これにより、前記中央処理装置は前記機能再構成セルの記憶回路を前記第1バスを介して接続されるメモリ装置（例えばSRAMアレイ）としてアクセス可能となり、前記第1バスを介して機能再構成メモリにライトアクセスを要求して第1のアドレス範囲のアドレスと書き込むべきデータを出力することで、前記機能再構成セルの記憶回路に所定の論理機能を実現するためのコンフィグレーション情報を設定することができる。前記第1バスはアドレス専用のバス配線とデータ専用のバス配線とが物理的に分離して存在するものであっても、同一のバス配線を時分割に用い分けるものであっても良い。

[0041] 更に具体的な形態として前記複数個の機能再構成セルには半導体装置のIO空間において第2のアドレス範囲のアドレスがマッピングされる。このとき、前記インタフェ

ース制御回路は、前記第2バスからの第2のアドレス範囲に対するリードアクセス要求に応答して、そのアクセス要求に係るアドレスの制御回路がそのとき記憶回路から読み出している情報を出力する。これにより、前記中央処理装置は第2バスを介して前記機能再構成メモリに第2のアドレス範囲に対するリードアクセスを要求して、そのアクセス要求に係るアドレスの前記機能再構成セルが実現する前記論理機能により得られた結果をリードすることができる。

[0042] 前記第2のアドレス範囲にマッピングされた前記複数個の機能再構成セルには、前記中央処理装置は前記第2バスを介して接続されるIO装置としてアクセス可能とされる。

[0043] 更に具体的な形態として、前記接続用記憶回路には半導体装置のメモリ空間に第3のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、前記第1バスからの第3のアドレス範囲に対するライトアクセス要求に応答して、そのアクセス要求に係るアドレスが割り当てられた前記接続用記憶回路をランダムアクセス可能にする。これにより、前記中央処理装置は前記第1バスを介して機能再構成メモリに前記第3のアドレス範囲に対するライトアクセスを要求して、前記接続用記憶回路に前記スイッチ制御情報を初期設定することができる。

[0044] 前記第3のアドレス範囲にマッピングされた前記接続用記憶回路に、前記中央処理装置は前記第1のアドレス範囲にマッピングされた前記複数個の機能再構成セルの記憶回路と同様に、前記第1バスを介して接続されるメモリ装置としてアクセス可能とされる。

[0045] 更に具体的な形態として、前記第1バスにはRAM及びROMが接続され、前記第2バスにはその他の周辺回路が更に接続される。

[0046] 上述のように、前記記憶回路と接続用記憶回路に対するランダムアクセス用のアドレスマッピング(第1のアドレス範囲と第3のアドレス範囲)に対し、機能設定された機能再構成セルによる論理動作結果を取得するために機能再構成セルに割り当てたメモリマップドI／Oアドレスのようなリードアドレス(第2のアドレス範囲のアドレス)を個別化することにより、機能再構成セル及び接続選択回路に対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を

生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することが容易になる。さらに、中央処理装置からインタフェース制御回路に対する機能再構成セルへの機能設定用アクセス経路(第1バス)と、機能設定された機能再構成セルへのアクセス経路(第2バス)とが分離されるから、機能再構成セルに周辺機能を設定して利用する場合には、中央処理装置等によるメモリアクセス経路と、周辺回路に対するアクセス経路を分離しているアーキテクチャとの整合を容易に図ることができる。

[0047] 別の具体的な形態として、前記第2バスには割込みコントローラが更に接続され、前記機能再構成メモリは割り込み信号を前記割り込みコントローラに出力する。割込み発生要因としての機能も実現することができる。

[0048] 〔5〕本発明の更に別の実施の形態に係る半導体装置は複数の機能再構成セルを非同期でロジック動作させて低消費電力を図るものである。

[0049] 1). 半導体装置は、記憶回路(23)、クロック制御回路(100)、及びそれらを制御する制御回路(24)をそれぞれ有し、自らのクロック制御回路から出力されるクロック信号(CK)に同期して動作する複数の機能再構成セル(20A)と、アクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路(40, 41, 42)と、を有する。前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールド(27__D)と制御フィールド(27__C)を有する。前記制御回路は先に前記記憶回路から読出した制御フィールドの情報又は外部から入力される情報に基づいて前記記憶回路の次の読出しアドレスを制御して所要の論理動作のシーケンス制御を行う。前記クロック制御回路は、自らの機能再構成セルの外部から入力される第1情報(EXEVT)に基づいて自らの機能再構成セルのクロック信号の生成を開始し、自らの前記記憶回路から読出される第2情報(ES)に基づいて前記クロック信号の生成を停止する。

[0050] 上記より、個々の機能再構成セルは記憶回路の読み出しを制御回路で自律的に制御することができるから、それぞれの機能再構成セルを論理回路と等価な回路として扱うことにより、融通性のある可変論理機能を、比較的小さなチップ占有面積によって実現することができる。

[0051] それぞれの機能再構成セルは必要に応じてクロックを発生して動作し、休止状態に

おいて自らクロックを停止するから、半導体装置の低消費電力に寄与する。

[0052] 2). 前記制御回路は、次の読出しアドレスとして、前記インタフェース制御回路から供給されるアドレス情報、先に前記記憶回路のデータフィールドから読み出された情報、先に前記記憶回路に出力したアドレス情報、又は先に前記記憶回路に出力したアドレス情報を演算することによって得られるアドレス情報を出力する。記憶回路の読出し制御形態の種類が豊富であるから複雑な自律制御にも対応でき、可変論理機能の融通性が増す。

[0053] 3). 前記複数個の機能再構成セルには第1のアドレス範囲のアドレスがマッピングされ、前記インタフェース制御回路は、第1のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルにその記憶回路をランダムアクセスさせる。このランダムアクセスによって所要の論理機能の設定が容易になる。

[0054] 4). 前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、前記インタフェース制御回路は、第2のアドレス範囲に対する第1のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロック制御回路でクロック信号を発生させて、記憶回路の読出し開始アドレスを設定する。機能再構成セルに設定した論理機能による動作イネーブルの設定をレジスタアクセスと同様な手順で行うことが可能になる。

[0055] 5). 前記インタフェース制御回路は、第2のアドレス範囲に対する第2のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロック制御回路でクロック信号を発生させて、前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始させる。機能再構成セルに設定した論理機能の動作開始イベントの発生をレジスタアクセスと同様な手順で行うことができる。

[0056] 6). 前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始した機能再構成セルの制御回路は、その記憶回路から読み出された特定の情報に基づく特定の信号を他の機能再構成セルに出力し、当該他の機能再構成セルは、前記特定の信号に応答して、自らのクロック制御回路でクロック信号を発生して、前記読出し開始

アドレスから記憶回路の記憶情報の読出しを開始する。複数の機能再構成セルを直列的に動作させることが容易になる。

[0057] 7). 前記インタフェース制御回路は、第2のアドレス範囲に対する第3のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロック制御回路でクロック信号を発生させ、記憶回路のデータフィールドの記憶情報を前記論理動作の結果として出力させる。

[0058] 上述のように、前記記憶回路に対するランダムアクセス用のアドレスマッピング(第1のアドレス範囲)に対し、機能設定された機能再構成セルによる論理動作結果を取得するために機能再構成セルに割り当てたメモリマップドI／Oアドレスのようなリードアドレス(第2のアドレス範囲のアドレス)を個別化することにより、機能再構成セルに対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することが容易になる。

[0059] 8). 前記複数の機能再構成セルの間を可変可能に接続する接続経路選択回路(35)を更に有する。前記接続経路選択回路は、一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続する第1スイッチ回路(36)と、前記第1スイッチ回路のスイッチ制御情報を保持するための第1接続用記憶回路(37)とを有する。前記第1接続用記憶回路には第3のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第3のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第1接続用記憶回路をランダムアクセスする。データ伝播に関し複数の機能再構成セル間の接続をプログラマブルに行うことが容易になり、可変論理機能に対して更に高い融通性を得ることができる。

[0060] 9). 前記接続経路選択回路は、前記複数の機能再構成セルの間において一の機能再構成セルが出力する情報を前記第1情報として他の機能再構成セルに選択的に伝達する第2スイッチ回路(36A)と、前記第2スイッチ回路のスイッチ制御情報を保持するための第2接続用記憶回路(37A)とを更に有する。前記第2接続用記憶回路には第4のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路

は、第4のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第2接続用記憶回路をランダムアクセスする。複数の機能再構成セルの直列的な動作順をプログラマブルに決定することが容易になり、この点においても可変論理機能に対して更に高い融通性を得ることができる。

[0061] 10). 前記接続経路選択回路は、前記複数の機能再構成セルの間において一の機能再構成セルのクロック信号を他の機能再構成セルに選択的に伝達する第3スイッチ回路(36B)と、前記第3スイッチ回路のスイッチ制御情報を保持するための第3接続用記憶回路(37B)とを更に有する。前記第3接続用記憶回路には第5のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第5のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第3接続用記憶回路をランダムアクセスする。一の機能再構成セルで生成したクロック信号を他の機能再構成セルに供給して複数の機能再構成セルを同期的に並列動作させることも容易に選択できるようになる。

[0062] 11). 前記クロック制御回路は、クロック信号の生成及び停止が可能にされるクロック発生回路(101)と、クロック切換えスイッチ回路(102)とを有する。前記半導体装置は前記クロック切換えスイッチ回路のスイッチ制御情報を保持するための第4接続用記憶回路(103)を更に有する。前記クロック切換えスイッチ回路は、前記クロック発生回路で発生したクロック信号又は外部から供給されるクロック信号を選択する。前記第4接続用記憶回路には第6のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第6のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第4接続用記憶回路をランダムアクセスする。機能再構成セルに、自ら発生したクロック信号又は外部から供給されたクロック信号の何れを利用させるかに関しプログラマブルな設定が可能になり、この点においても可変論理機能に対して更に高い融通性を得ることができる。

[0063] 12). 前記クロック制御回路は、クロック信号の生成及び停止が可能にされるクロック発生回路と、クロック分周器(110)と、クロック切換えスイッチ回路(102A)とを有する。前記半導体装置は前記クロック切換えスイッチ回路のスイッチ制御情報を保持するための第5接続用記憶回路(103A)を更に有する。前記クロック分周器は、外部から

供給されるクロック信号を分周する。前記クロック切換えスイッチ回路は、前記クロック発生回路で発生したクロック信号、外部から供給されるクロック信号、又は前記クロック分周器から出力されるクロック信号を選択する。前記第5接続用記憶回路には第7のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第7のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第5接続用記憶回路をランダムアクセスする。機能再構成セルに自ら発生したクロック信号、外部から供給されたクロック信号、又は外部から供給されたクロック信号の分周クロック信号の何れを利用させるかに関しプログラマブルな設定が可能になり、この点においても可変論理機能に対して更に高い融通性を得ることができる。

[0064] 13). 前記アクセス要求の主体と成り得るロジック回路(2)を更に有し、前記ロジック回路はバスを介して前記インタフェース制御回路に接続される。システム要求に従ってロジック回路の周辺機能やメモリ機能を複数個の機能再設定セル等から成る回路で容易に実現することができる。

[0065] 〔6〕本発明の更に別の実施の形態に係る半導体装置は複数の機能再構成セルに対する直列的なクロックイネーブル制御によって低消費電力を図るものである。

[0066] 1). 半導体装置は、記憶回路(23)、クロックゲート回路(120)、及びそれらを制御する制御回路(24)をそれぞれ有し、自らのクロックゲート回路から出力されるクロック信号に同期して動作する複数の機能再構成セル(20C)と、アクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路(40, 41, 42)と、前記それぞれの機能再構成セルの前記クロックゲート回路に前記クロック信号を供給するクロック発生回路(14)と、を有する。前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有する。前記制御回路は先に前記記憶回路から読出した制御フィールドの情報又は外部から入力される情報に基づいて前記記憶回路の次の読出しアドレスを制御して所要の論理動作のシーケンス制御を行う。前記クロックゲート回路は、自らの機能再構成セルの外部からクロックイネーブル端子に与えられる信号(EXEVT(CKE))の活性化タイミングに同期してクロック信号の出力を開始し、自らの前記記憶回路から読出される情報(ES)に基づいてクロック信号の出力を停止する。

[0067] 上記より、個々の機能再構成セルは記憶回路の読み出しを制御回路で自律的に制御することができるから、それぞれの機能再構成セルを論理回路と等価な回路として扱うことにより、融通性のある可変論理機能を、比較的小さなチップ占有面積によって実現することができる。

[0068] それぞれの機能再構成セルには必要に応じてクロックイネーブル制御によって各機能再構成セルに共通のクロック信号が供給されて動作し、休止状態において自らクロックディスエーブルにするから、半導体装置の低消費電力に寄与する。クロックイネーブル状態で機能再構成セルに供給されるクロック信号はそれぞれの機能再構成セルで共通化されるから、機能再構成セル間でのデータの受け渡しには時間を要せず簡単に行うことができる。前記項〔5〕における機能再構成セル毎にクロック信号を発生させる場合には機能再構成セル間は基本的に非同期となるので、機能再構成セル間でのデータの受け渡しには上記よりも時間を要する。項〔5〕の構成は複数の機能再構成セルに共通のクロック発生回路を要しないので、項〔6〕よりも優れた低消費電力性能を有する。

[0069] 2). 前記制御回路は、次の読出しアドレスとして、前記インタフェース制御回路から供給されるアドレス情報、先に前記記憶回路のデータフィールドから読み出された情報、先に前記記憶回路に出力したアドレス情報、又は先に前記記憶回路に出力したアドレス情報を演算することによって得られるアドレス情報を出力する。記憶回路の読出し制御形態の種類が豊富であるから複雑な自律制御にも対応でき、可変論理機能の融通性が増す。

[0070] 3). 前記複数個の機能再構成セルには第1のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第1のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルにその記憶回路をランダムアクセスさせる。このランダムアクセスによって所要の論理機能の設定が容易になる。

[0071] 4). 前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第2のアドレス範囲に対する第1のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当

該機能再構成セルのクロックゲート回路からクロック信号を出力させて、記憶回路の読出し開始アドレスを設定する。機能再構成セルに設定した論理機能による動作イネーブルの設定をレジスタアクセスと同様な手順で行うことが可能になる。

[0072] 5). 前記インタフェース制御回路は、第2のアドレス範囲に対する第2のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロックゲート回路からクロック信号を出力させて、前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始させる。機能再構成セルに設定した論理機能の動作開始イベントの発生をレジスタアクセスと同様な手順で行うことができる。

[0073] 6). 前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始した機能再構成セルの制御回路は、その記憶回路から読み出された特定の情報に基づく特定の信号を他の機能再構成セルに出力し、当該他の機能再構成セルは、前記特定の信号に応答して、自らのクロックゲート回路からクロック信号を出力して、前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始する、請求項50記載の半導体装置。

[0074] 7). 前記インタフェース制御回路は、第2のアドレス範囲に対する第3のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロックゲート回路からクロック信号を出力させ、記憶回路のデータフィールドの記憶情報を前記論理動作の結果として出力させる。複数の機能再構成セルを直列的に動作させることが容易になる。

[0075] 上述のように、前記記憶回路に対するランダムアクセス用のアドレスマッピング(第1のアドレス範囲)に対し、機能設定された機能再構成セルによる論理動作結果を取得するために機能再構成セルに割り当てたメモリマップドI／Oアドレスのようなリードアドレス(第2のアドレス範囲のアドレス)を個別化することにより、機能再構成セルに対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することが容易になる。

[0076] 8). 前記複数の機能再構成セルの間を可変可能に接続する接続経路選択回路を

更に有する。前記接続経路選択回路は、一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続する第1スイッチ回路と、前記第1スイッチ回路のスイッチ制御情報を保持するための第1接続用記憶回路とを有する。前記第1接続用記憶回路には第3のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第3のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第1接続用記憶回路をランダムアクセスする。データ伝播に関し複数の機能再構成セル間の接続をプログラマブルに行うことが容易になり、可変論理機能に対して更に高い融通性を得ることができる。

[0077] 9). 前記接続経路選択回路は、前記複数の機能再構成セルの間において一の機能再構成セルのクロックイネーブル端子に他の機能再構成セルから伝達される情報を選択する第2スイッチ回路と、前記第2スイッチ回路のスイッチ制御情報を保持するための第2接続用記憶回路とを更に有する。前記第2接続用記憶回路には第4のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第4のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第2接続用記憶回路をランダムアクセスする。複数の機能再構成セルの直列的な動作順をプログラマブルに決定することが容易になり、この点においても可変論理機能に対して更に高い融通性を得ることができる。

[0078] 10). 前記クロックゲート回路は、自らの記憶回路から読み出される情報に基づいて制御値が設定されるレジスタと、レジスタの設定値と前記クロックイネーブル端子の値とに基づいて前記クロック信号の出力と出力停止を制御する論理回路とを有する。前記論理回路は、前記レジスタの設定値が第1値のときにクロックイネーブル端子が活性化されるタイミングに同期してクロック信号の出力を開始し、前記レジスタの設定値が第2値のときにクロック信号の出力を抑止する。

[0079] 11). 前記アクセス要求の主体と成り得るロジック回路を更に有し、前記ロジック回路はバスを介して前記インタフェース制御回路に接続される。システム要求に従ってロジック回路の周辺機能やメモリ機能を複数個の機能再設定セル等から成る回路で容易に実現することができる。

[0080] 〔7〕前記のクロックゲート回路又はクロック制御回路を使ったクロックゲーティング手法は低消費電力化性能を有するものであり、このクロックゲーティング手法(クロック供給制御またはクロック発生器のオン／オフ制御)をそのままパワーゲーティング手法(各機能再構成セル自体の電源のオン／オフ制御)に切り替えれば、更に高い低消費電力性能を得ることができる。

[0081] 2. 第1の実施の形態の詳細

実施の形態について更に詳述する。

[0082] 図2には本発明の一例に係るデータプロセッサ1が例示される。同図に示されるデータプロセッサは、特に制限されないが、相補型MOS集積回路製造技術により単結晶シリコンのような1個の半導体基板に形成されている。

[0083] データプロセッサ1はプログラムに従って命令をフェッチして実行する中央処理装置(CPU)2、CPU2が実行するプログラム等が格納されたリード・オンリ・メモリ(ROM)3、CPU2のワーク領域等に用いられるランダム・アクセス・メモリ(RAM)4、及びCPU2による初期設定に従ってデータ転送を制御するダイレクト・メモリ・アクセス・コントローラ(DMAC)5を有し、それらはシステムバス(第1バス)SBUSに接続される。システムバスSBUSはバスステートコントローラ(BSC)6を介して周辺バス(第2バス)PBUSに接続する。システムバスSBUSはCPU2の動作周波数に同期してデータ、アドレス及びバスコマンド等が伝送される高速バスとして位置付けられる。これに対して、周辺バスPBUSは動作速度の遅い周辺回路が接続され、データ等が低速で伝送される。CPU2等が周辺回路に対するアクセス要求を発行すると、BSC6はそのアクセス要求に係る周辺回路のマッピングアドレスに応じて、周辺バスを介するアクセスに必要なバスサイクル数や並列データビット数等のバス制御を行う。

[0084] 前記システムバスSBUSと周辺バスPBUSの双方には機能再構成メモリ(RCFGM)8が接続される。機能再構成メモリ8はCPU2等によりシステムバスSBUSから書き込まれた論理機能設定情報(コンフィグレーション情報)に従って可変可能に論理機能が設定され、設定された論理機能に対して周辺バスPBUS経由でデータの入出力が可能にされる。

[0085] 周辺バスPBUSに接続された周辺回路として、ディジタル信号をアナログ信号に変

換して外部に出力するディジタル・アナログ・コンバータ（DAC）10、CPU2の命令実行状態等を監視するウォッチドッグタイマ（WDT）11、インプットキャプチャ及びコンペアマッチ等のタイマ・カウンタ動作可能なタイマ（TMR）12、シリアルコミュニケーションインタフェースコントローラ（SCI）13、パルス幅変調回路（PWM）15、及び割込みコントローラ（INTC）16が例示される。同図には割込み信号としてINTa，INTbが代表的に示され、割込みコントローラ16は割込み信号に対する割り込みマスク制御や優先レベル制御を行って割込み信号を受け付け、受け付けた割込み信号に応ずるベクタを発行すると共に、CPU2に割込み要求信号IRQを発行し、前記ベクタが示す割込み処理プログラムをCPU2に実行させる。周辺回路として、その他に図示を省略するIOポート等が設けられている。

[0086] 機能再構成メモリ8は複数の機能再構成セル（ACMU）20、及び外部からのアクセス要求に応答して前記機能再構成セル20を制御するインタフェース制御回路（IFCNT）21等を備える。機能再構成セル20はCPU2等によりシステムバスSBUSから書き込まれたコンフィグレーション情報に従って可変可能に論理機能が設定される。図2においてその一部には、FIFOバッファ（FIFO__B）、16ビットパルス幅変調回路（PWM__16b）、8ビットパルス幅変調回路（PWM__8b）、シリアル送信ユニット（SCI__Tx）、シリアル受信ユニット（SCI__Rx）、24ビットタイマ（TMR__24b）、及び32ビットタイマ（TMR__32b）の論理機能が設定されている。残りの機能再構成セル20はシステムバスSBUSを介してランダムアクセス可能な内部メモリ（ITNR__RAM）として利用可能にされる。設定された論理動作に用いるデータの書込み、論理動作の開始の指示、及び論理動作結果のデータリードは周辺バスPBUS経由で行われる。

[0087] 図1には機能再構成セル20の一例が示される。機能再構成セル20は記憶回路（MRY）23と制御回路（MCONT）24を有する。記憶回路23は例えばシングルポートのスタティック・ランダム・アクセスメモリ（SRAM）25と、アドレスラッチ回路（ADRLAT）26によって構成される。SRAM25はメモリアレイ27、アドレスデコーダ（SDEC）28、及びタイミングコントローラ（TMCNT）29を備える。メモリアレイ27はアドレスラッチ回路26から供給されるアドレス信号によってアクセスされるデータフィールド（DFLD）27__Dと制御フィールド（CFLD）27__Cを有する。アドレスデコーダ（SDEC）28

はアドレスラッチ回路（ADRLAT）26から出力されるアドレス信号をデコードして、データフィールド（DFLD）27__D及び制御フィールド（CFLD）27__Cの夫々からアクセス単位のメモリセルを選択する。タイミングコントローラ（TMCNT）29は選択されたアクセス単位のメモリセルに対してリード・ライト信号RW__j（j＝0～m）で指示されたリード動作又はライト動作を制御する。

[0088] 制御回路24はアドレスラッチ回路26にアドレス信号を供給するセレクタ（ADRSL）30、アドレスラッチ回路26がラッチしたアドレス信号を＋1づつインクリメントするアドレスインクリメンタ（ICRM）31、及びアクセス制御デコーダ（ACDEC）32を有する。セレクタ30には、データフィールド27__Dから読み出された情報DAT__D、アドレスインクリメンタ31の出力、及びバスSBUS, PBUSから供給されたアクセスアドレス情報の一部のアドレス情報ADR__EXTが入力される。アクセス制御デコーダ32には制御フィールド27__Cから読み出された制御情報DAT__C、外部イベント信号EXEVT、当該機能再構成セル20に対するランダムアクセス選択信号RDMAE__j、ロジックイネーブル信号LOGE__j、及びIOアクセス選択信号IOAE__jが供給され、それに基づいてセレクタ30の出力動作等を制御する。メモリアレイ27には図示しないアドレスフィールド（AFLD）とアドレスフィールドの出力をセレクタ30への入力とするパス（DAT__A）を更に有し、メモリアレイ27にアクセスしアドレスフィールドからの出力をアクセス制御デコーダによりメモリアレイ27の次のアクセスアドレスとすることも可能である。

[0089] ランダムアクセス選択信号RDMAE__jがアクティブにされたときアクセス制御デコーダ32はセレクタ30にアドレス情報ADR__EXTを選択させ、そのアドレス情報ADR__EXTに従ってタイミングコントローラ29にリード／ライト信号RW__jに従ったアクセス動作を指示する。これによってSRAM25はアドレス情報ADR__EXTで指定されるアドレスに対してランダムアクセス可能になる。

[0090] IOアクセス選択信号IOAE__jがアクティブにされ、リード／ライト信号RW__jによりリード動作が指示されたとき、アクセス制御デコーダ32はそのときのアドレスラッチ回路26のアドレスラッチ状態を維持したままそのラッチアドレス情報に従ってタイミングコントローラ29にリードアクセス動作を指示する。これにより、機能再構成セル20のI

Oアクセス選択信号IOAE__jがアクティブにされると、そのときSRAM25で選択されている記憶領域に対してアクセス可能になり、SRAM25に対して一つのメモリマップドIOデータレジスタに対する読出しと等価なアクセス動作が可能になる。また、IOアクセス選択信号IOAE__jがアクティブにされ、リード・ライト信号RW__jによりライト動作が指示されたとき、アクセス制御デコーダ32はアドレス情報ADR__EXTをアドレスセレクタ30に選択させ、そのアドレス情報ADR__EXTをアドレスラッチ26にセットして、SRAM25に対する読出しアドレスを初期設定することができる。このように、IOアクセス選択信号IOAE__jがイネーブルにされたとき書込み対象とされるアドレスラッチ回路26は書込み対象とされるメモリマップドIOレジスタと等価のレジスタとして把握することができる。この等価レジスタをスタートアドレス設定用等価IOレジスタと称する。また、IOアクセス選択信号IOAE__jがイネーブルにされたとき読出し対象とされるSRAMのメモリ領域は読出し対象とされるメモリマップドIOレジスタと等価のレジスタとして把握することができる。この等価レジスタをデータリード用等価IOレジスタと称する。

[0091] ロジックイネーブル信号LOGE__jがアクティブにされたとき、アクセス制御デコーダ32はそのときアドレスラッチ26が保持しているアドレスをスタートアドレスとして、そのアクティブ期間にSRAM25のメモリリードサイクルを繰り返し起動し、サイクル毎に、制御フィールド27__Cから読み出される制御情報DAT__Cに従ってセレクタ30の選択動作を制御する。外部イベント信号EXEVTがイネーブルにされたとき、アクセス制御デコーダ32は当該メモリリードサイクルにおいてアドレスセレクタ30に特定のアドレス(例えばSRAM25の先頭アドレス)を出力させる。ロジックイネーブル信号LOGE__jがイネーブルにされたときスタートアドレスを保持するアドレスラッチ26はロジック動作の開始を指示するイネーブルビットの書込み対象とされるメモリマップドIOレジスタと等価のレジスタとして把握することができる。この等価レジスタをロジックイネーブル用等価IOレジスタと称する。

[0092] この機能再構成セル20によれば、記憶回路23の読み出しを機能再構成セル20それ自体で自律的に制御することができる。例えば、前記制御回路24はSRAM25の次の読出しアドレスを先にSRAM25から読出した制御フィールドCFLDの情報DA

T__Cやアクセス制御デコーダ32に供給される外部イベント信号EXEVTの入力に基づいて自律的に制御することが可能である。これにより、可変論理機能を実現するための記憶回路23を論理回路と等価な回路として扱うことができる。したがって、実現可能な論理構成や論理規模に融通性を得ることができ、また、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。

[0093] 図3には複数の機能再構成セル20のアレイ構成が例示される。複数の機能再構成セル20はマトリクス配置され、左右に隣接する機能再構成セル20の間には接続経路選択回路(RSW)35が配置される。機能再構成セル20及び接続経路選択回路35は行単位で内部バスIBUS__i(i=0, 1, …)に接続される。内部バスIBUS__iはアドレスバスIABUS__iとデータバスIDBUS__iに大別される。内部アドレスバスIABUS__iは制御回路24に前記アドレスADR__EXTを供給する。内部データバスIDBUS__iは記憶回路23との間で情報DAT__C, DAT__Dを伝達する。接続経路選択回路35は、機能再構成セル20のデータDAT__C, DAT__Dの伝達経路を上下又は左右に隣接する機能再構成セル20の間で選択的に接続するスイッチ回路36と、前記スイッチ回路36のスイッチ制御情報を保持するための接続用記憶回路37とを有する。接続用記憶回路37は内部バスIABUS__i, IDBUS__iを介してランダムアクセスさせることによって所要のスイッチ制御情報が設定される。

[0094] 一の機能再構成セル20のデータDAT__C, DAT__Dを他の機能再構成セル20のデータDAT__C, DAT__Dに伝達することが可能であるから、複数の機能再構成セル20間でそれぞれの前記自律制御を連動させることが可能になる。複数の機能再構成セル20を直列的に動作させ、あるいは並列的に動作させて、一単位の論理機能を実現することが可能になる。具体例は後で詳述する。

[0095] 機能再構成セル20の記憶回路23には論理機能を定義するためのコンフィギュレーション情報がランダムアクセス設定され、接続経路選択回路35の接続用記憶回路37には接続経路を定義するためのコンフィグレーション情報がランダムアクセスによって設定される。論理機能が設定された機能再構成セル20に論理動作の開始が指示されると、その論理動作によって得られる情報は左右又は上下に配置された別の機能再構成セル20に接続経路選択回路35を介して伝達可能にされ、また、機能再

構成セル20の論理動作による情報は前記メモリマップドIOレジスタに対する読出しと等価なアクセス動作により対応するバスIBUS__iを介して外部に読み出し可能にされる。

[0096] 図4には機能再構成メモリ8の全体的な構成が例示される。バスSBUS，PBUSからのアクセス要求に応答して、図3で説明した複数個の機能再構成セル20と接続経路選択回路35のアレイに対する制御を行うインタフェース制御回路として、バスインタフェース回路（BUSIF）40、アドレスデコーダ（ADEC）41、及び内部バス選択回路（IBSL）42を有する。

[0097] 前記複数個の機能再構成セル20の記憶回路23のメモリエリア（SRAM25の記憶領域）には図5に例示されるように、第1のアドレス範囲AA1のアドレスがマッピングされる。第1のアドレス範囲AA1はシステムバスSBUSに接続するメモリ空間の一部のアドレス空間とされる。また、前記夫々の機能再構成セル20のための等価的なメモリマップドIOレジスタとして把握することができる前記スタートアドレス設定用等価IOレジスタ、データリード用等価IOレジスタ及びロジックイネーブル用等価IOレジスタには第2のアドレス範囲AA2のアドレスがマッピングされる。図5において1個の機能再構成セルにおけるSRAMのアドレスは256ワード分のアドレスとされ、1個の機能再構成セルにおける前記3個の等価的なメモリマップドIOレジスタのアドレスは3ワード分のアドレスとされる。第2のアドレス範囲AA2は周辺バスPBUSに接続される周辺回路のレジスタ等に割り当てられるメモリマップドIOアドレス空間の一部のアドレス空間とされる。前記接続用記憶回路37の記憶領域には第3のアドレス範囲AA3のアドレスがマッピングされる。第3のアドレス範囲AA3はシステムバスSBUS若しくは周辺バスPBUSに接続するメモリ空間の一部のアドレス空間とされる。

[0098] バスステートコントローラ6は、第1又は第3のアドレス範囲AA1，AA3へのアクセス要求があったときデータプロセッサのアドレス空間中のメモリアドレス空間へのアクセスとしてアクセス制御を行い、第2のアドレス空間AA2へのアクセス要求があった時はデータプロセッサのアドレス空間中のIOアドレス空間へのアクセスとしてアクセス制御を行う。第1乃至第3のいずれのアドレス範囲へのアクセスであったとしても機能再構成メモリ8のバスインタフェース回路40がアクセスの受付をする。第1又は第3のア

ドレス範囲AA1，AA3へのアクセス要求があったときはバスインタフェース回路40はメモリウインドウイネーブル信号CMEをアクティブとし、第2のアドレス範囲AA2のアクセス要求があったときバスインタフェース回路40はロジックウインドウイネーブル信号CREをアクティブとする。アクセス要求に係るデータの方向はアクセス要求元から発行されるリード信号RD及びライト信号WTによって判別される。尚、メモリウインドウイネーブル信号CME及びロジックウインドウイネーブル信号CREは例えばアドレスデコーダ41に供給される。

[0099] アドレスデコーダ41はアクセス要求に係るアドレス信号の上位側ビットをデコードして、アレイ状に配置された機能再構成セル20と接続経路選択回路35のうち何れの回路が指定されているかを判別する。接続経路選択回路35が指定されているときは当該回路の接続用記憶回路37をイネーブルとし、対応する内部バスIBUS__iをバス選択回路42に選択させてシステムバスSBUSに接続し、そのアクセス要求に伴うアドレス信号の下位側アドレス情報を用いて当該接続用記憶回路37をランダムアクセス可能にする。これにより、CPU2等は第3のアドレス範囲AA3のアドレスを指定するランダムアクセスにより接続用記憶回路37に書き込みを行って機能再構成セル20間の接続を任意に定義することができる。

[0100] また、アドレスデコーダ41は、アドレスデコードにより、アドレス範囲AA1のアドレスにより機能再構成セル20が指定されていることを判別したときは、当該機能再構成セルに割り当てられたRDMAE__jをアクティブとし、対応する内部バスIBUS__iをバス選択回路42に選択させてシステムバスSBUSに接続し、そのアクセス要求に伴うアドレス信号の下位側アドレス情報を用いて当該接続用記憶回路37をランダムアクセス可能にする。これにより、CPU2等は第1のアドレス範囲AA1のアドレスを指定するランダムアクセスによって記憶回路23のSRAM25に書き込みを行って当該機能再構成セル20の論理構成を任意に定義することができる。

[0101] アドレスデコーダ41は、アドレスデコードにより、アドレス範囲AA2のアドレスにより機能再構成セル20の前記等価的なメモリマップドIOレジスタが指定されていることを判別したときは、指定された等価的なメモリマップドIOレジスタに応じて、IOAE__j又はLOGE__jをアクティブとし、リード・ライト信号RW__jを生成する。

[0102] 即ち、そのとき、周辺バスPBUSから前記スタートアドレス設定用等価IOレジスタを指定してライト信号WTにより書き込み動作が指示されたとき、アドレスデコーダ41はそのアクセス要求に伴うアドレス信号の下位側アドレス情報で指定される機能再構成セル20に割り当てられたIOAE__jをアクティブとする。更に、リード・ライト信号RW__jによってライト動作を指定する。これによって当該機能再構成セル20のADRSEL30を経由してADRLAT26に書き込みデータがセットされる。

[0103] また、そのとき、周辺バスPBUSから前記ロジックイネーブル用等価IOレジスタを指定してリード信号RDにより読み出し動作が指示されたとき、アドレスデコーダ41はそのアクセス要求に伴うアドレス信号の下位側アドレス情報で指定される機能再構成セル20に割り当てられたLOGE__jをアクティブとする。更に、リード・ライト信号RW__jによってリード動作を指定する。これによって当該機能再構成セル20のアクセス制御デコーダ32はそのときアドレスラッチ26が保持しているアドレスをスタートアドレスとしてそのアクティブ期間にSRAM25のメモリリードサイクルを繰り返し起動し、サイクル毎にデータフィールド27__Dから読み出されるデータ情報DAT__Dをセレクタに帰還させ、サイクル毎に、制御フィールド27__Cから読み出される制御情報DAT__Cに従ってセレクタ30の選択動作を制御して、論理動作を実現する。

[0104] また、そのとき、周辺バスPBUSから前記データリード用等価IOレジスタを指定してリード信号RDにより読み出し動作が指示されたとき、アドレスデコーダ41はそのアクセス要求に伴うアドレス信号の下位側アドレス情報で指定される機能再構成セル20に割り当てられたIOAE__jをアクティブとする。更に、バスインタフェース回路40はリード・ライト信号RW__jによってリード動作を指定する。これによって当該機能再構成セル20のADRLAT26が保持しているアドレス情報によって選択されるSRAM25の記憶領域からリードされる情報をバスインタフェース回路40が受け取って周辺バスPBUSにリードデータとして出力する。これにより、CPU2等は論理機能が設定された機能再構成セル20による論理動作の結果を第2のアドレス範囲AA2のアドレスを指定するリードアクセスによって任意に取得することができる。バスインタフェース回路40は論理動作の結果の一つとして論理動作完了のような要求を認識すると、割り込み信号を割り込みコントローラ16に供給することができる。これによる割り込みが与えら

れたCPU2は例えば前記データリード用等価IOレジスタに対するリード動作を指定することによって当該論理動作を終了した機能再構成セル20から論理動作の結果を取得する動作ルーチンに移行したりすることが可能になる。

[0105] 上述のように、前記記憶回路に対するランダムアクセス用のアドレスマッピング(第1のアドレス範囲)に対し、機能設定された機能再構成セルによる論理動作結果を取得するために機能再構成セルに割り当てたメモリマップドI／Oアドレスのようなアドレス(第2のアドレス範囲のアドレス)を個別化することにより、機能再構成セルに対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することが容易になる。

[0106] 図6には機能再構成セル20における論理動作の基本概念が示される。制御回路24は条件COND＝1で外部アドレスADR__EXTであるアドレスYを記憶回路23のアクセスアドレスとし、条件COND＝0の間は、制御情報DAT__Cで決まる内部シーケンスにしたがってデータ情報DAT__Dで指定されるアドレスによって記憶回路23をアクセスする。図7に例示されるように、内部シーケンスにしたがって処理Aを行っているとき、条件COND＝0の間は内部シーケンスで規定されるデータ情報DAT__Dにより指定されるアドレスに応じて処理Bに分岐することが可能であり、また、条件COND＝1の時に外部アドレスADR__EXTで指定される処理Cに分岐することも可能である。ここで、前記条件CONDは、前記CPU2などによる機能再構成メモリ8に対するアクセス形態によって決まる条件、更には、前記制御情報DAT__Cで決まる条件として把握すればよい。

[0107] 図8には機能再構成セル20でリロード型ダウンカウンタを構成する場合の例が示される。ここではTYPE、CFLAGは制御情報DAT__Cに含まれるものとする。図8の(B)には記憶回路23の保持情報が例示される。DataはデータフィールドDFLDの情報、addressはアドレスラッチ回路26に供給されるアドレス情報を意味する。例えば、CFLAG＝1(COND＝1)のとき外部アドレスADR__EXTとして“0110”が入力されると、これをアドレスとしてCFLAG＝0、Data＝“0101”が読み出され、読み出されたデータが次の読み出しアドレスとされ、以下同様の動作がCFLAG＝1になるま

で繰り返される。この間に出力されるデータ情報DAT__Dは“1010”から“0000”までのダウンカウント値とされる。COND＝1のとき再度、カウント初期値をリロードしてダウンカウントを繰り返すことができる。図8の(C)には前記ダウンカウント動作におけるフローチャートが例示される。

[0108] 図9には2個の機能再構成セル20でリロード型ダウンカウンタを構成する場合の例が示される。下位バイトの出力データDAT__Dの全ビットがオール“0”になったとき、CFLAGを上位バイトの機能再構成セル20の制御回路に与えて上位バイトの動作を開始させる。上位バイトの出力データDAT__Dの全ビットがオール“0”になったときマルチバイトのダウンカウントが完了され、再度、下位バイトのカウント初期値をリロードすることによってマルチバイトのダウンカウントを再開することができる。

[0109] 図10には図8の(A)の構成で3ビットカウンタを構成する場合の例を示す。図10の(A)にはSRAMの記憶データが例示される。同図に示されるNext Address欄はアドレスラッチ回路26の値を意味する。最後に示された[Reg]はCFLAG＝1によって外部から任意にアドレスが設定可能であることを意味する。図11には図10による3ビットカウンタ動作の動作シーケンスを例示する。ステップS11－1においてNにアドレスの初期値として“000”を設定し、ステップS11－2においてアドレス”000“のNext Addressフィールドに格納されている値”111“をNの値として設定し、ステップS11－3においてアドレス”111“のCFLAGフィールドに格納されている値”0“を判定する。以降、ステップS11－2とS11－3とをCFLAGフィールドの値が”1“になるまで繰り返す。この繰り返しの過程においてアドレスNのDataフィールドの値は値”111“から”000“までの1ダウンカウンタとして出力される。

[0110] 図12には図6の論理動作基本概念図に対応する具体的な動作例が示される。外部トリガとして、例えば前記スタートアドレス設定用等価IOレジスタの指定によって初期アドレス値として “111”がアドレスラッチ26に入力される(S1)。次いで、ロジックイネーブル用等価IOレジスタの指定によって、アドレスラッチ26のアドレス情報がSRAM25に供給開始されることにより論理動作が起動される(S2)。これにより、そのアドレスで指定されたデータフィールドDFLDからデータ情報DAT__Dとして“110”がセレクタ30に供給され(S3)、また、制御フィールドCFLDから制御情報DAT__Cと

して情報“101”がアクセス制御デコーダ32に供給される(S4)。アクセス制御デコーダ32はその情報“101”をデコードし、S3により帰還された情報“110”を選択し(S5)、今度はこの情報“110”をアドレスとしてSRAM25のアクセスが行われる(S6)。以下同様に動作が繰り返されて所要の論理動作(3ビットダウンカウンタ動作)が行われる。CLKはSRAM25のメモリサイクル等を規定する、機能再構成セル20の動作基準クロック信号である。

[0111] 図13には3ビットカウンタを夫々構成する機能再構成セル20を接続選択回路35で接続して6ビットカウンタを構成する例を示す。本構成では夫々の機能再構成セルは3ビットアップカウンタ動作を行う例を示しており、データフィールドDFLDの設定値と外部から供給される初期アドレス値が図12の例と異なっている。機能再構成セル20__Lは下位3ビット、20__Uは上位3ビットを構成し、接続経路選択回路35は、下位3ビットを構成する機能再構成セル20__Lの制御フィールドCFLDの最下位ビットの反転値を、上位3ビットを構成する機能再構成セル20__Uのロジックイネーブル信号LOGE__jとして供給する。カウント動作を開始する前に機能再構成セル20__L、20__Uのアドレスラッチ回路26に初期アドレス値として“000”をセットし、その後、LOGE__iをアクティブとして機能再構成セル20__Lに下位3ビットのカウント動作を開始させる。下位3ビットの機能再構成セル20__Lによるアップカウントが終了して制御情報DAT__Cが“100”を出力する1サイクル期間だけLOGE__jをアクティブに変化させて、機能再構成セル20__Uに上位3ビットのカウント動作を行わせる。機能再構成セル20__Lの制御情報DAT__Cが“100”を出力した場合、20__Lのアドレス制御デコーダ32はセレクタ30に対して外部からの入力を選択してアドレスラッチ回路26にセットすることから、外部入力値としては“001”をセットしておけばよい。

[0112] 図14にはCPUによる機能再構成メモリ8のアクセス形態が例示される。CPU2やDMAC5による機能再構成メモリ8に対するランダムアクセスは経路PAS__Sを用いて行われる。このアクセス動作は機能再構成セル20及び接続経路選択回路35に対して機能を設定するためのコンフィギュレーション情報の設定に用いられる。また、論理機能の設定に用いられなかった機能再構成セル20を内部RAM(ITNR__RAM)としてリード・ライトアクセスする場合である。また、CPU2やDMAC5による機能再構成

メモリ8に対するメモリマップドIOレジスタアクセスは経路PAS_Pを用いて行われる。このアクセス動作は、例えば前記スタートアドレス設定用等価IOレジスタ、データリード用等かIOレジスタ、ロジックイネーブル用等価IOレジスタに対するアクセスに用いられる。ランダムアクセス用のアドレスマッピングとメモリマップドIOレジスタアクセス用のアドレスマッピングは相互に分離されている。

[0113] 図2の機能再構成メモリ8はSRAMで構成した例を説明したが、例えばMRAMで構成しても良い。MRAMは高速の読出し／書込動作が可能とされる不揮発性メモリである。既知の他の不揮発性メモリであるFlashメモリや相変化メモリ等で構成することも可能である。MRAMとFlashメモリとを比較すると読出し／書込動作ともにMRAMが高速であり、Flashメモリの持つ書換回数の制限がないという利点がある。相変化メモリと比較すると、読出し／書込動作速度はほぼ同等であるが、相変化メモリに比べて熱耐性が高いという利点がある。一方でMRAMは磁気記憶方式であることから、耐磁性が相変化メモリに比べて低い。使用環境に応じて機能再構成メモリ8を構成するメモリを選択すればよい。

[0114] 機能再構成メモリ8を不揮発性メモリで構成することで、一旦構成した論理機能は電源が遮断されたとしても維持されるとの利点を得ることができ、またROM3に格納しているプログラムを機能再構成メモリ8のランダムアクセス可能な内部メモリ（ITNR_RAM）の一部空間に格納することができる。MRAMや相変化メモリで構成することで中央処理装置のワーク領域としてのRAM4に代えて、ランダムアクセス可能な内部メモリ（ITNR_RAM）の他の空間を用いることも可能となる。

[0115] 以上説明したマイクロコンピュータ1によれば以下の作用効果がある。

[0116] （1）記憶回路23の読み出しを機能再構成セル20それ自体で自律的に制御することができる。したがって、可変論理機能を実現するための記憶回路23を論理回路と等価な回路として扱うことができ、実現可能な論理構成に融通性があり、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。

[0117] （2）CPU2等は第3のアドレス範囲AA3に対するライトアクセス要求を行なうことにより、そのアクセス要求に係るアドレスが割り当てられた前記接続用記憶回路35をランダムアクセスして、機能再構成セル20の間の接続を定義するためのスイッチ制御

情報を任意に書き込むことができる。

[0118] (3)CPU2等は第1のアドレス範囲AA1に対してアクセス要求を行なうことにより、そのアクセス要求に係るアドレスが割り当てられている機能再構成セル20のSRAM25をランダムアクセスして、前記機能再構成セル20のSRAM25に所定の論理機能を実現するための情報を任意に定義することができる。

[0119] (4)CPU2等は第2のアドレス範囲AA2に対してデータリード用等価IOレジスタアクセスを要求することにより、制御回路24がSRAM23から出力している情報を前記論理機能によって得られた結果としてリードすることができる。これにより、CPU2等は論理機能が設定された機能再構成セル20による論理動作の結果を第2のアドレス範囲AA2のアドレスを指定したリードアクセスによって任意に取得することができる。

[0120] (5)ランダムアクセス用のAA1，AA3のアドレスマッピングに対し、機能設定された機能再構成セル20による論理動作結果を取得したりするために機能再構成セル20に割り当てたメモリマップドIOアドレスのようなAA2のアドレスマッピングを個別化することにより、機能再構成セル20及び接続選択回路35に対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレス等に変更を生ぜず、機能再構成セル20に対する論理機能をダイナミックに再構成することが容易になる。

[0121] (6)CPU2からバスインタフェース回路40に対する機能再構成セル20への機能設定用アクセス経路にシステムバスSBUSを用い、機能設定された機能再構成セル20への等価的メモリマップドレジスタアクセスのための経路に周辺バスを用い、双方の経路が分離されるから、機能再構成セル20に周辺機能を設定して利用する場合には、CPU2等によるメモリアクセス経路と、周辺回路に対するアクセス経路を分離しているアーキテクチャとの整合を容易に図ることができる。

[0122] 3. 第2の実施の形態の詳細

第2の実施の形態では、複数の機能再構成セルを非同期でロジック動作させるようにし構成した点で第1の実施の形態と相違する半導体装置について説明する。

[0123] 図15には第2の実施の形態に係る機能再構成セル20Aが例示される。機能再構成セル20Aはその動作クロック信号CKを自らのクロック発生回路で生成する点が図

1とは相違される。図1の場合にはCPG14で生成されたクロック信号CLKが各機能差構成セル2に供給され、各機能差構成セル2はそれに同期して常時動作可能に構成された。図15において夫々の機能再構成セル20Aは自らのクロック制御回路（CKGEN）100から出力されるクロック信号CKに同期して動作する。クロック制御回路100は、特に制限されないが、クロック信号ITCKの生成及び停止が可能にされるクロック発生回路（CPG）101と、クロック切換えスイッチ回路102とを有する。前記クロック切換えスイッチ回路102は、前記クロック発生回路101で発生したクロック信号INCLK又は外部から供給されるクロック信号EXCLKを選択する。前記クロック切換えスイッチ回路102のスイッチ制御情報SWCNTは接続用記憶回路（第4接続用記憶回路）103が保持する。クロック信号EXCLKは別の機能再構成セル20Aから供給されるクロック信号CKを意味する。クロック切換えスイッチ回路102から出力されたクロック信号CKは第3接続用記憶回路37Bでスイッチ状態が決定された第3スイッチ回路36Bを介して他の機能再構成セル2Aにも供給可能になっている。クロック生成停止信号STPは第2接続用記憶回路37Aでスイッチ状態が決定された第2スイッチ回路36Aを介して他の機能再構成セル2Aにも供給可能になっている。

[0124] 前記クロック発生回路101は、自らの機能再構成セル20Aの外部から入力される第1情報、例えば内部又は外部からのイベント信号EXEVTに基づいて形成されるクロック生成開始信号STRTにより自らの機能再構成セルのクロック信号の生成を開始し、自らの制御フィールド27__Cからアドレスデコーダ32に読み出されるエンドオブシーケンス情報（第2情報）に基づいてアドレスデコーダ32から出力されるクロック生成停止信号STPによって前記クロック信号ITCLKの生成を停止する。イベント信号EXEVTのうちの所定の信号が論理輪ゲート（OR）106に供給され、その出力がクロック生成開始信号STRTとされる。

[0125] それぞれの機能再構成セル20Aは必要に応じてクロック信号CKを発生して動作し、休止状態において自らクロック信号CKを停止するから、半導体装置の低消費電力に寄与する。

[0126] 個々の機能再構成セル20Aは記憶回路23の読み出しを制御回路24で自律的に制御することができる点については第1の実施の形態と同様であり、それぞれの機能

再構成セル20Aを論理回路と等価な回路として扱うことにより、融通性のある可変論理機能を、比較的小さなチップ占有面積によって実現することができることは言うまでもない。

[0127] 図16には機能再構成セル20Aをダウンカウンタに用いた例が示される。図8のリロード型ダウンカウンタの例に対してCFLAGをエンドオブシーケンス(ES)情報として利用するようにしたものである。要するに、ダウンカウント値が“0000”になってメモリ部23の次の読み出しアドレスが“0000”とされるときにES＝1が制御部に読み出されることによって制御部24がクロック生成停止信号STPを活性化し前記クロック発生回路101によるクロック発生動作を停止させ、これによって当該機能再構成セル20Aの動作が停止され休止状態にされる。停止された機能再構成セルの動作を再開させるには所要の開始アドレスADR_EXTが供給され、且つ所定のイベント信号EXEVTが活性化されればよい。

[0128] 図17には複数の機能再構成セル20Aを直列的に動作させてカウンタを実現する構成が例示される。4ビットの初段カウンタを構成する機能再構成セル20Aは図16の機能再構成セル20Aと同様に4ビットのカウント動作を一巡するごとにESを“1”とするCFLAGを有する。次段以降の各段の4ビットカウンタを構成する機能再構成セル20Aは1回のカウント動作毎にESを“1”とするCFLAG(すなわち全てのエンドオブシーケンス(ES)情報は“1”)を有する。下位カウンタのクロック生成停止信号STPは上位カウンタのクロック発生動作とメモリ部の読み出し動作との開始を指示するイベント信号EXEVTとして機能される。これにより、初段カウンタの4ビットカウント動作毎に第2段目カウンタは1回カウント動作を行ってクロックを停止し、第2段目カウンタの4ビットカウント動作毎に第3段目カウンタは1回カウント動作を行ってクロックを停止する。すなわち、初段に対して第2段目、第2段目に対して第3段目というように、前段と後段の間ではカウンタの活性化率(稼働率)が1／16になり、低消費」電力化を図る事ができる。尚、初段の機能再構成セル20Aの制御フィールドには複数の機能再構成セル20Aによるカウント動作を終了するまで、4ビットカウント動作を自律的に繰り返すための内部起動イベント情報を有する。

[0129] 図18には前段と後段の機能再構成セルの動作タイミングが例示される。夫々の機

能再構成セル20Aは自らクロック信号CKを生成しているとき動作し、前段の機能再構成セル20Aと後段の機能再構成セル20Aは非同期で動作される。図18では非同期動作する前段の機能再構成セル20Aから後段の機能再構成セル20Aへ必要な情報を受け渡すことを可能にする動作タイミングの例が示す。

[0130] 図18において、1)E-CLK遅延は、イベント信号EXEVTの入力信号の立上りからクロック生成回路100がアクティブになりクロック信号CKが立上るまでの遅延である。2)CLK-SQ遅延はクロック信号CKの立上りから制御回路24によるシーケンス起動までの遅延である。3)SQ-SE遅延は、制御回路24がシーケンス終了情報(ES)を読込んでクロック生成停止信号STPが活性化(立ち上がる)までの遅延である。4)SE-CLK遅延はクロック生成停止信号STPの活性化からクロック信号CKが停止されるまでの遅延である。機能再構成セル20Aが動作(アクティブになって)する期間は、Act(クロック生成時間)=(CLK-SQ遅延)+(シーケンス動作期間:SQ)+(CLK-SQ遅延)+(SE-CLK遅延)の関係となる。したがって、高速に動作する場合には限界があるが、非同期動作で上記時間関係が維持される場合、論理演算動作が可能になる。特に、SE-CLK遅延は、前段の機能再構成セル20Aが動作停止するとき、当該前段の機能再構成セル20Aが出力する情報を後段の機能再構成セル20Aが受け取るための余裕時間になる。

[0131] 図19には複数個の機能再構成セル20Aの接続形態が例示される。第1の実施の形態の機能再構成セル20と同様に機能再構成セル20Aの前記制御回路24は、次の読出しアドレスとして、前記インタフェース制御回路(40, 41, 42)から供給されるアドレス情報、先に自らの記憶回路23のデータフィールド27_Dから読み出された情報、アドレスラッチ回路26にラッチされていて先に記憶回路23に出力したアドレス情報、又は先に前記記憶回路に出力したアドレスラッチ回路26のアドレス情報をインクリメンタ31で演算することによって得られるアドレス情報を出力する。機能再構成セル20Aのアレイ構成は図3及び図4で説明したのと同様である。複数個の機能再構成セル20Aには第1のアドレス範囲のアドレス(図5のAA1)がマッピングされ、前記インタフェース制御回路(40, 41, 42)は、第1のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルにその記憶

回路23をランダムアクセスさせる。このランダムアクセスによって所要の論理機能の設定が容易になる。

[0132] 機能再構成セルには第2のアドレス範囲のアドレス(図5のAA2)がマッピングされ、前記インタフェース制御回路(40, 41, 42)は、第2のアドレス範囲に対する第1のアクセス要求(前記スタートアドレス設定用等価IOレジスタアクセス)に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セル20Aに、当該機能再構成セル20Aのクロック発生回路100でクロック信号CKを発生させて、記憶回路23の読出し開始アドレスを設定する。機能再構成セル20Aに設定した論理機能による動作イネーブルの設定をレジスタアクセスと同様な手順で行うことが可能になる。前記インタフェース制御回路(40, 41, 42)は、第2のアドレス範囲に対する第2のアクセス要求(ロジックイネーブル用等価IOレジスタアクセス)に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セル20Aに、当該機能再構成セル20Aのクロック発生回路100でクロック信号CKを発生させて、前記読出し開始アドレスから記憶回路23の記憶情報の読出しを開始させる。機能再構成セル20Aに設定した論理機能の動作開始イベントの発生をレジスタアクセスと同様な手順で行うことができる。前記読出し開始アドレスから記憶回路23の記憶情報の読出しを開始した機能再構成セル20Aの制御回路24は、その記憶回路23から読み出された特定の情報であるエンドオブシーケンス情報(ES)に基づいて生成された特定の信号としてのクロック生成停止信号STPを後段の他の機能再構成セル20Aに出力し、当該他の機能再構成セル20Aは、前記信号STPに応答して、自らのクロック発生回路100でクロック信号CKを発生して、前記読出し開始アドレスから記憶回路23の記憶情報の読出しを開始する。複数の機能再構成セルを直列的に動作させることができる。さらに、前記インタフェース制御回路(40, 41, 42)は、第2のアドレス範囲(AA2)に対する第3のアクセス要求(データリード用等価IOレジスタアクセス)に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セル20Aに、当該機能再構成セル20Aのクロック発生回路100でクロック信号CKを発生させ、記憶回路23のデータフィールド27_Dの記憶情報を前記論理動作の結果として出力させる。このように、前記記憶回路23に対するランダムアクセス用のアドレスマッピング(第1のアドレス範囲)に対し、機能設定

された機能再構成セル20Aによる論理動作結果を取得するために機能再構成セル20Aに割り当てたメモリマップドI／Oアドレスのようなリードアドレス（第2のアドレス範囲のアドレス）を個別化することにより、機能再構成セルに対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することができる。

[0133] 前記複数の機能再構成セル20Aの間を可変可能に接続するために第1の実施の形態と同様に接続経路選択回路35を有する。前記接続経路選択回路は、一の機能再構成セル20Aにおけるデータフィールド27__Dからの出力と制御フィールド27__Cからの出力とを他の機能再構成セル20Aの制御回路24に選択的に接続する第1スイッチ回路36と、前記第1スイッチ回路36のスイッチ制御情報を保持するための第1接続用記憶回路37とを有する。前記第1接続用記憶回路には第3のアドレス範囲のアドレス（AA3）がマッピングされる。前記インタフェース制御回路（40, 41, 42）は、第3のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第1接続用記憶回路36をランダムアクセスする。データ伝播に関し複数の機能再構成セル20Aの間の接続をプログラマブルに行うことが容易になり、可変論理機能に対して更に高い融通性を得ることができる。また、前記接続経路選択回路35は、前記複数の機能再構成セル20Aの間において一の機能再構成セル20Aが出力するクロック生成停止信号STPをクロック生成開始のためのイベント信号EXEVTとして他の機能再構成セル20Aに選択的に伝達する第2スイッチ回路36Aと、前記第2スイッチ回路36Aのスイッチ制御情報を保持するための第2接続用記憶回路37Aとを更に有する。前記第2接続用記憶回路37Aには第4のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路(40, 41, 42)は、第4のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第2接続用記憶回路37Aをランダムアクセスする。複数の機能再構成セル20Aの直列的な動作順をプログラマブルに決定することが容易になり、この点においても可変論理機能に対して更に高い融通性を得ることができる。

[0134] 図19においてクロック発生開始のためのイベント信号EXEVTとクロック生成停止

信号STPとの直列的伝播は、S1～S7の順に行われる。S1では外部/内部のイベント信号EXEVTによりクロック発生回路100が起動して当該機能再構成セル20Aで論理演算動作が開始される。S2では論理演算が終了し、クロック生成停止信号STPが次段に伝達される。S3では、前段からのクロック生成停止信号STPをクロック生成イベントとして受け取ってクロック発生回路100を起動し、次段の論理演算動作を開始する。この後、初段のクロック発生回路100が停止する。S4ではS2と同様に論理演算を終了したときクロック生成停止信号STPを次段に伝達する。S5はS3と同様とされ、S6はS2と同様とされ、S7はS3と同様にされ、これによって複数の機能再構成セル20Aが直列的に非同期で動作される。図20にはこの非同期動作タイミングが例示される。図20においてAの部分では前段と後段の双方の機能再構成セル20Aのクロック発生回路100がアクティブになっている。これによって前段から後段へのクロック更には情報の受け渡しが可能にされ、これによって、非同期回路間で順次クロック・リレーが行われる。

[0135] 図21には一の機能再構成セル20Aで発生されたクロック信号CKを後段の機能再構成セル20Aに供給する構成を採用した例が示される。前記接続経路選択回路35は、前記複数の機能再構成セルの間において一の機能再構成セル20Aのクロック信号CKを他の機能再構成セル20Aに選択的に伝達する第3スイッチ回路36Bと、前記第3スイッチ回路36Bのスイッチ制御情報を保持するための第3接続用記憶回路37Bとを更に有する。前記第3接続用記憶回路37Bには第5のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路は、第5のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第3接続用記憶回路37Bをランダムアクセスする。一の機能再構成セル20Aで生成したクロック信号CKを他の機能再構成セル20Aに供給して複数の機能再構成セル20Aを同期的に並列動作させることも容易に選択できるようになる。前述の通りそれぞれのクロック切換えスイッチ回路102のスイッチ制御情報を保持するための第4接続用記憶回路103が設けられ、この第4接続用記憶回路には第6のアドレス範囲のアドレスがマッピングされる。インタフェース制御回路（40，41，42）は、第6のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第4接続用記憶回路1

03をランダムアクセスする。機能再構成セルに、自ら発生したクロック信号又は外部から供給されたクロック信号の何れを利用させるかに関しプログラマブルな設定が可能になり、この点においても可変論理機能に対して更に高い融通性を得ることができる。

[0136] クロック信号CKの供給に関し図21に例示されるように機能設定されたとき、外部/内部のイベント信号EXEVTにより(S10)、機能再構成セル20Aのクロック発生回路100が起動されて論理演算動作を開始する。このとき、経路接続選択回路35の第3スイッチ回路36Bは前段の機能再構成セル20Aで生成されるクロック信号CKを後段の機能再構成セル20Aに供給する(S11)。当該後段の機能再構成セル20Aのクロック切換えスイッチ回路102は外部クロックの入力を選択するようにプログラムされ、これにより、後段の機能再構成セル20Aは前段の機能再構成セル20Aから出力されたクロック信号CKを受けて論理動作を行う(S12)。前段のクロック発生回路100は後段の機能再構成セル20Aから出力されるクロック発生停止信号STPをスイッチ回路36A経由で受けてのそのクロック発生動作が停止される。これにより、同一のクロック信号CKを受ける機能再構成セル20Aは連動して並列的に同期動作可能にされる。

[0137] 図22には第2の実施の形態に係る別の機能再構成セル20Bが例示される。図16とはクロック発生回路の構成が相違される。即ち、クロック発生回路100Aはクロック信号ITCLKの生成及び停止が可能にされるクロック発生回路101と、クロック分周器110と、クロック切換えスイッチ回路102Aと、前記クロック切換えスイッチ回路のスイッチ制御情報を保持するための接続用記憶回路103Aとを有する。前記クロック分周器110は、外部から供給されるクロック信号EXCLKを分周する。特に制限されないが、クロック分周器110はクロック発生回路101と同様にORゲート106の出力によって動作の開始が指示され、信号STPによって動作の停止が指示される。前記クロック切換えスイッチ回路102Aは、前記クロック発生回路101で発生したクロック信号ITCLK、外部から供給されるクロック信号EXCLK、又は前記クロック分周器110から出力されるクロック信号DVCLKを選択する。接続用記憶回路103Aには第7のアドレス範囲のアドレスがマッピングされる。前記インタフェース制御回路(40, 41, 42)は

、第7のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記接続用記憶回路103Aをランダムアクセスする。機能再構成セル20Bに自ら発生したクロック信号ITCLK、外部から供給されたクロック信号EXCLK、又は外部から供給されたクロック信号の分周クロック信号DVCLKの何れを利用させるかに関しプログラマブルな設定が可能になり、この点においても可変論理機能に対して更に高い融通性を得ることができる。

[0138] 4．第3の実施の形態の詳細

第3の実施の形態では、複数の機能再構成セルに対する直列的なクロックイネーブル制御によって低消費電力を図るように構成した半導体装置について説明する。

[0139] 図23には第3の実施の形態に係る機能再構成セル20Cが例示される。機能再構成セル20Cは、個別にクロックイネーブル制御されるクロックゲート回路（CLKDRV）120を有する点が図1と相違する。機能再構成セル20は自らのクロックゲート回路120から出力されるクロック信号に同期して動作する。それぞれのクロックゲート回路120にはクロックパルスジェネレータ14から出力されるクロック信号CLKが共通に供給される。クロックゲート回路120は、自らの機能再構成セル20Cの外部からクロックイネーブル端子に与えられる信号EXEVT（CKE）の活性化タイミングに同期してクロック信号CKの出力を開始し、自らの前記記憶回路23から読出されるエンドオブシーケンス情報(ES)のような特定の情報をアドレスデコーダ32が受けて出力されるクロック停止信号STPのクロックパルスに基づいてクロック信号の出力を停止する。接続経路選択回路35は第2の実施の形態と同様に切換えスイッチ回路36、36A及び記憶回路37，37Aを有する。その他の構成は図1と同様である。以下においては図1の機能再構成セル20との相違点を中心に説明する。

[0140] 図24にはクロックゲート回路（CLKDRV）120の具体例が示される。クロックゲート回路（CLKDRV）120は、D型ラッチ回路121、インバータ122、2入力ナンド（NAND）ゲート回路123、D型ラッチ回路124、及び2入力アンド（AND）ゲート回路125を有する。信号EXEVT（CKE）はハイレベルのパルス変化によってクロックイネーブルを指示し、信号STPはハイレベルのパルス変化によってクロック停止を指示する。クロック停止が指示されている状態ではD型ラッチ回路121はハイレベルをラッチする。

この状態で信号EXEVTがハイレベルパルス変化されるとナンドゲート回路123からハイレベルパルスが出力され、これをD型ラッチ回路124がクロック信号CLKに同期してラッチすることにより、アンドゲート125はそれ以降、クロック信号CLKの変化に同期するクロック信号CKを出力する。この後、D型ラッチ回路121は信号STPのローレベルをラッチする。クロック停止信号STPがハイレベルにパルス変化されるとラッチ回路121がクロック信号CKに同期してハイレベルをラッチし、また、信号EXEVT(CKE)もすでにローレベルにされているので、ナンドゲート123はローレベルを出力し、これをラッチ回路124がラッチすることにより、クロック信号CKの変化が停止され、ラッチ回路121及び124はラッチデータを維持して、次に信号EXEVT(CKE)がハイレベルパルス変化されるまで、クロックCKの出力停止状態が維持される。

[0141] 特に図示はしないが、機能再構成セル20Cの場合にも図16及び図17においてクロック発生回路100をクロックゲート回路120に代えることによってそれと同様の機能を実現することができる。

[0142] この実施の形態3によれば、それぞれの機能再構成セル20Cには必要に応じてクロックイネーブル制御によって各機能再構成セル20Cに共通のクロック信号CKが供給されて動作し、休止状態において自らクロックディスエーブルにするから、半導体装置の低消費電力に寄与する。クロックイネーブル状態で機能再構成セル20Cに供給されるクロック信号はそれぞれの機能再構成セルで共通化されるから、機能再構成セル20間でのデータの受け渡しには時間を要せず簡単に行うことができる。第2の実施の形態における機能再構成セル20A毎にクロック信号CKを発生させる場合には機能再構成セル20A間は基本的に非同期となるので、機能再構成セル20A間でのデータの受け渡しには上記よりも時間を要する。機能再構成セル20Bを用いる場合には図18のSE－CLK遅延のような遅延時間を必要としない。

[0143] 図25には複数の機能再構成セル20Cを直列的に動作させて8ビットPWM(パルス・ワイズ・モジュレータ)を実現する構成が例示される。Addは論理動作のスタートアドレス情報、Condは制御部24へ入力される制御情報、Flagは制御フィールド若しくは制御部24から出力される制御情報、STPはクロック停止信号、Doutはデータフィールドからの出力、Dinは外部からのデータ入力を意味する。機能再構成セル20C__

1はクロック信号CKを5分周する分周器、機能再構成セル20C__2は10クロックの1カウント動作を行うカウンタ、能再構成セル20C__3はコンパレータとして機能設定される。機能再構成セル20C__1はクロック信号CKを5分周する毎に信号STPを出力し、帰還制御情報Flagによって次の5分周動作を開始するというシーケンスを繰り返す。機能再構成セル20C__2，20C__3は機能再構成セル20C__1からの帰還制御情報Flagをクロックイネーブルのためのイベント信号EXEVT（CKE）として受取ってクロックゲート回路120からクロック信号CKを出力させ、機能再構成セル20C__2は1カウント動作を行ってストップ信号STPを出力して自らのクロックゲート回路120によるクロック信号CKの出力動作を停止し、機能再構成セル20C__3はそのときの入力データDinとX＝5との比較動作を1回行ってストップ信号STPを出力して自らのクロックゲート回路120によるクロック信号CKの出力動作を停止する。上記動作が繰り返されることによって、JKフリップフロップから、周期がクロック信号CLKの50サイクル分のデューティ50％のパルスを生成することができる。C－Reg，T－Reg，X－Regはそれぞれのメモリ部23を意味し、機能設定によって5，10，5が初期設定される。このPWM動作の動作タイミングは同図に示される通りである。

[0144] 図26には複数の機能再構成セル20Cを直列的に動作させて24ビットカウンタを実現する構成が例示される。Addは論理動作のスタートアドレス情報、Condは制御部24へ入力される制御情報、Flagは制御フィールド若しくは制御部24から出力される制御情報、STPはクロック停止信号、Doutはデータフィールドからの出力を意味する。機能再構成セル20C__4は下位側、機能再構成セル20C__5は中位側、機能再構成セル20C__6は上位側のそれぞれ8ビットのカウンタとして機能設定される。機能再構成セル20C__4は8ビットのカウント値が全ビット1に達すると停止信号STPを活性化して動作を休止すると共に、Flagから次段にイベント信号EXEVT（CKE）を発生して次段機能再構成セル20C__5を動作開始させ、機能再構成セル20C__5は8ビットのカウント値が全ビット1に達すると停止信号STPを活性化して動作を休止すると共に、Flagからイベント信号EXEVT（CKE）を発生して次段機能再構成セル20C__6を動作開始させ、機能再構成セル20C__6は8ビットのカウント値が全ビット1に達すると停止信号STPを活性化して動作を休止すると共に、Flagからイベント信号E

XEVT(CKE)を初段に帰還させて初段の機能再構成セル20C__4を動作開始させ、これによって24ビットのフリーランニングカウンタが実現される。COUNTは24ビットの計数値データである。

[0145] 図27には8ビットカウンタに機能が定義された4個の機能再構成セル20Cを4個用いて32ビットカウンタを実現した時の構成が例示される。この例では前段から出力されるクロック停止信号STPは次段においてクロックイネーブルのためのイベント信号として用いられる。

[0146] 5. 第4の実施の形態

上記第2及び第3の実施に形態では前記のクロックゲート回路又はクロック制御回路を使ったクロックゲーティング手法によって低消費電力化性能を得ることができる。このクロックゲーティング手法(クロック供給制御またはクロック発生器のオン／オフ制御)をそのままパワーゲーティング手法(各機能再構成セル自体の電源のオン／オフ制御)に切り替えれば、更に高い低消費電力性能を得ることができる。例えば、特に図示はしないが、第3の実施の形態を説明する各図において、クロック信号CLKの供給経路を電源供給経路に置き換え、クロックゲート回路をパワースイッチ回路(電源ゲート回路)に置き換えて、自らの機能再構成セルの外部から与えられる信号の活性化に同期して自らの機能再構成セルの後段へ電源供給を開始し、自らの前記記憶回路から読出される情報(ES)に基づいて前記電源供給を停止すればよい。パワーゲーティングを採用する場合、クロック信号CLKはクロックゲート無しでそれぞれの機能再構成セルに直接供給されればよい。更にまた、機能再構成セルには上述のクロックゲーティングとパワーゲーティングの双方を採用することも可能である。

[0147] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0148] 例えば、等価的メモリマップドIOレジスタアクセスは一例であり、そのためのLOGE__j等のイネーブル信号や、等価的メモリマップドIOレジスタの種類は適宜変更可能である。また、システムバスと周辺バスを分けるアーキテクチャを採用しない場合には機能再構成セルに対するランダムアクセス経路と等価的メモリマップドIOレジスタアク

セスの経路を分離しなくてもよい。マトリクス配置された機能再構成セルとバスの接続形態として、X, Y方向にバスを配置し、X, Yのそれぞれの方向からアドレシングしてバスに接続する接続形態を採用してもよい。機能再構成セルによって実現される周辺機能は上記に限定されず適宜変更可能である。また、CPUに対する所謂周辺機能に限定されない。アクセラレータのようにCPUの負担を軽減する演算機能等を割り当てることも可能である。機能再構成メモリと一緒に半導体装置に搭載される回路は図2に限定されず、半導体集積回路の機能や用途に応じて適宜変更可能である。半導体装置はシングルチップに限定されず、マルチチップをモジュール基板に搭載して封止したシステム・イン・パッケージのような半導体装置にも適用することができる。クロック発生制御、クロックイネーブル制御が付加された機能再構成セルはPWMやカウンタ以外の種々の回路機能の実現に広く適用することができる。

産業上の利用可能性

[0149] 本発明は可変論理モジュールを備えた半導体データ処理装置等の半導体装置に広く適用することができる。

請求の範囲

[1] 記憶回路と制御回路を有する複数の機能再構成セルと、

アクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は前記記憶回路の次の読出しアドレスを先に前記記憶回路から読出した制御フィールドの情報又は外部イベント入力に基づいて自律的に制御することが可能である、半導体装置。

[2] 前記制御回路は次の読出しアドレスとして、前記アクセス要求に伴ってインタフェース制御回路に供給されるアドレス情報、所定の外部イベント入力を条件に前記制御回路が決定するアドレス情報、先に記憶回路のデータフィールドから読み出された情報、又は先に前記記憶回路に出力したアドレス情報のアドレス演算により得られるアドレス情報を出力する、請求項1記載の半導体装置。

[3] 記憶回路と制御回路を有する複数の機能再構成セルと、

アクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能である、半導体装置。

[4] 前記制御回路は、前記制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をアドレス情報として選択するセレクタを有する、請求項3記載の半導体装置。

[5] 前記別の情報は、前記アクセス要求に伴ってインタフェース制御回路に供給される

アドレス情報、所定の外部イベント入力を条件に前記制御回路が決定するアドレス情報、又は先に前記記憶回路に出力したアドレス情報のアドレス演算により得られるアドレス情報である、請求項4記載の半導体装置。

[6] 前記制御回路は前記セレクタの入力に出力が接続され前記アドレス演算を行うアドレス演算器を更に有し、前記セレクタは前記制御フィールドからの帰還入力情報に基づいてアドレス演算器の出力を選択可能であり、前記アドレス演算器の入力は前記セレクタの出力に結合される、請求項5記載の半導体装置。

[7] 前記複数個の機能再構成セルの記憶回路には第1のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第1のアドレス範囲に対するアクセス要求に応答して、当該アドレスが割り当てられた機能再構成セルの前記記憶回路をランダムアクセス可能とする、請求項6記載の半導体装置。

[8] 前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第2のアドレス範囲に対するリードアクセス要求に応答して、当該アドレスの制御回路がそのとき記憶回路に出力させている情報を読み出す、請求項7記載の半導体装置。

[9] 前記複数の機能再構成セルの間を可変可能に接続する接続経路選択回路を更に有する請求項8記載の半導体装置。

[10] 前記接続経路選択回路は、一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続するスイッチ回路と、前記スイッチ回路のスイッチ制御情報を保持するための接続用記憶回路とを有する、請求項9記載の半導体装置。

[11] 前記接続用記憶回路には第3のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第3のアドレス範囲に対するライトアクセス要求に応答して、当該アドレスが割り当てられた前記接続用記憶回路をランダムアクセス可能とする、請求項10記載の半導体装置。

[12] 記憶回路と制御回路を有する複数の機能再構成セルと、

アクセス要求に応答して機能再構成セルを制御するインタフェース制御回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能であり、

前記複数個の機能再構成セルの記憶回路には第1のアドレス範囲のアドレスがマッピングされ、

前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第1のアドレス範囲に対するアクセス要求に応答して、当該アドレスが割り当てられた機能再構成セルの前記記憶回路をランダムアクセス可能とし、第2のアドレス範囲に対するリードアクセス要求に応答して、当該アドレスの制御回路がそのとき記憶回路に出力させている情報を読み出す、半導体装置。

[13] 前記別の情報は、前記アクセス要求に伴ってインタフェース制御回路に供給されるアドレス情報、所定の外部イベント入力を条件に前記制御回路が決定するアドレス情報、又は先に前記記憶回路に出力したアドレス情報を演算して得られるアドレス情報である、請求項12記載の半導体装置。

[14] 記憶回路と制御回路を有する複数の機能再構成セルと、

前記複数の機能再構成セルの間を可変化能に接続する接続経路選択回路と、

アクセス要求に応答して前記機能再構成セル及び接続経路選択回路を制御するインタフェース制御回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィ

ールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能であり、

前記接続経路選択回路は一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続するスイッチ回路と、前記スイッチ回路のスイッチ制御情報を保持する接続用記憶回路とを有し、

前記複数個の機能再構成セルの記憶回路には第1のアドレス範囲のアドレスがマッピングされ、

前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、

前記接続用記憶回路には第3のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第1のアドレス範囲に対するアクセス要求に応答して、当該アドレスが割り当てられた機能再構成セルの前記記憶回路をランダムアクセス可能とし、第2のアドレス範囲に対するリードアクセス要求に応答して、当該アドレスの制御回路がそのとき記憶回路に出力させている情報を読み出し、第3のアドレス範囲に対するライトアクセス要求に応答して、当該アドレスが割り当てられた前記接続用記憶回路をランダムアクセス可能とする、半導体装置。

[15] 前記別の情報は、前記アクセス要求に伴ってインタフェース制御回路に供給されるアドレス情報、所定の外部イベント入力を条件に前記制御回路が決定するアドレス情報、又は先に前記記憶回路に出力したアドレス情報を演算して得られるアドレス情報である、請求項14記載の半導体装置。

[16] アクセス要求主体となり得るロジック回路と、前記ロジック回路からのアクセス要求に応答して動作する機能再構成メモリとを有する半導体装置であって、

前記機能再構成メモリは、記憶回路と制御回路を有する複数の機能再構成セルと、前記ロジック回路からのアクセス要求に応答して機能再構成セルを制御するインタフェース制御回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報によってアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能である、半導体装置。

[17] 前記複数個の機能再構成セルの記憶回路には第1のアドレス範囲のアドレスがマッピングされ、

前記ロジック回路は第1のアドレス範囲に対してアクセス要求を行なうことにより、そのアクセス要求に係るアドレスが割り当てられている機能再構成セルの前記記憶回路をランダムアクセスして、前記機能再構成セルの記憶回路に所定の論理機能を実現するための情報を書き込む、請求項16記載の半導体装置。

[18] 前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、

前記ロジック回路は第2のアドレス範囲に対してリードアクセス要求を行なうことにより、そのアクセス要求に係るアドレスの制御回路がそのとき記憶回路から出力している情報をリードする、請求項17記載の半導体装置。

[19] アクセス要求主体となり得るロジック回路と、前記ロジック回路からのアクセス要求に応答して動作する機能再構成メモリとを有する半導体装置であって、

前記機能再構成メモリは、記憶回路と制御回路を有する複数の機能再構成セルと、前記複数の機能再構成セルの間を可変化能に接続する接続経路選択回路と、アクセス要求に応答して前記機能再構成セル及び接続経路選択回路を制御するインタフェース制御回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能であり、

前記接続経路選択回路は一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続するスイッチ回路と、前記スイッチ回路のスイッチ制御情報を保持する接続用記憶回路とを有する、半導体装置。

[20] 前記接続用記憶回路には第3のアドレス範囲のアドレスがマッピングされ、

前記ロジック回路は第3のアドレス範囲に対するライトアクセス要求を行なうことにより、そのアクセス要求に係るアドレスが割り当てられた前記接続用記憶回路をランダムアクセスして、前記スイッチ制御情報を書き込む、請求項19記載の半導体装置。

[21] 前記複数個の機能再構成セルの記憶回路には第1のアドレス範囲のアドレスがマッピングされ、

前記ロジック回路は第1のアドレス範囲に対してアクセス要求を行なうことにより、そのアクセス要求に係るアドレスが割り当てられている機能再構成セルの前記記憶回路をランダムアクセスして、前記機能再構成セルの記憶回路に所定の論理機能を実現するための情報を書き込む、請求項20記載の半導体装置。

[22] 前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、

前記ロジック回路は第2のアドレス範囲に対してリードアクセス要求を行なうことにより、そのアクセス要求に係るアドレスの制御回路がそのとき記憶回路から出力している情報を前記論理機能によって得られた結果としてリードする、請求項21記載の半導体装置。

[23] 前記ロジック回路は中央処理装置である、請求項22記載の半導体装置。

[24] 中央処理装置と、前記中央処理装置が接続される第1内部バスと、前記第1内部バスにバスステートコントローラを介して接続される第2内部バスと、前記第1内部バス及び第2内部バスに接続される機能再構成メモリとを有する半導体装置であって、

前記機能再構成メモリは、記憶回路と制御回路を有する複数の機能再構成セルと、前記複数の機能再構成セルの間を可変化能に接続する接続経路選択回路と、アクセス要求に応答して前記機能再構成セル及び接続経路選択回路を制御するインタフェース制御回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は前記データフィールド及び制御フィールドから同期的に読み出された情報を帰還入力し、制御フィールドからの帰還入力情報に基づいて、データフィールドからの帰還入力情報又は別の情報をデータフィールド及び制御フィールドを次に同期的に読み出し制御するためのアドレス情報とすることが可能であり、

前記接続経路選択回路は一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続するスイッチ回路と、前記スイッチ回路のスイッチ制御情報を保持する接続用記憶回路とを有する、半導体装置。

[25] 前記複数個の機能再構成セルの記憶回路には第1のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、前記第1バスからの第1のアドレス範囲に対するアクセス要求に応答して、そのアクセス要求に係るアドレスが割り当てられている機能再構成セルの前記記憶回路をランダムアクセス可能にする、請求項24記載の半導体装置。

[26] 前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、前記第2バスからの第2のアドレス範囲に対するリードアクセス要求に応答して、そのアクセス要求に係るアドレスの制御回路がそのとき記憶回路から読み出している情報を出力する、請求項25記載の半導体装置。

[27] 前記接続用記憶回路には第3のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、前記第1バスからの第3のアドレス範囲に対するライトアクセス要求に応答して、そのアクセス要求に係るアドレスが割り当てられた前記接続用記憶回路をランダムアクセス可能にする、請求項26記載の半導体装置。

[28] 前記中央処理装置は前記第1バスを介して機能再構成メモリに前記第3のアドレス範囲に対するライトアクセスを要求して、前記接続用記憶回路に前記スイッチ制御情報を初期設定する、請求項27記載の半導体装置。

[29] 前記中央処理装置は前記第1バスを介して機能再構成メモリに前記第1のアドレス範囲に対するライトアクセスを要求して、前記機能再構成セルの記憶回路に所定の論理機能を実現するためのコンフィグレーション情報を初期設定する、請求項28記載の半導体装置。

[30] 前記中央処理装置は第2バスを介して前記機能再構成メモリに第2のアドレス範囲に対するリードアクセスを要求して、そのアクセス要求に係るアドレスの前記機能再構成セルが実現する前記論理機能により得られた結果をリードする、請求項29記載の半導体装置。

[31] 前記第2バスには割込みコントローラが更に接続され、前記機能再構成メモリは割り込み信号を前記割り込みコントローラに出力する、請求項30記載の半導体装置。

[32] 前記第1バスにはRAM及びROMが更に接続され、

前記第2バスにはその他の周辺回路が更に接続される、請求項31記載の半導体装置。

[33] 記憶回路、クロック制御回路、及びそれらを制御する制御回路をそれぞれ有し、自らのクロック制御回路から出力されるクロック信号に同期して動作する複数の機能再構成セルと、

アクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は先に前記記憶回路から読出した制御フィールドの情報又は外部から入力される情報に基づいて前記記憶回路の次の読出しアドレスを制御して所要の論理動作のシーケンス制御を行い、

前記クロック制御回路は、自らの機能再構成セルの外部から入力される第1情報に基づいて自らの機能再構成セルのクロック信号の生成を開始し、自らの前記記憶回路から読出される第2情報に基づいて前記クロック信号の生成を停止する、半導体装置。

[34] 前記制御回路は、次の読出しアドレスとして、前記インタフェース制御回路から供給

されるアドレス情報、先に前記記憶回路のデータフィールドから読み出された情報、先に前記記憶回路に出力したアドレス情報、又は先に前記記憶回路に出力したアドレス情報を演算することによって得られるアドレス情報を出力する、請求項33記載の半導体装置。

[35] 前記複数個の機能再構成セルには第1のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第1のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルにその記憶回路をランダムアクセスさせる、請求項33記載の半導体装置。

[36] 前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第2のアドレス範囲に対する第1のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロック制御回路でクロック信号を発生させて、記憶回路の読出し開始アドレスを設定する、請求項35記載の半導体装置。

[37] 前記インタフェース制御回路は、第2のアドレス範囲に対する第2のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロック制御回路でクロック信号を発生させて、前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始させる、請求項36記載の半導体装置。

[38] 前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始した機能再構成セルの制御回路は、その記憶回路から読み出された特定の情報に基づく特定の信号を他の機能再構成セルに出力し、当該他の機能再構成セルは、前記特定の信号に応答して、自らのクロック制御回路でクロック信号を発生して、前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始する、請求項37記載の半導体装置。

[39] 前記インタフェース制御回路は、第2のアドレス範囲に対する第3のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロック制御回路でクロック信号を発生させ、記憶回路のデータフィールドの記憶情報を前記論理動作の結果として出力させる、請求項38記載の半導

体装置。

[40] 前記複数の機能再構成セルの間を可変可能に接続する接続経路選択回路を更に有し、

前記接続経路選択回路は、一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続する第1スイッチ回路と、前記第1スイッチ回路のスイッチ制御情報を保持するための第1接続用記憶回路とを有し、

前記第1接続用記憶回路には第3のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第3のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第1接続用記憶回路をランダムアクセスする、請求項33記載の半導体装置。

[41] 前記接続経路選択回路は、前記複数の機能再構成セルの間において一の機能再構成セルが出力する情報を前記第1情報として他の機能再構成セルに選択的に伝達する第2スイッチ回路と、前記第2スイッチ回路のスイッチ制御情報を保持するための第2接続用記憶回路とを更に有し、

前記第2接続用記憶回路には第4のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第4のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第2接続用記憶回路をランダムアクセスする、請求項33記載の半導体装置。

[42] 前記接続経路選択回路は、前記複数の機能再構成セルの間において一の機能再構成セルのクロック信号を他の機能再構成セルに選択的に伝達する第3スイッチ回路と、前記第3スイッチ回路のスイッチ制御情報を保持するための第3接続用記憶回路とを更に有し、

前記第3接続用記憶回路には第5のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第5のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第3接続用記憶回路をランダムアクセスする、請求項33記載の半導体装置。

[43] 前記クロック制御回路は、クロック信号の生成及び停止が可能にされるクロック発生

回路と、クロック切換えスイッチ回路とを有し、

前記半導体装置は前記クロック切換えスイッチ回路のスイッチ制御情報を保持するための第4接続用記憶回路を有し、

前記クロック切換えスイッチ回路は、前記クロック発生回路で発生したクロック信号又は外部から供給されるクロック信号を選択し、

前記第4接続用記憶回路には第6のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第6のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第4接続用記憶回路をランダムアクセスする、請求項42記載の半導体装置。

[44] 前記クロック制御回路は、クロック信号の生成及び停止が可能にされるクロック発生回路と、クロック分周器と、クロック切換えスイッチ回路とを有し、

前記半導体装置は前記クロック切換えスイッチ回路のスイッチ制御情報を保持するための第5接続用記憶回路を有し、

前記クロック分周器は、外部から供給されるクロック信号を分周し、

前記クロック切換えスイッチ回路は、前記クロック発生回路で発生したクロック信号、外部から供給されるクロック信号、又は前記クロック分周器から出力されるクロック信号を選択し、

前記第5接続用記憶回路には第7のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第7のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第5接続用記憶回路をランダムアクセスする、請求項42記載の半導体装置。

[45] 前記アクセス要求の主体と成り得るロジック回路を更に有し、前記ロジック回路はバスを介して前記インタフェース制御回路に接続される、請求項33記載の半導体装置。

[46] 記憶回路、クロックゲート回路、及びそれらを制御する制御回路をそれぞれ有し、自らのクロックゲート回路から出力されるクロック信号に同期して動作する複数の機能再構成セルと、

アクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路と

、

前記機能再構成セルの前記クロックゲート回路に前記クロック信号を供給するクロック発生回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

前記制御回路は先に前記記憶回路から読出した制御フィールドの情報又は外部から入力される情報に基づいて前記記憶回路の次の読出しアドレスを制御して所要の論理動作のシーケンス制御を行い、

前記クロックゲート回路は、自らの機能再構成セルの外部からクロックイネーブル端子に与えられる信号の活性化に同期してクロック信号の出力を開始し、自らの前記記憶回路から読出される情報に基づいてクロック信号の出力を停止する、半導体装置。

[47] 前記制御回路は、次の読出しアドレスとして、前記インタフェース制御回路から供給されるアドレス情報、先に前記記憶回路のデータフィールドから読み出された情報、先に前記記憶回路に出力したアドレス情報、又は先に前記記憶回路に出力したアドレス情報を演算することによって得られるアドレス情報を出力する、請求項46記載の半導体装置。

[48] 前記複数個の機能再構成セルには第1のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第1のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルにその記憶回路をランダムアクセスさせる、請求項46記載の半導体装置。

[49] 前記複数個の機能再構成セルには第2のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第2のアドレス範囲に対する第1のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロックゲート回路からクロック信号を出力させて、記憶回路の読出し開始アドレスを設定する、請求項48記載の半導体装置。

[50] 前記インタフェース制御回路は、第2のアドレス範囲に対する第2のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロックゲート回路からクロック信号を出力させて、前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始させる、請求項49記載の半導体装置。

[51] 前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始した機能再構成セルの制御回路は、その記憶回路から読み出された特定の情報に基づく特定の信号を他の機能再構成セルに出力し、当該他の機能再構成セルは、前記特定の信号に応答して、自らのクロックゲート回路からクロック信号を出力して、前記読出し開始アドレスから記憶回路の記憶情報の読出しを開始する、請求項50記載の半導体装置。

[52] 前記インタフェース制御回路は、第2のアドレス範囲に対する第3のアクセス要求に応答して、当該アクセス要求に係るアドレスに対応する機能再構成セルに、当該機能再構成セルのクロックゲート回路からクロック信号を出力させ、記憶回路のデータフィールドの記憶情報を前記論理動作の結果として出力させる、請求項51記載の半導体装置。

[53] 前記複数の機能再構成セルの間を可変可能に接続する接続経路選択回路を更に有し、

前記接続経路選択回路は、一の機能再構成セルにおけるデータフィールドからの出力と制御フィールドからの出力とを他の機能再構成セルの制御回路に選択的に接続する第1スイッチ回路と、前記第1スイッチ回路のスイッチ制御情報を保持するための第1接続用記憶回路とを有し、

前記第1接続用記憶回路には第3のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第3のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第1接続用記憶回路をランダムアクセスする、請求項46記載の半導体装置。

[54] 前記接続経路選択回路は、前記複数の機能再構成セルの間において一の機能再構成セルのクロックイネーブル端子に他の機能再構成セルから伝達される情報を選

択する第2スイッチ回路と、前記第2スイッチ回路のスイッチ制御情報を保持するための第2接続用記憶回路とを更に有し、

前記第2接続用記憶回路には第4のアドレス範囲のアドレスがマッピングされ、

前記インタフェース制御回路は、第4のアドレス範囲に対するアクセス要求に応答して、当該アクセス要求に係るアドレスの前記第2接続用記憶回路をランダムアクセスする、請求項46記載の半導体装置。

[55] 前記クロックゲート回路は、自らの記憶回路から読み出される情報に基づいて制御値が設定されるレジスタと、レジスタの設定値と前記クロックイネーブル端子の値とに基づいて前記クロック信号の出力と出力停止を制御する論理回路とを有し、

前記論理回路は、前記レジスタの設定値が第1値のときにクロックイネーブル端子が活性化されるタイミングに同期してクロック信号の出力を開始し、前記レジスタの設定値が第2値のときにクロック信号の出力を抑止する、請求項46記載の半導体装置。

[56] 前記アクセス要求の主体と成り得るロジック回路を更に有し、前記ロジック回路はバスを介して前記インタフェース制御回路に接続される、請求項46記載の半導体装置。

[57] 記憶回路、電源ゲート回路、及びそれらを制御する制御回路を有する複数の機能再構成セルと、

アクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路と、

前記機能再構成セルの前記電源ゲート回路に接続される電源回路と、を有し、

前記記憶回路は前記制御回路から出力されるアドレス情報に基づいてアクセスされるデータフィールドと制御フィールドを有し、

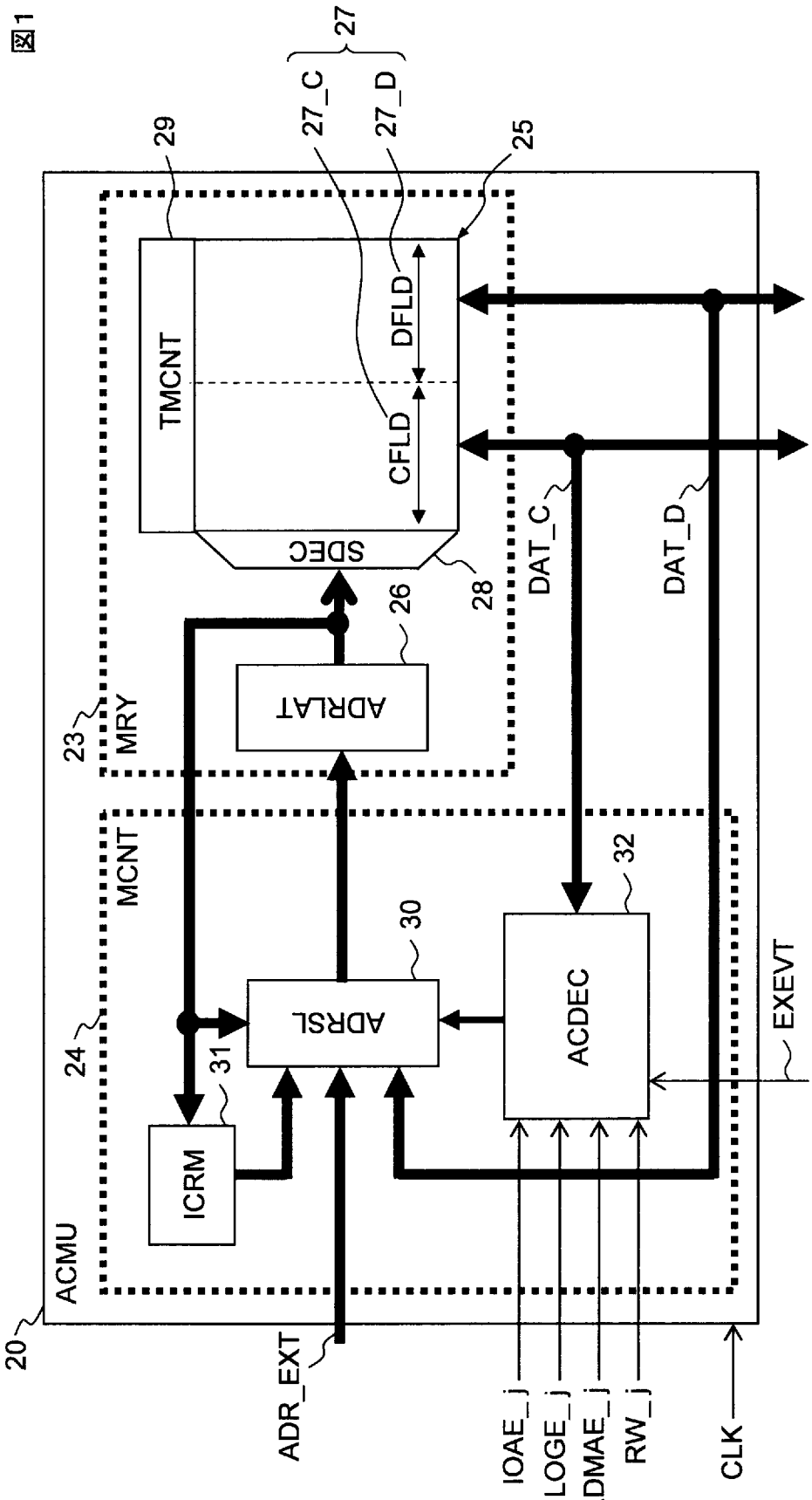
前記制御回路は先に前記記憶回路から読出した制御フィールドの情報又は外部から入力される情報に基づいて前記記憶回路の次の読出しアドレスを制御して所要の論理動作のシーケンス制御を行い、

前記電源ゲート回路は、自らの機能再構成セルの外部から与えられる信号の活性化に同期して自らの機能再構成セルの後段への電源供給を開始し、自らの前記記

憶回路から読出される情報に基づいて前記電源供給を停止する、半導体装置。

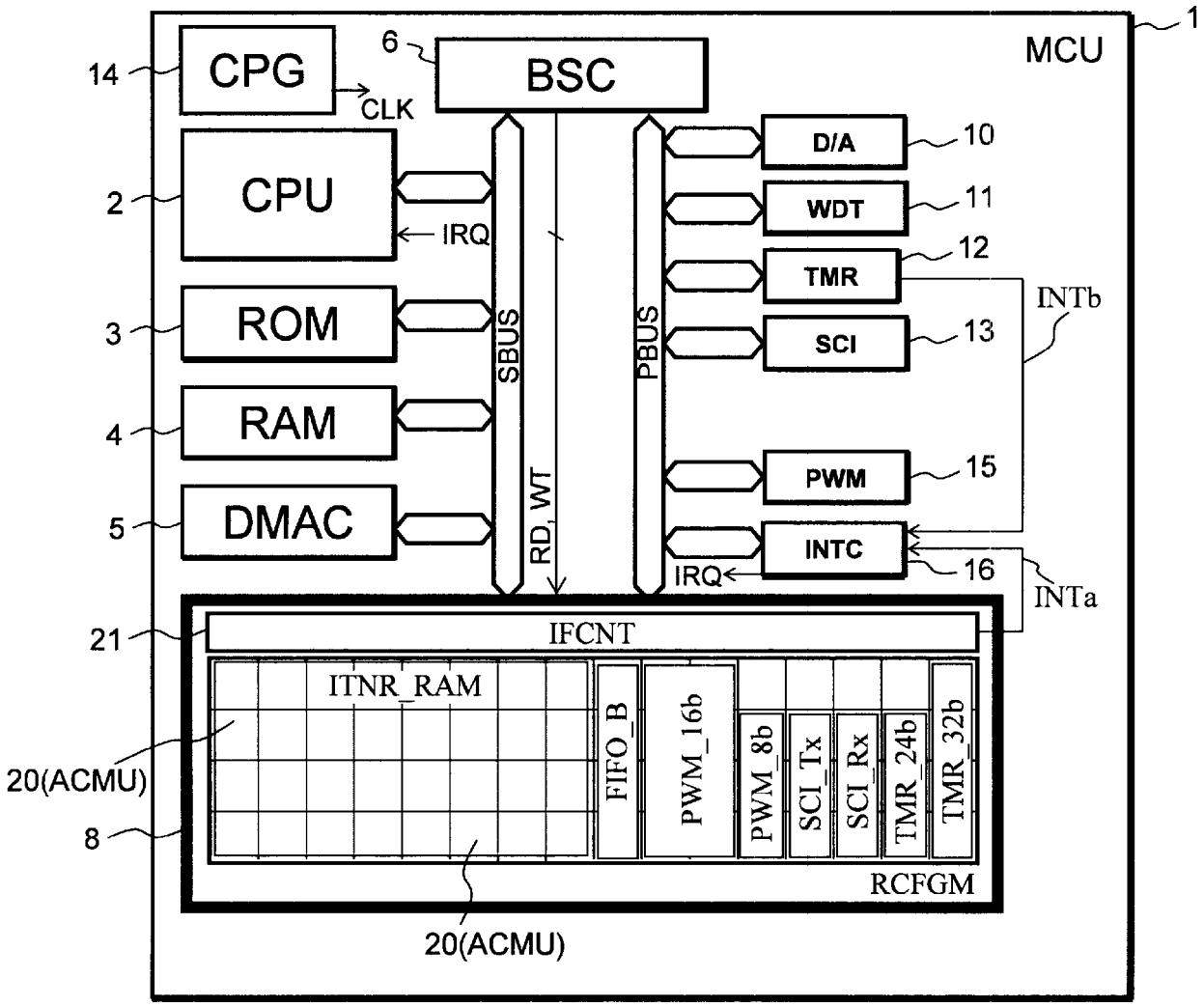
[図1]

図1


27
27_C
27_D
29
25
TMCNT
DFLD
CFLD
SDEC
28
DAT_C
DAT_D
26
ADRLAT
23
MRY
MCNT
32
30
ADRSL
ACDEC
EXEVT
24
31
ICRM
ACMU
20
ADR_EXT
IOAE_j
LOGE_j
RDMAE_j
RW_j
CLK

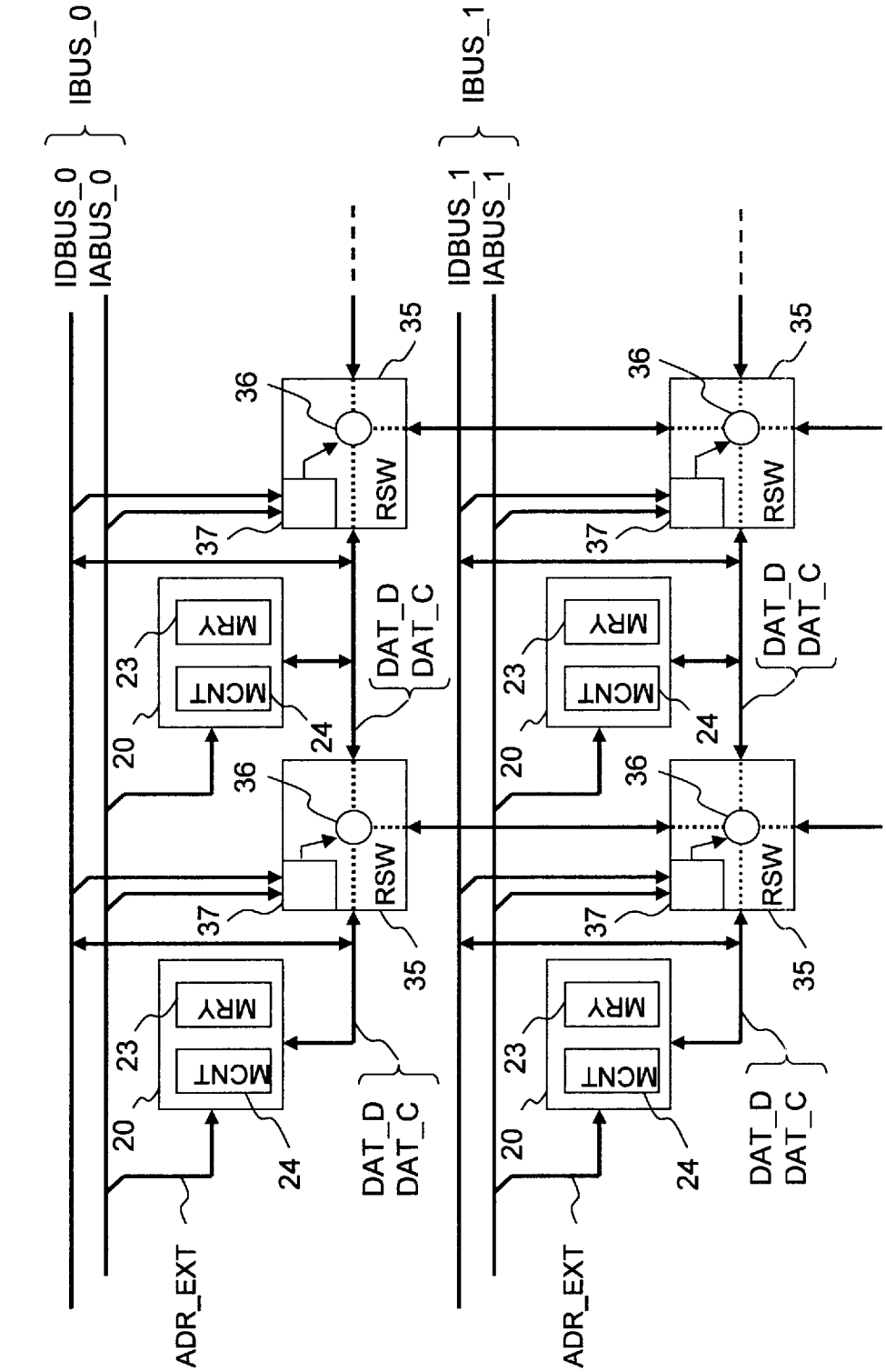
[図2]

図2


1
MCU
14
CPG
CLK
6
BSC
2
CPU
IRQ
3
ROM
4
RAM
5
DMAC
SBUS
RD, WT
PBUS
D/A
10
WDT
11
TMR
12
SCI
13
INTb
PWM
15
INTC
16
IRQ
INTa
21
IFCNT
ITNR_RAM
20(ACMU)
8
FIFO_B
PWM_16b
PWM_8b
SCI_Tx
SCI_Rx
TMR_24b
TMR_32b
RCFGM
20(ACMU)

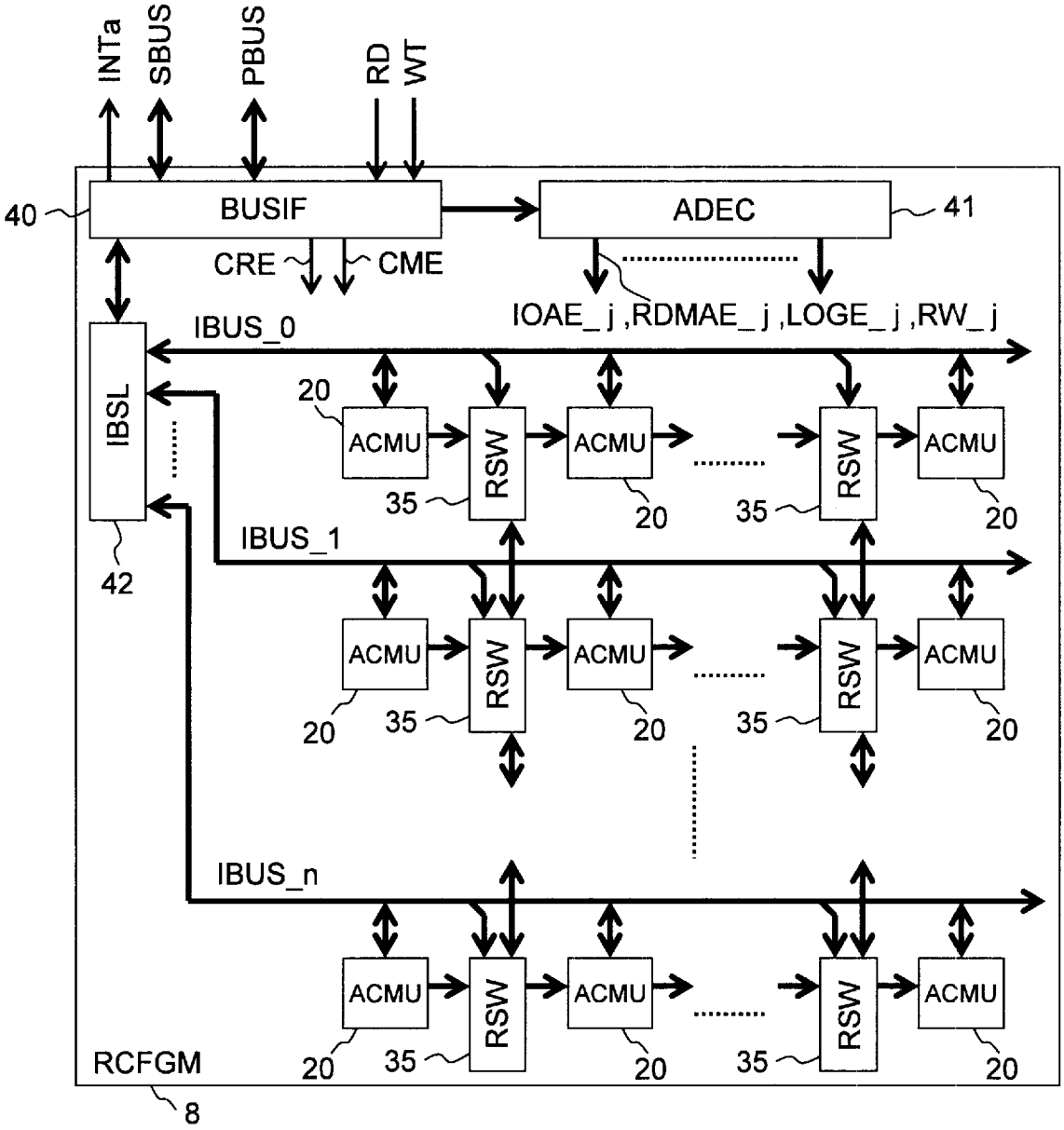
[図3]

図3


IBUS_0
IDBUS_0
IABUS_0
IBUS_1
IDBUS_1
IABUS_1
ADR_EXT
MRY
MCNT
RSW
DAT_D
DAT_C
20
23
24
35
36
37

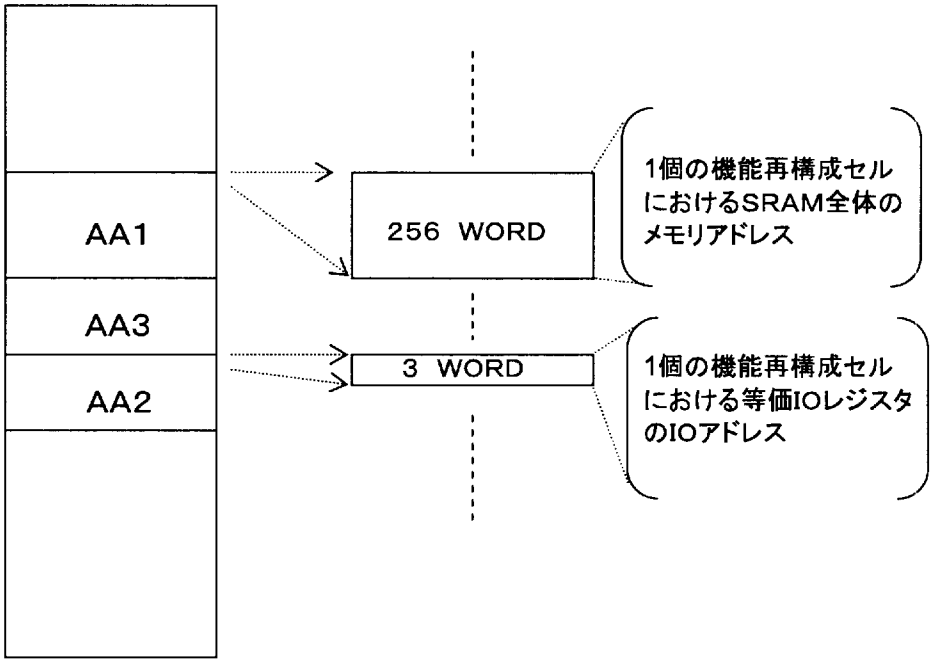
[図4]

図4


INTa
SBUS
PBUS
RD
WT
40
BUSIF
ADEC
41
CRE
CME
IOAE_j ,RDMAE_j ,LOGE_j ,RW_j
IBUS_0
IBSL
20
ACMU
RSW
35
IBUS_1
42
IBUS_n
RCFGM
8

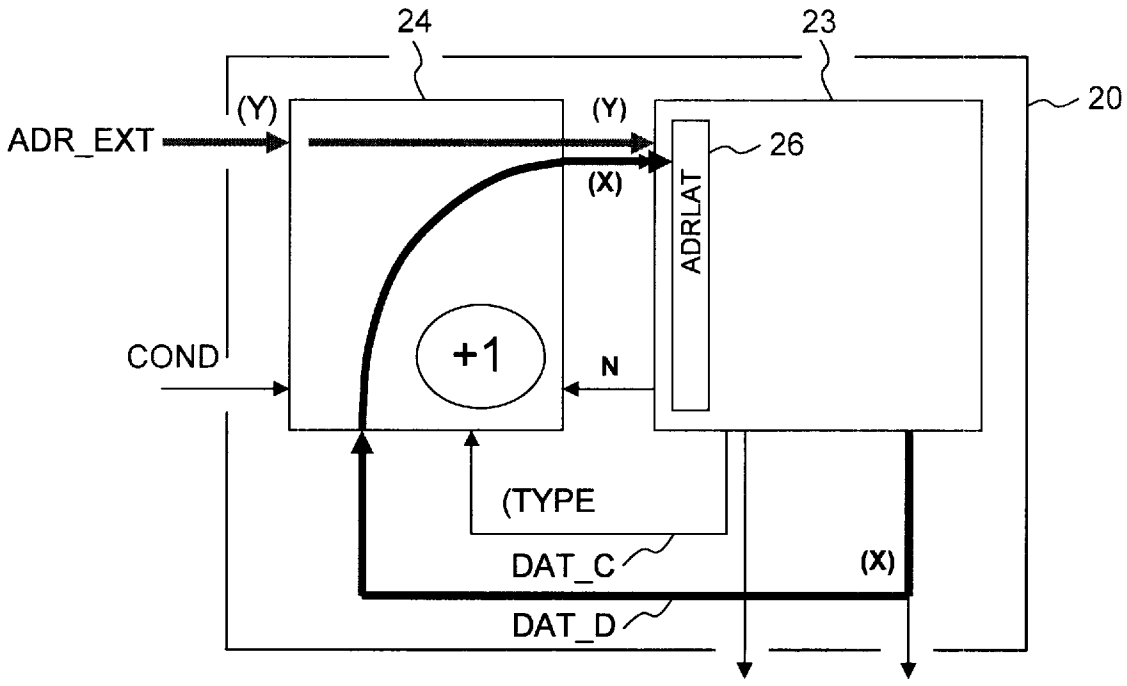
[図5]

図5


AA1
AA3
AA2
256 WORD
3 WORD
1個の機能再構成セルにおけるSRAM全体のメモリアドレス
1個の機能再構成セルにおける等価IOレジスタのIOアドレス

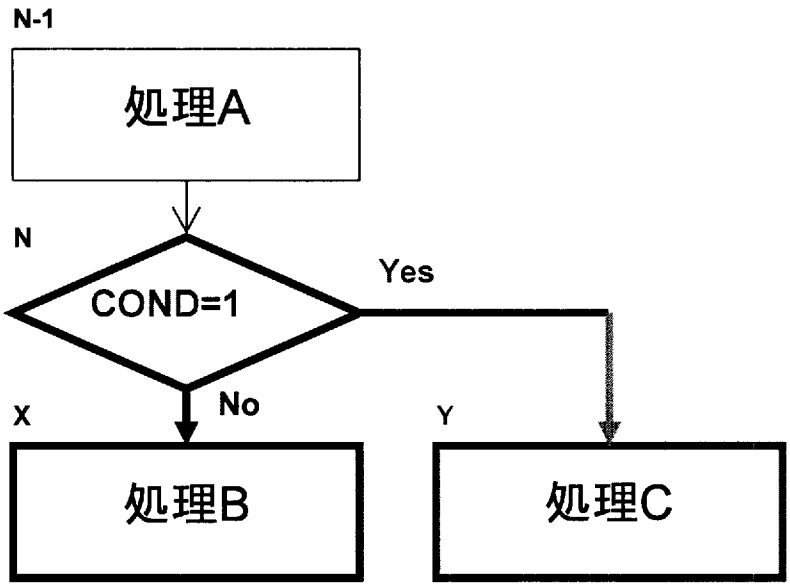
[図6]

図6


24
23
20
(Y)
(Y)
ADR_EXT
26
(X)
ADRLAT
COND
+1
N
(TYPE
DAT_C
(X)
DAT_D

[図7]

図7



[図8]

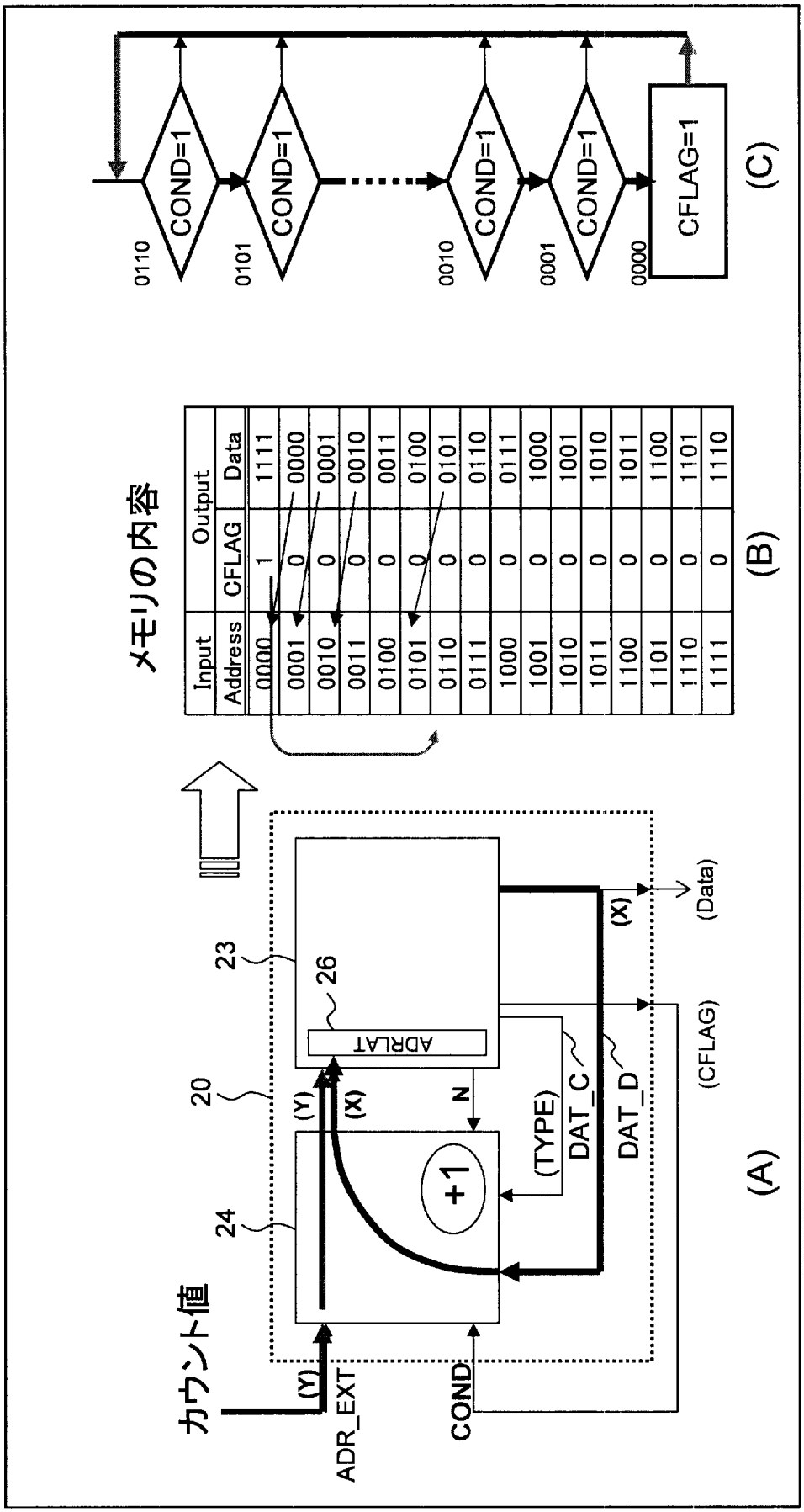
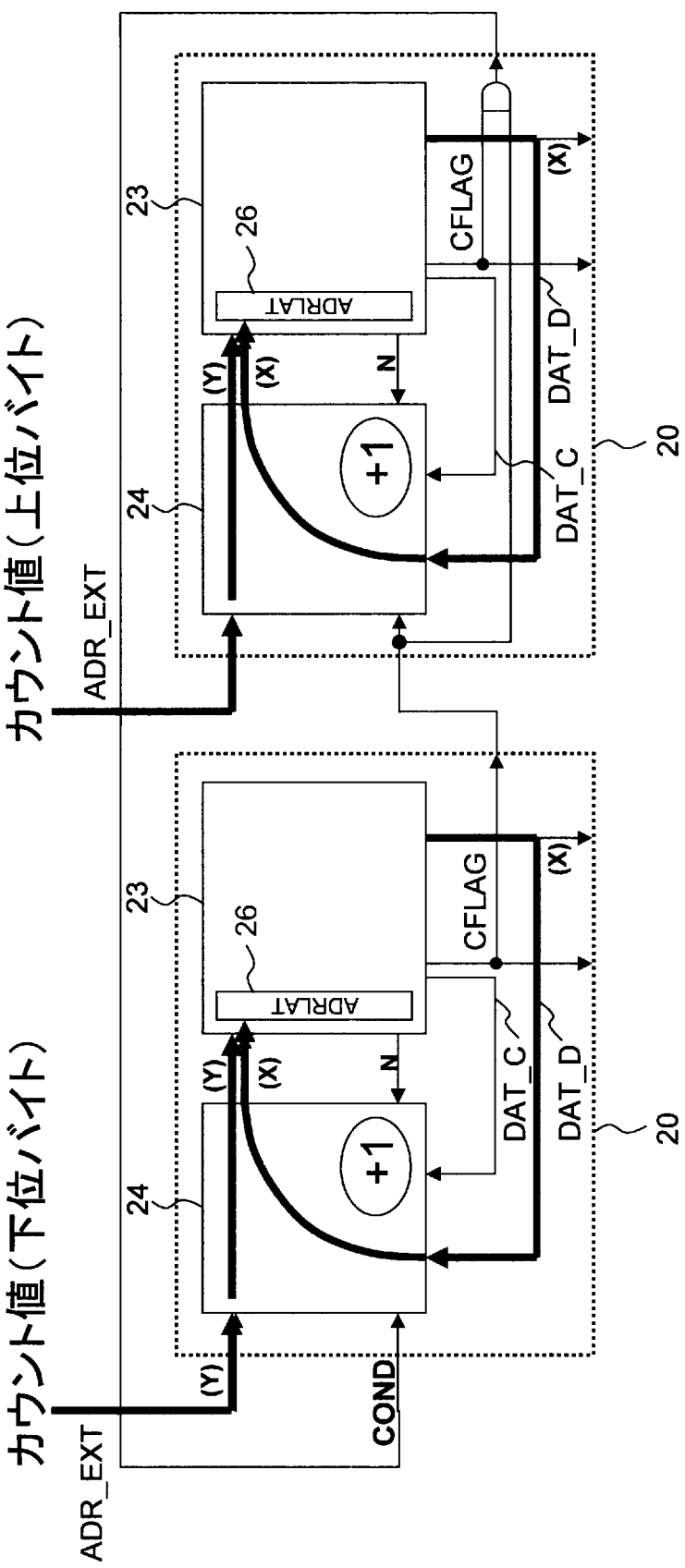


図8
(C)
0110
COND=1
0101
COND=1
0010
COND=1
0001
COND=1
0000
CFLAG=1
(B)
メモリの内容
Input
Address
Output
CFLAG
Data
0000 1 1111
0001 0 0000
0010 0 0001
0011 0 0010
0100 0 0011
0101 0 0100
0110 0 0101
0111 0 0110
1000 0 0111
1001 0 1000
1010 0 1001
1011 0 1010
1100 0 1011
1101 0 1100
1110 0 1101
1111 0 1110
(A)
カウント値
(Y)
ADR_EXT
COND
24
20
+1
(Y)
(X)
N
(TYPE)
DAT_C
DAT_D
23
26
ADRLAT
(X)
(Data)
(CFLAG)

[図9]

図9


カウント値(上位バイト)
カウント値(下位バイト)
ADR_EXT
ADR_EXT
COND
(Y)
(Y)
(X)
(X)
N
N
+1
+1
ADRLAT
ADRLAT
CFLAG
CFLAG
DAT_C
DAT_C
DAT_D
DAT_D
23
23
24
24
26
26
20
20

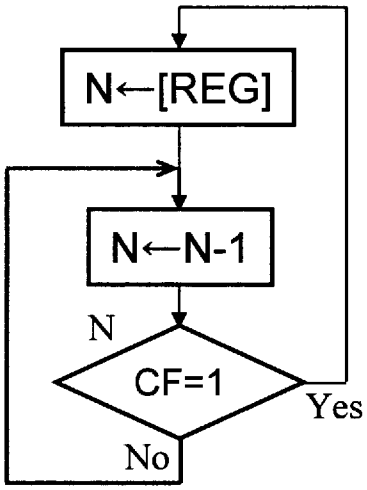
[図10]

図10

Address	Data	CFLAG	Next Address
111	110	CF=0	[Reg=110]
110	101	CF=0	[Reg=101]
101	100	CF=0	[Reg=100]
100	011	CF=0	[Reg=011]
011	010	CF=0	[Reg=010]
010	001	CF=0	[Reg=001]
001	000	CF=0	[Reg=000]
000	111	CF=1	[Reg]

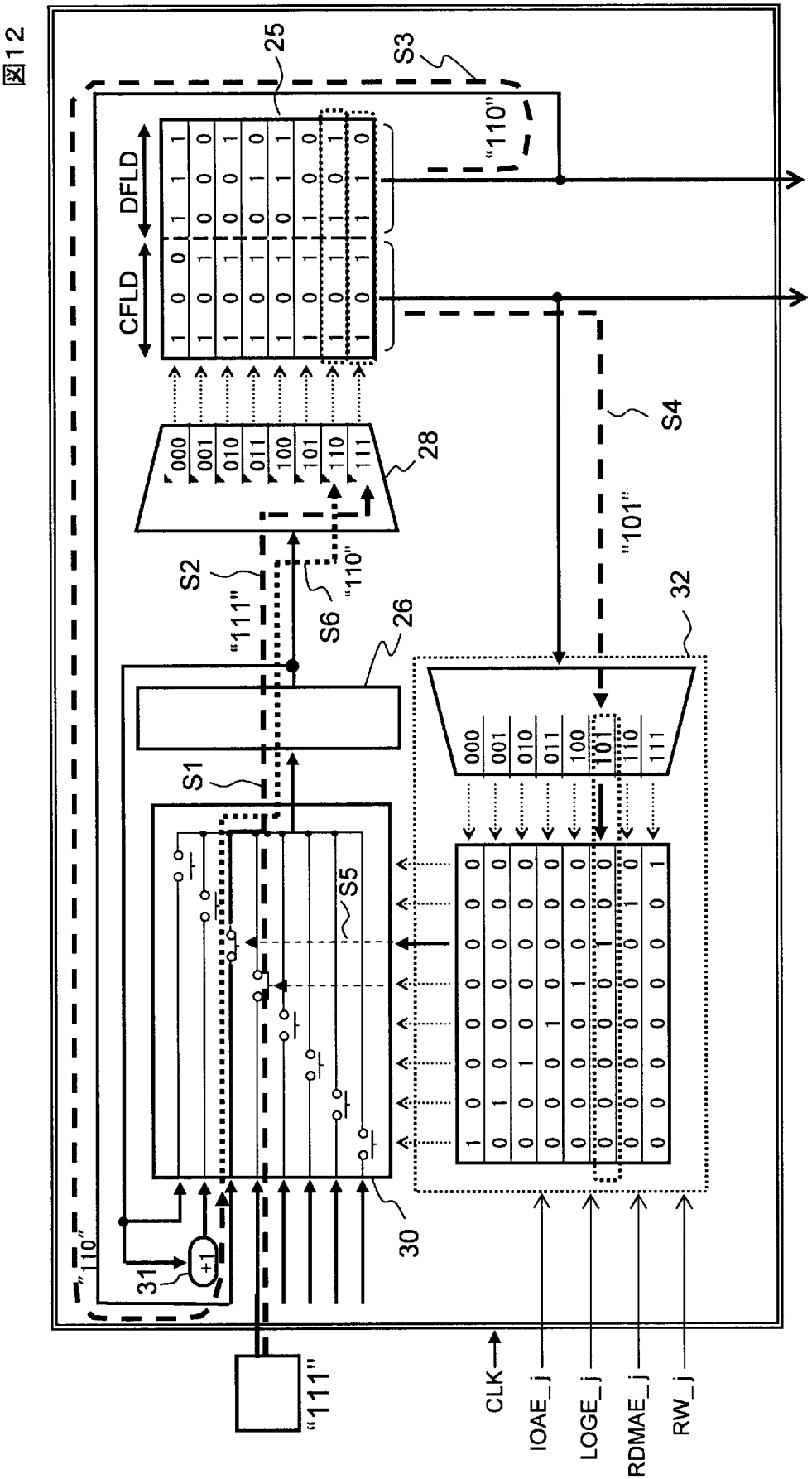
[図11]

図11



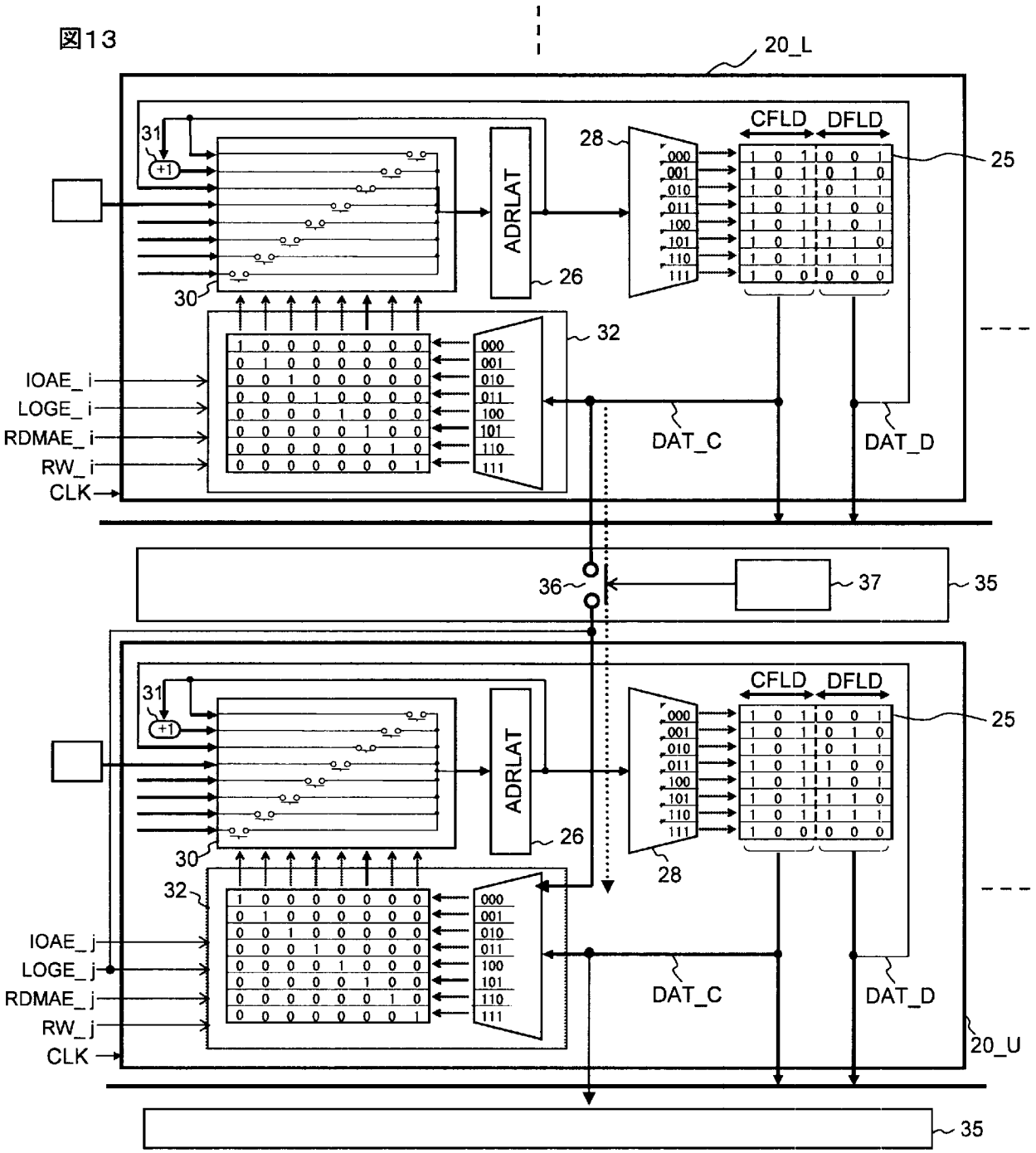
[図12]

図12


25
S3
DFLD
CFLD
"110"
28
S4
"101"
S2
"111"
S6
"110"
26
32
S1
S5
30
31
+1
"110"
"111"
CLK
IOAE_j
LOGE_j
RDMAE_j
RW_j

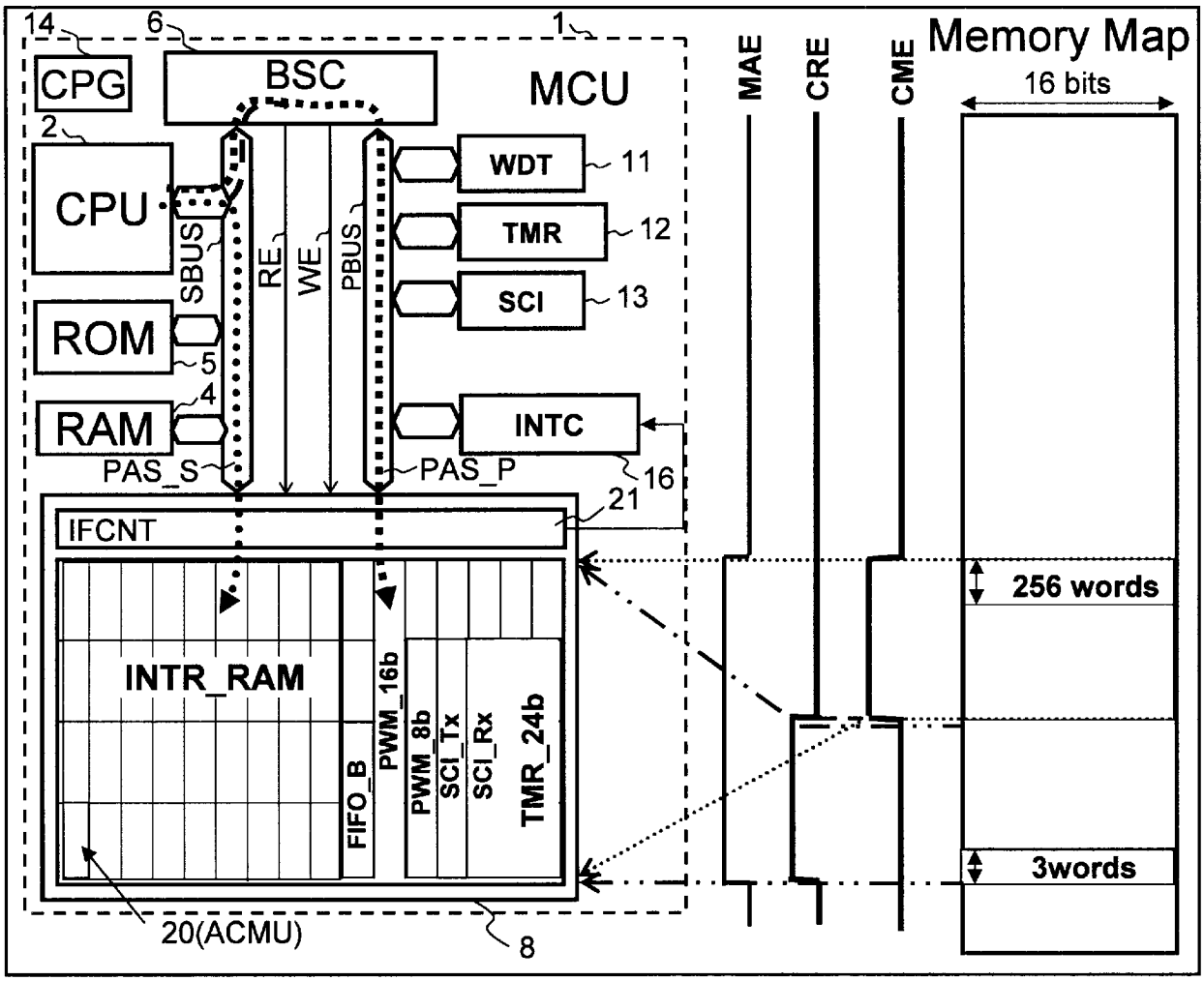
[図13]

図13


20_L
31
+1
ADRLAT
26
28
CFLD
DFLD
25
30
32
IOAE_i
LOGE_i
RDMAE_i
RW_i
CLK
DAT_C
DAT_D
36
37
35
IOAE_j
LOGE_j
RDMAE_j
RW_j
CLK
20_U

[図14]

図14


14
6
1
CPG
BSC
MCU
2
CPU
SBUS
RE
WE
PBUS
WDT
11
TMR
12
SCI
13
ROM
5
4
RAM
INTC
16
PAS_S
PAS_P
21
IFCNT
INTR_RAM
FIFO_B
PWM_16b
PWM_8b
SCI_Tx
SCI_Rx
TMR_24b
20(ACMU)
8
MAE
CRE
CME
Memory Map
16 bits
256 words
3words

[図15]

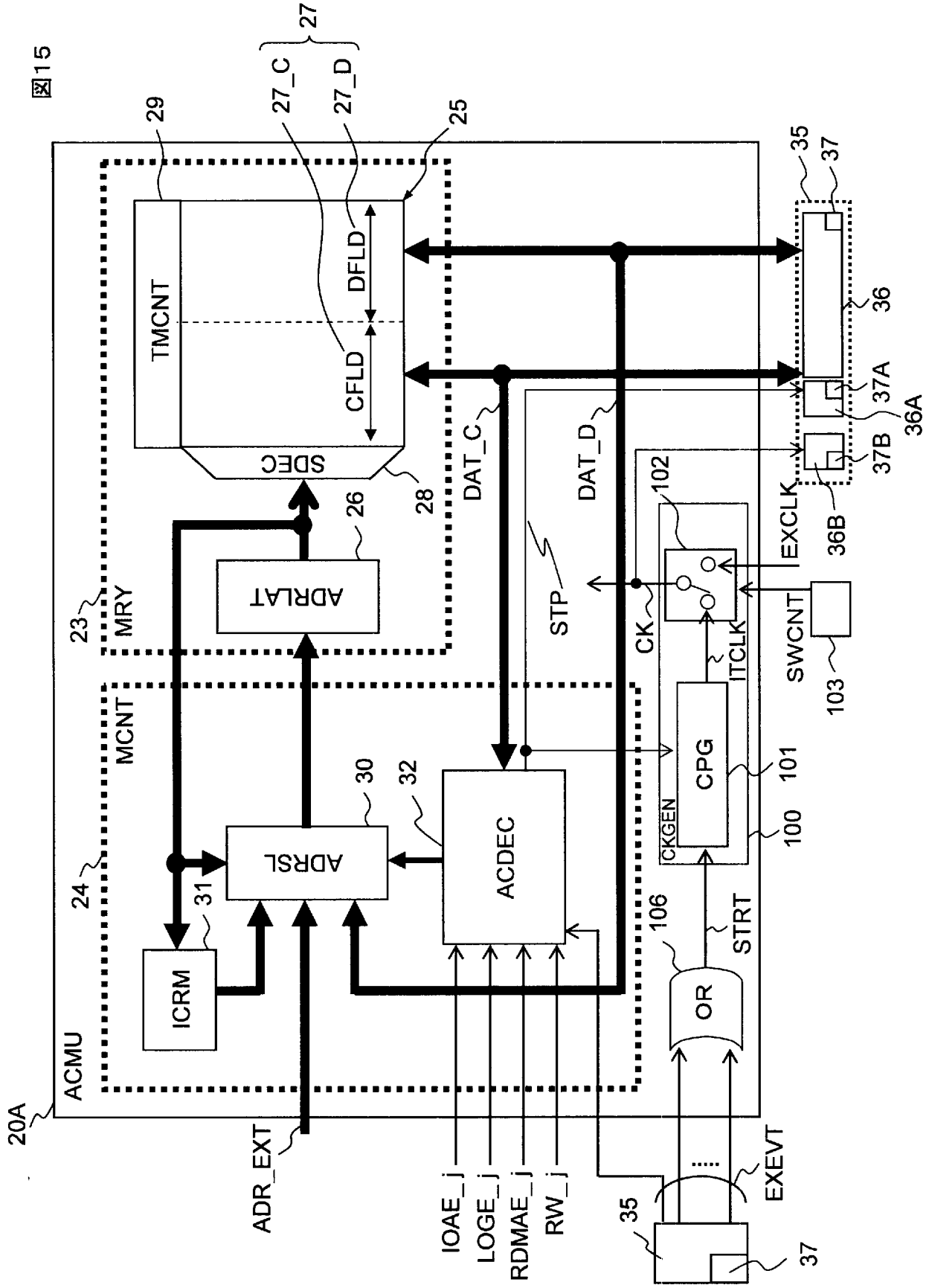
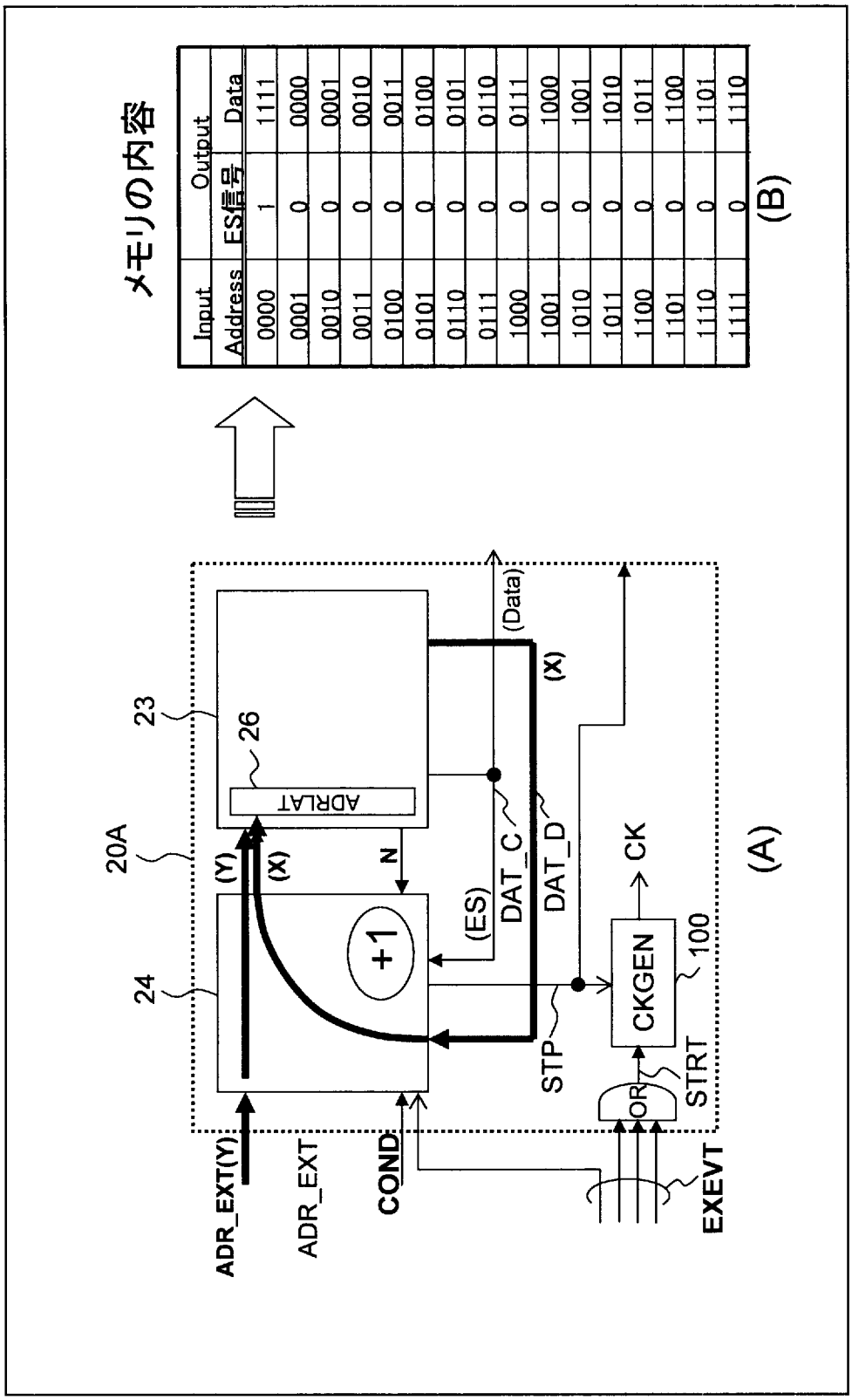


図15
ACMU
20A
MRY
23
MCNT
24
TMCNT
29
SDEC
28
DFLD
CFLD
27
27_C
27_D
25
ADRLAT
26
ADRSL
30
ACDEC
32
ICRM
31
ADR_EXT
IOAE_j
LOGE_j
RDMAE_j
RW_j
DAT_C
DAT_D
STP
CK
102
ITCLK
CKGEN
CPG
101
100
SWCNT
103
EXCLK
36B
35
37
36
37A
36A
37B
OR
106
STRT
EXEVT

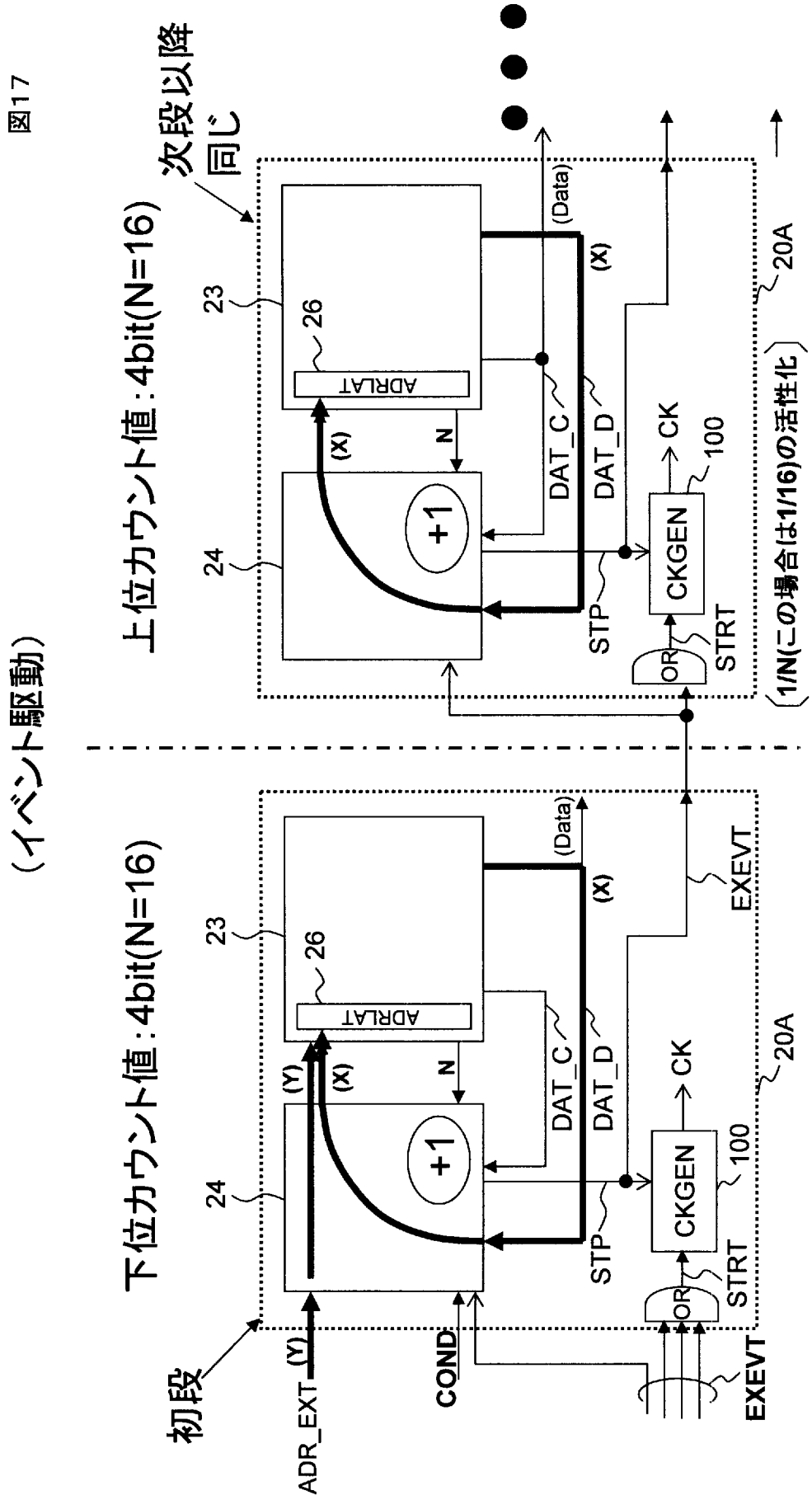
[図16]

図16


メモリの内容
Input
Address
Output
ES信号
Data
0000 1 1111
0001 0 0000
0010 0 0001
0011 0 0010
0100 0 0011
0101 0 0100
0110 0 0101
0111 0 0110
1000 0 0111
1001 0 1000
1010 0 1001
1011 0 1010
1100 0 1011
1101 0 1100
1110 0 1101
1111 0 1110
(B)
(A)
20A
23
24
26
ADRLAT
(Y)
(X)
N
+1
(ES)
DAT_C
DAT_D
(Data)
(X)
CK
CKGEN
100
STP
STRT
OR
ADR_EXT(Y)
ADR_EXT
COND
EXEVT

[図17]

図17


（イベント駆動）
下位カウント値：4bit(N=16)
上位カウント値：4bit(N=16)
次段以降
同じ
初段
ADR_EXT
(Y)
COND
EXEVT
23
24
26
ADRLAT
(Y)
(X)
N
+1
(Data)
DAT_C
DAT_D
STP
STRT
CKGEN
CK
100
OR
20A
1/N(この場合は1/16)の活性化

[図18]

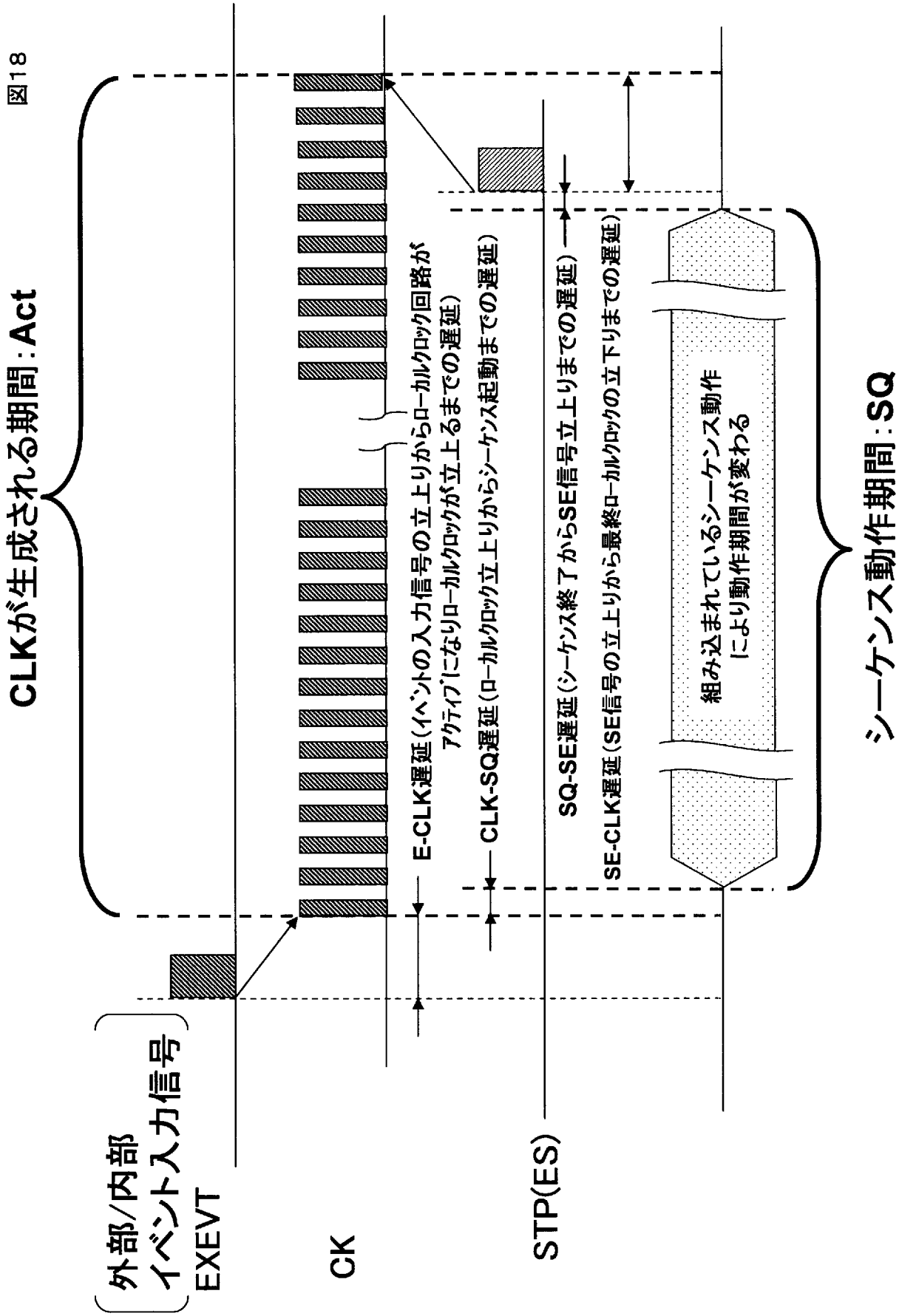


図18
CLKが生成される期間：Act
外部/内部
イベント入力信号
EXEVT
CK
STP(ES)
E-CLK遅延（イベントの入力信号の立上りからローカルクロック回路が
アクティブになりローカルクロックが立上るまでの遅延）
CLK-SQ遅延（ローカルクロック立上りからシーケンス起動までの遅延）
SQ-SE遅延（シーケンス終了からSE信号立上りまでの遅延）
SE-CLK遅延（SE信号の立上りから最終ローカルクロックの立下りまでの遅延）
組み込まれているシーケンス動作
により動作期間が変わる
シーケンス動作期間：SQ

[図19]

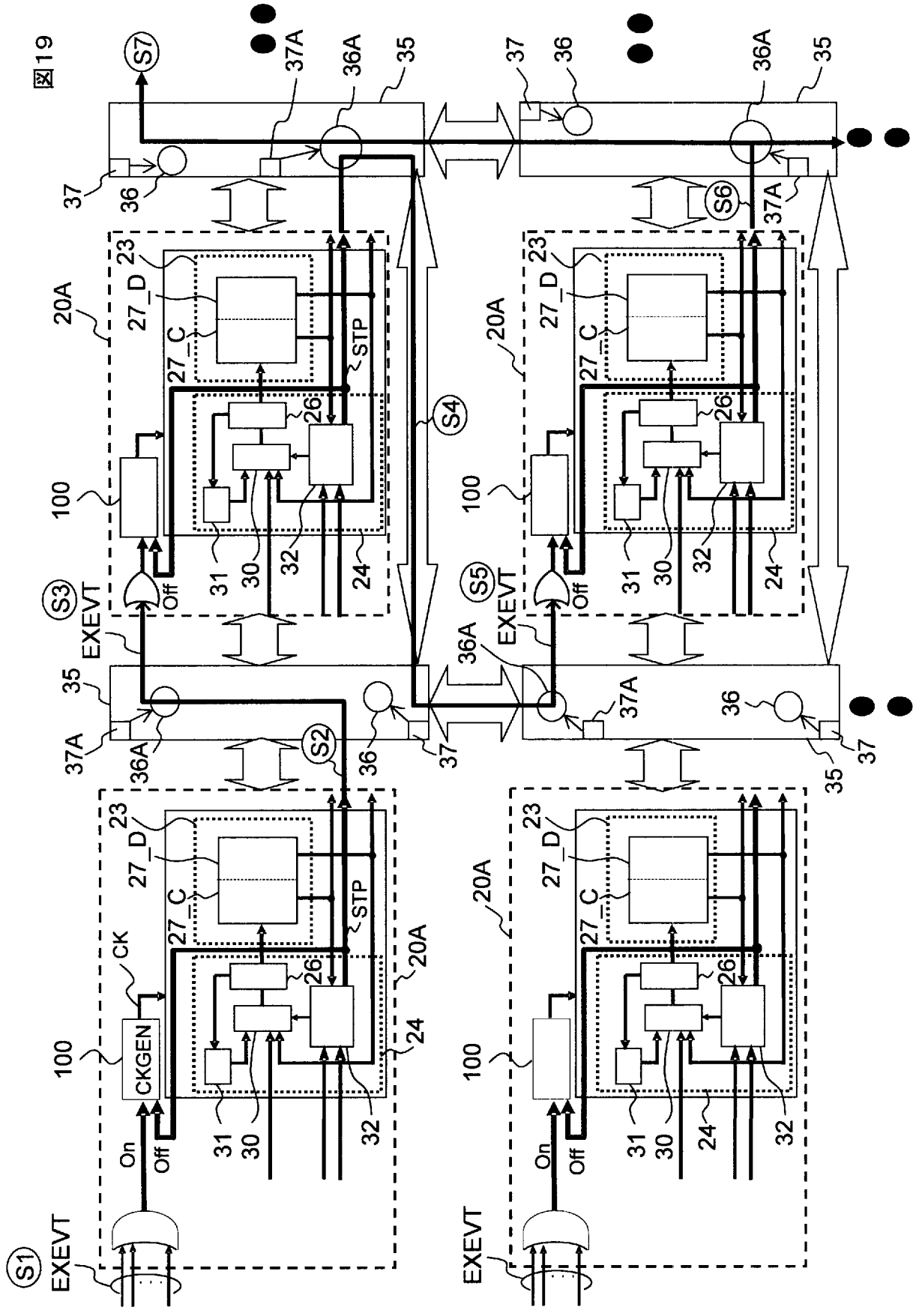
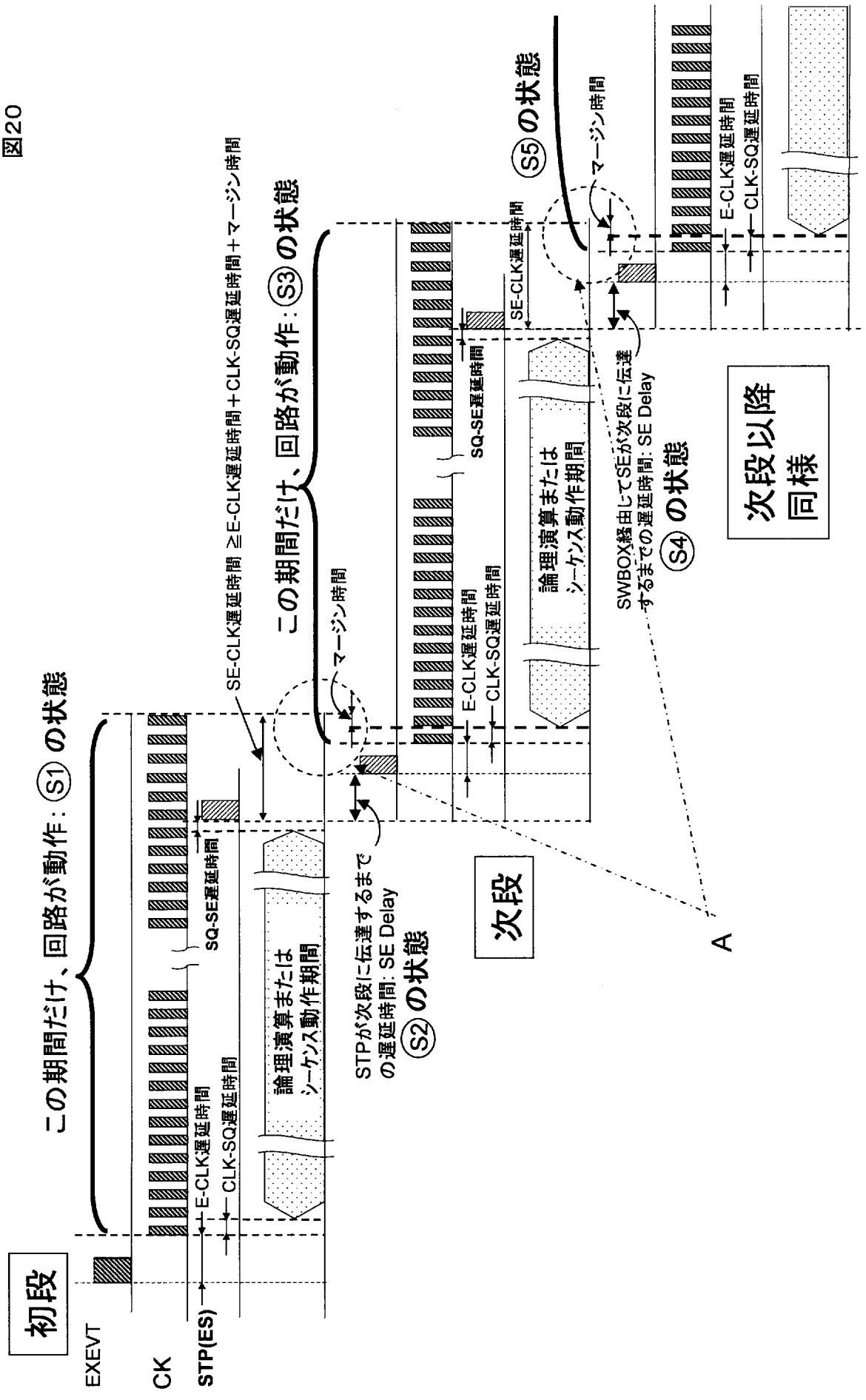


図19
S1
S2
S3
S4
S5
S6
S7
EXEVT
CKGEN
CK
On
Off
STP
20A
23
27_D
27_C
26
24
30
31
32
35
36
36A
37
37A
100

[図20]

図20


初段
EXEVT
CK
STP(ES)
この期間だけ、回路が動作：①の状態
E-CLK遅延時間
CLK-SQ遅延時間
SQ-SE遅延時間
SE-CLK遅延時間 ≧E-CLK遅延時間＋CLK-SQ遅延時間＋マージン時間
論理演算または
シーケンス動作期間
STPが次段に伝達するまで
の遅延時間：SE Delay
②の状態
この期間だけ、回路が動作：③の状態
マージン時間
次段
A
SWBOX経由してSEが次段に伝達
するまでの遅延時間：SE Delay
④の状態
⑤の状態
次段以降
同様

[図21]

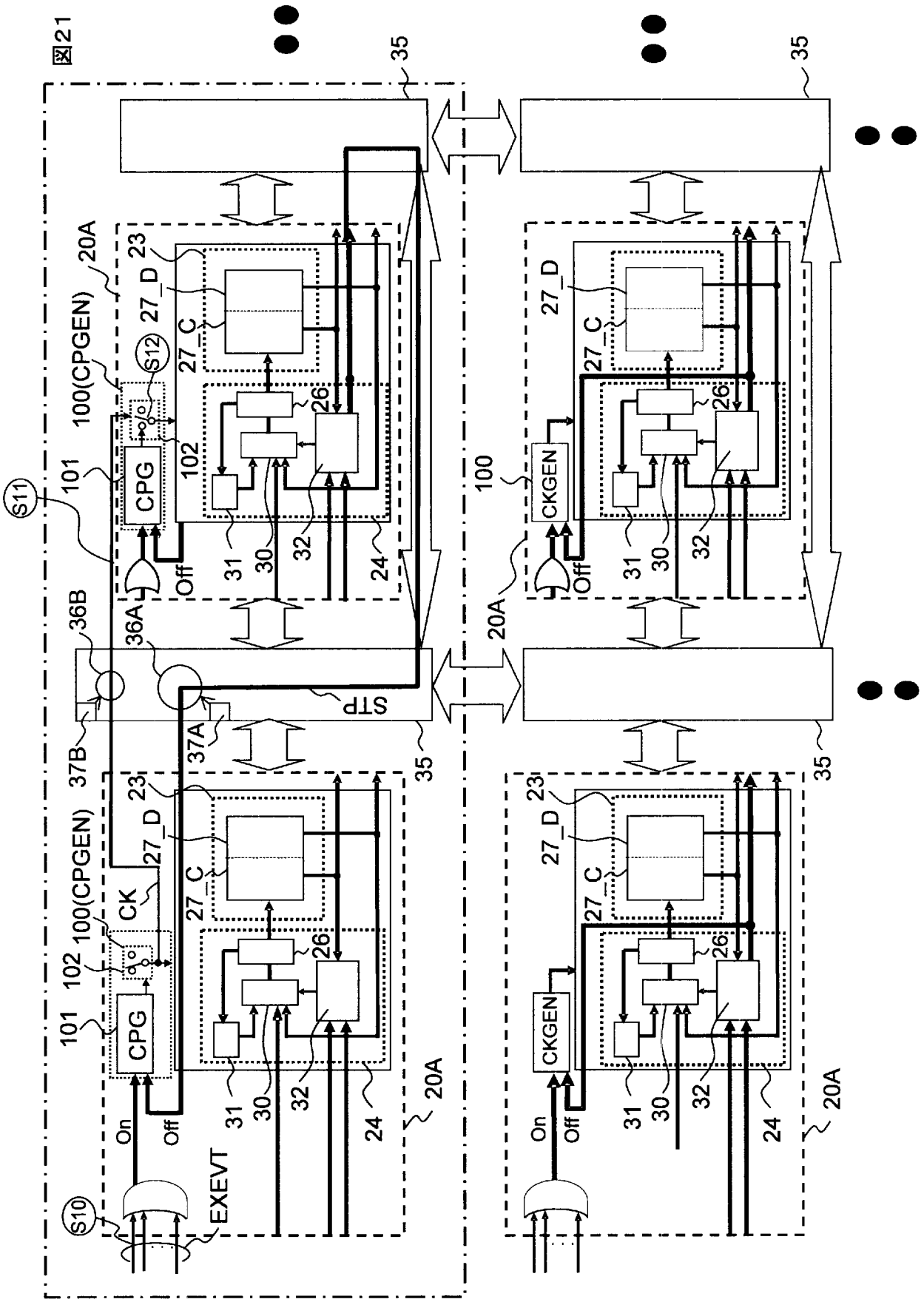


図21
35
20A
23
27_D
27_C
26
100(CPGEN)
S12
102
101
CPG
S11
Off
31
30
32
24
36B
36A
STP
37B
37A
CK
On
EXEVT
S10
100
CKGEN

[図22]

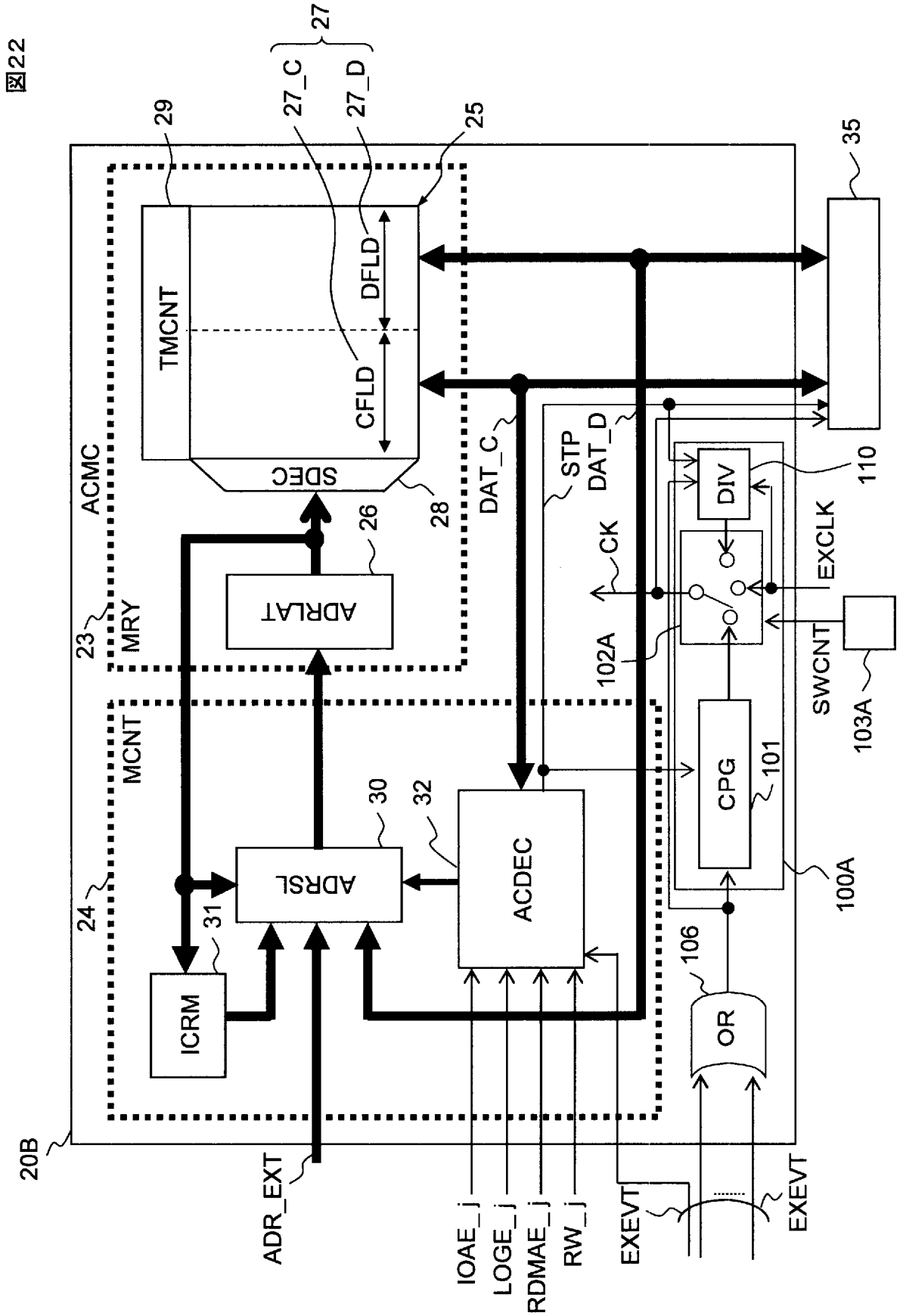
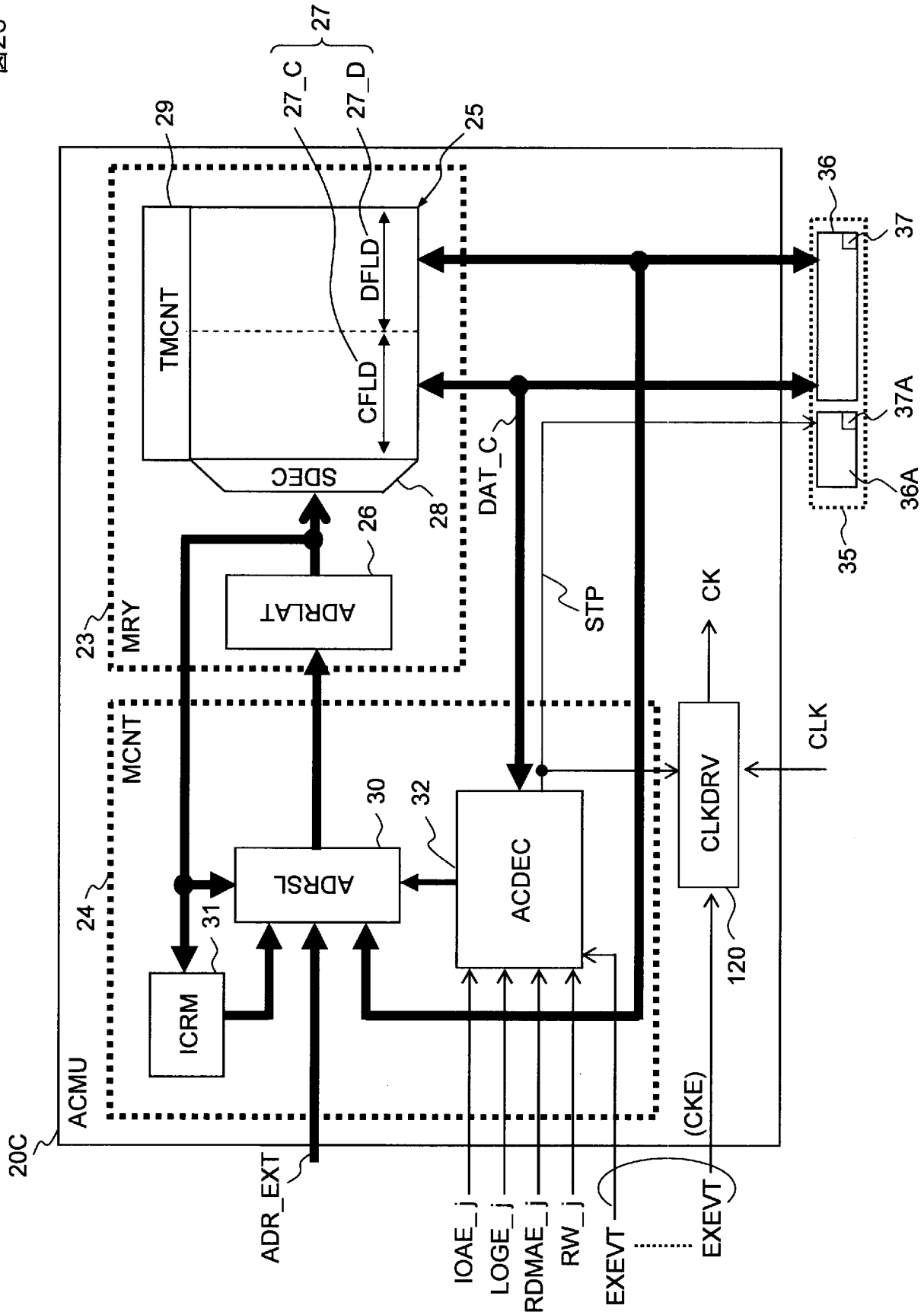


図22
27
27_C
27_D
29
25
35
TMCNT
DFLD
CFLD
SDEC
28
ACMC
26
DAT_C
STP
DAT_D
DIV
110
ADRLAT
CK
EXCLK
23
MRY
102A
SWCNT
103A
MCNT
CPG
101
30
32
ADRSL
ACDEC
100A
24
31
106
ICRM
OR
20B
ADR_EXT
IOAE_j
LOGE_j
RDMAE_j
RW_j
EXEVT
EXEVT

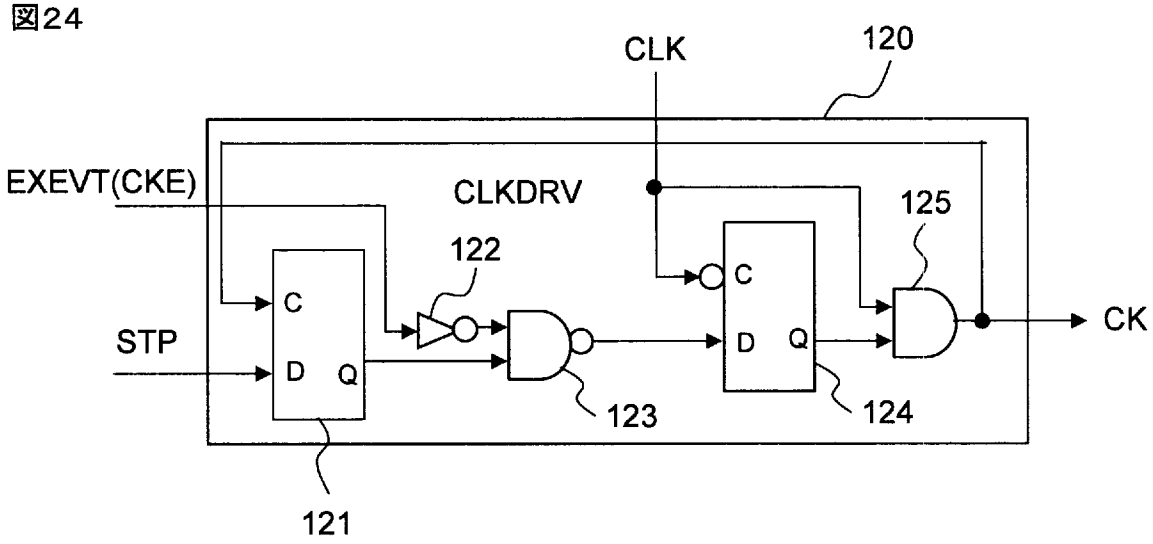
[図23]

図23


20C
ACMU
24
MCNT
23
MRY
ICRM
31
ADRSL
30
32
ACDEC
ADRLAT
26
TMCNT
29
27
27_C
27_D
25
DFLD
CFLD
SDEC
28
DAT_C
STP
CLKDRV
CK
CLK
120
(CKE)
36
37
37A
36A
35
ADR_EXT
IOAE_j
LOGE_j
RDMAE_j
RW_j
EXEVT
EXEVT

[図24]

図24



[図25]

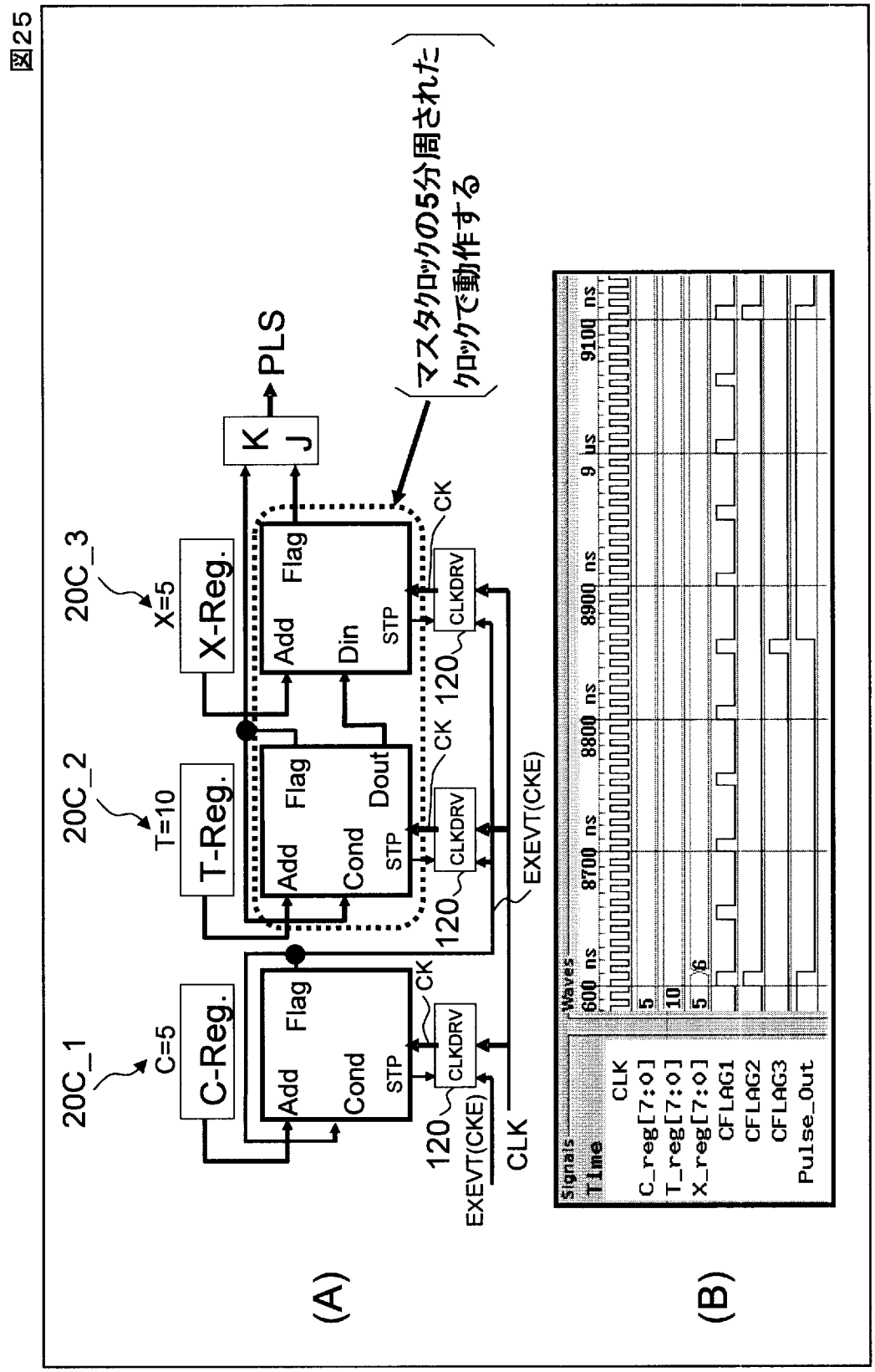


図25
20C_1
C=5
C-Reg.
Add
Flag
Cond
STP
CK
CLKDRV
120
EXEVT(CKE)
CLK
20C_2
T=10
T-Reg.
Add
Flag
Cond
Dout
STP
CK
CLKDRV
120
EXEVT(CKE)
20C_3
X=5
X-Reg.
Add
Flag
Din
STP
CK
CLKDRV
120
K
J
PLS
マスタクロックの5分周されたクロックで動作する
(A)
(B)
Signals
Waves
Time
CLK
C_reg[7:0]
T_reg[7:0]
X_reg[7:0]
CFLAG1
CFLAG2
CFLAG3
Pulse_Out
600 ns
8700 ns
8800 ns
8900 ns
9 us
9100 ns

[図26]

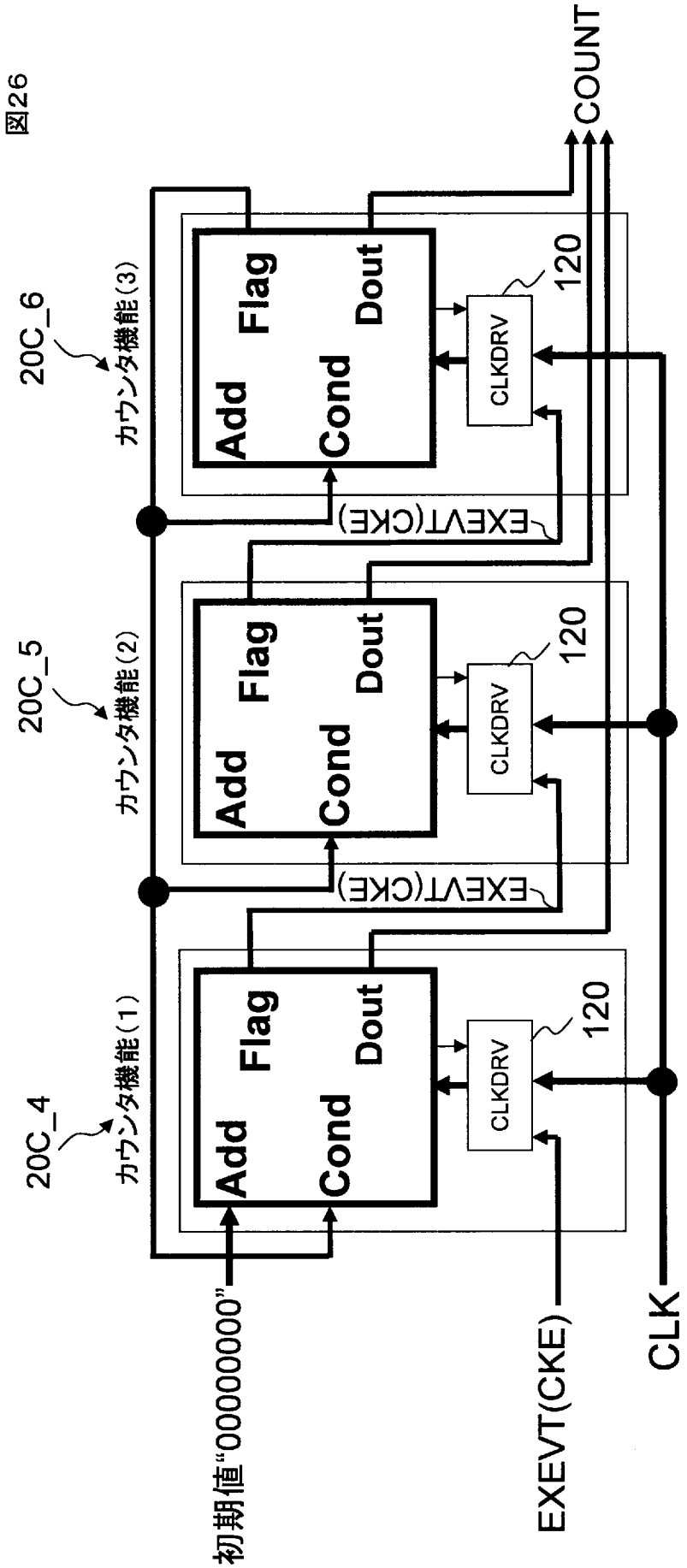
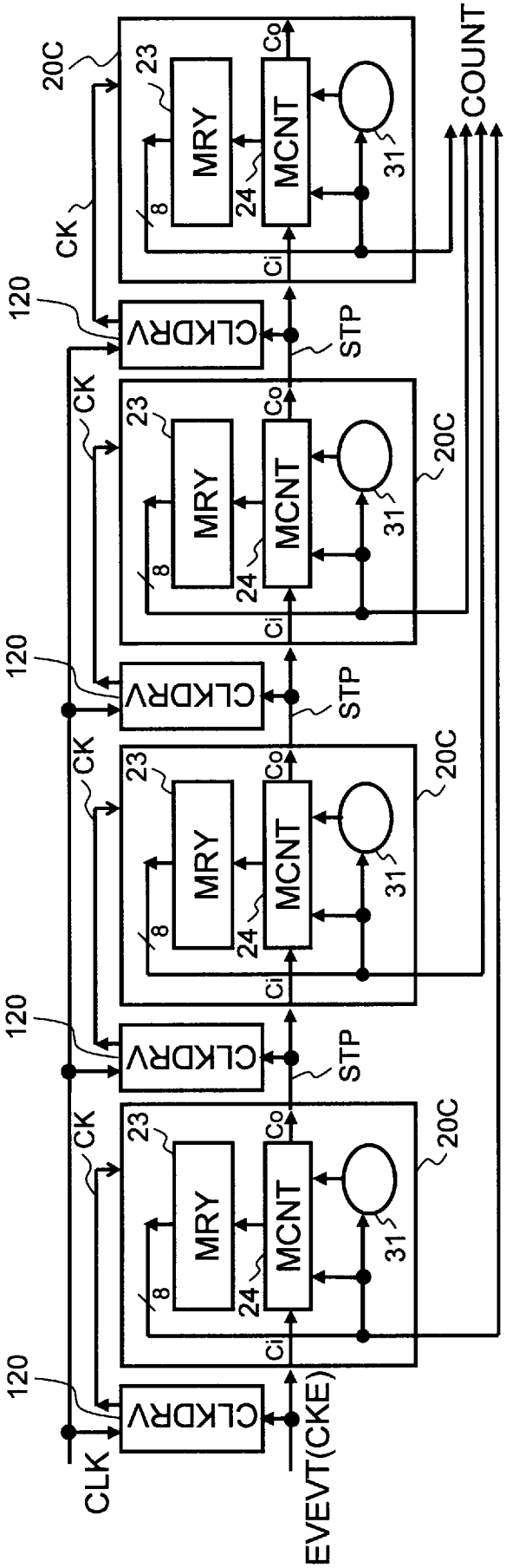


図26
COUNT
20C_6
カウンタ機能(3)
20C_5
カウンタ機能(2)
20C_4
カウンタ機能(1)
Add
Flag
Cond
Dout
CLKDRV
120
EXEVT(CKE)
初期値"00000000"
EXEVT(CKE)
CLK

[図27]

図27


20C
23
MRY
8
24
MCNT
Co
Ci
31
COUNT
CK
120
CLKDRV
STP
CLK
EVEVT(CKE)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/059350

A. CLASSIFICATION OF SUBJECT MATTER
H03K19/173(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K19/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-516418 A (Neo Ram L.L.C.), 05 December, 2000 (05.12.00), All pages; Figs. 1 to 8 & WO 1998/08306 A1 & US 5838165 A1	1-57
A	JP 2006-99305 A (Hitachi, Ltd.), 13 April, 2006 (13.04.06), All pages; Figs. 1 to 8 (Family: none)	1-57

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 August, 2008 (01.08.08)	12 August, 2008 (12.08.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０５９３５０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/173(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/173

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	JP 2000-516418 A（ネオ・ラム・リミテッド・ライアビリティー・カンパニー）2000.12.05, 全頁, 図１－８ & WO 1998/08306 A1 & US 5838165 A1	１－５７
Ａ	JP 2006-99305 A（株式会社日立製作所）2006.04.13, 全頁、図１－８（ファミリーなし）	１－５７

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ０１．０８．２００８	国際調査報告の発送日 １２．０８．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｘ　８５２３ 宮島　郁美 電話番号　０３－３５８１－１１０１　内線　３５９６