



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I623141 B

(45)公告日：中華民國 107 (2018) 年 05 月 01 日

(21)申請案號：105114643

(22)申請日：中華民國 102 (2013) 年 07 月 05 日

(51)Int. Cl. : H01P1/15 (2006.01)

H01L27/085 (2006.01)

(30)優先權：	2012/07/07	美國	61/669,034
	2012/07/07	美國	61/669,035
	2012/07/07	美國	61/669,037
	2012/07/07	美國	61/669,039
	2012/07/07	美國	61/669,054
	2012/07/07	美國	61/669,042
	2012/07/07	美國	61/669,044
	2012/07/07	美國	61/669,045
	2012/07/07	美國	61/669,047
	2012/07/07	美國	61/669,049
	2012/07/07	美國	61/669,050
	2012/07/07	美國	61/669,055
	2013/02/04	美國	61/760,561

(71)申請人：西凱渥資訊處理科技公司 (美國) SKYWORKS SOLUTIONS, INC. (US)
美國

(72)發明人：阿圖齊力 菲柯瑞 ALTUNKILIC, FIKRET (US)；布林 古拉梅 亞歷山卓 BLIN, GUILLAUME ALEXANDRE (FR)；希比 哈奇 CEBI, HAKI (US)；傅漢清 FUH, HANCHING (US)；許孟書 HSU, MENGSHU (US)；李宗勳 LEE, JONG-HOON (KR)；曼丹 阿努 MADAN, ANUJ (IN)；斯里拉坦那 努塔彭 SRIRATTANA, NUTTAPONG (US)；施諸民 SHIH, CHUMING (US)；史賓克勒 史蒂芬 克里斯多弗 SPRINKLE, STEVEN CHRISTOPHER (US)

(74)代理人：陳長文

(56)參考文獻：

US	7253675B2	US	7928794B2
US	2009/0205850A1	US	2011/0115544A1
US	2012/0025927A1		

審查人員：林宥榆

申請專利範圍項數：23 項 圖式數：47 共 137 頁

(54)名稱

與基於射頻開關之絕緣體上矽相關之電路、裝置、方法及其組合

CIRCUITS, DEVICES, METHODS AND COMBINATIONS RELATED TO SILICON-ON-INSULATOR BASED RADIO-FREQUENCY SWITCHES

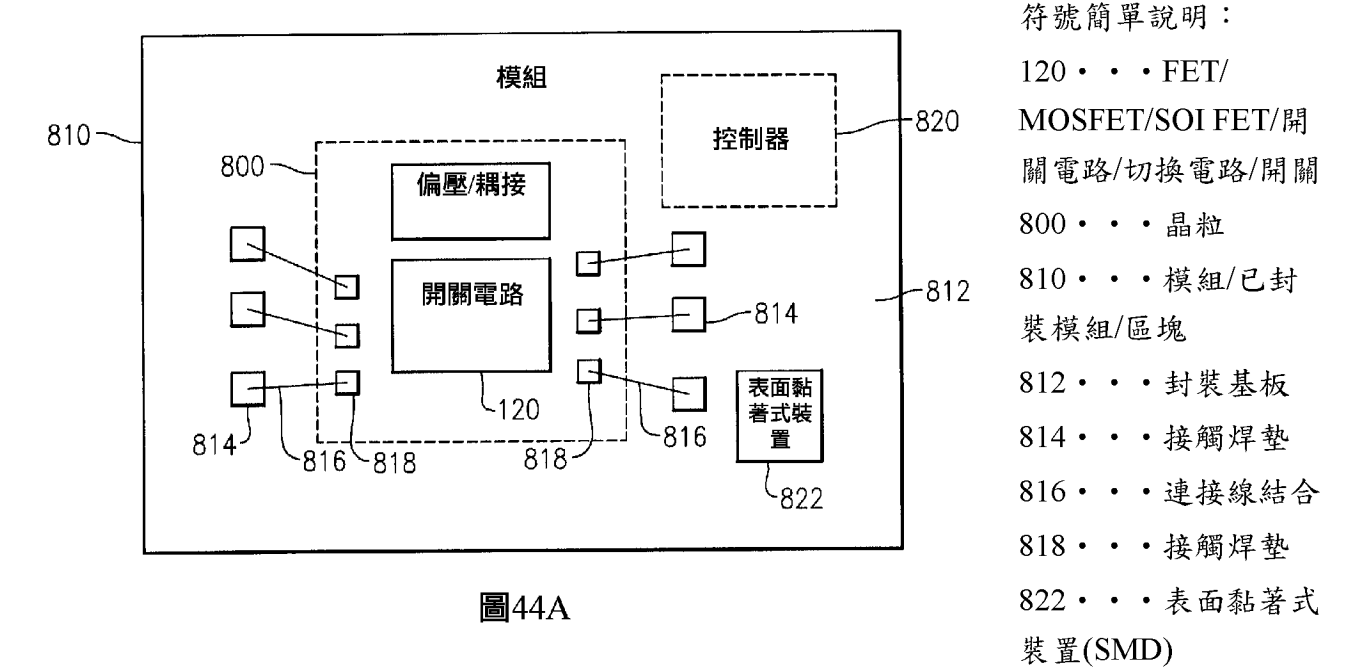
(57)摘要

本發明揭示提供改良之切換效能之射頻(RF)開關電路。一 RF 開關系統通常包括串聯連接於第一節點與第二節點之間的複數個場效電晶體(FET)，其中每一 FET 具有一閘極、一源極、一汲極及

一本體。揭示耦接一 FET 之不同部分及/或不同 FET 以產生對於 RF 開關系統之合乎需要之效能改良的電路之各種實例等。在一些實施例中，一給定實例之一或多個特徵可提供此等效能改良。在一些實施例中，來自不同實例之特徵可經組合以產生此等效能改良。

Radio-frequency (RF) switch circuits are disclosed providing improved switching performance. An RF switch system typically includes a plurality of field-effect transistors (FETs) connected in series between first and second nodes, with each FET having a gate, a source, a drain and a body. Disclosed are, among others, various examples of circuits that couple different portions of a FET and/or different FETs to yield desirable performance improvements for RF switch systems. In some embodiments, one or more features of a given example can provide such performance improvements. In some embodiments, features from different examples can be combined to yield such performance improvements.

指定代表圖：



發明摘要

※ 申請案號：105114643(由102124271分割)

※ 申請日：102/07/05

※IPC 分類：*H01P 1/15* (2006.01)
H01L 27/085 (2006.01)

【發明名稱】

與基於射頻開關之絕緣體上矽相關之電路、裝置、方法及其組合

CIRCUITS, DEVICES, METHODS AND COMBINATIONS
RELATED TO SILICON-ON-INSULATOR BASED RADIO-
FREQUENCY SWITCHES

【中文】

本發明揭示提供改良之切換效能之射頻(RF)開關電路。一RF開關系統通常包括串聯連接於第一節點與第二節點之間的複數個場效電晶體(FET)，其中每一FET具有一閘極、一源極、一汲極及一本體。揭示耦接一FET之不同部分及/或不同FET以產生對於RF開關系統之合乎需要之效能改良的電路之各種實例等。在一些實施例中，一給定實例之一或多個特徵可提供此等效能改良。在一些實施例中，來自不同實例之特徵可經組合以產生此等效能改良。

【英文】

Radio-frequency (RF) switch circuits are disclosed providing improved switching performance. An RF switch system typically includes a plurality of field-effect transistors (FETs) connected in series between first and second nodes, with each FET having a gate, a source, a drain and a body. Disclosed are, among others, various examples of circuits that couple different portions of a FET and/or different FETs to yield desirable performance improvements for RF switch systems. In some embodiments, one or more features of a given example can provide such performance improvements. In some embodiments, features from different examples can be combined to yield such performance improvements.

【代表圖】

【本案指定代表圖】：第（44A）圖。

【本代表圖之符號簡單說明】：

120	FET/MOSFET/SOI FET/開關電路/切換電路/開關
800	晶粒
810	模組/已封裝模組/區塊
812	封裝基板
814	接觸焊墊
816	連接線結合
818	接觸焊墊
822	表面黏著式裝置(SMD)

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

與基於射頻開關之絕緣體上矽相關之電路、裝置、方法及其組合

CIRCUITS, DEVICES, METHODS AND COMBINATIONS
RELATED TO SILICON-ON-INSULATOR BASED RADIO-
FREQUENCY SWITCHES

相關申請案

本申請案依據35 U.S.C.§ 119(e)主張以下臨時申請案的優先權之權利：2012年7月7日申請且名為「RADIO-FREQUENCY SWITCH HAVING DYNAMIC BODY COUPLING」之美國臨時申請案第61/669,034號、2012年7月7日申請且名為「SWITCH LINEARIZATION BY NON-LINEAR COMPENSATION OF A FIELD-EFFECT TRANSISTOR」之美國臨時申請案第61/669,035號、2012年7月7日申請且名為「RADIO-FREQUENCY SWITCH HAVING DYNAMIC GATE BIAS RESISTANCE AND BODY CONTACT」之美國臨時申請案第61/669,037號、2012年7月7日申請且名為「RADIO-FREQUENCY SWITCHES HAVING FREQUENCY-TUNED BODY BIAS」之美國臨時申請案第61/669,039號、2012年7月7日申請且名為「BODY-GATE COUPLING TO REDUCE DISTORTION IN RADIO-FREQUENCY SWITCH」之美國臨時申請案第61/669,054號、2013年2月4日申請且名為「RF SWITCHES HAVING INCREASED VOLTAGE SWING UNIFORMITY」之美國臨時申請案第61/760,561號、2012年7月7日申請且名為「SWITCHING DEVICE HAVING A DISCHARGE CIRCUIT

FOR IMPROVED INTERMODULATION DISTORTION PERFORMANCE」之美國臨時申請案第61/669,042號、2012年7月7日申請且名為「FEED-FORWARD CIRCUIT TO IMPROVE INTERMODULATION DISTORTION PERFORMANCE OF RADIO-FREQUENCY SWITCH」之美國臨時申請案第61/669,044號、2012年7月7日申請且名為「RADIO-FREQUENCY SWITCH SYSTEM HAVING IMPROVED INTERMODULATION DISTORTION PERFORMANCE」之美國臨時申請案第61/669,045號、2012年7月7日申請且名為「ADJUSTABLE GATE AND/OR BODY RESISTANCE FOR IMPROVED INTERMODULATION DISTORTION PERFORMANCE OF RADIO-FREQUENCY SWITCH」之美國臨時申請案第61/669,047號、2012年7月7日申請且名為「RADIO-FREQUENCY SWITCH HAVING GATE NODE VOLTAGE COMPENSATION NETWORK」之美國臨時申請案第61/669,049號、2012年7月7日申請且名為「BODY-GATE COUPLING TO IMPROVE LINEARITY OF RADIO-FREQUENCY SWITCH」之美國臨時申請案第61/669,050號及2012年7月7日申請且名為「CIRCUITS, DEVICES, METHODS AND APPLICATIONS RELATED TO SILICON-ON-INSULATOR BASED RADIO-FREQUENCY SWITCHES」之美國臨時申請案第61/669,055號，該等申請案之揭示內容被以引用之方式全部明確地併入本文中。

【技術領域】

本發明大體係關於電子學之領域，且更特定言之，係關於射頻開關。

【先前技術】

射頻(RF)開關(諸如，電晶體開關)可用以在一或多個極(pole)與一或多個投(throw)之間切換信號。可經由電晶體偏壓及/或耦接來控

制電晶體開關或其部分。偏壓及/或耦接電路結合RF開關的設計及使用可影響切換效能。

【發明內容】

所揭示的尤其為耦接一場效電晶體(FET)之不同部分及/或不同FET以產生用於RF開關系統之合乎需要之效能改良的電路之各種實例。在一些實施例中，給定實例之一或多個特徵可提供此等效能改良。在一些實施例中，來自不同實例之特徵可經組合以產生此等效能改良。舉例而言，在後者之情況下，本文中揭示之某些實施例提供包括串聯連接於第一節點與第二節點之間的複數個場效電晶體(FET)之一射頻(RF)開關，每一FET具有一閘極及一本體。RF開關可進一步包括一補償網路，該補償網路包括耦接每一對相鄰FTE之閘極的一閘極耦接電路，該補償網路進一步包括耦接每一對相鄰FET之本體的一本體耦接電路。在某些實施例中，FET中之至少一些為絕緣體上矽(SOI) FET。閘極耦接電路可包括一電容器及可能與該電容器串聯之一電阻器。

在某些實施例中，閘極耦接電路包括一電阻器。本體耦接電路可包括一電容器。本體耦接電路可進一步包括與該電容器串聯之一電阻器。在某些實施例中，本體耦接電路包括一電阻器。

本文中揭示之某些實施例提供用於操作一射頻(RF)開關之一過程。該過程可包括控制串聯連接於第一節點與第二節點之間的複數個場效電晶體(FET)，使得該等FET共同地在接通狀態或斷開狀態中，每一FET具有一閘極及一本體。該過程可進一步包括耦接相鄰FET中之每一者的閘極以減少跨越該複數個FET中之每一者的電壓擺動，及耦接相鄰FET中之每一者的本體以減少跨越該複數個FET中之每一者的電壓擺動。

本文中揭示之某些實施例提供包括一半導體基板及形成於該半

導體基板上並串聯連接之複數個場效電晶體(FET)之一半導體晶粒，每一FET包括一閘極及一本體。該半導體晶粒可進一步包括形成於該半導體基板上之一補償網路，該補償網路包括耦接每一對相鄰FET之閘極的一閘極耦接電路，該補償網路進一步包括耦接每一對相鄰FET之本體的一本體耦接電路。

半導體電路晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。在某些實施例中，晶粒為絕緣體上矽(SOI)晶粒。

某些實施例提供用於製造半導體晶粒之一過程。該過程可包括提供一半導體基板及在該半導體基板上形成複數個場效電晶體(FET)以便被串聯連接，每一FET具有一閘極及一本體。該過程可進一步包括在該半導體基板上形成一閘極耦接電路以耦接每一對相鄰FET之閘極，及在該半導體基板上形成一本體耦接電路以耦接每一對相鄰FET之本體。在某些實施例中，該過程進一步包括在FET與半導體基板之間形成一絕緣體層。

本文中揭示之某些實施例提供一射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板及安裝於該封裝基板上之一半導體晶粒，該晶粒包括串聯連接之複數個場效電晶體(FET)，每一FET包括一閘極及一本體。RF開關模組進一步包括一補償網路，其包括耦接每一對相鄰FET之閘極的一閘極耦接電路，該補償網路進一步包括耦接每一對相鄰FET之本體的一本體耦接電路。

半導體晶粒可為絕緣體上矽(SOI)晶粒。在某些實施例中，補償網路為與複數個FET相同之半導體晶粒的部分。補償網路可為安裝於封裝基板上的第二晶粒之部分。在某些實施例中，補償網路安置於半導體晶粒之外的位置處。

本文中揭示之某些實施例提供一無線裝置，該無線裝置包括經組態以處理RF信號之一收發器及與該收發器通信之一天線，該天線

經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括連接至收發器並經組態以產生經放大RF信號之一功率放大器，及連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線之一開關，該開關包括串聯連接之複數個場效電晶體(FET)，每一FET包括一閘極及一本體，該開關進一步包括一補償網路，其具有耦接每一對相鄰FET之閘極之一閘極耦接電路及耦接每一對相鄰FET之本體的一本體耦接電路。

【圖式簡單說明】

為說明之目的在隨附圖式中描繪各種實施例，且各種實施例決不應解釋為限制本發明之範疇。另外，不同揭示實施例之各種特徵可經組合以形成額外實施例，該等額外實施例為本發明之部分。貫穿該等圖式，參考數字可重新用以指示參考元件之間的對應性。

圖1示意性展示經組態以在一或多個極與一或多個投之間切換一或多個信號之射頻(RF)開關。

圖2展示圖1之RF開關100可包括一RF核心及一能量管理(EM)核心。

圖3展示實施於單極雙投(SPDT)組態中的RF核心之一實例。

圖4展示實施於SPDT組態中的RF核心之一實例，其中每一開關臂可包括串聯連接之複數個場效電晶體(FET)。

圖5示意性展示RF開關中之一或多個FET的控制可由經組態以偏壓及/或耦接FET之一或多個部分的電路來促進。

圖6展示實施於開關臂中之複數個FET之不同部分上的偏壓/耦接電路之實例。

圖7A及圖7B展示實施於絕緣體上矽(SOI)組態中的一實例基於指狀FET裝置之平面圖及側截面圖。

圖8A及圖8B展示實施於SOI組態中的多指FET裝置之一實例之平

面圖及側截面圖。

圖9展示具有連接至FET之源極端子並經組態以(例如)消除或減少由FET產生的非線性效應之非線性電容器的RF開關電路之第一實例。

圖10展示圖9之一或多個特徵可實施於具有複數個FET之開關臂中。

圖11A至圖11F展示RF開關電路之第二實例之變化，其中FET之閘極端子及本體端子中之任一者或兩者可藉由具有與電阻器串聯之一電容器的一或多個耦接電路與源極端子耦接以(例如)允許界面電荷自經耦接之閘極及/或本體放電。

圖12A至圖12F展示圖11A至圖11F之一或多個特徵可實施於具有複數個FET之開關臂中。

圖13展示具有包括可經組態以(例如)當開關電路接通時提供減少或最小之插入損失並當開關電路斷開時提供DC短路或固定DC電壓至本體的一LC電路之本體偏壓電路的RF開關電路之第三實例。

圖14展示圖13之一或多個特徵可實施於具有複數個FET之開關臂中。

圖15展示具有經由與電阻器串聯之二極體耦接FET之本體及閘極以(例如)促進來自本體的過多電荷之經改良分佈之一耦接電路的RF開關電路之第四實例。

圖16展示圖15之一或多個特徵可實施於具有複數個FET之開關臂中。

圖17A及圖17B展示RF開關電路之第五實例之變化，其中可針對FET之閘極及本體中之任一者或兩者以可切換方式提供附加電阻以(例如)提供經改良互調變失真(IMD)效能。

圖18A及圖18B展示圖17A及圖17B之一或多個特徵可實施於具有複數個FET之開關臂中。

圖19展示具有經由與電阻器串聯之電容器耦接FET之本體及閘極以(例如)提供經改良互調變失真(IMD)效能之一耦接電路的RF開關電路之第六實例。

圖20展示圖19之一或多個特徵可實施於具有複數個FET之開關臂中。

圖21展示具有FET之本體的RF開關電路之第七實例，該本體以可切換方式電阻性地耦接至閘極以當開關電路接通時提供最小或減少之插入損失，並提供DC電壓至FET之本體及閘極兩者以防止或減少寄生接面二極體接通。

圖22展示圖21之一或多個特徵可實施於具有複數個FET之開關臂中。

圖23A及圖23B展示具有一FET的RF開關電路之第八實例之變化，該FET之本體及閘極可由電容器或電容器與二極體之並聯組合耦接以(例如)促進諧波管理(包括IMD3及IMD2)之改良。

圖24A及圖24B展示圖23A及圖23B之一或多個特徵可實施於具有複數個FET之開關臂中。

圖25A至圖25D展示可由圖23及圖24之組態提供的經改良效能之實例。

圖26展示具有在FET之本體與閘極之間的可切換耦接以(例如)當開關接通時提供最小或減少之插入損失並提供與大電壓擺動相關聯之減少失真的RF開關電路之第九實例。

圖27展示圖26之一或多個特徵可實施於一具有複數個FET之開關臂中。

圖28至圖30展示具有其閘極可經電壓補償以(例如)產生跨越每一FET之經改良電壓分佈之FET的RF開關電路之第十實例之變化。

圖31展示可藉由圖28至圖30之閘極補償特徵達成的效能改良之

一實例。

圖32展示RF切換組態可包括一或多個電容器以(例如)抑制低頻阻擋器與基本頻率混合之第十一實例。

圖33展示圖32之切換組態在一傳輸模式中之一實例。

圖34示意地描繪包括具有一電壓分佈等化電路之一切換電路的切換裝置，其中該切換裝置經組態以當在第一狀態中時允許諸如射頻(RF)信號之信號在第一埠與第二埠之間通過。

圖35展示包括界定在輸入端與輸出端之間的一RF信號路徑的串聯連接之五個FET之切換電路。

圖36展示包括界定輸入端及一輸出端的串聯連接之五個FET並包括本體節點電壓補償技術之實施之切換電路。

圖37用曲線圖表示跨越包括本體節點電壓補償技術之一實施例的切換電路之FET之電壓擺動效能與跨越不包括該技術的切換電路之FET之電壓擺動效能之比較。

圖38展示包括界定在輸入端與輸出端之間的一RF信號路徑的串聯連接之五個FET並包括本體節點電壓補償技術之實施之切換電路。

圖39展示包括界定在輸入端與輸出端之間的一RF信號路徑的串聯連接之五個FET並包括本體節點電壓補償技術之一實施之切換電路。

圖40展示包括界定在輸入端與輸出端之間的一RF信號路徑的串聯連接之兩個FET並包括本體節點電壓補償技術之一實施之一實例切換電路。

圖41展示可經應用以製造具有如本文中描述之一或多個特徵之切換電路之過程。

圖42展示可經應用為圖41之過程之更特定實例之過程。

圖43A至圖43D展示可實施用於偏壓、耦接及/或促進圖9至圖42

之實例組態的各種組件之方式之實例。

圖44A及圖44B展示可包括本文中描述之一或多個特徵的已封裝模組之一實例。

圖45展示在一些實施例中，本發明之一或多個特徵可實施於經組態以促進多頻帶多模式無線操作的諸如單極多投(SPMT)開關之開關裝置中。

圖46展示可包括本文中描述之一或多個特徵的無線裝置之一實例。

圖47展示在一些實施中，與一給定實例組態相關聯之一或多個特徵可與相關聯於另一實例組態之一或多個特徵組合。

【實施方式】

本文中所提供之標題(若存在)僅為方便起見且未必影響所主張之發明的範疇或意義。

切換裝置之實例組件：

圖1示意性展示一射頻(RF)開關100，其經組態以在一或多個極102與一或多個投104之間切換一或多個信號。在一些實施例中，此開關可基於一或多個場效電晶體(FET)，諸如，絕緣體上矽(SOI) FET。當一特定極連接至一特定投時，此路徑通常被稱作閉合或在接通狀態中。當極與投之間的給定路徑未連接時，此路徑通常被稱作打開或在斷開狀態中。

圖2展示在一些實施中，圖1之RF開關100可包括一RF核心110及一能量管理(EM)核心112。RF核心110可經組態以在第一埠與第二埠之間投送RF信號。在圖2中所示之實例單極雙投(SPDT)組態中，此第一埠及此第二埠可包括一極102a及一第一投104a，或該極102a及一第二投104b。

在一些實施例中，EM核心112可經組態以(例如)供應電壓控制信

號至RF核心。EM核心112可經進一步組態以將邏輯解碼及/或電力供應調節能力提供給RF開關100。

在一些實施例中，RF核心110可包括一或多個極及一或多個投以實現RF信號在開關100之一或多個輸入端與一或多個輸出端之間的通過。舉例而言，RF核心110可包括如圖2中所示之單極雙投(SPDT或SP2T)組態。

在實例SPDT情境中，圖3展示RF核心110之一更詳細實例組態。RF核心110經展示為包括經由第一電晶體120a及第二電晶體120b (例如，FET)耦接至第一投節點104a及第二投節點104b之一單一極102a。第一投節點104a經展示為經由FET 122a耦接至RF接地以向節點104a提供分流能力。類似地，第二投節點104b經展示為經由FET 122b耦接至RF接地以向節點104b提供分流能力。

在一實例操作中，當RF核心110在RF信號正在極102a與第一投104a之間通過的一狀態中時，在極102a與第一投節點104a之間的FET 120a可在接通狀態中，且在極102a與第二投節點104b之間的FET 120b可在斷開狀態中。對於分流FET 122a、122b，分流FET 122a可在斷開狀態中，使得RF信號在其自極102a行進至第一投節點104a時未經分流至接地。與第二投節點104b相關聯之分流FET 122b可在接通狀態中，使得經由第二投節點104b到達RF核心110之任何RF信號或雜訊經分流至接地，以便減少對極至第一投操作之不良干擾效應。

儘管前述實例係在單極雙投組態之情境中描述，但應理解RF核心可經組態有其他數目個極及投。舉例而言，可存在一個以上極，且投之數目可小於或大於實例數目二。

在圖3之實例中，極102a與兩個投節點104a、104b之間的電晶體經描繪為單一電晶體。在一些實施中，在該(等)極與該(等)投之間的此等切換功能性可由開關臂區段來提供，其中每一開關臂區段包括複

數個電晶體(諸如，FET)。

圖4中展示具有此等開關臂區段的RF核心之一實例RF核心組態130。在該實例中，極102a及第一投節點104a經展示為經由第一開關臂區段140a耦接。類似地，極102a及第二投節點104b經展示為經由第二開關臂區段140b耦接。第一投節點104a經展示為能夠經由第一分流臂區段142a而分流至RF接地。類似地，第二投節點104b經展示為能夠經由第二分流臂區段142b而分流至RF接地。

在一實例操作中，當RF核心130在RF信號正在極102a與第一投節點104a之間通過的一狀態中時，第一開關臂區段140a中之所有FET可在接通狀態中，且第二開關臂區段140b中之所有FET可在斷開狀態中。用於第一投節點104a之第一分流臂142a可使其所有FET在斷開狀態中，使得RF信號在其自極102a行進至第一投節點104a時未分流至接地。與第二投節點104b相關聯之第二分流臂142b中的所有FET可在接通狀態中，使得經由第二投節點104b到達RF核心130的任何RF信號或雜訊分流至接地，以便減少對極至第一投操作之不良干擾效應。

再次，儘管在SP2T組態之情境中加以描述，但應理解，亦可實施具有其他數目個極及投的RF核心。

在一些實施中，開關臂區段(例如，140a、140b、142a、142b)可包括一或多個半導體電晶體(諸如，FET)。在一些實施例中，FET可能夠在一第一狀態或一第二狀態中且可包括閘極、汲極、源極及本體(有時亦被稱作基板)。在一些實施例中，FET可包括金屬氧化物半導體場效電晶體(MOSFET)。在一些實施例中，一或多個FET可串聯連接，從而形成一第一端及一第二端，使得當FET在第一狀態(例如，接通狀態)中時，RF信號可在第一端與第二端之間投送。

本發明中之至少一些係關於可控制FET或一群FET以按合乎需要之方式提供切換功能性的方式。圖5示意性展示在一些實施中，FET

120之此控制可由經組態以偏壓及/或耦接FET 120之一或多個部分的電路150來促進。在一些實施例中，此電路150可包括經組態以偏壓及/或耦接FET 120之閘極、偏壓及/或耦接FET 120之本體及/或耦接FET 120之源極/汲極之一或多個電路。

參看圖6描述對一或多個FET之不同部分進行此偏壓及/或耦接的方式之示意性實例。在圖6中，節點144、146之間的開關臂區段140(其可為(例如)圖4之實例的實例開關臂區段140a、140b、142a、142b中之一者)經展示為包括複數個FET 120。此等FET之操作可由閘極偏壓/耦接電路150a及本體偏壓/耦接電路150c及/或源極/汲極耦接電路150b來控制及/或促進。

閘極偏壓/耦接電路

在圖6中所示之實例中，FET 120中之每一者的閘極可連接至閘極偏壓/耦接電路150a以接收一閘極偏壓信號及/或將閘極耦接至FET 120或開關臂140之另一部分。在一些實施中，閘極偏壓/耦接電路150a之設計或特徵可改良開關臂140之效能。此等效能改良可包括(但不限於)裝置插入損失、隔離效能、功率處置能力及/或切換裝置線性。

本體偏壓/耦接電路

如圖6中所示，每一FET 120之本體可連接至本體偏壓/耦接電路150c以接收本體偏壓信號及/或將本體耦接至FET 120或開關臂140之另一部分。在一些實施中，本體偏壓/耦接電路150c之設計或特徵可改良開關臂140之效能。此等效能改良可包括(但不限於)裝置插入損失、隔離效能、功率處置能力及/或切換裝置線性。

源極/汲極耦接電路

如圖6中所示，每一FET 120之源極/汲極可連接至耦接電路150b以將源極/汲極耦接至FET 120或開關臂140之另一部分。在一些實施

中，耦接電路150b之設計或特徵可改良開關臂140之效能。此等效能改良可包括(但不限於)裝置插入損失、隔離效能、功率處置能力及/或切換裝置線性。

切換效能參數之實例

插入損失

切換裝置效能參數可包括插入損失之量測。切換裝置插入損失可為經由RF切換裝置投送的RF信號之衰減的量測。舉例而言，在切換裝置之輸出埠處的RF信號之量值可小於在切換裝置之輸入埠處的RF信號之量值。在一些實施例中，切換裝置可包括將寄生電容、電感、電阻或電導率引入至裝置內從而對增加之切換裝置插入損失有影響的裝置組件。在一些實施例中，切換裝置插入損失可經量測為輸入埠處的RF信號之功率或電壓與切換裝置之輸出埠處的RF信號之功率或電壓的比率。減少之切換裝置插入損失可為合乎需要的以實現改良之RF信號傳輸。

隔離

切換裝置效能參數亦可包括隔離之量測。切換裝置隔離可為RF切換裝置之輸入埠與輸出埠之間的RF隔離之量測。在一些實施例中，其可為當切換裝置在輸入埠及輸出埠電隔離的一狀態中時(例如，當切換裝置在斷開狀態中時)切換裝置之RF隔離的量測。增加之切換裝置隔離可改良RF信號完整性。在某些實施例中，隔離之增大可改良無線通信裝置效能。

互調變失真

切換裝置效能參數可進一步包括互調變失真(IMD)效能之量測。互調變失真(IMD)可為RF切換裝置中的非線性之量測。

IMD可自兩個或兩個以上信號混合在一起並產生並非諧波頻率之頻率而引起。舉例而言，假設兩個信號具有在頻率空間中彼此相對靠

近的基本頻率 f_1 及 f_2 ($f_2 > f_1$)。此等信號之混合可導致對應於兩個信號之基本頻率與諧波頻率之不同積的頻率處之頻譜的峰值。舉例而言，二階互調變失真(亦被稱作IMD2)通常視為包括頻率 f_1+f_2 、 f_2-f_1 、 $2f_1$ 及 $2f_2$ 。三階互調變失真(亦被稱作IMD3)通常視為包括頻率 $2f_1+f_2$ 、 $2f_2-f_1$ 、 f_1+2f_2 、 f_1-2f_2 。較高階積可以類似方式形成。

一般而言，隨著IMD階數增加，功率位準降低。因此，二階及三階可為特別關注之不良效應。在某些情形中亦可關注諸如四階及五階之更高階。

在一些RF應用中，可能需要減少對RF系統內干擾之敏感性。RF系統中之非線性可導致假信號引入至系統內。RF系統中之假信號可導致系統內干擾並使由RF信號傳輸之資訊降級。具有增加之非線性的RF系統可證明對干擾之增加敏感性。系統組件(例如，切換裝置)中之非線性可對將假信號引入至RF系統內有影響，藉此對總RF系統線性及IMD效能的降級有影響。

在一些實施例中，RF切換裝置可經實施為包括無線通信系統的RF系統之部分。系統之IMD效能可藉由增加系統組件之線性(諸如，RF切換裝置之線性)而得以改良。在一些實施例中，無線通信系統可在多頻帶及/或多模式環境中操作。在於多頻帶及/或多模式環境中操作之無線通信系統中，互調變失真(IMD)效能之改良可為合乎需要的。在一些實施例中，切換裝置IMD效能之改良可改良在多頻帶及/或多模式環境中操作的無線通信系統之IMD效能。

改良之切換裝置IMD效能對於在各種無線通信標準中操作的無線通信裝置(例如，對於在LTE通信標準中操作的無線通信裝置)可為合乎需要的。在一些RF應用中，可能需要改良在實現同時傳輸資料與語音通信的無線通信裝置中操作的切換裝置之線性。舉例而言，切換裝置中的改良之IMD效能對於在LTE通信標準中操作並執行語音與資

料通信之同時傳輸(例如，SVLTE)的無線通信裝置可為合乎需要的。

高功率處置能力

在一些RF應用中，可能需要RF切換裝置在高功率下操作，同時減少其他裝置效能參數之降級。在一些實施例中，可能需要RF切換裝置在改良之互調變失真、插入損失及/或隔離效能情況下在高功率下操作。

在一些實施例中，增加數目個電晶體可實施於切換裝置之開關臂區段中以實現切換裝置的改良之功率處置能力。舉例而言，開關臂區段可包括串聯連接的增加數目個FET、增加之FET堆疊高度，以實現在高功率下改良之裝置效能。然而，在一些實施例中，增加之FET堆疊高度可使切換裝置插入損失效能降級。

FET結構及製造製程技術之實例：

切換裝置可實施於晶粒上、晶粒外或其之某一組合。切換裝置亦可使用各種技術來製造。在一些實施例中，RF切換裝置可藉由矽或絕緣體上矽(SOI)技術來製造。

如本文中所描述，RF切換裝置可使用絕緣體上矽(SOI)技術來製造。在一些實施例中，SOI技術可包括具有電絕緣材料之嵌入層(諸如，在矽裝置層下之內埋氧化層)的一半導體基板。舉例而言，SOI基板可包括嵌入於矽層下方之一氧化層。亦可使用此項技術中已知之其他絕緣材料。

使用SOI技術之RF應用(諸如，RF切換裝置)的實施可改良切換裝置效能。在一些實施例中，SOI技術可實現減少之功率消耗。在RF應用(包括與無線通信裝置相關聯之RF應用)中，減少之功率消耗可為合乎需要的。SOI技術可歸因於電晶體的減小之寄生電容實現裝置電路的減少之功率消耗並將金屬化(metallization)與矽基板互連。內埋氧化物層之存在亦可減少高電阻率基板之接面電容或使用，從而實現減少

之與基板相關的RF損失。電隔離之SOI電晶體可促進堆疊，從而對減小之晶片大小有影響。

在一些SOI FET組態中，每一電晶體可經組態為基於指狀之裝置，其中源極及汲極為矩形形狀(在平面圖中)且一閘極結構在如矩形形狀指狀物的源極與汲極之間延伸。圖7A及圖7B展示實施於SOI上的一實例基於指狀FET裝置之平面圖及側截面圖。如所展示，本文中描述之FET裝置可包括p型FET或n型FET。因此，儘管一些FET裝置在本文中描述為p型裝置，但應理解，與此等p型裝置相關聯之各種概念亦可適用於n型裝置。

如圖7A及圖7B中所展示，pMOSFET可包括形成於半導體基板上之一絕緣體層。該絕緣體層可由諸如二氧化矽或藍寶石之材料形成。n井經展示為形成於絕緣體中，使得暴露表面一般界定一矩形區域。源極(S)及汲極(D)經展示為其暴露表面一般界定矩形之p摻雜區域。如所展示，S/D區域可經組態，使得源極及汲極功能性顛倒。

圖7A及圖7B進一步展示一閘極(G)可形成於n井上，以便定位於源極與汲極之間。實例閘極經描繪為具有連同源極及汲極一起延伸之矩形形狀。亦展示一n型本體接觸。矩形形狀之井、源極及汲極區域以及本體接觸的形成可藉由許多已知技術而達成。在一些實施例中，源極及汲極區域可鄰近於其各別上部絕緣體層之末端而形成，且本體與在本體之相對側的源極/汲極區域之間的接面可實質上一直向下延伸至內埋絕緣體層之頂部。此組態可提供(例如)減小之源極/汲極接面電容。為形成用於此組態之一本體接觸，一額外閘極區域可提供於側面上，以便允許(例如)一隔離之P+區域接觸P井。

圖8A及圖8B展示實施於SOI上的多指FET裝置之一實例之平面圖及側截面圖。矩形形狀n井、矩形形狀p摻雜區域、矩形形狀閘極及n型本體接觸之形成可以類似於參看圖7A及圖7B描述之方式的方式而

達成。

可使圖8A及圖8B之實例多指FET裝置操作，使得一FET之汲極充當其相鄰FET之源極。因此，多指FET裝置整體可提供分壓功能性。舉例而言，可在最外p摻雜區域中之一者(例如，最左邊p摻雜區域)處提供RF信號；且當信號穿過該等串聯之FET時，信號之電壓可在FET之間劃分。在此實例中，最右邊p摻雜區域可充當多指FET裝置之總汲極。

在一些實施中，複數個前述多指FET裝置可作為一開關而串聯連接以(例如)進一步促進分壓功能性。可基於(例如)開關之功率處置需求選擇此等多指FET裝置之數目。

用於改良之效能的偏壓及/或耦接組態之實例

本文中所描述的為可偏壓及/或耦接基於FET之開關電路以產生一或多個效能改良的方式之各種實例。在一些實施例中，此等偏壓/耦接組態可實施於基於SOI FET之開關電路。應理解，實例偏壓/耦接組態中之一些可經組合以產生可能不可用於個別組態的合乎需要之特徵之組合。亦應理解，儘管在RF切換應用之情境中描述，但本文中描述之一或多個特徵亦可適用於利用FET (諸如，SOI FET)之其他電路及裝置。

實例1之描述

在一些射頻(RF)應用中，需要利用具有高線性以及互調變失真(IMD) (諸如，IMD3及IMD2)之管理的開關。此等與開關相關之效能特徵可顯著地對蜂巢式裝置之系統級效能有影響。在氧化物上的矽(SOI)開關之情境中，諸如基板耦接(有時亦被稱作基板寄生)及SOI製程之因素可限制可達成之效能。

SOI開關之效能的此限制可藉由廣泛之基板串音減少技術(諸如，電容性防護環)及/或深陷阱(rich-trap)或深渠溝隔離技術來解決。此等

技術通常使不良特徵(諸如，昂貴的、需要相對大面積及需要額外製程步驟)與其相關聯。又，此技術可產生限於隔離特徵之合乎需要的效應。

在一些實施中，SOI開關之效能可藉由克服或減少與基板寄生及/或製程變化相關聯的前述效應來改良。藉由實例，圖9展示一開關電路200，其具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120。FET 120之閘極端子經展示為由一由閘極偏壓電路提供的偏壓電壓 V_g 來偏壓，且FET 120之本體端子經展示為藉由一由本體偏壓電路提供的偏壓電壓 V_{sb1} 來偏壓。在一些實施例中，本體端子可連接至源極端子，使得將偏壓電壓 V_{sb1} 提供給兩個端子。

在一些實施例中，FET 120之源極端子可連接至非線性電容器202。在FET 120為MOSFET裝置之實施例中，電容器202可為經組態以提供一或多個所要的電容值之MOSFET電容器。MOS電容器202可經組態以產生一或多個諧波以消除或減少由MOSFET 120產生之非線性效應。MOS電容器202經展示為由 V_{sb2} 偏壓。在一些實施例中， V_{sb1} 及 V_{sb2} 中之任一者或兩者可經調整以產生一所要的非線性消除位準。儘管在FET 120之源極側的情境中加以描述，但應理解，MOS電容器202亦可實施於FET之汲極側上。

圖10展示具有參看圖9描述之複數個開關電路200之一開關臂210。在該實例中，N個此等開關電路經展示為以堆疊形式串聯連接以提供在端子144、146之間的切換功能性。在一些實施例中，此堆疊中的FET之數目(N)可基於正在端子144、146之間傳送之功率來選擇。舉例而言，對於涉及較高功率之情形，N可較大。

在一些實施例中，用於該複數個FET 120之閘極偏壓電壓(V_g)可實質上相同，且由共同閘極偏壓電路提供。此共同閘極偏壓電壓 V_g

經展示為經由閘極電阻器 R_g 提供至閘極。類似地，用於該複數個FET 120之本體偏壓電壓(V_{sb1})可實質上相同，且由共同本體偏壓電路提供。類似地，用於該複數個MOS電容器202之本體偏壓電壓(V_{sb2})可實質上相同，且由共同本體偏壓電路(未圖示)提供。在一些實施中，FET 120及/或MOS電容器202之本體中之一些或全部可經獨立地偏壓。視操作頻率而定，此組態在一些情形中可為有益的。

在一些實施中，參看圖9及圖10描述之前述實例組態可允許顯著或實質上完全消除與一或多個基於SOI FET之RF開關相關聯的非線性效應。在一些實施例中，此等組態可經實施，使得需要最小或相對小的額外面積。

實例1之摘要

根據一些實施，實例1係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別源極及汲極。該開關進一步包括連接至該至少一FET中之每一者的各別源極或各別汲極的一補償電路。補償電路經組態以補償由該至少一FET產生之非線性效應。

在一些實施例中，FET可為絕緣體上矽(SOI) FET。在一些實施例中，補償電路可包括一非線性電容器。該非線性電容器可包括一金屬氧化物半導體(MOS)電容器。該MOS電容器可經組態以產生一或多個諧波以實質上消除由FET產生之非線性效應。MOS電容器可包括一FET結構。由MOS電容器產生之該一或多個諧波可至少部分地受控於提供至MOS電容器之FET結構的本體偏壓信號。

在一些實施例中，該非線性電容器可連接至FET之源極。

在一些實施例中，該開關可進一步包括一經連接至FET之閘極並經組態以將一偏壓信號提供至FET之閘極的閘極偏壓電路。

在一些實施例中，該開關可進一步包括一經連接至FET之本體且

經組態以將一偏壓信號提供至FET之本體的本體偏壓電路。

在一些實施例中，第一節點可經組態以接收具有一功率值之一RF信號且第二節點經組態以當FET在接通狀態中時輸出RF信號。該至少一FET可包括串聯連接之N個FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

在一些實施中，實例1係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得該至少一FET中之每一者在接通狀態或斷開狀態中。該方法進一步包括藉由將另一非線性信號施加至該至少一FET中之每一者的一各別源極或一各別汲極而補償該至少一FET之非線性效應。

根據許多實施，實例1係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括連接至該至少一FET中之每一者的一各別源極或一各別汲極之一補償電路。該補償電路經組態以補償由該至少一FET產生之非線性效應。

在一些實施例中，該晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。該晶粒可為絕緣體上矽(SOI)晶粒。

在許多實施中，實例1係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板，及在該半導體基板上形成至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別源極及一各別汲極。該方法進一步包括在半導體基板上形成一補償電路。該方法進一步包括將補償電路連接至該至少一FET中之每一者的各別源極或各別汲極以藉此允許補償電路補償由該至少一FET產生之非線性效應。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間

形成一絕緣體層。

根據一些實施，實例1係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該模組進一步包括連接至該至少一FET中之每一者的各別源極或各別汲極之一補償電路。該補償電路經組態以補償由該至少一FET產生之非線性效應。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，補償電路可為與該至少一FET相同的半導體晶粒之部分。在一些實施例中，補償電路可為安裝於封裝基板上的第二晶粒之部分。在一些實施例中，補償電路可安置於半導體晶粒之外的一位置處。

在一些實施中，實例1係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括連接至收發器並經組態以產生經放大RF信號之一功率放大器。該無線裝置進一步包括連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線之一開關。該開關包括至少一場效電晶體(FET)。該開關進一步包括連接至該至少一FET中之每一者的各別源極或各別汲極之一補償電路。該補償電路經組態以補償由該至少一FET產生之非線性效應。

實例2之描述

如本文中所描述，互調變失真(IMD)可為歸因於來自其他射頻(RF)信號之混合積而添加至所要的信號之非吾人所樂見信號之量測。此等失真可特別在多模式多頻帶環境中佔優勢。

IMD可自兩個或兩個以上信號混合在一起及產生並非諧波頻率之

頻率而引起。在一些實施中，對此干擾之敏感性可藉由改良系統之線性而減少，此係因為系統之線性可控管將產生多少IMD(及接著產生多少干擾)。經由系統之建置區塊(諸如，RF開關)的經改良線性，可減少系統對干擾之總體敏感性。

對於RF開關中之較低IMD的需要可在各種無線系統設計中起重要作用。在無線工業中已進行大量努力來減少開關中之IMD。舉例而言，長期演進(LTE)系統可顯著自RF開關具有減少之IMD受益。作為一更特定實例，針對LTE上同時的語音及資料(SVLTE)之系統設計可顯著自RF開關具有超低級別之IMD受益。

在一些實施中，閘極端子與FET之源極及汲極端子中任一者可由一電路耦接以用於IMD效能改良。出於描述之目的，將假定此電路耦接閘極端子與源極端子；然而，應理解，該電路可耦接閘極端子與汲極端子。

在一些實施中，本體端子與FET之源極及汲極端子中任一者可由一電路耦接以用於IMD效能改良。出於描述之目的，將假定此電路耦接本體端子與源極端子；然而，應理解，該電路可耦接本體端子與汲極端子。

在一些實施中，閘極端子及本體端子中之每一者與FET之源極及汲極端子中任一者可由電路耦接以用於IMD效能改良。出於描述之目的，將假定此等電路將閘極端子及本體端子中之每一者耦接至源極端子；然而，應理解，可進行與汲極端子之此等耦接。

圖11A至圖11F展示具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120的開關電路實例220。FET 120之閘極端子經展示為經由閘極電阻器 R_g 而偏壓。閘極電阻器 R_g 可經組態以使閘極浮動。圖11A、圖11C及圖11E展示具有電阻-本體連接(具有本體電阻器 R_b ，其可經組態以使本體浮動)之組態；且圖11B、

圖11D及圖11F展示具有二極體-本體連接(具有二極體226)之組態。

在圖11A至圖11F中所示之實例中的每一者中，閘極端子及本體端子中之任一者或兩者可藉由具有與電阻器224串聯之一電容器222的一或多個耦接電路與源極端子耦接。出於描述圖11A至圖11F之目的，耦接電路被稱作RC電路。

此耦接可允許界面電荷自經耦接閘極及/或本體放電。此界面電荷之放電可導致IMD效能之改良，尤其對於低頻阻擋器。對於RC電路耦接至閘極之組態，可藉由RC電路將高阻抗呈現給低頻信號，RC電路防止低頻信號洩漏至閘極，或減少低頻信號洩漏至閘極。類似地，對於RC電路耦接至本體之組態，可藉由RC電路將高阻抗呈現給低頻信號，RC電路防止低頻信號洩漏至本體，或減少低頻信號洩漏至本體。

圖11A展示具有與電阻器224(電阻R)串聯之電容器222(電容C)的RC電路將一源極端子與SOI FET 120之閘極端子耦接的開關電路220。在此實例中，閘極及本體兩者皆因其各別電阻器 R_g 及 R_b 而浮動。

圖11B展示具有與電阻器224(電阻R)串聯之電容器222(電容C)的RC電路將一源極端子與SOI FET 120之閘極端子耦接的開關電路220。在此實例中，閘極因電阻器 R_g 而浮動，且提供二極體-本體連接。

圖11C展示具有與電阻器224(電阻R)串聯之電容器222(電容C)的RC電路將一源極端子與SOI FET 120之本體端子耦接的開關電路220。在此實例中，閘極及本體兩者皆因其各別電阻器 R_g 及 R_b 而浮動。

圖11D展示具有與電阻器224(電阻R)串聯之電容器222(電容C)的RC電路將一源極端子與SOI FET 120之本體端子耦接的開關電路

220。在此實例中，閘極因電阻器 R_g 而浮動，且提供二極體-本體連接。

圖11E展示具有與電阻器224(電阻 R)串聯之電容器222(電容 C)的RC電路將一源極端子與SOI FET 120之本體端子耦接的開關電路220。具有與電阻器224'(電阻 R')串聯之電容器222'(電容 C')的另一RC電路將一源極端子與FET 120之閘極端子耦接。在此實例中，閘極及本體兩者皆因其各別電阻器 R_g 及 R_b 而浮動。

圖11F展示具有與電阻器224(電阻 R)串聯之電容器222(電容 C)的RC電路將一源極端子與SOI FET 120之本體端子耦接的開關電路220。具有與電阻器224'(電阻 R')串聯之電容器222'(電容 C')的另一RC電路將一源極端子與FET 120之閘極端子耦接。在此實例中，閘極因電阻器 R_g 而浮動，且提供二極體-本體連接。

圖12A至圖12F展示具有參看圖11A至圖11F描述之開關電路220的開關臂230。在該等實例中之每一者中， N 個此等開關電路經展示為串聯連接以提供在端子144、146之間的切換功能性。

在一些實施例中，用於複數個FET 120之閘極偏壓電壓(V_g)可實質上相同，且由一共同閘極偏壓電路提供。此共同閘極偏壓電壓 V_g 經展示為經由閘極電阻器 R_g 而提供至閘極。類似地，用於複數個FET 120之本體偏壓電壓(V_b)可實質上相同，且由一共同本體偏壓電路提供(針對具有電阻-本體連接之實例)。

在一些實施例中，FET 120之閘極中之一些或所有可經獨立地偏壓。在一些情形中，諸如，當需要跨越FET之實質上相等電壓分配時，實施閘極之此獨立偏壓可為有利的。類似地，在一些實施例中，FET 120之本體中的一些或所有可經獨立地偏壓。在一些情形中，諸如，當需要跨越FET之實質上相等電壓分配時，實施本體之此獨立偏壓可為有利的。

在一些實施中，且如本文中所描述，參看圖11及圖12描述之前述實例組態可產生IMD效能之改良，尤其對於低頻阻擋器。

實例2之摘要

在許多實施中，實例2係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別源極、汲極、閘極及本體。RF開關進一步包括具有第一路徑及第二路徑中之至少一者的一耦接電路，其中該第一路徑在各別源極或汲極與每一FET之對應閘極之間，且第二路徑在各別源極或汲極與每一FET之對應的本體之間。耦接電路經組態以允許界面電荷自經耦接閘極及本體中之任一者或兩者放電。

在一些實施例中，FET可為絕緣體上矽(SOI) FET。在一些實施例中，耦接電路可包括第一路徑，但不包括第二路徑，其中耦接電路包括具有與電阻器串聯之一電容器以藉此允許自閘極放電的一RC電路。在一些實施例中，耦接電路可包括第二路徑，但不包括第一路徑，其中耦接電路包括具有與電阻器串聯之一電容器以藉此允許自本體放電的一RC電路。在一些實施例中，耦接電路可包括第一路徑及第二路徑兩者，其中耦接電路包括第一RC電路及第二RC電路。第一RC電路可具有與第一電阻器串聯之一第一電容器以藉此允許自閘極放電。第二RC電路可具有一與第二電阻器串聯之一第二電容器以藉此允許自本體放電。

在一些實施例中，第一路徑及第二路徑中之每一者可連接至汲極。在一些實施例中，RF開關可進一步包括連接至閘極並經組態以使閘極浮動之一閘極電阻器。在一些實施例中，RF開關可進一步包括連接至本體並經組態以使本體浮動之一本體電阻器。在一些實施例中，RF開關可進一步包括在本體與閘極之間的二極體-本體連接。

在一些實施例中，第一節點可經組態以接收具有一功率值之RF

信號且第二節點可經組態以當FET在接通狀態中時輸出該RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

根據一些實施，實例2係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)。該方法進一步包括藉由提供第一路徑及第二路徑中之至少一者而將界面電荷自每一FET之閘極及本體中之至少一者放電，其中第一路徑在源極或汲極與每一FET之閘極之間，且第二路徑在源極或汲極與每一FET之本體之間。

根據許多實施，實例2係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括具有第一路徑及第二路徑中之至少一者的一耦接電路，其中該第一路徑在源極或汲極與每一FET之閘極之間，且第二路徑在源極或汲極與每一FET之本體之間。該耦接電路經組態以允許將界面電荷自經耦接閘極及本體中之任一者或兩者放電。

在一些實施例中，耦接電路可包括具有與電阻器串聯之一電容器的至少一RC電路。在一些實施例中，晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。晶粒可為絕緣體上矽(SOI)晶粒。

在一些實施中，實例2係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板及在該半導體基板上形成至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別閘極、本體、源極及汲極。該方法進一步包括在半導體基板上形成一耦接電路。該方法進一步包括藉由耦接電路形成第一路徑及第二路徑中之至少一者，其中第一路徑在各別源極或汲極與每一FET之各別閘極之間，且第二路徑在各別源極或汲極與每一FET之各別本體之間。耦接電路經組態以允許將界面電荷自經耦接閘極及本體中之任一者或兩者

放電。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

根據許多實施，實例2係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該模組進一步包括具有第一路徑及第二路徑中之至少一者的一耦接電路，其中該第一路徑在源極或汲極與每一FET之閘極之間，且該第二路徑在源極或汲極與每一FET之本體之間。耦接電路經組態以允許界面電荷自經耦接閘極及本體中之任一者或兩者放電。

在一些實施例中，該半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，耦接電路可包括具有與電阻器串聯之一電容器的至少一RC電路。在一些實施例中，RC電路可為與至少一FET相同之半導體晶粒之部分。在一些實施例中，RC電路之至少一些可為安裝於封裝基板上的第二晶粒之部分。在一些實施例中，RC電路之至少一些可安置於半導體晶粒之外的一位置處。

在許多實施中，實例2係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號投送至天線。該開關包括至少一場效電晶體(FET)。該開關進一步包括具有第一路徑及第二路徑中之至少一者的一耦接電路，其中該第一路徑在源極或汲極與每一FET之閘極之間，且該第二路徑在源極或汲極與每一FET之本體之間。耦接電路經組態以允許將界面電荷自經耦接閘極及本體中之任一者或兩者放電。

在一些實施例中，耦接電路可包括具有與電阻器串聯之一電容器的至少一RC電路。在一些實施例中，無線裝置可經組態以在LTE通信系統中操作。

實例3之描述

一些無線系統(諸如，長期演進(LTE)、微波存取全球互通(WiMAX)及分碼多重存取(CDMA))可能需要非常高線性射頻(RF)開關。在一些實施例中，此等RF開關可基於諸如SOI FET之FET而實施。

與此等高線性FET開關相關聯之挑戰可包括提供所要的低頻IMD2及IMD3效能規格。在一些情形中，用於此等開關之FET可歸因於FET之本體中的固定電荷而作用類似MOS電容器；且此MOS電容器可為高度非線性。此效應可在較低頻率下更加顯著。在IMD之情境中，低頻IMD可歸因於(例如)製程限制而更難以管理。

一些解決方案依賴於在天線端子處之低通濾波器。其他解決方案利用防護環、深陷阱或隔離深渠溝。此等解決方案可相當昂貴，且通常需要附加空間及製程步驟。

在一些實施中，前述挑戰中之一或多者可藉由將頻率調諧電路連接至FET之本體來解決。在一些實施例中，此電路可經接通或切斷。因此，此組態可提供藉由一頻率獨立組件控制本體的一動態方式。

在一些實施例中，頻率調諧電路可在低頻下作用類似短路且在操作頻率下類似斷路。此組態可藉由將低頻失真有效地短接至RF接地同時不影響在操作頻率下的切換電路表現而在低頻下移除本體中之固定表面電荷。出於描述之目的，操作頻率可包括(例如)在自大致700 MHz至6000 MHz之範圍內的頻率。對應於此等操作頻率之低頻可包括(例如)低於大致200 MHz之頻率(例如，90 MHz至180 MHz)。

圖13展示具有經組態以提供在第一節點144與第二節點146之間

的切換功能性之一SOI FET 120的一開關電路實例300。FET 120之閘極端子經展示為自一閘極偏壓電路偏壓。

如圖13中所示，一本體偏壓電路302可包括具有一電感器308 (電感L)及電容器310 (電容C)之LC電路。L及C之值可經選擇以產生LC電路之一所要的諧振頻率。LC電路經展示為可由開關306(例如，指示為「M2」之另一FET)連接至接地。FET M2之閘極控制經展示為由其閘極偏壓電壓 V_{control} 經由其閘極電阻器R提供。

當SOI FET 120(指示為「M1」)接通時，開關300在節點144與146之間接通，且M2斷開。此組態可藉由使M1之本體浮動提供減少或最小之插入損失。當M1斷開時，開關300在節點144與146之間斷開，且M2接通。此組態可提供DC短路(如圖13之實例中所示)或提供一固定DC電壓至本體基板。因此，此組態可防止或減少寄生接面二極體接通之可能性，且藉此減少與大電壓擺動相關聯之失真。在較高頻率下，LC電路可呈現高阻抗並最小化可增加開關300之插入損失的負載效應。

圖14展示具有參看圖14描述之複數個開關電路300的一開關臂310。在該實例組態310中，N個此等開關電路經展示為串聯連接以提供在端子144、146之間的切換功能性。

在一些實施例中，用於複數個FET 120之閘極偏壓電壓(V_g)可實質上相同，且由一共同閘極偏壓電路來提供。此共同閘極偏壓電壓 V_g 經展示為經由閘極電阻器 R_g 提供至閘極。在一些實施例中，FET 120之閘極中之一些或所有可經獨立地偏壓。在一些情況下，諸如當需要跨越FET之實質上相等的電壓分配時或當需要FET之間的額外隔離時，實施閘極之此獨立偏壓可為有利的。

在圖14之實例組態310中，每一切換電路300經描繪為包括一頻率調諧本體偏壓電路。在一些實施例中，一共同頻率調諧本體偏壓電

路可針對FET 120中之一些或所有提供一共同偏壓連接。在一些實施例中，FET 120之本體中之一些或所有可經獨立地偏壓。在一些情形中，諸如當需要跨越FET之實質上相等電壓分配時，實施本體之此獨立偏壓可為有利的。

在一些實施中，且如本文中所描述，參看圖13及圖14描述之前述實例組態可產生在較低頻率下的改良而不顯著地影響操作頻率效能。可提供的另一優點包括一其中當開關接通時本體偏壓可經切斷以使本體浮動的特徵，藉此改良插入損失效能。

實例3之摘要

根據一些實施，實例3係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別本體。RF開關進一步包括將每一FET之各別本體連接至參考節點之一諧振電路。諧振電路經組態以在低於選定值之低頻下表現為一大致閉合電路及在一操作頻率下表現為一大致斷路，其中大致閉合電路允許將表面電荷自各別本體移除至參考節點。

在一些實施例中，FET可為絕緣體上矽(SOI) FET。在一些實施例中，諧振電路可包括具有與電容器電並聯之一電感器的一LC電路。諧振電路可進一步包括一本體開關，其經組態以將本體連接至參考節點或將本體與參考節點斷開連接，該本體開關可包括一第二FET。該第二FET可經組態以當第一FET接通時斷開該第二FET，以藉此使第一FET之本體浮動。該第二FET可經進一步組態以當第一FET斷開時接通第二FET，以促進將表面電荷自本體移除至參考節點。

在一些實施例中，參考節點可包括一接地節點。在一些實施例中，RF開關可進一步包括連接至FET之閘極並經組態以將一偏壓信號提供至FET之閘極的一閘極偏壓電路。

在一些實施例中，第一節點可經組態以接收具有一功率值之RF

信號且第二節點可經組態以當FET在接通狀態中時輸出該RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

在許多實施中，實例3係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得該至少一FET中之每一者在接通狀態或斷開狀態中。該方法進一步包括在低於選定值之較低頻率下自該至少一FET中之每一者的各別本體選擇性地移除表面電荷。選擇性移除由在低頻下表現為一大致閉合電路的諧振電路促進。

在一些實施例中，諧振電路可進一步在操作頻率下表現為一大致斷路。在一些實施例中，諧振電路可包括一LC電路。

在一些實施中，實例3係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括將該至少一FET中之每一者的各別本體連接至一參考節點的一諧振電路。該諧振電路經組態以在低於選定值之低頻下表現為一大致閉合電路並在操作頻率下表現為一大致斷路。該大致閉合電路允許將表面電荷自各別本體移除至參考節點。

在一些實施例中，晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。晶粒可為絕緣體上矽(SOI)晶粒。

根據許多實施，實例3係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板及在該半導體基板上形成至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一本體。該方法進一步包括在該半導體基板上形成一諧振電路。該諧振電路經組態以在低於選定值之低頻下表現為大致閉合電路且在操作頻率下表現為大致斷路。該方法進一步包括連接在該至少一FET之各別本體與參考節點之間的諧振電路以允許當諧振電路大致閉合時將表面電荷自各別本

體移除至參考節點。

在一些實施例中，該方法可進一步包括在該FET與半導體基板之間形成一絕緣體層。

根據一些實施，實例3係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該模組進一步包括一諧振電路，其將該至少一FET中之每一者的一各別本體連接至一參考節點。該諧振電路經組態以在低於選定值之低頻下表現為大致閉合電路且在操作頻率下表現為大致斷路。該大致閉合電路允許將表面電荷自各別本體移除至參考節點。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，諧振電路可為與該至少一FET相同之半導體晶粒之部分。在一些實施例中，諧振電路可為安裝於封裝基板上之第二晶粒之部分。在一些實施例中，諧振電路可安置於該半導體晶粒之外的一位置處。

在一些實施中，實例3係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線。該開關包括至少一場效電晶體(FET)。該開關進一步包括將該至少一FET中之每一者的各別本體連接至一參考節點的一諧振電路。該諧振電路經組態以在低於選定值之低頻下表現為大致閉合電路且在操作頻率下表現為大致斷路。該大致閉合電路允許將表面電荷自各別本體移除至參考節點。

實例4之描述

在許多射頻(RF)傳輸應用中，開關設計通常需要高功率操作能力，尤其在失配情況下。舉例而言，用於天線調諧之開關預期承受在+35 dBm輸入功率下高達20:1之失配。又，用於諸如GSM之無線系統中的一些開關預期承受在+35 dBm輸入功率下之5:1失配。較高場效電晶體(FET)堆疊高度通常用以承受高功率並改良壓縮點。

用於線性之另一重要量度為互調變失真(IMD)。IMD量測歸因於來自其他RF信號之混合積添加至所要的信號之非吾人所樂見之信號。此效應可特別在多模式多頻帶環境中佔優勢。IMD可自兩個或兩個以上信號混合在一起以產生並非諧波頻率之頻率而引起。

系統設計者通常努力經由(例如)改良之線性而減少干擾敏感性。給定系統之線性可控管將在系統內產生多少IMD，其接著可創造干擾。經由系統建置區塊(諸如，RF開關)的經改良線性，可減少系統對干擾之總敏感性。

圖15展示一開關電路實例320，其具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120。FET 120之閘極端子可經由閘極電阻器R_g而偏壓。

在一些實施例中，開關電路320可經實施，使得FET 120之本體端子用於功率處置及IMD改良。藉由實例，具有與電阻器324(電阻R)串聯之二極體322的電路可耦接FET 120之本體及閘極。在實例中，二極體322之陽極可連接至FET 120之本體，且陰極可連接至電阻器端子中之一者。電阻器324之另一端子連接至FET 120之閘極。此組態可促進來自本體之過多電荷的更好分佈，此接著可產生(例如)壓縮滾降特性(例如，較高P_{1dB})及IMD效能的改良。二極體322之大小及電阻器324之值可經選擇以最佳化或產生與P_{1dB}及IMD相關聯的合乎需要之效能。

圖16展示具有參看圖15描述之複數個開關電路320的開關臂

330。在實例組態330中，N個此等開關電路經展示為串聯連接以提供在端子144、146之間的切換功能性。數目N可基於功率處置要求而選擇。舉例而言，N可經增加以處置較高功率。

在一些實施例中，用於複數個FET 120之閘極偏壓電壓(V_g)可實質上相同，並由一共同閘極偏壓電路提供。此共同閘極偏壓電壓 V_g 經展示為經由閘極電阻器 R_g 提供至閘極。在一些實施例中，FET 120之閘極中之一些或所有可經獨立地偏壓。在一些情形中，諸如當需要跨越FET之實質上相等的電壓分配時，實施閘極之此獨立偏壓可為有利的。

在圖16之實例組態330中，具有如參看圖15描述之二極體及電阻器的電路可針對N個個別開關電路320中之每一者提供，可提供在FET之N個本體與閘極之間之共同耦接，或其任一組合。

在一些實施例中，參看圖15及圖16描述之該(等)二極體及該(等)電阻器可實施於與該(等)開關電路320相同之晶粒上、晶粒之外或其任一組合。

在一些實施中，且如本文中所描述，參看圖15及圖16描述之前述實例組態可相對較簡單及較易於實施，且可產生許多改良。舉例而言，此技術可改良RF開關之壓縮滾降特性(例如，平滑滾降)。在另一實例中，此技術可改良RF開關之IMD效能。在又一實例中，此技術可允許RF開關設計消除可需要與(例如)本體電阻器、控制線及位準移位器相關聯之額外面積附加項的電阻性本體接觸拓撲。

實例4之摘要

根據許多實施，實例4係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別本體及閘極。該RF開關進一步包括耦接每一FET之各別本體及閘極的一耦接電路。該耦接電路包括一個二極

體，其與電阻器串聯並經組態以促進自各別本體移除過多電荷。

在一些實施例中，FET可為絕緣體上矽(SOI) FET。在一些實施例中，二極體之陽極可連接至本體，且二極體之陰極可連接至電阻器之一端，其中電阻器之另一端連接至閘極。二極體及電阻器可經組態以產生開關的改良之P1dB及IMD效能。

在一些實施例中，RF開關可進一步包括一閘極電阻器，其連接至閘極以促進閘極之浮動。在一些實施例中，第一節點可經組態以接收具有一功率值之RF信號且第二節點可經組態以當FET在接通狀態中時輸出該RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

在許多實施中，實例4係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得每一FET在接通狀態或斷開狀態中。該方法進一步包括經由一將本體耦接至FET之閘極的耦接電路自每一FET之本體移除過多電荷。耦接電路包括一與電阻器串聯之二極體。

根據一些實施，實例4係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括耦接每一FET之本體及閘極的一耦接電路。該耦接電路包括一個二極體，其與電阻器串聯並經組態以促進自每一FET之本體移除過多電荷。

在一些實施例中，晶粒可進一步包括安置於FET與半導體基板之間之一絕緣體層。晶粒可為絕緣體上矽(SOI)晶粒。

在許多實施中，實例4係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板及在該半導體基板上形成至少一場效電晶體(FET)，其中FET中之每一者具有一各別閘極及本體。該方法進一步包括在半導體基板上形成一耦接電路。該耦接電路包括與電

阻器串聯之一個二極體。該方法進一步包括連接每一FET之本體與閘極之間的耦接電路以促進自本體移除過多電荷。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

根據許多實施，實例4係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該模組進一步包括耦接每一FET之本體與閘極的一耦接電路。該耦接電路包括一個二極體，其與電阻器串聯並經組態以促進自每一FET之本體移除過多電荷。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，耦接電路可為與該至少一FET相同之半導體晶粒之部分。在一些實施例中，耦接電路可為安裝於封裝基板上之第二晶粒之部分。在一些實施例中，耦接電路可安置於半導體晶粒之外的一位置處。

在一些實施中，實例4係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線。該開關包括至少一場效電晶體(FET)。該開關進一步包括耦接每一FET之本體與閘極的一耦接電路。該耦接電路包括一個二極體，其與電阻器串聯並經組態以促進自每一FET之本體移除過多電荷。

實例5之描述

互調變失真(IMD)量測歸因於來自其他RF信號之混合積而添加至

所要的信號之非吾人所樂見之信號。此效應可特別在多模式多頻帶環境中佔優勢。IMD可自兩個或兩個以上信號混合在一起以產生並非諧波頻率之頻率而引起。

系統設計者通常努力經由(例如)改良之線性而減少干擾敏感性。給定系統之線性可控管將在系統內產生多少IMD，其接著可創造干擾。經由系統建置區塊(諸如，RF開關)的經改良線性，可減少系統對干擾之總敏感性。

RF開關中諸如較低IMD之效能特徵可為無線裝置設計中之重要因素。舉例而言，長期演進(LTE)系統可顯著自RF開關具有減少之IMD受益。作為一更特定實例，針對LTE上同時的語音及資料(SVLTE)之系統設計可顯著自RF開關具有超低級別之IMD受益。

圖17A展示一開關電路實例340，其具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120。可經由一閘極電阻器(電阻R_g)將一閘極偏壓信號提供給FET 120之閘極。可經由一本體電阻器(電阻R_b)將一本體偏壓信號提供給FET 120之本體。

在一些實施中，可針對FET 120提供附加閘極及/或本體電阻。在實例組態340中，附加閘極電阻器(電阻R₁)經展示為與閘極電阻器R_g串聯連接。在一些實施例中，可藉由(例如)開關S₁(例如，另一FET)以一選定方式引入此附加閘極電阻。舉例而言，開關S₁之斷開導致附加電阻器R₁與R_g串聯；且S₁之閉合導致當附加電阻不需要或不為所要時(例如，這了改良之切換時間)繞過附加電阻器R₁。

在實例組態340中，附加本體電阻器(電阻R₂)經展示為與本體電阻器R_b串聯連接。在一些實施例中，可藉由(例如)開關S₂(例如，另一FET)以一選定方式引入此附加本體電阻。舉例而言，開關S₂之斷開導致附加電阻器R₂與R_b串聯；且S₂之閉合導致當附加電阻不需要或不為所要時(例如，為了改良之切換時間)繞過附加電阻器R₂。

在一些實施中，用於閘極及本體之附加電阻可一起或彼此獨立地接通或斷開。在一些實施例中，附加電阻中之僅一者可提供至閘極或本體。舉例而言，圖17B展示一實例組態340，其中如參看圖17A所描述而提供附加閘極電阻，但本體經組態有一個二極體(D)本體接觸。

圖18A及圖18B展示具有參看圖17A及圖17B描述之開關電路的開關臂350。在圖18A之實例組態350中，N個具有閘極電阻 R_g 及本體電阻 R_b 之開關電路經串聯連接以提供在端子144、146之間的切換功能性。一共同附加電阻 R_1 經展示為提供至FET 120之閘極；且此附加電阻 R_1 可由一共同開關 S_1 而接通及切斷。一共同附加電阻 R_2 經展示為提供至FET 120之本體；且此附加電阻 R_2 可由一共同開關 S_2 而接通及切斷。在一些實施例中，此可切換附加電阻可經獨立地提供至開關臂350中的FET之閘極及/或本體中之個別者或一些。

在圖18B之實例組態350中，N個具有閘極電阻 R_g 及二極體本體接觸之開關電路經串聯連接以提供在端子144、146之間的切換功能性。一共同附加電阻 R_1 經展示為提供至FET 120之閘極；且此附加電阻 R_1 可由一共同開關 S_1 而接通及切斷。在一些實施例中，此可切換附加電阻可經獨立地提供至開關臂350中的FET之閘極及/或本體中之個別者或一些。

開關臂350中的開關電路之數目(N)可基於功率處置需求來選擇。舉例而言，可增加N以處置較高功率。

在一些實施例中，參看圖17及圖18描述之該(等)附加電阻器(R_1 及/或 R_2)及其各別開關可實施於與該(等)開關電路340相同之晶粒上、晶粒之外或其任一組合。

在一些實施例中，該(等)附加電阻(R_1 及/或 R_2)之值可經選擇以最佳化或改良IMD效能，伴有對開關電路340之切換時間的最小或減

少之影響。此組態可產生改良之IMD效能，包括用於低頻阻擋器之改良。舉例而言，該等附加電阻(R1及/或R2)可經選擇以在閘極及本體處產生對低頻信號之高阻抗，藉此防止或減少此等低頻信號洩漏至閘極及本體中。

在一些實施中，且如本文中所描述，參看圖17及圖18描述之前述實例組態可相對較簡單及較易於實施，且可產生許多改良。舉例而言，此技術可改良RF開關之IMD效能，包括在低頻處之IMD效能。

實例5之摘要

根據許多實施，實例5係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別閘極及本體。RF開關進一步包括連接至每一FET之各別閘極及本體中之至少一者的一可調整電阻電路。

在一些實施例中，FET可為絕緣體上矽(SOI) FET。在一些實施例中，可調整電阻電路可包括與第二電阻器與旁路開關之並聯組合串聯的一第一電阻器。旁路開關閉合可導致繞過第二電阻器以產生可調整電阻之一第一電阻，且旁路開關斷開可導致比第一電阻大大致第二電阻器之值的第二電阻。第一電阻器可包括偏壓電阻器。第二電阻可經選擇以改良互調變失真(IMD)效能，且第一電阻可經選擇以產生對FET之切換時間的減少之影響。

在一些實施例中，可調整電阻電路可連接至閘極。在一些實施例中，RF開關可進一步包括連接至本體之一第二可調整電阻電路。在一些實施例中，RF開關可進一步包括連接至本體之一個二極體本體接觸。

在一些實施例中，可調整電阻電路可連接至本體，但不連接至閘極。在一些實施例中，第一節點可經組態以接收具有一功率值之RF信號且第二節點經組態以在FET在接通狀態中時輸出RF信號。該

至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

在一些實施中，實例5係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得每一FET在接通狀態或斷開狀態中。該方法進一步包括調整連接至每一FET之閘極及本體中之至少一者的電路之電阻。

在一些實施例中，該調整可包括繞過串聯連接的第一電阻器及第二電阻器中之一者。

根據許多實施，實例5係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括連接至每一FET之閘極及本體中之至少一者的一可調整電阻電路。

在一些實施例中，晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。該晶粒可為絕緣體上矽(SOI)晶粒。

在許多實施中，實例5係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板及在該半導體基板上形成至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別閘極及本體。該方法進一步包括在半導體基板上形成一可調整電阻電路。該方法進一步包括將該可調整電阻電路連接至每一FET之閘極及本體中之至少一者。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

根據一些實施，實例5係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該模組進一步包括連接至每一FET之閘極及本體中之至少一者的一可

調整電阻電路。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，該可調整電阻電路可為與該至少一FET相同之半導體晶粒的部分。在一些實施例中，該可調整電阻電路可為安裝於封裝基板上之第二晶粒之部分。在一些實施例中，該可調整電阻電路可安置於半導體晶粒之外的一位置處。

在一些實施中，實例5係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線。開關包括至少一場效電晶體(FET)。開關進一步包括連接至每一FET之閘極及本體中之至少一者的一可調整電阻電路。

實例6之描述

互調變失真(IMD)量測歸因於來自其他RF信號之混合積而添加至所要的信號之非吾人所樂見之信號。此效應可特別在多模式多頻帶環境中佔優勢。IMD可自兩個或兩個以上信號混合在一起以產生並非諧波頻率之頻率而引起。

系統設計者通常努力經由(例如)改良之線性而減少干擾敏感性。給定系統之線性可控管將在系統內產生多少IMD，其接著可創造干擾。經由系統建置區塊(諸如，RF開關)的經改良線性，可減少系統對干擾之總敏感性。

RF開關中諸如較低IMD之效能特徵可為無線裝置設計中之重要因素。舉例而言，長期演進(LTE)系統可顯著自RF開關具有減少之IMD受益。作為一更特定實例，針對LTE上同時的語音及資料

(SVLTE)之系統設計可顯著自RF開關具有超低級別之IMD受益。

圖19展示一開關電路實例360，其具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120。FET 120之閘極端子可經由閘極電阻器 R_g 而偏壓以(例如)使閘極浮動。FET 120之本體端子可經由本體電阻器 R_b 而偏壓以(例如)使本體浮動。

在一些實施例中，開關電路360可經實施以利用FET 120之本體端子來產生IMD效能之改良。在開關電路360中，包括與電阻器364 (電阻 R)串聯之一電容器362 (電容 C)的RC電路可耦接FET 120之本體及閘極。此耦接可允許將界面電荷自本體放電。在一些實施例中，電容 C 及電阻 R 之值可經選擇以最佳化或改良開關電路360之IMD效能。

圖20展示一開關臂370，其具有參看圖19描述之複數個開關電路360。在實例組態370中， N 個此開關電路經展示為串聯連接以提供在端子144、146之間的切換功能性。數目 N 可基於功率處置要求而選擇。舉例而言，可增加 N 以處置較高功率。

在一些實施例中，用於複數個FET 120之閘極偏壓電壓(V_g)可實質上相同，並由一共同閘極偏壓電路提供。此共同閘極偏壓電壓 V_g 經展示為經由閘極電阻器 R_g 提供至閘極。在一些實施例中，FET 120之閘極中之一些或所有可經獨立地偏壓。在一些情形中，諸如當需要跨越FET之實質上相等之電壓分配時，實施閘極之此獨立偏壓可為有利的。

在圖20之實例組態370中，具有如參看圖19描述之電容器(電容 C)及電阻器(電阻 R)的電路可經針對 N 個個別開關電路360中之每一者提供，可提供在FET之 N 個本體與閘極之間之共同耦接，或其任一組合。

在一些實施例中，參看圖19及圖20描述之該(等)電容器及該(等)電阻器可實施於與該(等)開關電路360相同之晶粒上、晶粒之外或其

任一組合。

在一些實施中，且如本文中所描述，參看圖19及圖20描述之前述實例組態可相對較簡單及較易於實施，且可產生許多改良。舉例而言，此技術可改良RF開關之IMD效能。在另一實例中，此技術可提供針對P1dB的改良之滾降特性。

實例6之摘要

根據許多實施，實例6係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別本體及閘極。該RF開關進一步包括安置於每一FET之各別本體與閘極之間的一耦接電路。該耦接電路經組態以允許將界面電荷自各別本體放電。

在一些實施例中，FET可為一絕緣體上矽(SOI) FET。在一些實施例中，該耦接電路可包括與電阻器串聯之一電容器。該電容器及該電阻器可經選擇以產生開關之經改良互調變失真(IMD)效能。

在一些實施例中，RF開關可進一步包括連接至閘極之一閘極偏壓電阻器。在一些實施例中，RF開關可進一步包括連接至本體之一本體偏壓電阻器。

在一些實施例中，第一節點可經組態以接收具有一功率值之RF信號且第二節點可經組態以當FET在接通狀態中時輸出該RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

根據一些實施，實例6係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得FET在接通狀態或斷開狀態中。該方法進一步包括經由一安置於每一FET之各別本體與對應的閘極之間的耦接電路將界面電荷自該FET之各別本體放電。

在許多實施中，實例6係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括安置於每一FET之本體與閘極之間的一耦接電路。耦接電路經組態以允許界面電荷自本體放電。

在一些實施例中，晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。該晶粒可為絕緣體上矽(SOI)晶粒。

在一些實施中，實例6係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板及在該半導體基板上形成至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一閘極及本體。該方法進一步包括在半導體基板上形成一耦接電路，該耦接電路連接至每一FET之各別本體與閘極以允許界面電荷自各別本體放電。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。在一些實施例中，該耦接電路可包括與電阻器串聯之一電容器。

根據一些實施，實例6係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該模組進一步包括安置於每一FET之本體與閘極之間的一耦接電路。該耦接電路經組態以允許將界面電荷自本體放電。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，該耦接電路可包括與電阻器串聯之一電容器。

在一些實施例中，該耦接電路可為與該至少一FET相同之半導體晶粒之部分。在一些實施例中，該耦接電路可為安裝於封裝基板上之第二晶粒的部分。在一些實施例中，該耦接電路可安置於半導體晶粒之外的一位置處。

根據許多實施，實例6係關於一種無線裝置，其包括經組態以處

理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線。該開關包括至少一場效電晶體(FET)。該開關進一步包括安置於每一FET之本體與閘極之間的一耦接電路。該耦接電路經組態以允許將界面電荷自本體放電。

實例7之描述

在許多射頻(RF)應用中，需要利用具有低插入損失及高隔離值之開關。此等開關之高線性亦係合乎需要的。如本文中所描述，可在不顯著使RF開關之可靠性降級之情況下達成此等有利效能特徵。

圖21展示一開關電路實例380，其具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120。FET 120之閘極可經由一閘極電阻器 R_g 而偏壓以(例如)使閘極偏壓。FET 120之本體經展示為藉由電阻器384 (電阻 R)電阻性地耦接至閘極，且此耦接可藉由第二FET 382 (指示為M2)接通或斷開。M2之操作可受控於經由閘極電阻器 R_{g2} 提供至M2之閘極偏壓電壓。

當FET 120 (指示為M1)接通時，開關電路380接通，且M2可斷開。此組態可藉由使M1之本體浮動而提供開關電路380的最小或減少之插入損失。當M1斷開時，開關電路380斷開，且M2可接通。此組態可將DC電壓自同一節點(例如，閘極節點「G」)提供至M1之本體及閘極兩者。此組態可防止或減少寄生接面二極體接通，且可減少與大電壓擺動相關聯之失真。在一些實施例中，此組態亦可消除至M1之本體的附加偏壓/控制供應。

圖22展示一開關臂390，其具有參看圖21描述之複數個開關電路380。在實例組態390中，N個此等開關電路經展示為串聯連接以提供

在端子144、146之間的切換功能性。數目N可基於功率處置要求來選擇。舉例而言，可增加N以處置較高功率。

在一些實施例中，用於複數個FET 120之閘極偏壓電壓(V_g)可實質上相同，且由一共同閘極偏壓電路來提供。此共同閘極偏壓電壓 V_g 經展示為經由一閘極電阻器 R_g 提供至閘極。在一些實施例中，FET 120之閘極中的一些或所有可經獨立地偏壓。在一些情形中，諸如當需要跨越FET的實質上相等電壓分配時，實施閘極之此獨立偏壓可為有利的。

在圖22之實例組態390中，如參看圖21描述的每一FET 120之本體與閘極之間的可切換(藉由M2)電阻耦接電路可針對N個個別開關電路380中之每一者提供，可提供在FET之N個本體與閘極之間之共同耦接，或其任一組合。在一些實施例中，FET 120之本體中的一些或所有可經獨立地偏壓。在一些情形中，諸如，當需要跨越FET之實質上相等電壓分配時，實施本體之此獨立偏壓可為有利的。

在一些實施例中，參看圖21及圖22描述之該(等)第二FET及該(等)電阻器可實施於與該(等)開關電路380相同之晶粒上、晶粒之外或其任一組合。

在一些實施中，且如本文中所描述，參看圖21及圖22描述之前述實例組態可相對較簡單及較易於實施，且可產生許多改良。舉例而言，此技術可提供開關電路380或臂390之最小或減少之插入損失。在另一實例中，此技術可提供防止或減少寄生接面二極體接通，並可減少與大電壓擺動相關聯之失真。

實例7之摘要

在一些實施中，實例7係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一第一場效電晶體(FET)，其中該至少一第一FET中之每一者具有一各別本體及閘極。該RF開關進一步包

括耦接該至少一第一FET中之每一者的各別本體與閘極的一耦接電路。該耦接電路經組態以可在電阻性耦接模式與本體浮動模式之間切換。

在一些實施例中，該第一FET可為一絕緣體上矽(SOI) FET。在一些實施例中，該耦接電路可包括與耦接開關串聯之一電阻。該耦接開關可包括一第二FET。可在第一FET接通時斷開該第二FET，以產生本體浮動模式。可在第一FET斷開時接通該第二FET，以產生電阻性耦接模式。

在一些實施例中，RF開關可進一步包括連接至閘極之一閘極偏壓電阻器。在一些實施例中，該第一節點可經組態以接收具有一功率值之RF信號且該第二節點經組態以當第一FET在接通狀態中時輸出RF信號。該至少一第一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

根據許多實施，實例7係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得該至少一FET中之每一者在接通狀態或斷開狀態中。該方法進一步包括在當每一FET接通時之本體浮動模式與當每一FET斷開時之電阻性耦接模式之間切換。

在許多實施中，實例7係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括耦接該至少一第一FET中之每一者的各別本體與閘極的一耦接電路。該耦接電路經組態以可在電阻性耦接模式與本體浮動模式之間切換。

在一些實施例中，晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。在一些實施例中，晶粒可為絕緣體上矽(SOI)晶粒。

根據一些實施，實例7係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板，及在該半導體基板上形成至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別閘極及本體。該方法進一步包括在半導體基板上形成一耦接電路。該方法進一步包括連接耦接電路與該至少一FET之各別本體及閘極。耦接電路經組態以可在電阻性耦接模式與本體浮動模式之間切換。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

在一些實施中，實例7係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板及安裝於該封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該開關模組進一步包括耦接該至少一FET中之每一者的各別本體與閘極的一耦接電路。該耦接電路經組態以可在電阻性耦接模式與本體浮動模式之間切換。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，該耦接電路可為與該至少一FET相同之半導體晶粒之部分。在一些實施例中，該耦接電路可為安裝於封裝基板上之第二晶粒的部分。在一些實施例中，該耦接電路可安置於半導體晶粒之外的一位置處。

根據許多實施，實例7係關於一種無線裝置，其包括經組態以處理RF信號之一收發器，及與收發器通信之一天線，該天線經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線。該開關包括至少一場效電晶體(FET)，及耦接該至少一FET中之每一者的各別本體與閘極的一耦接電路。該耦接

電路經組態以可在電阻性耦接模式與本體浮動模式之間切換。

實例8之描述

使用 CMOS/SOI (互補金屬氧化物半導體/絕緣體上矽) 或 pHEMT(擬態高電子遷移率電晶體)電晶體之一些高頻開關可產生引起負面效應(諸如，不能滿足FCC規格)之非線性失真。已利用各種技術來減少此等失真，但其通常不必解決與諧波相關聯的一些基本問題(例如，3階互調變失真(IMD3)及2階互調變失真(IMD2))。舉例而言，(IMD3及IMD2之)一者的改良可導致其他變得更糟。

圖23A展示一開關電路實例400，其具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120。FET 120之閘極可經由一閘極電阻器 R_g 偏壓以(例如)使閘極浮動。FET 120之本體經展示為藉由具有電並聯至二極體404而配置的一電容器402 (電容C)之電路耦接至閘極。在實例中，二極體404之陽極連接至FET 120之本體，且二極體404之陰極連接至FET 120之閘極。在一些實施例中，二極體404可為PMOS二極體，且電容器402及PMOS二極體之所得並聯組合可促進諧波管理(包括IMD3及IMD2)之改良。

圖23B展示開關電路400之另一實例，其具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120。FET 120之閘極可經由一閘極電阻器 R_g 偏壓以(例如)使閘極浮動。FET 120之本體經展示為藉由具有一電容器402(電容C)之電路耦接至閘極。在該實例中，可利用電容器402耦接本體與閘極，但獨立本體偏壓可經由本體電阻器 R_b 而提供。在一些實施例中，此本體電阻器可使本體浮動。

圖24A展示一開關臂410，其具有參看圖23A描述之複數個開關電路400。類似地，圖24B展示具有參看圖23B描述之複數個開關電路400的一開關臂410。在實例組態410中之每一者中，N個此等開關電

路經展示為串聯連接以提供在端子144、146之間的切換功能性。數目N可基於功率處置要求而選擇。舉例而言，可增加N以處置較高功率。

在一些實施例中，用於複數個FET 120之閘極偏壓電壓(V_g)可實質上相同，且由一共同閘極偏壓電路提供。此共同閘極偏壓電壓 V_g 經展示為經由一閘極電阻器 R_g 提供至閘極。在一些實施例中，FET 120之閘極中的一些或所有可經獨立地偏壓。在一些情形中，諸如，當需要跨越FET的實質上相等電壓分配時，實施閘極之此獨立偏壓可為有利的。

在圖24A及圖24B之實例組態410中，如參看圖23A及圖23B描述的每一FET 120之本體與閘極之間的耦接電路可針對N個個別開關電路400中之每一者提供。在一些實施例中，亦可實施在FET之N個本體與閘極中之至少一些之間之共同耦接。

在一些實施例中，參看圖23及圖24描述之電容器及二極體可實施於與該(等)開關電路400相同之晶粒上、晶粒之外或其任一組合。

在一些實施中，且如本文中所描述，參看圖23及圖24描述之前述實例組態可相對較簡單及較易於實施，且可產生許多改良。舉例而言，圖23A及圖24A之組態可在無附加外部偏壓網路之情況下實施。在另一實例中，此技術可改良IMD2效能，同時亦實質上維持IMD3效能。在一些實施中，電阻(例如，電阻器)可提供於每一FET之源極與汲極之間。此組態可幫助使跨越以堆疊形式配置之FET的電壓分配穩定。

圖25A至圖25D展示證明可由參看圖23及圖24描述之RF開關組態提供的一些有利特徵的模擬結果之實例。圖25A展示針對三個實例開關組態之模擬之IMD2對相移的曲線。曲線412a係針對無電容器的標準開關之IMD2。曲線412b係針對具有電容器(圖23A中之402)的標準

開關之IMD2。曲線412c係針對具有電容器(圖23A中之402)的「TR」(「深陷阱」組態)開關之IMD2。具有電容器之兩個開關組態(412b、412c)經展示為具有在整個相移範圍內顯著改良無電容器組態(412a)之IMD2值的IMD2值。

圖25A進一步展示針對前述三個實例開關組態之模擬之IMD3對相移的曲線。曲線414a係針對無電容器的標準開關之IMD3。曲線412b係針對具有電容器(圖23A中之402)的標準開關之IMD3。曲線412c係針對具有電容器(圖23A中之402)的「TR」(「深陷阱」組態)開關之IMD3。吾人可看出，IMD3效能一般針對三個實例中之每一者維持。因此，由電容器402之添加引起的IMD3之降級對於IMD2之顯著改良而言相對極少。

圖25B至圖25D展示模擬之諧波失真對以dBm計之輸入功率(P_{in})的曲線。圖25B為針對具有標準二極體本體偏壓(「w/o電容器」)及具有二極體及並聯電容器組態(「w/電容器」)之一實例SP8T開關的第二諧波及第三諧波以及增益的複合。圖25C展示針對前述二極體及並聯電容器組態之曲線，且圖25D展示針對前述僅二極體組態之曲線。看32 dBm P_{in} 處之各種圖形標記，吾人可看出，第二諧波針對「w/o電容器」狀況具有大致-34.5 dBm之值及針對「w/電容器」狀況具有大致-48.4 dBm之值。對於第三諧波，「w/o電容器」狀況具有大致-50.7 dBm之值，且「w/電容器」狀況具有大致-51.8 dBm之值。對於增益比較，亦注意，「w/o電容器」狀況具有大致0.536 dB之值，且「w/電容器」狀況具有大致0.606 dB之值。基於前述實例，吾人可看出，電容器之添加將第二諧波效能改良約14 dB，其中在對第三諧波具有相對極少影響及對高頻帶插入損失具有預期影響(約0.07 dB)。

實例8之摘要

在一些實施中，實例8係關於一種射頻(RF)開關，其包括安置於

第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別本體及閘極。該RF開關進一步包括耦接每一FET之各別本體與閘極的一耦接電路。該耦接電路包括與二極體電並聯之一電容器。

在一些實施例中，FET可為一絕緣體上矽(SOI) FET。在一些實施例中，該耦接電路可經組態以在不顯著使三階互調變失真(IMD3)效能降級之情況下改良二階互調變失真(IMD2)效能。在一些實施例中，二極體可包括一PMOS二極體。該二極體之陽極可連接至本體且二極體之陰極可連接至閘極。

在一些實施例中，RF開關可進一步包括連接至閘極之一閘極偏壓電阻器。在一些實施例中，第一節點可經組態以接收具有一功率值之RF信號且第二節點可經組態以當FET在接通狀態中時輸出RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

根據一些實施，實例8係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得該至少一FET中之每一者在接通狀態或斷開狀態中。該方法進一步包括經由電容器與二極體之並聯組合耦接該至少一FET中之每一者的各別本體與閘極。

根據許多實施，實例8係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括耦接該至少一FET中之每一者的各別本體與閘極的一耦接電路。該耦接電路包括與二極體電並聯之一電容器。

在一些實施例中，晶粒進一步包括安置於FET與半導體基板之間的一絕緣體層。晶粒可為絕緣體上矽(SOI)晶粒。

在一些實施中，實例8係關於一種用於製造一半導體晶粒之方

法。該方法包括提供一半導體基板及在該半導體基板上形成至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別閘極及本體。該方法進一步包括在半導體基板上形成在每一FET之各別本體與閘極之間的一耦接電路。耦接電路包括與二極體電並聯之一電容器。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

在一些實施中，實例8係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該模組進一步包括耦接該至少一FET中之每一者的各別本體與閘極的一耦接電路。該耦接電路包括與二極體電並聯之一電容器。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，該耦接電路可為與該至少一FET相同之半導體晶粒之部分。在一些實施例中，該耦接電路可為安裝於封裝基板上之第二晶粒的部分。在一些實施例中，該耦接電路可安置於半導體晶粒之外的一位置處。

根據一些實施，實例8係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線。開關包括至少一場效電晶體(FET)。開關進一步包括耦接該至少一FET中之每一者的各別本體與閘極的一耦接電路。耦接電路包括與二極體電並聯之一電容器。

在一些實施中，實例8係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一

FET中之每一者具有一各別本體及閘極。該RF開關進一步包括耦接每一FET之各別本體與閘極的一耦接電路。該耦接電路包括一電容器。

在一些實施例中，FET可為一絕緣體上矽(SOI) FET。在一些實施例中，該耦接電路可經組態以在不顯著使三階互調變失真(IMD3)效能降級之情況下改良二階互調變失真(IMD2)效能。

在一些實施例中，RF開關可進一步包括連接至閘極之一閘極偏壓電阻器。在一些實施例中，第一節點可經組態以接收具有一功率值之RF信號且第二節點可經組態以當FET在接通狀態中時輸出RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

實例9之描述

高度需要一射頻(RF)開關具有低插入損失、高隔離及非常高的線性。此等效能參數通常可彼此衝突。在一些情形中，可藉由調整一閘極偏壓電阻器及用於FET之本體的偏壓電壓來動態地調整此等衝突參數。

在一些情形中，前述挑戰可藉由高值閘極電阻器來解決。然而，在FET在斷開狀態中時，及在信號需要短接至接地時，此高值閘極電阻為固定的可能有問題。又，在一些情形中，本體偏壓可在FET在接通狀態中時經施加以使本體浮動，並在斷開狀態中時接地，以改良插入損失、隔離及線性。

圖26展示一開關電路實例500，其具有經組態以提供在第一節點144與第二節點146之間的切換功能性之一SOI FET 120 (亦指示為M1)。FET 120之閘極可由如下文描述之第二FET 502 (亦指示為M2)以可切換方式經由一電阻器R1以Vctrl來偏壓。FET 120之本體經展示為由亦如下文描述之第三FET 506 (亦指示為M3)以可切換方式耦接至接地。M2之操作可受控於經由其閘極電阻器R2提供至M2的其閘極偏壓

電壓 V_{ctrl_comp} 。M3之操作可受控於提供至無閘極電阻器之M3的相同閘極偏壓電壓 V_{ctrl_comp} 。

當開關電路500接通時，M1接通，且M2及M3中之每一者可斷開。此組態可藉由使本體浮動及提供高阻抗至M1之閘極(例如，藉由M2在其斷開時表現似一高值電阻器)產生最小或減少之插入損失。

當開關電路500斷開時，M1斷開，且M2及M3中之每一者可接通。此組態可產生至M1之本體的一接地偏壓及至M1之閘極的一RF接地，以藉此防止或減少寄生接面二極體效應被接通，且亦減少與大電壓擺動相關聯之失真。M1之閘極的RF短接亦可在M1斷開時改良隔離效能。

圖27展示一開關臂510，其具有參看圖26描述之複數個開關電路500。在實例組態510中，N個此等開關電路經展示為串聯連接以提供在端子144、146之間的切換功能性。數目N可基於功率處置要求來選擇。舉例而言，可增加N以處置較高功率。

在一些實施例中，包括如參看圖26描述之R1、R2、R3、M2及M3中之一些或所有的電路可針對N個個別開關電路500中之每一者來提供，可作為一共同電路提供至N個開關電路500中之所有，或其任一組合。

在一些實施例中，如參看圖26及圖27描述之R1、R2、R3、M2及M3可實施於與該(等)開關電路500相同之晶粒上、晶粒之外或其任一組合。

在一些實施中，且如本文中所描述，參看圖26及圖27描述之前述實例組態可相對較簡單及較易於實施，且可產生許多改良。舉例而言，此技術可在開關電路500或臂510接通時提供最小或減少之插入損失，且當開關電路500或臂510斷開時提供合乎需要之特徵，諸如，減少之寄生接面二極體效應、與大電壓擺動相關聯的減少之失真及改良

之隔離效能。

實例9之摘要

根據許多實施，實例9係關於一種射頻(RF)開關，其包括安置於第一節點與第二節點之間的至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別閘極及本體。該RF開關進一步包括連接至各別閘極之一可切換電阻性耦接電路，及連接至該至少一FET之對應的本體之一可切換電阻性接地電路。

在一些實施例中，該FET可為一絕緣體上矽(SOI) FET。在一些實施例中，該可切換電阻性耦接電路可包括與第一耦接開關串聯之一偏壓電阻器。該可切換電阻性接地電路可包括與第二耦接開關串聯之一本體電阻器。可在FET接通時斷開第一耦接開關及第二耦接開關中之每一者，以藉由使本體及閘極浮動而產生減少之插入損失。可在FET斷開時接通第一耦接開關及第二耦接開關中之每一者，以產生至本體之接地偏壓及至閘極之RF接地，以藉此改良RF開關之隔離效能。

在一些實施例中，該第一節點可經組態以接收具有一功率值之RF信號且該第二節點經組態以當第一FET在接通狀態中時輸出RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

在一些實施中，實例9係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得該至少一FET中之每一者在接通狀態或斷開狀態中。該方法進一步包括當每一FET在接通狀態中時使該至少一FET中之每一者的各別閘極及本體浮動。該方法進一步包括當每一FET在斷開狀態中時提供至各別本體之一接地偏壓及至各別閘極之一RF接地。

在許多實施中，實例9係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上之至少一場效電晶體(FET)。該晶粒進一步包括一耦接電路，其具有連接至該至少一FET中之每一者的各別閘極之一可切換電阻性電路。該耦接電路進一步包括連接至該至少一FET中之每一者的各別本體之一可切換電阻性接地電路。

在一些實施例中，該晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。晶粒可為絕緣體上矽(SOI)晶粒。

根據一些實施，實例9係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板。該方法進一步包括在該半導體基板上形成至少一場效電晶體(FET)，其中該至少一FET中之每一者具有一各別閘極及本體。該方法進一步包括在半導體基板上形成連接至該至少一FET之各別閘極的一可切換電阻性耦接電路。該方法進一步包括在半導體基板上形成連接至該至少一FET之各別本體的一可切換電阻性接地電路。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

在一些實施中，實例9係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒，其中該晶粒具有至少一場效電晶體(FET)。該模組進一步包括一耦接電路，其具有連接至該至少一FET中之每一者之各別閘極的一可切換電阻性電路。該耦接電路進一步包括連接至該至少一FET中之每一者之各別本體的一可切換電阻性接地電路。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，該耦接電路可為與該至少一FET相同之半導體晶粒之部分。在一些實施例中，該耦接電路可為安裝於封裝基板上之第二晶粒

的部分。在一些實施例中，該耦接電路可安置於半導體晶粒之外的一位置處。

根據許多實施，實例9係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線。該開關包括至少一場效電晶體(FET)。該開關進一步包括一耦接電路，其具有連接至該至少一FET中之每一者之各別閘極的一可切換電阻性電路及連接至該至少一FET中之每一者之各別本體的一可切換電阻性接地電路。

實例10之描述

在許多射頻(RF)傳輸應用中，開關設計通常(尤其在失配情況下)需要高功率操作能力。舉例而言，用於天線調諧之開關預期承受在+35 dBm輸入功率下高達20:1之失配。又，用於諸如GSM之無線系統中之一些開關預期承受在+35 dBm輸入功率下之5:1失配。較高場效電晶體(FET)堆疊高度通常用以在失配情況下承受高功率。然而，跨越FET堆疊之不均勻電壓分佈可導致基於SOI之開關的諧波峰值、壓縮點降級及/或互調變失真(IMD)。

圖28展示FET堆疊520之一實例組態，其經組態以提供在第一節點144與第二節點146之間的RF信號之切換。第一節點144及第二節點146可(例如)分別為RF輸入端及RF輸出端。

在一些實施中，堆疊520可包括在接地144、146之間串聯連接的N個SOI FET(指示為M1,M2,...,MN)。數目N可基於功率處置要求而選擇。舉例而言，可增加N以處置較高功率。

在實例堆疊組態520中，FET之每一閘極經展示為經由閘極電阻

器 R_g 來偏壓。對應於 N 個 FET 之 N 個此等閘極電阻器經展示為連接至一共同閘極偏壓電壓源「 G 」。

在實例堆疊組態 520 中，FET 之每一本體經展示為經由本體電阻器 R_b 來偏壓。對應於 N 個 FET 之 N 個此等本體電阻器經展示為連接至一共同本體偏壓電壓源「 B 」。

在一些實施中，FET 之閘極中之一些或所有可經電壓補償以產生跨越堆疊 520 中之每一 FET 的改良之電壓分佈。此改良之電壓分佈可導致壓縮點、諧波及/或 IMD 效能的改良。

在圖 28 中所示之實例中，閘極之前述電壓補償可藉由耦接 FET 之閘極與電容性元件 C_{gg} (例如，電容器) 而達成。舉例而言， C_{gg1} 耦接 $M1$ 與 $M2$ 之閘極， C_{gg2} 耦接 $M2$ 與 $M3$ 之閘極，等等，其中 $C_{gg(N-2)}$ 耦接 $M(N-2)$ 與 $M(N-1)$ 之閘極，且 $C_{gg(N-1)}$ 耦接 $M(N-1)$ 與 M_N 之閘極。

在一些實施例中，耦接電容性元件 C_{gg} 可具有實質上相同之值。在一些實施例中，電容性元件 C_{gg} 可藉由 C_{gg1} 、 C_{gg2} 、 C_{gg3} 等之不同值而在堆疊 520 中縮放及/或最佳化。參看圖 31 更詳細地描述此縮放 C_{gg} 值以獲得所要的結果之一實例。

在一些實施例中，前饋電容器 C_{fwd} 可經提供以耦接末端 FET (例如， $M1$) 之源極/汲極與閘極。在一些實施例中，前饋電容器 C_{fwd} 可耦接 FET 堆疊內非末端 FET 之源極/汲極與閘極。前饋電容器 C_{fwd} 可確保節點 144、146 之間的 RF 信號路徑耦接至 FET 之閘極中之至少一者。

圖 29 展示在一些實施中，閘極之電壓補償可藉由耦接 FET 之閘極與電阻性元件 R_{gg} (例如，電阻器) 而達成。舉例而言， R_{gg1} 耦接 $M1$ 與 $M2$ 之閘極， R_{gg2} 耦接 $M2$ 與 $M3$ 之閘極，等等，其中 $R_{gg(N-2)}$ 耦接 $M(N-2)$ 與 $M(N-1)$ 之閘極，且 $R_{gg(N-1)}$ 耦接 $M(N-1)$ 與 M_N 之閘極。在圖 29 之實例中，在 FET (例如， $M1$) 之源極/汲極與閘極之間的前饋耦接經展示包括與電阻器 R_{fwd} 串聯之一電容器 C_{fwd} 。

在一些實施例中，耦接電阻性元件 R_{gg} 可具有實質上相同值。在一些實施例中，電阻性元性件可具有經選擇以達成所要的結果之不同值。

圖30展示在一些實施中，閘極之電壓補償可藉由耦接FET之閘極與電容性元件 C_{gg} (例如，電容器)及電阻性元件 R_{gg} (例如，電阻器)來達成。舉例而言，串聯之 C_{gg1} 與 R_{gg1} 耦接M1與M2之閘極，串聯之 C_{gg2} 與 R_{gg2} 耦接M2與M3之閘極，等等，其中串聯之 $C_{gg(N-2)}$ 與 $R_{gg(N-2)}$ 耦接M(N-2)與M(N-1)之閘極，且串聯之 $C_{gg(N-1)}$ 與 $R_{gg(N-1)}$ 耦接M(N-1)與MN之閘極。在圖30之實例中，在FET (例如，M1)之源極/汲極與閘極之間的前饋耦接經展示包括與電阻器 R_{fwd} 串聯之一電容器 C_{fwd} 。

在一些實施例中，耦接電容性元件 C_{gg} 可具有實質上相同值。在一些實施例中，電容性元件 C_{gg} 可具有經選擇以達成所要的結果之不同值。類似地，耦接電阻性元件 R_{gg} 可具有實質上相同值，或具有經選擇以達成所要的結果之不同值。

圖31展示跨越具有16個FET之實例堆疊中的FET中之每一者的電壓擺動之曲線。「基線」組態對應於閘極未經電壓補償之堆疊。「閘極補償」組態對應於閘極如參看圖28所描述經電壓補償之堆疊。對於圖31中所示之曲線，將 C_{gg} 之值選擇為 $C_{gg1} > C_{gg2} > C_{gg3} > \dots > C_{ggN}$ 。與此組態相關聯之電壓擺動經展示顯著小於基線狀況。

在一些實施例中，參看圖28及圖30描述之電容性元件 C_{gg} 可實施於與FET (M1、M2等)相同之晶粒上、晶粒之外或其任一組合。電容性元件 C_{gg} 之此等晶粒上及/或晶粒外實施可包括(例如) MIM電容器及/或電容性金屬跡線。

在一些實施例中，參看圖29及圖30描述之電阻性元件 R_{gg} 可實施於與FET (M1、M2等)相同之晶粒上、晶粒之外或其任一組合。

在一些實施中，且如本文中所描述，參看圖28至圖31描述之前述實例組態可相對較簡單及較易於實施，且可產生許多改良。舉例而言，此技術可提供跨越開關堆疊中之每一FET的電壓擺動之較少波動。此特徵可產生其他合乎需要之特徵，諸如，改良之壓縮點，以及改良之諧波及IMD效能。

在一些實施中，與閘極至閘極補償相關之各種實例組態可與可改良給定堆疊中的FET中之一或多者之效能之一或多個特徵組合。

實例10之摘要

在一些實施中，實例10係關於一種射頻(RF)開關，其包括串聯連接於第一節點與第二節點之間的複數個場效電晶體(FET)，其中每一FET具有一閘極。該RF開關進一步包括一補償網路，其具有耦接每一對相鄰FET之閘極的一耦接電路。

在一些實施例中，FET中之至少一些可為絕緣體上矽(SOI) FET。在一些實施例中，該補償網路可經組態以減少跨越該複數個FET中之每一者的電壓擺動。在一些實施例中，該開關可進一步包括將末端FET之源極耦接至末端FET之閘極的一前饋電路。該前饋電路可包括一電容器。該前饋電路可進一步包括與該電容器串聯之一電阻器。

在一些實施例中，該耦接電路可包括一電容器。當使FET自第一節點橫越至第二節點時電容器可具有連續變小之電容值。耦接電路可進一步包括與電容器串聯之一電阻器。

在一些實施例中，該耦接電路可包括一電阻器。在一些實施例中，該開關可進一步包括一閘極偏壓網路，其連接至FET之閘極並經組態以將偏壓信號提供至FET之閘極。該閘極偏壓網路可經組態，使得所有閘極接收一共同偏壓信號。

在一些實施例中，該開關可進一步包括一本體偏壓網路，其連

接至FET之本體並經組態以將偏壓信號提供至FET之本體。該本體偏壓網路可經組態，使得所有本體接收一共同偏壓信號。

在一些實施例中，該第一節點可經組態以接收具有一功率值之RF信號且該第二節點經組態以當FET在接通狀態中時輸出RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

根據許多實施，實例10係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制串聯連接於第一節點與第二節點之間的複數個場效電晶體(FET)，使得該等FET共同地在接通狀態或斷開狀態中，其中每一FET具有一閘極。該方法進一步包括耦接相鄰FET中之每一者之閘極以減少跨越該複數個FET中之每一者的電壓擺動。

根據許多實施，實例10係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上並串聯連接之複數個場效電晶體(FET)，其中每一FET具有一閘極。該晶粒進一步包括形成於該半導體基板上之一補償網路，該補償網路包括耦接每一對相鄰FET之閘極的一耦接電路。

在一些實施例中，該晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。該晶粒可為絕緣體上矽(SOI)晶粒。

在許多實施中，實例10係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板及在該半導體基板上形成複數個場效電晶體(FET)以便串聯連接，其中每一FET具有一閘極。該方法進一步包括在半導體基板上形成一耦接電路，以便耦接每一對相鄰FET之閘極。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

在許多實施中，實例10係關於一種射頻(RF)開關模組，其包括經

組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒。該晶粒包括串聯連接之複數個場效電晶體(FET)，其中每一FET具有一閘極。該模組進一步包括一補償網路，其具有耦接每一對相鄰FET之閘極的一耦接電路。

在一些實施例中，該半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，該補償網路可為與該至少一FET相同之半導體晶粒之部分。在一些實施例中，該補償網路可為安裝於封裝基板上之第二晶粒的部分。在一些實施例中，該補償網路可安置於半導體晶粒之外的一位置處。

根據一些實施，實例10係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至天線及功率放大器並經組態以將經放大RF信號選擇性地投送至天線。該開關包括串聯連接之複數個場效電晶體(FET)，其中每一FET具有一閘極。該開關進一步包括一補償網路，其具有耦接每一對相鄰FET之閘極的一耦接電路。

實例11之描述

互調變失真(IMD)量測歸因於來自其他RF信號之混合積而添加至所要的信號之非吾人所樂見之信號。此效應可特別在多模式多頻帶環境中佔優勢。IMD可自兩個或兩個以上信號混合在一起以產生並非諧波頻率之頻率而引起。

系統設計者通常努力經由(例如)改良之線性而減少干擾敏感性。給定系統之線性可控管將在系統內產生多少IMD，其接著可創造干擾。經由系統建置區塊(諸如，RF開關)的經改良線性，可減少系統對干擾之總敏感性。

RF開關中諸如較低IMD之效能特徵可為無線裝置設計中之重要因素。舉例而言，長期演進(LTE)系統可顯著自RF開關具有減少之IMD受益。作為一更特定實例，針對LTE上同時的語音及資料(SVLTE)之系統設計可顯著自RF開關具有超低級別之IMD受益。

圖32展示在單極雙投(SPDT)應用之一實例情境中的切換組態250。單極經展示為連接至天線252。兩個投中之一者經展示為經由一開關電路S耦接至一接收(Rx)埠。Rx埠可經由一分流開關電路耦接至接地。

類似地，另一投經展示為經由開關電路S耦接至一傳輸(Tx)埠。Tx埠可經由一分流開關電路耦接至接地。

在一些實施例中，開關電路(「S」及「分流」)中之每一者可包括諸如SOI FET之一或多個FET。單一FET在本文中有時以參考數字120或122來指代，且此等FET之堆疊在本文中有時以參考數字140或142來指代。在一些實施例中，「S」及「分流」開關可包括本文中描述之用以提供各種有利功能性之一或多個特徵。

圖32之切換組態經展示包括電容器以抑制低頻阻擋器與基本頻率混合。舉例而言，電容器C1經提供於天線節點與Tx投之開關臂S之間。類似地，電容器C2經提供於天線節點與Rx投之開關臂S之間。對於分流臂，電容器C3經提供於Tx節點與其分流開關臂之間。類似地，電容器C4經提供於Rx節點與其分流開關臂之間。在一些實施例中，可或可不針對Rx節點提供分流臂。藉由前述電容器，低頻干擾信號可由於與任何接通或斷開路徑混合而被阻擋或減少。此可導致IMD效能之改良，尤其對於低頻阻擋器信號。

圖33展示前述電容器中的一些可提供合乎需要之切換功能性之一實例操作組態。在該實例中，切換組態處於傳輸模式中。因此，傳輸開關臂接通(閉合)，且接收開關臂斷開(打開)。用於Tx節點之分流

臂斷開(打開)。

在一些實施例中，參看圖32及圖33描述之電容器C1至C4可實施於與其各別開關電路相同之晶粒上、晶粒之外或其任一組合。

在一些實施中，且如本文中所描述，參看圖32及圖33描述之前述實例組態可相對較簡單及較易於實施，且可產生許多改良。舉例而言，此技術可藉由防止低頻阻擋器信號與基本頻率信號混合而提供改良之IMD效能。

實例11之摘要

在一些實施中，實例11係關於一種射頻(RF)開關系統，其包括一開關，該開關具有串聯連接於第一節點與第二節點之間的一堆疊場效電晶體(FET)。該系統進一步包括一電容器，其與開關串聯連接並經組態以抑制低頻阻擋器信號與開關中之基本頻率信號混合。

在一些實施例中，FET可為絕緣體上矽(SOI) FET。在一些實施例中，該第一節點可為一天線節點。該電容器可安置於開關與天線節點之間。該開關可為傳輸路徑之部分，使得開關之第二節點為用於經放大RF信號之輸入節點。該開關可為接收路徑之部分，使得開關之第二節點為用於自天線接收的RF信號之輸出節點。

根據一些實施，實例11係關於一種半導體晶粒，其具有一半導體基板及形成於該半導體基板上並具有串聯連接之一堆疊場效電晶體(FET)之開關。該晶粒進一步包括形成於該半導體基板上並與開關串聯連接之一電容器。該電容器經組態以抑制低頻阻擋器信號與開關中之基本頻率信號混合。

在一些實施例中，該晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。該晶粒可為絕緣體上矽(SOI)晶粒。

在許多實施中，實例11係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板及在該半導體基板上形成一堆疊場

效電晶體(FET)以便串聯連接。該方法進一步包括在半導體基板上形成一電容器，以便與堆疊之末端串聯連接。該電容器經組態以抑制低頻阻擋器信號與堆疊中之基本頻率信號混合。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

根據一些實施，實例11係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於該封裝基板上之一半導體晶粒。該晶粒包括具有串聯連接之一堆疊場效電晶體(FET)的一開關。該模組進一步包括與開關串聯連接之一電容器。該電容器經組態以抑制一低頻阻擋器信號與開關中之基本頻率信號混合。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，該電容器可為與FET相同之半導體晶粒之部分。在一些實施例中，該電容器可為安裝於封裝基板上之第二晶粒的部分。在一些實施例中，該電容器電路可安置於半導體晶粒之外的一位置處。

在許多實施中，實例11係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線。該無線裝置進一步包括一開關模組，其與天線及收發器互連並經組態以選擇性地將RF信號投送至天線及投送來自天線之RF信號。該開關模組包括具有串聯連接之一堆疊場效電晶體(FET)的一開關。該開關模組進一步包括與該開關串聯連接之一電容器。該電容器經組態以抑制一低頻阻擋器信號與開關中之基本頻率信號混合。

實例12之描述

在一些實施中，本體至本體補償技術可應用於諸如SOI FET之一堆疊FET。此等技術可提供(例如)跨越開關堆疊中之每一FET的電壓擺動之較少波動。此特徵可產生其他合乎需要之特徵，諸如，改良之

壓縮點，以及改良之諧波及IMD效能。

在一些射頻(RF)應用中，可能需要在高功率下操作傳輸開關，包括在高失配情況下操作之應用。舉例而言，GSM開關可在35 dBm下在5:1失配情況下操作，且用於天線調諧中之開關可在35 dBm下在高達20:1之失配情況下操作。

在一些RF應用中，在高功率下操作之傳輸開關可經歷跨越開關之不均勻電壓分佈。跨越開關之不均勻電壓擺動可產生裝置效能之負面效應，包括開關之諧波峰值、壓縮點降級及互調變失真(IMD)效能。

本文中所描述的為用於為了改良之裝置效能而提供跨越傳輸開關之較均勻電壓擺動之電路、裝置及方法。在一些實施中，跨越傳輸開關之電壓擺動的增加之均勻性可導致改良之壓縮點、諧波及互調變失真效能。

切換裝置可能夠在第一狀態或第二狀態中，使得切換裝置可在處於該等狀態中之一者的同時准許RF信號在第一埠與第二埠之間的傳輸。舉例而言，當在第一狀態(諸如，接通狀態)中時，RF切換裝置可實現RF信號自一埠(諸如，輸入埠)至第二埠(諸如，輸出埠)的傳輸。當在第二狀態(諸如，斷開狀態)中時，RF切換裝置可防止RF信號自輸入埠傳輸至輸出埠，藉此將輸入埠與輸出埠電隔離。

參看圖34，具有第一埠及第二埠之一切換裝置10可包括一切換電路11。在一些實施例中，切換電路11可進一步包括一電壓分佈等化電路12。當切換電路在接通狀態中時，電壓分佈等化電路12可實現跨越切換電路11之較均勻電壓分佈，其中RF信號可在輸入埠與輸出埠之間傳輸。在一些實施例中，電壓分佈等化電路12可改良跨越在高功率下操作之切換電路11的電壓分佈。跨越切換電路11之電壓擺動的增加之均勻性可實現改良之切換裝置10效能，包括壓縮點、諧波及互調

變失真效能之改良。

切換裝置10可實施於半導體基板上。在半導體基板情境中，切換裝置10可包括具有一FET堆疊之一切換電路11。在一些實施例中，FET堆疊可包括一或多個FET，其中FET具有源極、汲極、本體節點或閘極節點。額外FET可經串聯連接，以便界定在輸入端與輸出端之間的RF信號路徑。在一些實施例中，FET堆疊能夠在第一或第二狀態中，使得當在第一狀態(例如，接通狀態)中時，RF信號可自輸入端傳輸至輸出端，從而允許切換裝置10將RF信號自輸入埠傳輸至輸出埠。同時，當FET在第二狀態(例如，斷開狀態)中時，FET可防止RF信號在輸入端與輸出端之間的傳輸，藉此將切換裝置10之輸入埠與輸出埠電隔離。圖35展示具有一FET堆疊之一實例切換電路，該FET堆疊包括串聯連接並界定一輸入端及一輸出端之五個FET (FET1、FET2、FET3、FET4、及FET5)。

增加切換電路之FET堆疊高度或FET之數目可改良切換裝置效能，包括在高功率下操作時之效能。然而，當切換裝置在接通狀態中並在其輸入埠處遭遇RF信號時，切換裝置可展現跨越切換裝置FET堆疊之不均勻電壓分佈。在一些實施例中，切換裝置可在於高功率下操作時展現跨越切換裝置FET堆疊之不均勻電壓分佈。跨越FET堆疊之不均勻電壓擺動可負面地影響裝置效能，包括諧波峰值、互調變失真(IMD)或壓縮點降級。

電壓分佈等化電路可耦接至一切換電路以改良跨越切換電路之電壓擺動均勻性。具有一FET堆疊之切換電路可包括一電壓分佈等化電路，其利用本體接觸之FET的本體節點用於電壓補償，藉此改良跨越FET堆疊之電壓分佈均勻性，或減少跨越FET堆疊之電壓分佈變化。在一些實施例中，電壓分佈等化電路可包括本體節點電壓補償技術。舉例而言，切換電路之電壓分佈等化電路可包括耦接至FET堆疊

中的FET之本體節點之一電容性元件。在一些實施例中，一電容性元件耦接至FET堆疊中之每一FET之本體節點。電壓分佈等化電路亦可視情況包括耦接至FET堆疊中之一FET之本體節點的一電阻性元件。在一些實施例中，電阻性元件耦接至FET堆疊中的每一FET之本體節點。另外，主RF信號可耦接至FET堆疊中的一FET之本體節點。在一些實施例中，RF信號經由一前饋電容性元件C_{fwd}或一前饋電阻性元件R_{fwd}耦接至FET堆疊中的一FET之本體節點。

參看圖36，具有一FET堆疊的切換電路之電壓分佈等化電路可視情況將電容性元件C_{bb}與FET堆疊中之FET的本體節點耦接。在包括五個FET (FET1、FET2、FET3、FET4、及FET5)的圖36之實例切換電路中，FET1、FET2、FET3、FET4、及FET5之本體節點耦接至電容性元件C_{bb1}、C_{bb2}、C_{bb3}及C_{bb4}。電容性元件C_{bb}之電容值可為了改良之切換裝置效能而縮放。可為了跨越FET堆疊的增加之電壓擺動均勻性而選擇C_{bb}之電容值。在一些實施例中，電容性元件C_{bb}之電容值亦可視情況具有截然不同值。另外，在一些實施例中，電容性元件C_{bb}可經實施，使得C_{bb}元件之電容自耦接至FET堆疊中之第一FET的C_{bb}開始呈遞減次序。參考圖36中所示之實施例，C_{bb1}、C_{bb2}、C_{bb3}及C_{bb4}之電容值可彼此截然不同。C_{bb1}、C_{bb2}、C_{bb3}或C_{bb4}之電容值可各自經選擇以增加跨越FET1、FET2、FET3、FET4、及FET5之電壓分佈均勻性。另外，元件C_{bb}可各自具有不同電容值，使得C_{bb1}之電容值大於C_{bb2}之電容值，C_{bb2}之電容值大於C_{bb3}之電容值，且C_{bb3}之電容值大於C_{bb4}之電容值。

在一些實施例中，在具有一FET堆疊之切換電路中的本體節點電壓補償技術之實施亦包括將主RF信號路徑耦接至本體節點的一前饋電容性元件C_{fwd}。RF信號路徑可經由FET堆疊中之一FET耦接至本體節點。在如圖36中所示之一實例實施例中，前饋電容性元件C_{fwd}可

將RF信號路徑耦接至FET堆疊中之第一FET的本體節點。在此等實施例中，RF信號路徑係經由第一FET之源極或汲極耦接至第一FET之本體節點。在替代例中，RF信號路徑可視情況經由FET堆疊中之另一FET之源極或汲極而耦接。

此外，如圖36中所示，本體節點電壓補償技術亦可包括經實施以使FET堆疊中之每一FET的本體節點浮動之電阻性元件Rb（諸如，圖36中之電阻性元件Rb1、Rb2、Rb3、Rb4及Rb5）。同時，電阻性元件Rg（諸如，圖36中之電阻性元件Rg1、Rg2、Rg3、Rg4及Rg5）可經實施以使FET堆疊中之每一FET的閘極節點浮動。

圖37中展示跨越實施電壓分佈等化電路之一實施例的切換電路之一FET堆疊的改良之電壓擺動效能。圖37比較跨越在35 dBm及20:1失配情況下操作之兩個實例切換裝置的FET堆疊之電壓擺動效能。對於曲線圖式比較，將跨越包括本體節點電壓補償技術之一實施例的切換裝置之電壓擺動效能與不包括本體節點電壓補償技術之一實施例的切換裝置之電壓擺動效能比較。耦接至本體節點電壓補償技術之一實施例的切換裝置具有截然不同電容值之Cbb元件，使得Cbb1之電容大於Cbb2之電容，Cbb2之電容大於Cbb3之電容，等等。參看圖37，跨越包括本體節點電壓補償技術之一實施例的實例切換裝置之每一FET之電壓擺動保持在比不包括本體節點電壓補償技術的切換裝置時之電壓擺動顯著窄的範圍內。因此，與未實施電壓分佈等化電路之實例FET堆疊相比，實施本體節點電壓補償技術之一實施例的實例切換裝置證明跨越構成FET的增加之電壓擺動均勻性。

參看圖38，電阻性元件Rbb可耦接至切換電路之FET堆疊中的一FET之本體節點以改良裝置效能。在一些實施例中，電阻性元件Rbb可耦接至FET堆疊中之每一FET的本體節點以提供跨越切換電路之FET堆疊的增加之電壓分佈均勻性。舉例而言，用於在較低頻率下傳

輸RF信號的切換電路可視情況實施本體節點電壓補償技術之一實施例，其中電阻性元件Rbb耦接至FET堆疊中之每一FET的本體節點以增加跨越FET堆疊之增加之電壓擺動均勻性。電阻性元件Rbb之電阻可經選擇以增加跨越FET堆疊的電壓擺動之均勻性。耦接至切換電路之FET堆疊中的FET之本體節點的電阻性元件Rbb可具有截然不同電阻值。在一些實施例中，電阻性元件Rbb可具有自耦接至FET堆疊中之第一FET的電阻性元件Rbb開始呈遞減次序之電阻值。

舉例而言，如圖38中所示，在具有串聯連接之五個FET之FET堆疊的切換電路之一些實施例中，電阻性元件Rbb1、Rbb2、Rbb3及Rbb4可耦接至FET1、FET2、FET3、FET4及FET5之本體節點中之每一者。為改良跨越FET堆疊之電壓擺動分佈之均勻性，電阻性元件Rbb1、Rbb2、Rbb3及Rbb4亦可具有呈遞減次序之電阻值，使得Rbb1之電阻值大於Rbb2之電阻值，且Rbb2之電阻值大於Rbb3之電阻值，且Rbb3之電阻值大於Rbb4之電阻值。

參看圖38，在本體節點電壓補償技術之一些實施例中，亦可視情況自主RF信號路徑至FET堆疊之本體節點使用前饋電阻性元件。另外，在電阻性元件Rbb耦接至FET堆疊中之FET之本體節點的本體節點電壓補償技術之一些實施例中，可自主RF信號路徑至FET堆疊之本體節點使用前饋電容性元件Cfwd。RF信號路徑可經由FET堆疊中之一FET耦接至本體節點。在實施前饋電容性元件及前饋電阻性元件兩者的一些實施例中，前饋電容性元件可與前饋電阻性元件串聯連接。參看圖38，與前饋電阻性元件串聯連接之前饋電容性元件Cfwd可用以將RF信號耦接至FET堆疊中之第一FET的本體節點。在此等實施例中，RF信號路徑經由第一FET之源極或汲極耦接至第一FET之本體節點。在替代例中，RF信號路徑可視情況經由FET堆疊中的另一FET之源極或汲極而耦接。

參看圖38，在電阻性元件Rbb耦接至FET堆疊中之FET之本體節點的本體節點電壓補償技術之一些實施例中，切換電路亦可包括經實施以使FET堆疊中之每一FET之本體節點浮動的電阻性元件Rb（諸如，圖38中之電阻性元件Rb1、Rb2、Rb3、Rb4及Rb5）。同時，電阻性元件Rg（諸如，圖38中之電阻性元件Rg1、Rg2、Rg3、Rg4及Rg5）可經實施以使FET堆疊中之每一FET之閘極節點浮動。

具有一電壓分佈等化電路之切換電路可實施FET堆疊中之一FET耦接至與電阻性元件Rbb串聯連接之一電容性元件Cbb的本體節點電壓補償技術之一實施例。參看圖39，實施本體節點電壓補償技術之一實施例的實例切換電路可將FET堆疊中之每一FET的本體節點耦接至與電阻性元件Rbb串聯連接之一電容性元件Cbb。舉例而言，FET1，FET2，FET3，FET4及FET5之本體節點分別耦接至與Rbb1串聯連接之Cbb1、與Rbb2串聯連接之Cbb2、與Rbb3串聯連接之Cbb3及與Rbb4串聯連接之Cbb4。

參看圖39，在FET堆疊中之一FET之本體節點耦接至與電阻性元件Rbb串聯連接之一電容性元件Cbb的一些實施例中，可自主RF信號路徑至FET堆疊之本體節點使用前饋電容性元件Cfwd。亦可視情況自主RF信號路徑至FET堆疊之本體節點使用前饋電阻性元件Rfwd。在實施前饋電容性元件Cfwd及前饋電阻性元件Rfwd兩者的一些實施例中，前饋電容性元件Cfwd可與前饋電阻性元件Rfwd串聯連接。參看圖39，與前饋電阻性元件Rfwd串聯連接之前饋電容性元件Cfwd可用以將RF信號耦接至FET堆疊中之第一FET的本體節點。在此等實施例中，RF信號路徑經由第一FET之源極或汲極耦接至FET堆疊內之第一FET之本體節點。在替代例中，RF信號路徑可視情況經由FET堆疊內之另一FET之源極或汲極耦接。

另外，如圖39中所示，在FET堆疊中之FET之本體節點耦接至與

電阻性元件**Rbb**串聯連接之電容性元件**Cbb**的本體節點電壓補償技術之一些實施中，電阻性元件**Rb**（諸如，圖39中之電阻性元件**Rb1**、**Rb2**、**Rb3**、**Rb4**及**Rb5**）可經實施以使FET堆疊中之每一FET的本體節點浮動。同時，電阻性元件**Rg**（諸如，圖39中之電阻性元件**Rg1**、**Rg2**、**Rg3**、**Rg4**及**Rg5**）可經實施以使FET堆疊中之每一FET的閘極節點浮動。

可針對包括FET堆疊中之變化數目個FET的切換電路實施電壓分佈等化電路。舉例而言，圖40展示具有兩個FET（FET1及FET2）之切換電路。包括具有如本文中論述之特性的本體節點電壓補償技術之一實施例的電壓分佈等化電路可針對此切換電路實施。在此切換電路之一些實施例中，本體節點電壓補償技術之實施可包括耦接至FET1及FET2之本體節點的一電容性元件**Cbb1**。實例切換電路之本體節點電壓補償技術可視情況進一步包括將主RF信號路徑耦接至FET堆疊中之一FET（諸如第一FET，FET1）之本體節點的一前饋電容性元件**Cfwd**。另外，電阻性元件**Rb1**及**Rb2**可經實施以分別使FET1及FET2之本體節點浮動。同時，電阻性元件**Rg1**及**Rg2**可經實施以使FET1及FET2之閘極節點浮動。

圖41展示可經實施以製造具有如本文中所描述之一或多個特徵的電壓擺動分佈等化電路之過程700。在區塊702中，可形成一陣列開關。在開關形成於半導體基板上之實施例中，諸如FET之半導體開關可形成於基板上。在區塊704中，可形成耦接至開關中之每一者的電阻性元件。在半導體基板情境中，電阻性元件可耦接至FET之本體節點或閘極節點。如區塊706中所示，可形成耦接至開關之電容性元件。在包括FET之開關形成於半導體基板上之情境中，可形成耦接至FET之本體節點的電容性元件。在區塊708中，亦可自RF路徑至陣列中之一開關形成電容性元件。此電容性元件可視情況自RF路徑至陣

列中之任一開關(包括陣列中之第一開關)形成。在該陣列開關包括形成於半導體基板上之FET的一些實施例中，可自第一FET之源極或汲極至第一FET之本體節點形成區塊708之電容性元件。

圖42展示一可為圖41中所示之過程之更特定實例之過程800。在區塊802中，複數個FET可形成於半導體基板上。在區塊804中，複數個FET可串聯連接，以便界定一輸入端及一輸出端。在區塊806中，電阻性元件可耦接至界定輸入端及輸出端的串聯中之FET中之每一者的本體節點或閘極節點。在區塊808中，可形成耦接至FET中之每一者的本體節點之電容性元件。此外，在區塊810中，可自FET之源極或汲極至FET之本體節點形成電容性元件以將主RF信號耦接至FET之本體節點。可視情況自第一FET之源極或汲極至界定輸入端及輸出端的FET之串聯中的第一FET之本體節點形成電容性元件。

實例12之摘要

在一些實施中，實例12係關於一種射頻(RF)開關，其包括在第一節點與第二節點之間串聯連接之複數個場效電晶體，其中每一FET具有一本體。RF開關進一步包括一補償網路，其具有耦接每一對相鄰FET之本體的一耦接電路。

在一些實施例中，FET中之至少一些可為絕緣體上矽(SOI) FET。在一些實施例中，補償網路可經組態以減少跨越該複數個FET中之每一者的電壓擺動。在一些實施例中，開關可進一步包括將末端FET之源極耦接至末端FET之本體的一前饋電路。前饋電路可包括一電容器。前饋電路可進一步包括與電容器串聯之一電阻器。

在一些實施例中，耦接電路可包括一電容器。耦接電路可進一步包括與電容器串聯之一電阻器。

在一些實施例中，耦接電路可包括一電阻器。在一些實施例中，開關可進一步包括一本體偏壓網路，其連接至FET之本體並經組

態以將偏壓信號提供至FET之本體。本體偏壓網路可經組態使得所有本體接收一共同偏壓信號。

在一些實施例中，開關可進一步包括一閘極偏壓網路，其連接至FET之閘極並經組態以將偏壓信號提供至FET之閘極。閘極偏壓網路可經組態，使得所有閘極接收一共同偏壓信號。

在一些實施例中，第一節點可經組態以接收具有一功率值之RF信號且第二節點可經組態以當FET在接通狀態中時輸出該RF信號。該至少一FET可包括N個串聯連接之FET，其中數量N經選擇以允許開關電路處置RF信號之功率。

根據許多實施，實例12係關於一種用於操作一射頻(RF)開關之方法。該方法包括控制在第一節點與第二節點之間串聯連接的複數個場效電晶體(FET)，使得該等FET共同在接通狀態或斷開狀態中，其中每一FET具有一本體。該方法進一步包括耦接相鄰FET中之每一者的本體以減少跨越該複數個FET中之每一者的電壓擺動。

根據許多實施，實例12係關於一種半導體晶粒，其包括一半導體基板及形成於該半導體基板上並串聯連接之複數個場效電晶體(FET)，其中每一FET具有一本體。該晶粒進一步包括形成於半導體基板上之一補償網路，該補償網路包括耦接每一對相鄰FET之本體的一耦接電路。

在一些實施例中，該晶粒可進一步包括安置於FET與半導體基板之間的一絕緣體層。該晶粒可為絕緣體上矽(SOI)晶粒。

在許多實施中，實例12係關於一種用於製造一半導體晶粒之方法。該方法包括提供一半導體基板及在該半導體基板上形成複數個場效電晶體(FET)以便串聯連接，其中每一FET具有一本體。該方法進一步包括在半導體基板上形成一耦接電路以便耦接每一對相鄰FET之本體。

在一些實施例中，該方法可進一步包括在FET與半導體基板之間形成一絕緣體層。

在許多實施中，實例12係關於一種射頻(RF)開關模組，其包括經組態以收納複數個組件之一封裝基板。該模組進一步包括安裝於封裝基板上之一半導體晶粒。該晶粒包括串聯連接之複數個場效電晶體(FET)，其中每一FET具有一本體。該模組進一步包括一補償網路，其具有耦接每一對相鄰FET之本體之一耦接電路。

在一些實施例中，半導體晶粒可為絕緣體上矽(SOI)晶粒。在一些實施例中，補償網路可為與該至少一FET相同之半導體晶粒的部分。在一些實施例中，該補償網路可為安裝於封裝基板上之第二晶粒之部分。在一些實施例中，補償網路可安置於半導體晶粒之外的一位置處。

根據一些實施，實例12係關於一種無線裝置，其包括經組態以處理RF信號之一收發器。該無線裝置進一步包括與收發器通信之一天線，其經組態以促進經放大RF信號之傳輸。該無線裝置進一步包括一功率放大器，其連接至收發器並經組態以產生經放大RF信號。該無線裝置進一步包括一開關，其連接至該天線及該功率放大器並經組態以將經放大RF信號選擇性地投送至該天線。該開關包括串聯連接之複數個場效電晶體(FET)，其中每一FET具有一本體。該開關進一步包括一補償網路，其具有耦接每一對相鄰FET之本體之一耦接電路。

在一些實施中，實例12係關於一種切換電路，其包括經組態以接收一射頻(RF)信號之一輸入埠及經組態以輸出RF信號之一輸出埠。該切換電路亦可包括界定在輸入埠與輸出埠之間的一RF信號路徑之一或多個場效電晶體(FET)，每一FET具有一源極、一汲極、一閘極節點及一本體節點。該開關可經組態以能夠在第一及第二狀態中，該

第一狀態對應於輸入埠及輸出埠經電連接以便允許RF信號在其間通過，該第二狀態對應於輸入埠及輸出埠經電隔離。切換電路可進一步包括經組態以減少跨越開關之電壓分佈變化的一電壓分佈電路，該電壓分佈電路包括一或多個元件，該一或多個元件耦接至一或多個FET之一選定本體節點以當開關在第一狀態中並在輸入埠處遭遇RF信號時減少跨越開關之電壓分佈變化。

在一些實施例中，耦接至一或多個FET之選定本體節點的一或多個元件可包括一電容性元件。耦接至一或多個FET之選定本體節點的一或多個元件可包括一電阻性元件。另外，在一些實施例中，耦接至一或多個FET之選定本體節點的一或多個元件可包括串聯連接至電阻性元件之一電容性元件。

在一些實施例中，電壓分佈電路可包括一前饋電容性元件，其經組態以將RF信號路徑耦接至界定RF信號路徑的FET之本體節點(包括界定RF信號路徑的第一FET之本體節點)。在一些實施例中，電壓分佈電路包括串聯連接至前饋電阻性元件之一前饋電容性元件，該前饋電容性元件經組態以將RF信號路徑耦接至界定RF信號路徑的FET之本體節點。

在一些實施例中，電壓分佈電路可包括一電阻性元件，其耦接至界定RF信號路徑的FET之閘極節點以藉此實現FET之閘極節點的浮動。電阻性元件亦可耦接至界定RF信號路徑的FET之本體節點以藉此實現FET之本體節點的浮動。

根據一些實施，實例12係關於一種形成於一品粒上之積體電路(IC)。該IC可包括一開關，其具有界定在輸入埠與輸出埠之間的一RF信號路徑之一或多個場效電晶體(FET)，每一FET具有一本體節點。該開關可經組態以能夠在接通及斷開狀態中。在一些實施例中，電壓分佈電路可耦接至開關並經組態以減少跨越開關之電壓分佈變化。電

壓分佈電路可包括一或多個元件，該一或多個元件耦接至一或多個FET之選定本體節點以當開關在接通狀態中且在輸入埠處遭遇各別RF信號時減少跨越開關之電壓分佈變化。

在一些實施例中，一收發器電路可電連接至開關並經組態以處理RF信號。

如許多實施中所教示，實例12係關於一種用於一射頻(RF)裝置之已封裝模組。該模組包括一封裝基板及形成於一半導體晶粒上並安裝於封裝基板上之一積體電路(IC)。IC可包括一開關，其具有界定在輸入埠與輸出埠之間的一RF信號路徑之一或多個場效電晶體(FET)，每一FET具有本體節點，且開關可經組態以能夠在接通及斷開狀態中。電壓分佈電路可耦接至開關以在開關在接通狀態中並在輸入埠處遭遇各別RF信號時減少跨越開關之電壓分佈變化。在一些實施例中，電壓分佈電路可包括耦接至界定RF信號路徑之一或多個FET之選定本體節點的一或多個元件。

在一些實施例中，已封裝模組亦可包括經組態以促進至及來自開關之信號的通過之至少一連接件。在一些實施例中，已封裝模組亦可包括經組態以提供對開關之保護之封裝結構。

根據一些實施，實例12係關於一種無線裝置。該無線裝置可包括經組態以促進射頻(RF)信號之傳輸及接收的至少一天線。另外，該無線裝置亦可包括一收發器，其耦接至天線並經組態以處理射頻(RF)信號。在一些實施例中，該無線裝置可包括一開關，其具有界定在輸入埠與輸出埠之間的一RF信號路徑之一或多個場效電晶體(FET)，每一FET具有一本體節點。另外，開關可經組態以能夠在接通狀態及斷開狀態中。在一些實施例中，電壓分佈電路可耦接至開關以當開關在接通狀態中並在輸入埠處遭遇RF信號時減少跨越開關之電壓分佈變化，電壓分佈電路包括耦接至界定RF信號路徑的一或多個FET之選定

本體節點的一或多個元件。

在一些實施例中，無線裝置亦可包括一插座，其經組態以收納一電池並提供電池與開關之間的電連接。

根據一些實施，實例12係關於一種製造一射頻(RF)切換電路之方法。該方法可包括提供或形成一基板，及在基板上形成串聯連接以界定在輸入端與輸出端之間的一RF信號路徑之一或多個FET，每一FET具有源極、汲極、閘極節點及本體節點。該方法可進一步包括形成耦接至串聯連接之一或多個FET之選定本體節點的一元件，以藉此提供跨越切換電路的減少之電壓分佈變化。

在一些實施例中，形成耦接至該一或多個FET之選定本體節點的元件包括形成一電容性元件。形成耦接至該一或多個FET之選定本體節點的元件亦可包括形成一電阻性元件。在一些實施例中，基板可包括半導體基板。在一些實施例中，該方法可進一步包括形成自RF信號路徑至界定輸入端與輸出端之間的RF信號路徑的選定FET之本體節點的一前饋電容性元件。該方法可進一步包括形成耦接至界定輸入端及輸出端的FET之閘極節點的一電阻性元件，以藉此實現FET之閘極節點的浮動。在一些實施例中，該方法可視情況包括形成耦接至界定輸入端及輸出端的FET之本體節點的一電阻性元件，以藉此實現FET之本體節點的浮動。

產品實施之實例：

本文中描述之基於FET之開關電路及偏壓/耦接組態的各種實例可以許多不同方式及在不同產品層級處實施。藉由實例來描述此等產品實施中之一些。

半導體晶粒實施

圖43A至圖43D示意性展示在一或多個半導體晶粒上的此等實施之非限制性實例。圖43A展示在一些實施例中，具有如本文中描述之

一或多個特徵的開關電路120及偏壓/耦接電路150可實施於晶粒800上。圖43B展示在一些實施例中，偏壓/耦接電路150中之至少一些可實施於圖43A之晶粒800的外部。

圖43C展示在一些實施例中，具有如本文中描述之一或多個特徵的開關電路120可實施於第一晶粒800a上，且具有如本文中描述之一或多個特徵的偏壓/耦接電路150可實施於第二晶粒800b上。圖43D展示在一些實施例中，偏壓/耦接電路150中之至少一些可實施於圖43C之第一晶粒800a的外部。

已封裝模組實施

在一些實施例中，具有本文中描述之一或多個特徵的一或多個晶粒可實施於已封裝模組中。此模組之一實例展示於圖44A(平面圖)及圖44B(側視圖)中。儘管在開關電路及偏壓/耦接電路之兩者在同一晶粒上(例如，圖44A之實例組態)之情境中加以描述，但應理解，已封裝模組可基於其他組態。

模組810經展示為包括一封裝基板812。此封裝基板可經組態以收納複數個組件，且可包括(例如)層壓基板。安裝於封裝基板812上之組件可包括一或多個晶粒。在所示之實例中，具有一切換電路120及一偏壓/耦接電路150之晶粒800經展示為安裝於封裝基板812上。晶粒800可經由諸如連接線結合816的連接電連接至模組之其他部分(且在利用一個以上晶粒情況下彼此電連接)。此連接線結合可形成於形成於晶粒800上之接觸焊墊818與形成於封裝基板812上之接觸焊墊814之間。在一些實施例中，一或多個表面黏著式裝置(SMD) 822可安裝於封裝基板812上以促進模組810之各種功能性。

在一些實施例中，封裝基板812可包括用於將各種組件彼此互連及/或與用於外部連接之接觸焊墊互連的電連接路徑。舉例而言，連接路徑832經描繪為互連實例SMD 822與晶粒800。在另一實例中，連

接路徑832經描繪為將SMD 822與外部連接接觸焊墊834互連。在又一實例中，連接路徑832經描繪為將晶粒800與接地連接接觸焊墊836互連。

在一些實施例中，在封裝基板812及安裝於其上之各種組件上方的空間可以包覆模製結構830來填充。此包覆模製結構可提供許多合乎需要之功能性，包括保護組件及線結合免受外部元件影響，及較簡單地處置已封裝模組810。

圖45展示可實施於參看圖44A及圖44B描述之模組810中的一實例切換組態之示意圖。在實例中，開關電路120經描繪為一SP9T開關，其中極可連接至天線且投可連接至各種Rx及Tx路徑。此組態可促進(例如)無線裝置中之多模式多頻帶操作。

模組810可進一步包括用於接收功率(例如，供應電壓VDD)及控制信號以促進開關電路120及/或偏壓/耦接電路150之操作的一介面。在一些實施中，供應電壓及控制信號可經由偏壓/耦接電路150施加至開關電路120。

無線裝置實施

在一些實施中，具有本文中描述之一或多個特徵的裝置及/或電路可包括於諸如無線裝置之RF裝置中。此裝置及/或電路可直接實施於無線裝置中、以如本文中描述之模組化形式實施或以其某一組合實施。在一些實施例中，此無線裝置可包括(例如)蜂巢式電話、智慧型電話、具有或不具有電話功能性之手持型無線裝置、無線平板電腦等。

圖46示意地描繪具有本文中描述之一或多個有利特徵的一實例無線裝置900。在如本文中描述之各種開關及各種偏壓/耦接組態之情境中，開關120及偏壓/耦接電路150可為模組810之部分。在一些實施例中，此開關模組可促進(例如)無線裝置900之多頻帶多模式操作。

在實例無線裝置900中，具有複數個功率放大器(PA)之PA模組916可(經由雙工器920)將一經放大RF信號提供至開關120，且開關120可將經放大RF信號投送至天線。PA模組916可自可以已知方式組態並操作的收發器914接收未經放大之RF信號。收發器亦可經組態以處理所接收信號。收發器914經展示為與一經組態以提供在適合於使用者之資料及/或語音信號與適合於收發器914之RF信號之間的轉換之基頻子系統910互動。收發器914亦經展示為連接至經組態以管理用於無線裝置900之操作的功率之一功率管理組件906。此功率管理組件亦可控制基頻子系統910及模組810之操作。

基頻子系統910經展示為連接至一使用者介面902以促進提供至使用者及自使用者接收的語音及/或資料之各種輸入及輸出。基頻子系統910亦可連接至一記憶體904，該記憶體904經組態以儲存資料及/或指令以促進無線裝置之操作及/或提供用於使用者的資訊之儲存。

在一些實施例中，雙工器920可允許使用一共同天線(例如，924)同時執行傳輸及接收操作。在圖46中，所接收之信號經展示為經投送至可包括(例如)低雜訊放大器(LNA)之「Rx」路徑(未圖示)。

許多其他無線裝置組態可利用本文中描述之一或多個特徵。舉例而言，無線裝置不需要為多頻帶裝置。在另一實例中，無線裝置可包括諸如分集天線之額外天線及諸如Wi-Fi、藍芽及GPS之額外連接性特徵。

來自不同實例之特徵的組合

如本文中所描述，與每一實例相關聯之一或多個特徵可產生一或多個合乎需要之組態。在一些實施中，來自本文中描述之不同實例之各種特徵可經組合以產生一或多個合乎需要之組態。圖47示意地描繪第一特徵(i,x)經展示為與第二特徵(j,y)組合的一組合組態1000。索引「i」及「j」為針對N個實例中之實例數目，其中 $i = 1, 2, \dots, N-1$,

N ，且 $j = 1, 2, \dots, N-1, N$ 。在一些實施中，對於組合組態1000之第一及第二特徵， $i \neq j$ 。索引「 x 」可表示與第 i 個實例相關聯之一個別特徵。索引「 x 」亦可表示與第 i 個實例相關聯之特徵的組合。類似地，索引「 y 」可表示與第 j 個實例相關聯之一個別特徵。索引「 y 」亦可表示與第 j 個實例相關聯之特徵的組合。如本文中所描述， N 之值可為12。

儘管在組合來自不同實例之特徵之情境中描述，但應理解，亦可組合來自少於或超過兩個實例之特徵。舉例而言，來自一個、三個、四個、五個等實例之特徵可經組合以產生組合組態。

總體註釋：

除非本文另外明確要求，否則貫穿描述及申請專利範圍，措詞「包含」及其類似者應以包括性意義理解，與排他性或詳盡性意義相反；亦即，意義為「包括(但不限於)」。如本文中通常使用之措詞「耦接」指可直接連接或藉由一或多個中間元件連接之兩個或兩個以上元件。另外，當用於本申請案中時，措詞「本文中」、「上文」、「下文」及類似輸入之措詞應指本申請案整體來看而非指本申請案之任何特定部分。當上下文允許時，使用單數或複數數目之前述實施方式中之措詞亦可分別包括複數或單數數目。關於兩種或兩種以上項目之清單的措詞「或」，該措詞涵蓋措詞之所有以下解釋：清單中之任一項目、清單中之所有項目及清單中之項目之任何組合。

本發明實施例之以上詳細描述不欲為窮盡的或將本發明限於上文揭示之精確形式。如熟習相關技術者將認識到，雖然上文出於說明之目的而描述了本發明之特定實施例及實例，但在本發明之範疇內，多種均等修改係可能的。舉例而言，雖然以既定順序呈現過程或區塊，但替代性實施例可執行具有不同次序之步驟之常式或使用具有不同次序之區塊之系統，且可刪除、移動、添加、細分、組合及/或修

改一些過程或區塊。此等過程或區塊中之每一者可以多種不同方式來實施。又，雖然有時將過程或區塊展示為串聯執行的，但可改作並聯執行此等過程或區塊，或可在不同時間執行此等過程或區塊。

本文中提供的本發明之教示可應用於其他系統，未必為上文描述之系統。可組合上文描述之各種實施例之元件及動作以提供另外實施例。

雖然已描述本發明之某些實施例，但僅藉由實例呈現此等實施例，且不意欲限制本發明之範疇。實際上，本文中所描述之新穎方法及系統可以多種其他形式體現；此外，在不脫離本發明之精神的情況下，可進行本文中所描述之方法及系統的形式之各種省略、替代及改變。隨附申請專利範圍及其均等物意欲涵蓋如將屬於本發明之範疇及精神內的此等形式或修改。

【符號說明】

10	切換裝置
11	切換電路
12	電壓分佈等化電路
100	射頻(RF)開關
102	極
102a	極
104	投
104a	第一投/第一投節點
104b	第二投/第二投節點
110	RF核心
112	能量管理(EM)核心
120	FET/MOSFET/SOI FET/ 開 關 電路/切換電路/開關

120a	第一電晶體/FET
120b	第二電晶體/FET
122a	分流FET
122b	分流FET
130	實例RF核心組態
140	開關臂/開關臂區段
140a	第一開關臂區段
140b	第二開關臂區段
142a	第一分流臂區段/第一分流臂/ 開關臂區段
142b	第二分流臂區段/第二分流臂/ 開關臂區段
144	第一節點/端子
146	第二節點/端子
150	偏壓/耦接電路
150a	閘極偏壓/耦接電路
150b	源極/汲極耦接電路
150c	本體偏壓/耦接電路
200	開關電路
202	非線性電容器/MOS電容器
210	開關臂
220	開關電路實例/開關電路
222	電容器
222'	電容器
224	電阻器
224'	電阻器

226	二極體
230	開關臂
250	切換組態
252	天線
300	開關電路實例/開關/開關電路/ 切換電路
302	本體偏壓電路
306	開關
308	電感器
310	電容器/開關臂
320	開關電路實例/開關電路
322	二極體
324	電阻器
330	開關臂/實例組態
340	開關電路實例/實例組態/開關 電路
350	開關臂/實例組態
360	開關電路實例/開關電路
362	電容器
364	電阻器
370	開關臂/實例組態
380	開關電路實例/開關電路
382	第二FET
384	電阻器
390	開關臂/實例組態
400	開關電路實例/開關電路

402	電容器
404	二極體
410	開關臂/實例組態
412a	曲線
412b	曲線
412c	曲線
414a	曲線
414b	曲線
414c	曲線
500	開關電路實例/開關電路
502	第二FET
506	第三FET
510	開關臂/實例組態
520	FET堆疊/實例堆疊組態
700	過程
800	過程/晶粒
800a	第一晶粒
800b	第二晶粒
810	模組/已封裝模組/區塊
812	封裝基板
814	接觸焊墊
816	連接線結合
818	接觸焊墊
822	表面黏著式裝置(SMD)
830	包覆模製結構
832	連接路徑

834	外部連接接觸焊墊
836	接地連接接觸焊墊
900	無線裝置
902	使用者介面
904	記憶體
906	功率管理組件
910	基頻子系統
914	收發器
916	功率放大器(PA)模組
920	雙工器
924	共同天線
1000	組合組態
C1	電容器
C2	電容器
C3	電容器
C4	電容器
Cbb1	電容性元件
Cbb2	電容性元件
Cbb3	電容性元件
Cbb4	電容性元件
Cfwd	前饋電容器/前饋電容性元件
Cgg1、Cgg2、Cgg3……Cgg(N-1)	電容性元件
G	閘極節點
R	閘極電阻器
R1	附加電阻器
R2	附加電阻器/閘極電阻器

Rb	本體電阻器/電阻性元件
Rb1	電阻性元件
Rb2	電阻性元件
Rb3	電阻性元件
Rb4	電阻性元件
Rb5	電阻性元件
Rbb1	電阻性元件
Rbb2	電阻性元件
Rbb3	電阻性元件
Rbb4	電阻性元件
Rfwd	電阻器/前饋電阻性元件
Rg	閘極電阻器/電阻性元件
Rg1	電阻性元件
Rg2	電阻性元件
Rg2	閘極電阻器
Rg3	電阻性元件
Rg4	電阻性元件
Rg5	電阻性元件
Rgg1、Rgg2……Rgg(N-1)	電阻性元件
S	開關電路/開關臂
S1	開關
S2	開關

申請專利範圍

1. 一種射頻(RF)開關，其包含：
至少一場效電晶體(FET)，其安置於第一節點與第二節點之間，該場效電晶體中之每一者具有一各別閘極及本體；及
一可調整電阻電路，其連接至該至少一場效電晶體之該各別閘極及本體中之任一者或兩者，該可調整電阻電路包括一第一電阻器，該第一電阻器係與一第二電阻器及一旁路開關之一並聯組合串聯。
2. 如請求項1之射頻開關，其中該場效電晶體為一絕緣體上矽(SOI)場效電晶體。
3. 如請求項1之射頻開關，其中該旁路開關閉合導致繞過該第二電阻器以產生用於該可調整電阻之一第一電阻，且該旁路開關斷開導致比該第一電阻大大致該第二電阻器之值的一第二電阻。
4. 如請求項3之射頻開關，其中該第一電阻包括一偏壓電阻。
5. 如請求項4之射頻開關，其中該第二電阻經選擇以改良互調變失真(IMD)效能，且該第一電阻經選擇以導致減少對該場效電晶體之切換時間之影響。
6. 如請求項1之射頻開關，其中該可調整電阻電路連接至該閘極。
7. 如請求項6之射頻開關，其進一步包含連接至該本體之一第二可調整電阻電路。
8. 如請求項6之射頻開關，其進一步包含連接至該本體之一個二極體本體接觸。
9. 如請求項1之射頻開關，其中該可調整電阻電路連接至該本體，而非該閘極。
10. 如請求項1之射頻開關，其中該第一節點經組態以接收具有一功

率值之一射頻信號，且該第二節點經組態以當該場效電晶體在一接通狀態中時輸出該射頻信號。

11. 如請求項10之射頻開關，其中該至少一場效電晶體包括N個串聯連接之場效電晶體，數量N經選擇以允許開關電路處置該RF信號之該功率。

12. 一種用於操作一射頻(RF)開關之方法，該方法包含：

控制安置於第一節點與第二節點之間的至少一場效電晶體(FET)，使得該至少一場效電晶體中之每一者在一接通狀態或一斷開狀態中；及

調整連接至該至少一場效電晶體中之每一者的一各別閘極及本體中之任一者或兩者之一電路的一電阻，該電阻包括一第一電阻器及一第二電阻器，且該調整包括繞過串聯連接的該第一電阻器與該第二電阻器中之一者。

13. 一種半導體晶粒，其包含：

一半導體基板；

至少一場效電晶體(FET)，其形成於該半導體基板上；及

一可調整電阻電路，其連接至該至少一場效電晶體中之每一者的一各別閘極及本體中之任一者或兩者，該可調整電阻電路包括一第一電阻器，該第一電阻器係與一第二電阻器及一旁路開關之一並聯組合串聯。

14. 如請求項13之半導體晶粒，其進一步包含安置於該場效電晶體與該半導體基板之間的一絕緣體層。

15. 如請求項14之半導體晶粒，其中該晶粒為一絕緣體上矽(SOI)晶粒。

16. 一種用於製造一半導體晶粒之方法，該方法包含：

提供一半導體基板；

在該半導體基板上形成至少一場效電晶體(FET)，該至少一場效電晶體中之每一者具有一各別閘極及本體；

在該半導體基板上形成一可調整電阻電路，該可調整電阻電路包括一第一電阻器，該第一電阻器係與一第二電阻器及一旁路開關之一並聯組合串聯；及

將該可調整電阻電路連接至該至少一場效電晶體之該各別閘極及本體中之任一者或兩者。

17. 如請求項16之方法，其進一步包含在該場效電晶體與該半導體基板之間形成一絕緣體層。
18. 一種射頻(RF)開關模組，其包含：
 - 一封裝基板，其經組態以收納複數個組件；
 - 一半導體晶粒，其安裝於該封裝基板上，該晶粒包括至少一場效電晶體(FET)；及
 - 一可調整電阻電路，其連接至該至少一場效電晶體中之每一者的一各別閘極及本體中之任一者或兩者，該可調整電阻電路包括一第一電阻器，該第一電阻器係與一第二電阻器及一旁路開關之一並聯組合串聯。
19. 如請求項18之射頻開關模組，其中該半導體晶粒為一絕緣體上矽(SOI)晶粒。
20. 如請求項18之射頻開關模組，其中該可調整電阻電路為與該至少一場效電晶體相同之半導體晶粒之部分。
21. 如請求項18之射頻開關模組，其中該可調整電阻電路為安裝於該封裝基板上的一第二晶粒之部分。
22. 如請求項18之射頻開關模組，其中該可調整電阻電路安置於該半導體晶粒之外的一位置處。
23. 一種無線裝置，其包含：

一收發器，其經組態以處理射頻信號；

與該收發器通信之一天線，其經組態以促進一經放大RF信號之傳輸；

一功率放大器，其連接至該收發器並經組態以產生該經放大射頻信號；及

一開關，其連接至該天線及該功率放大器並經組態以將該經放大射頻信號選擇性地投送至該天線，該開關包括至少一場效電晶體(FET)，該開關進一步包括連接至該至少一場效電晶體中之每一者的一各別閘極及本體中之任一者或兩者的一可調整電阻電路，該可調整電阻電路包括一第一電阻器，該第一電阻器係與一第二電阻器及一旁路開關之一並聯組合串聯。

圖式

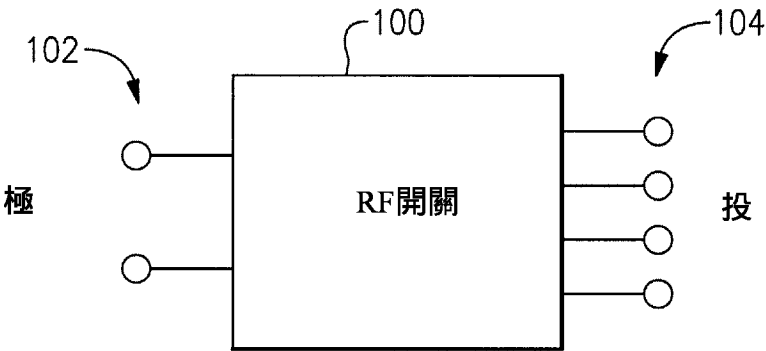


圖1

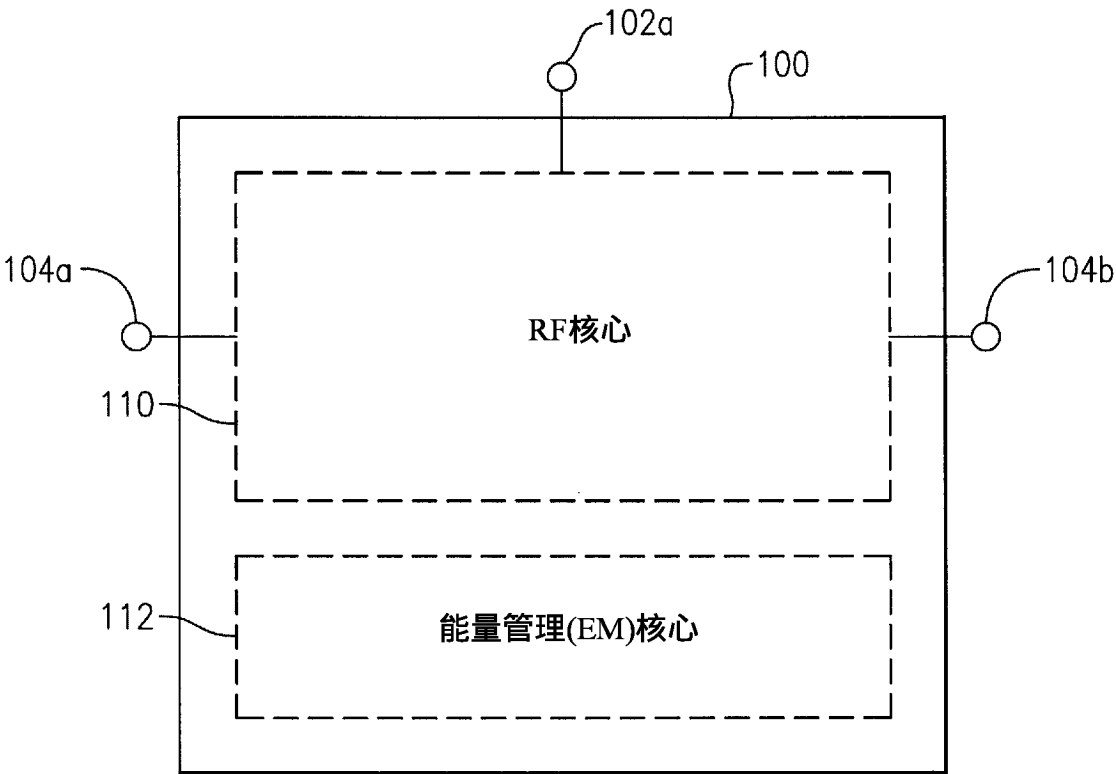


圖2

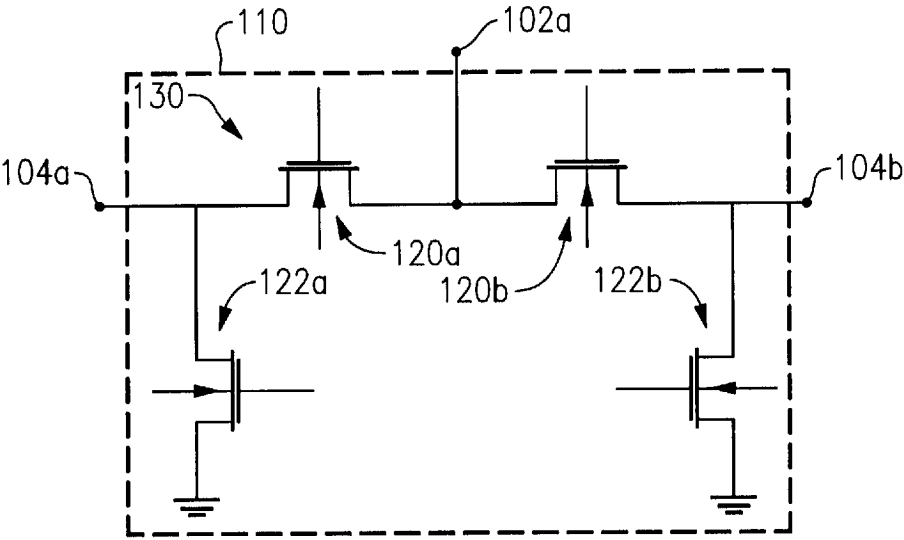


圖3

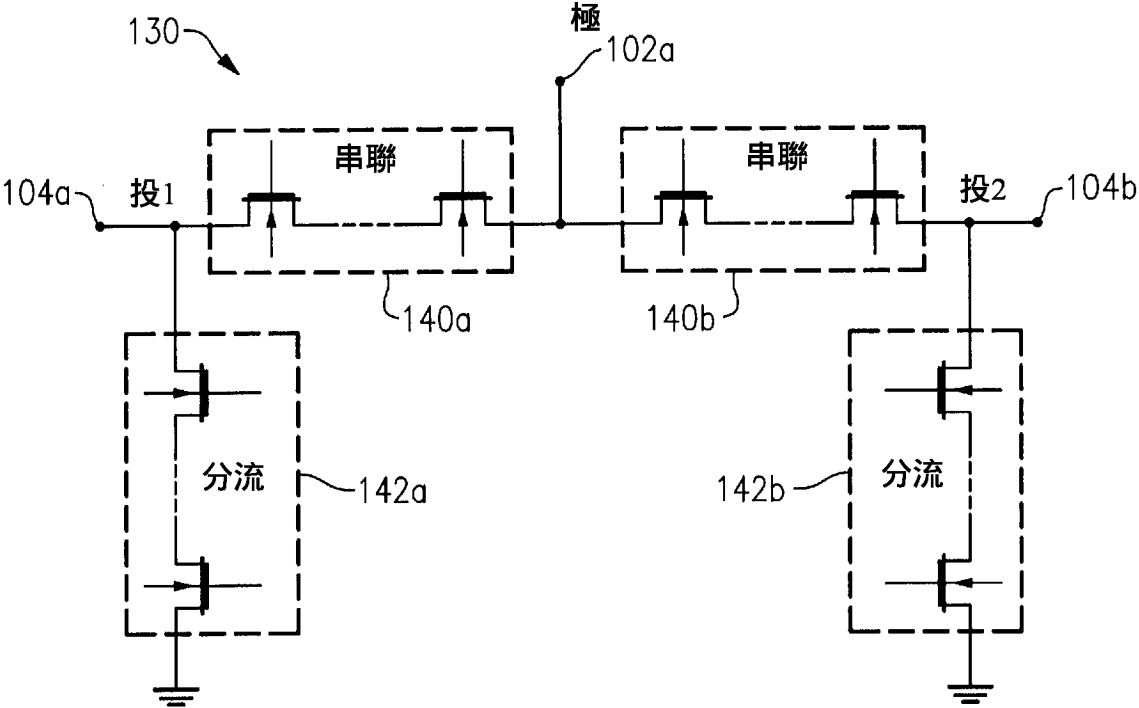


圖4

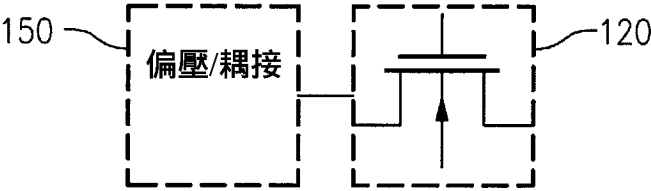


圖5

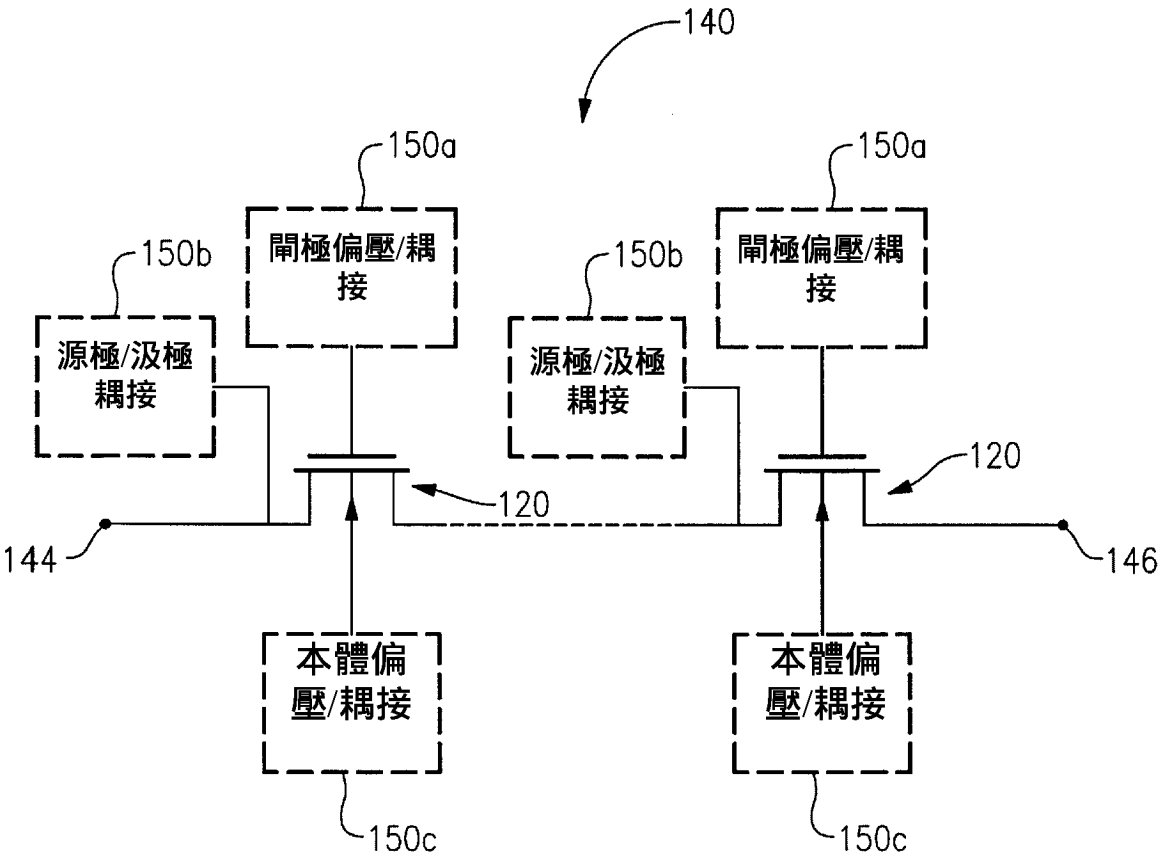


圖6

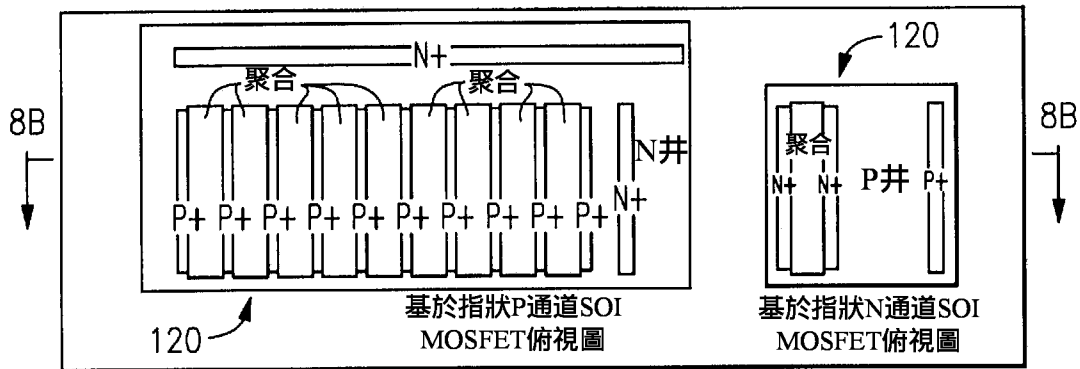
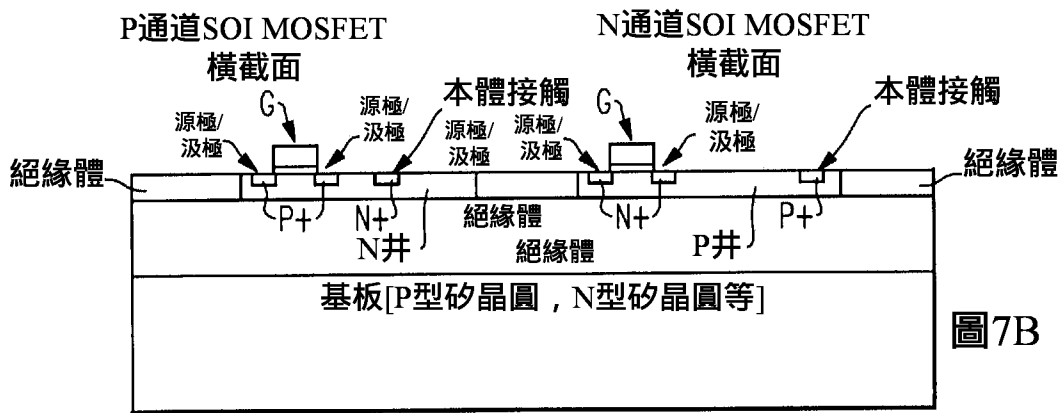
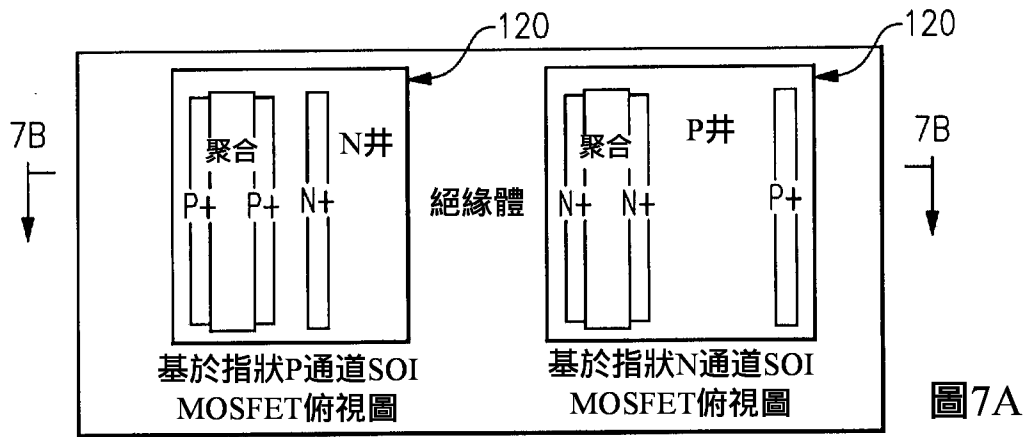


圖8A

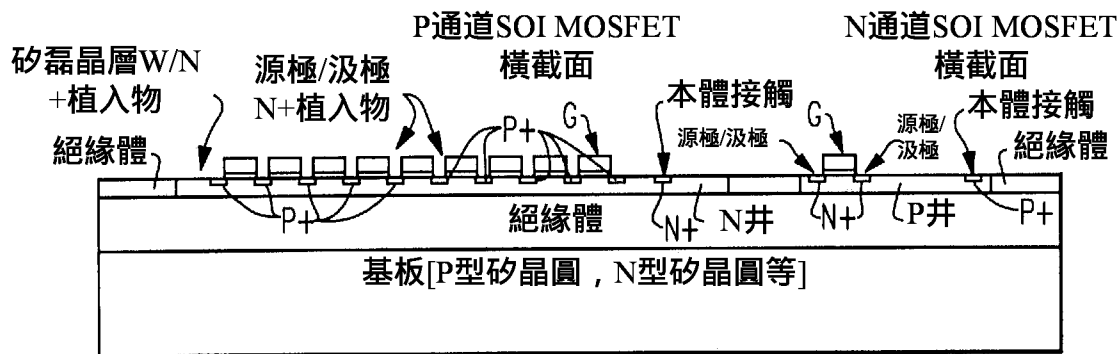


圖8B

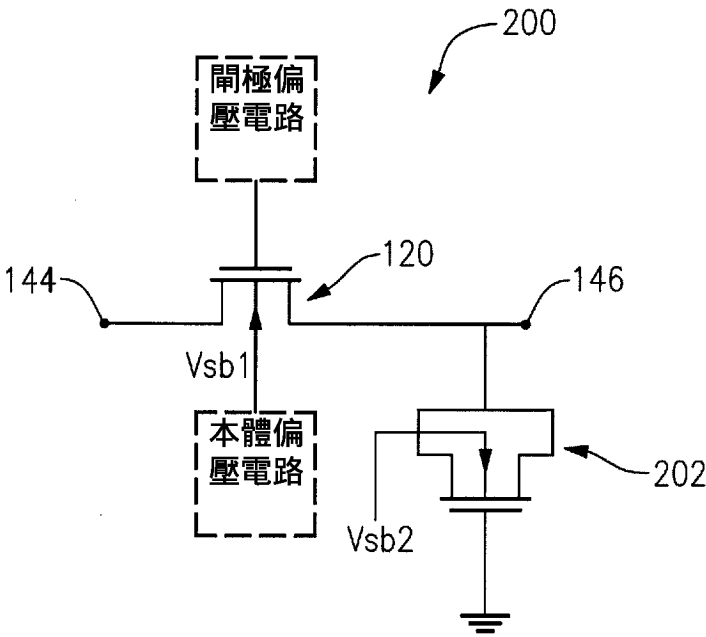


圖9

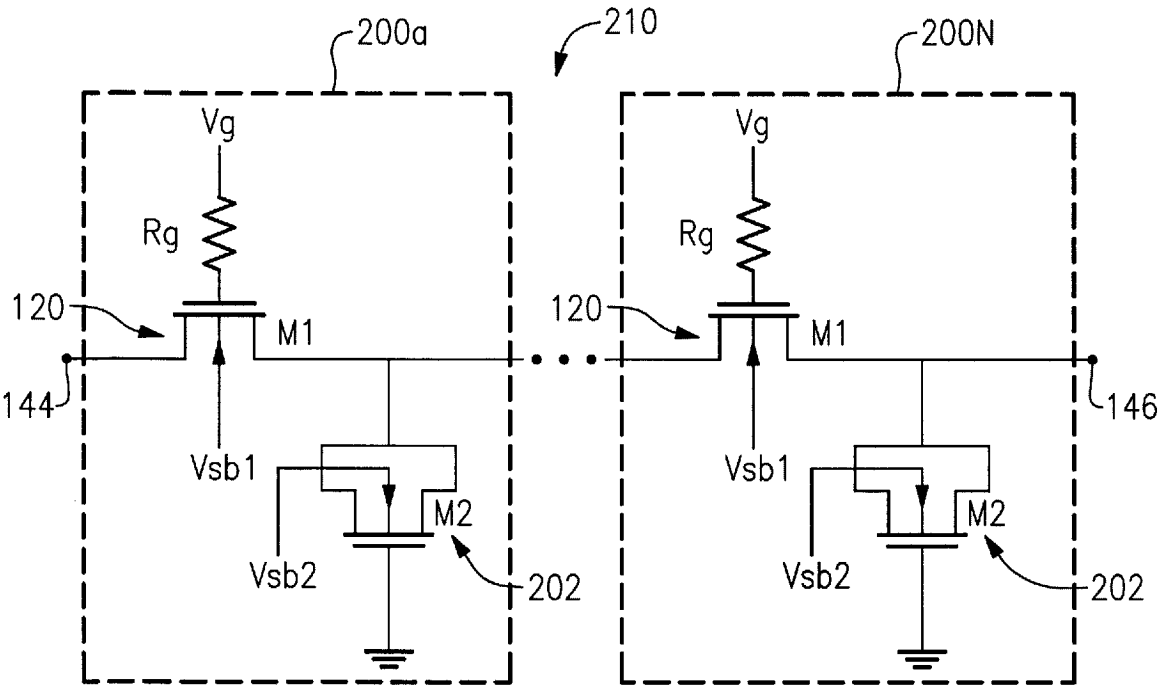


圖10

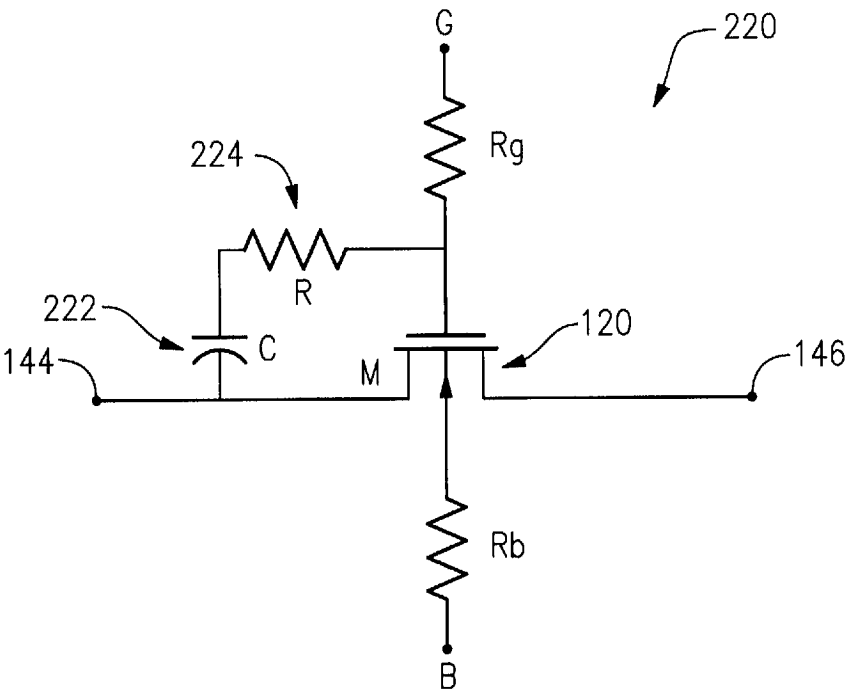


圖11A

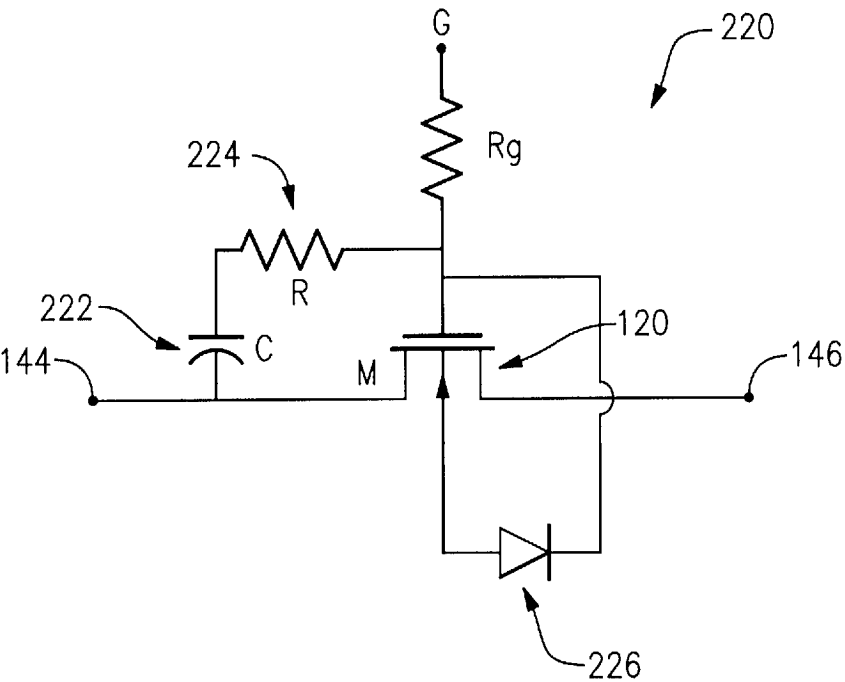


圖11B



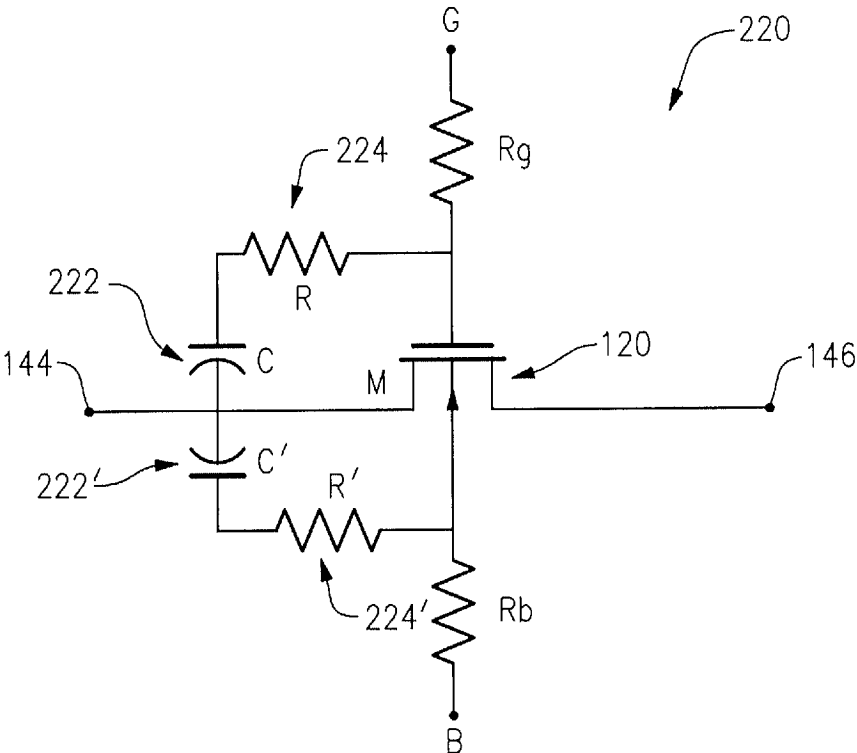


圖11E

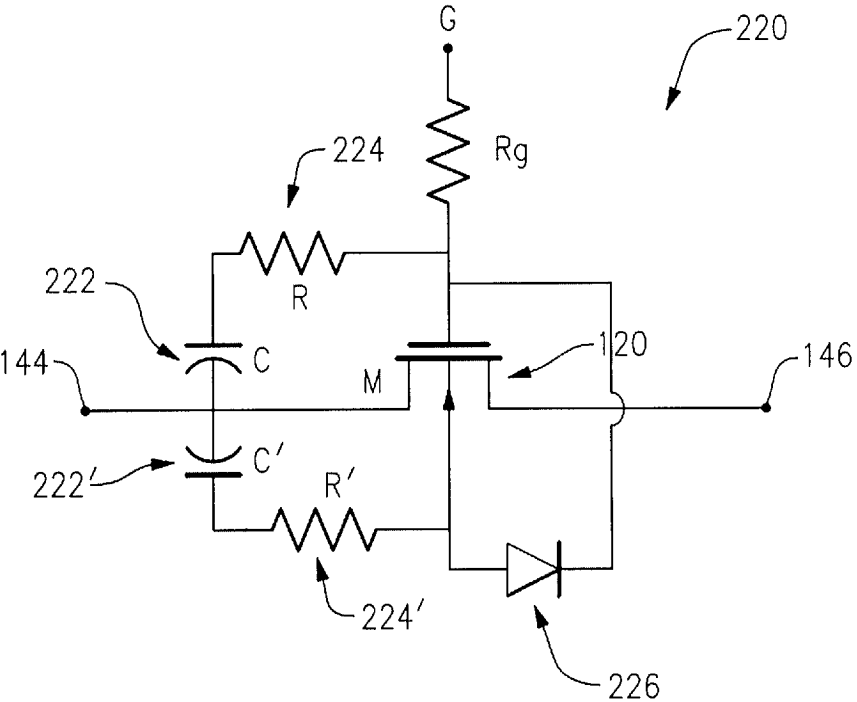


圖11F

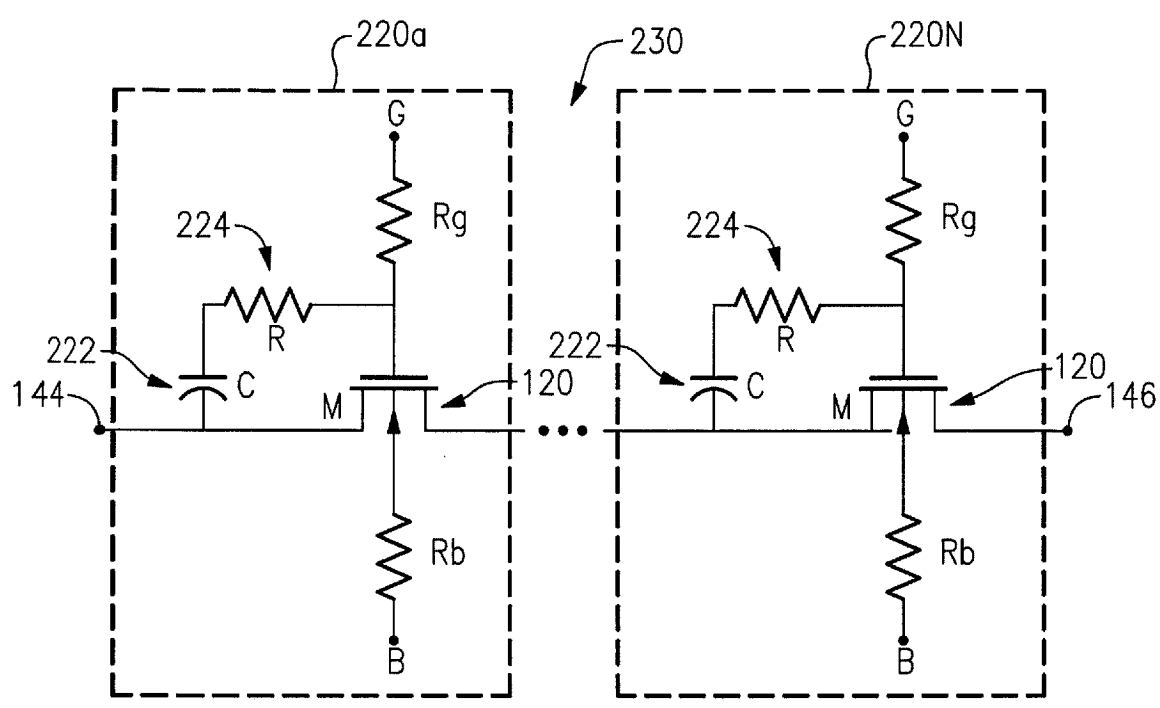


圖12A

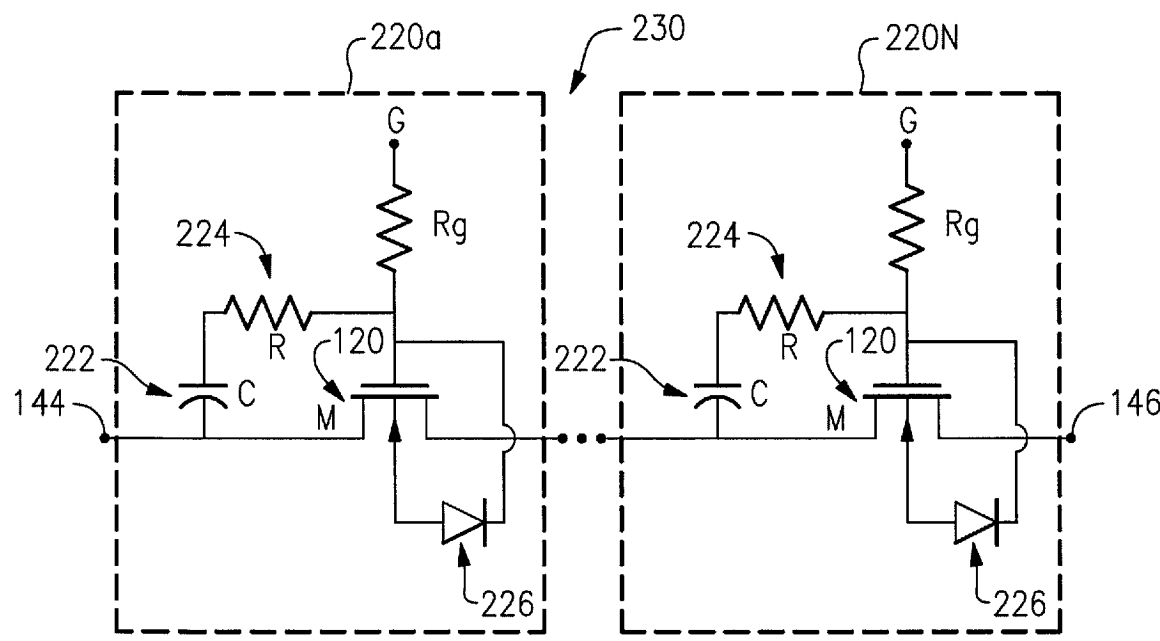


圖12B

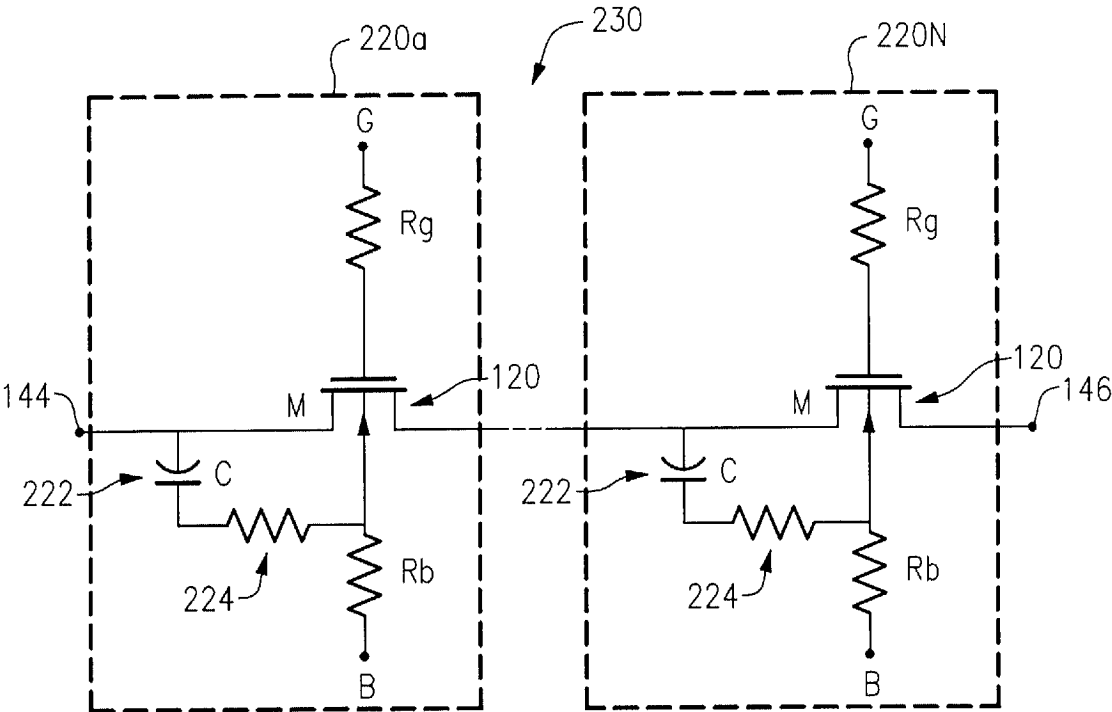


圖12C

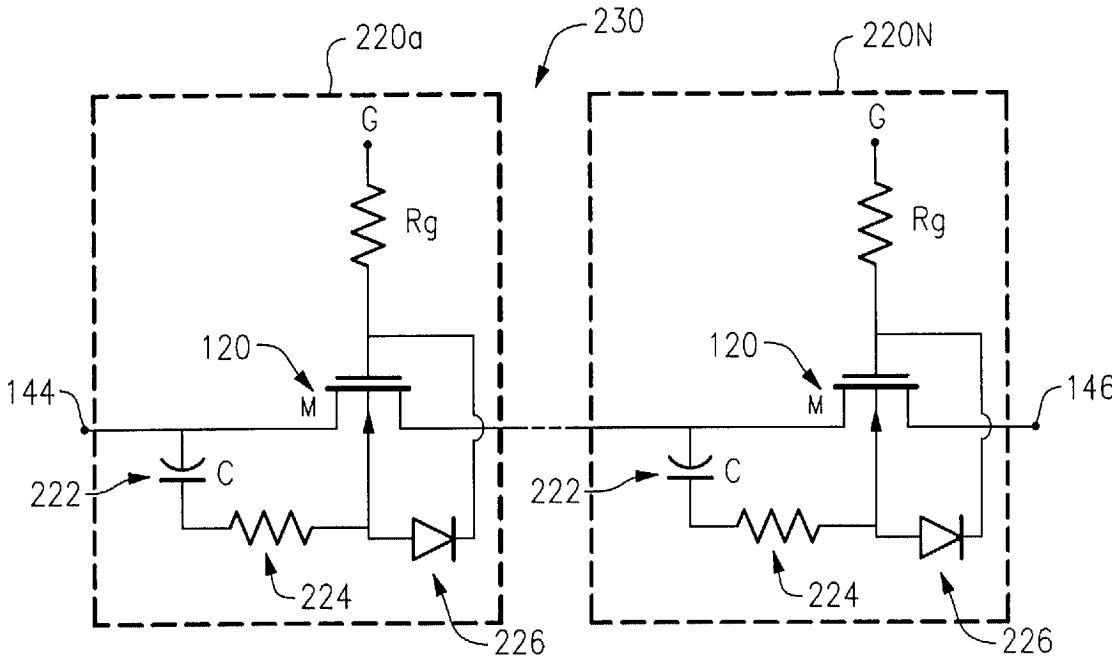
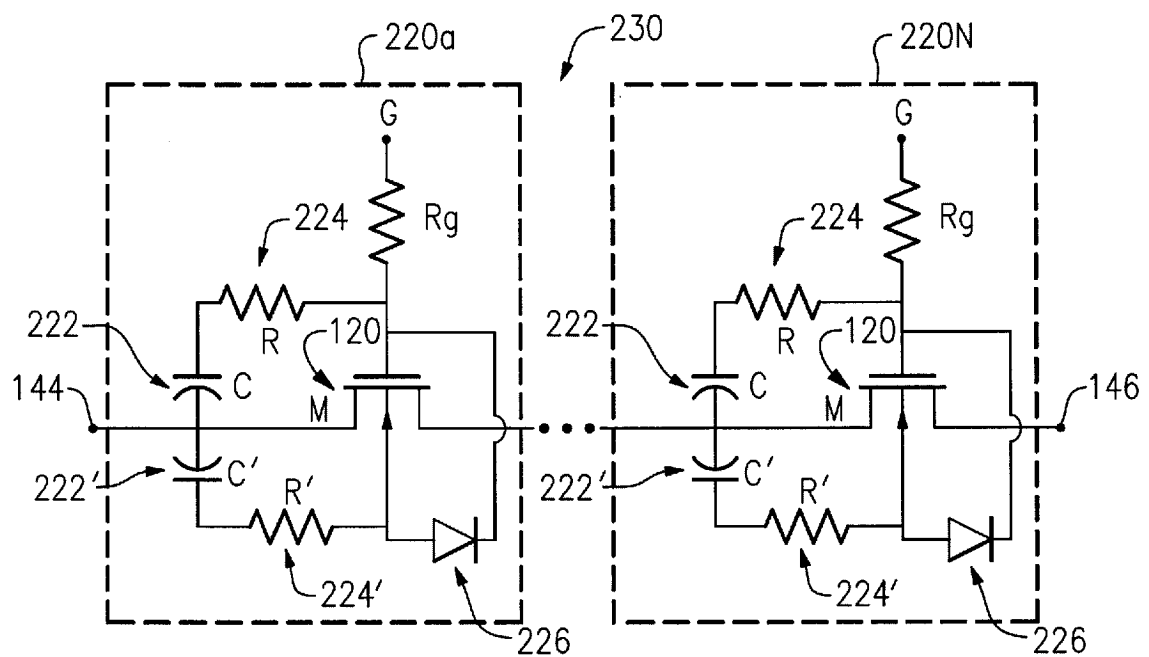
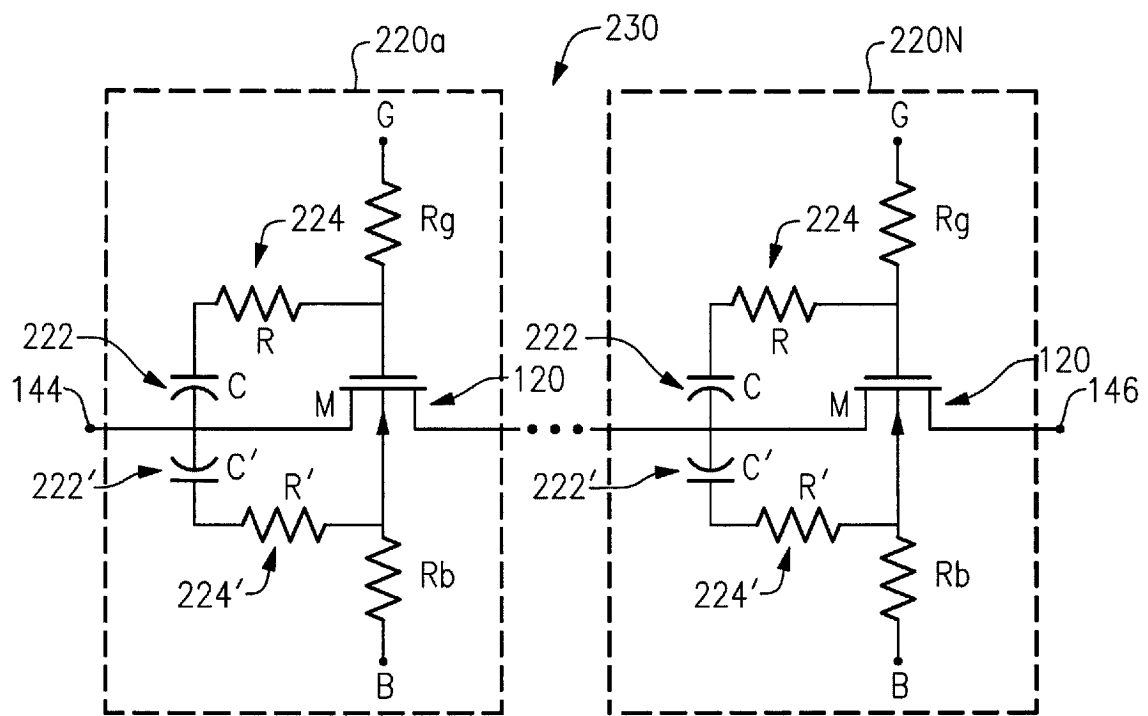


圖12D



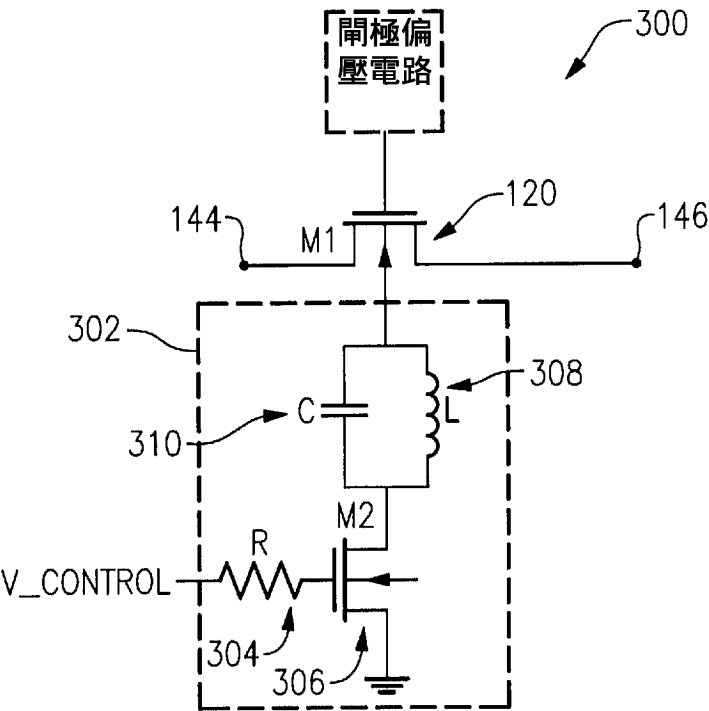


圖13

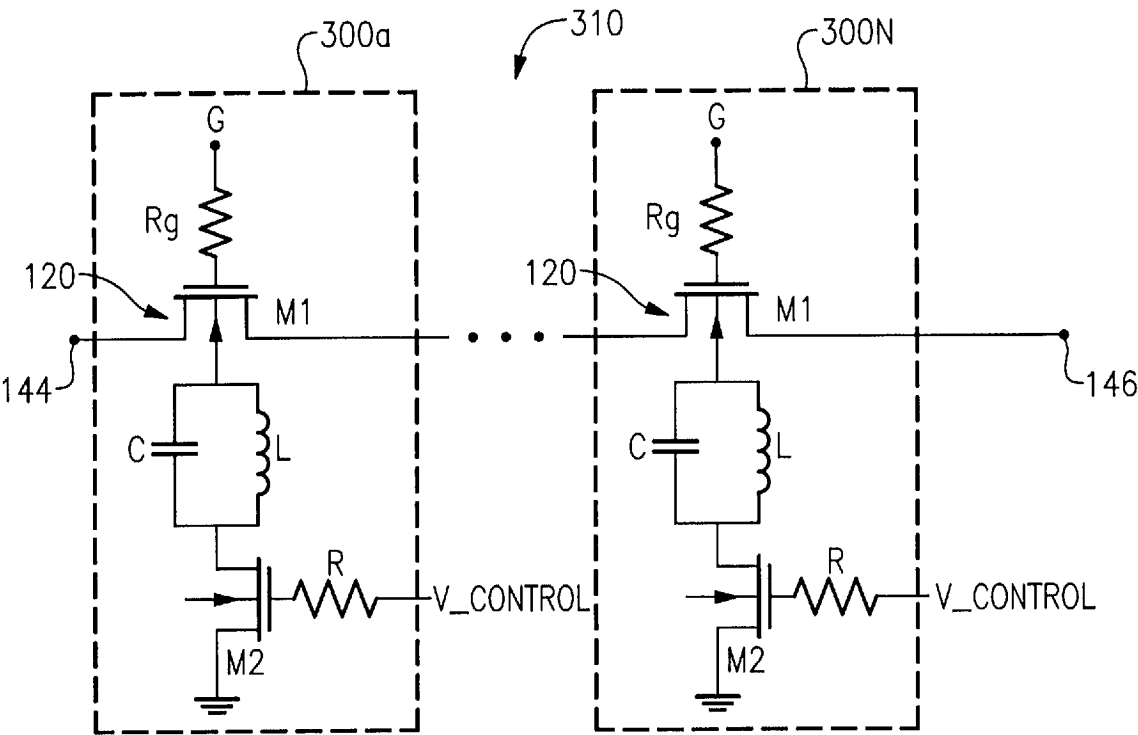


圖14

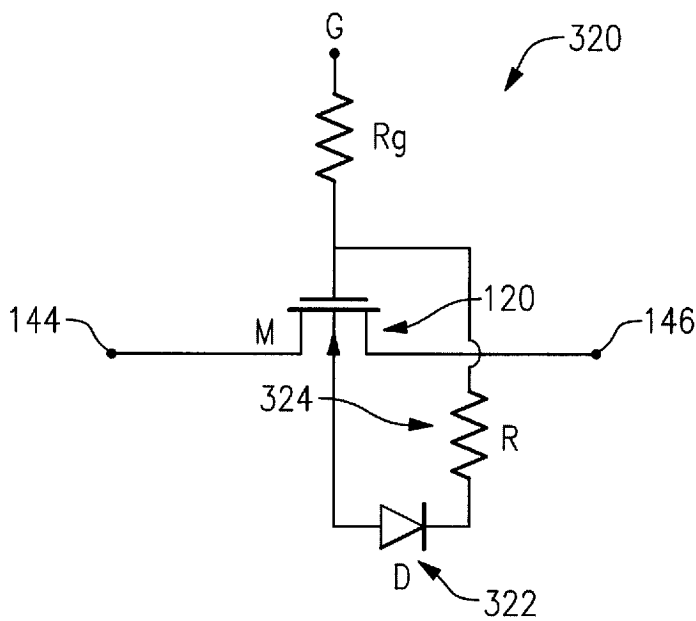


圖15

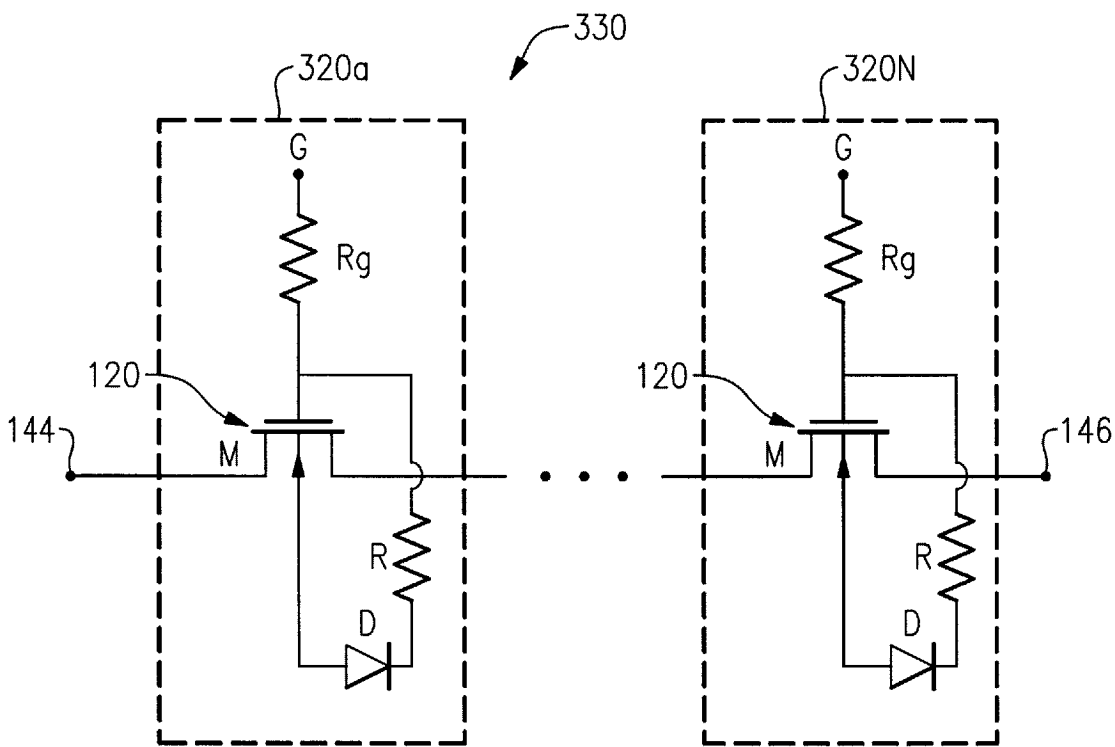


圖16

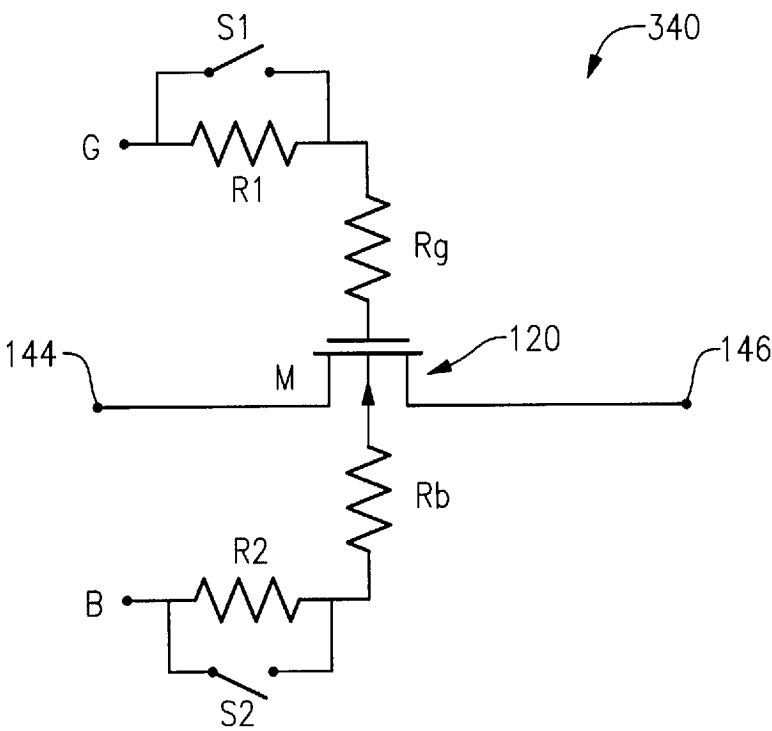


圖17A

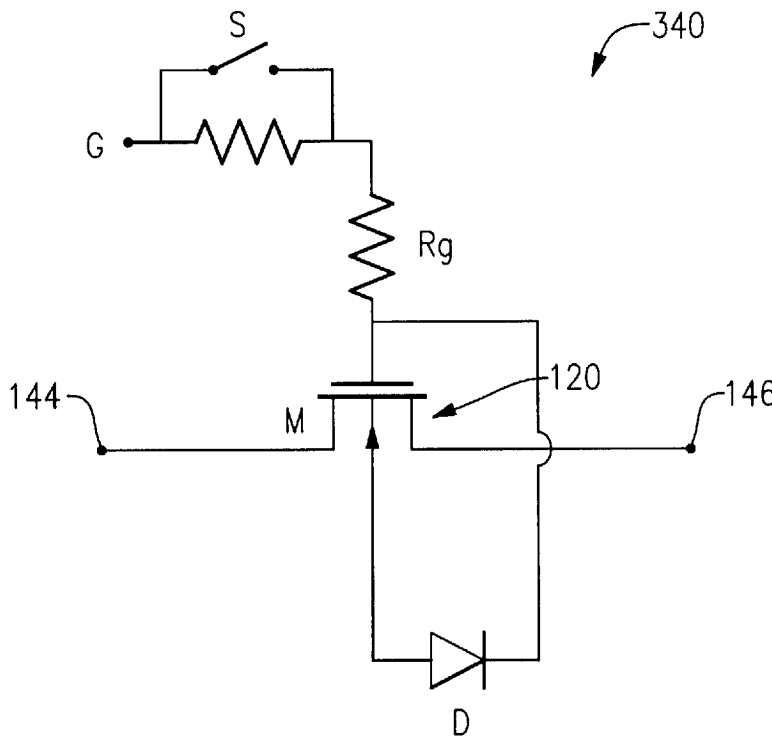
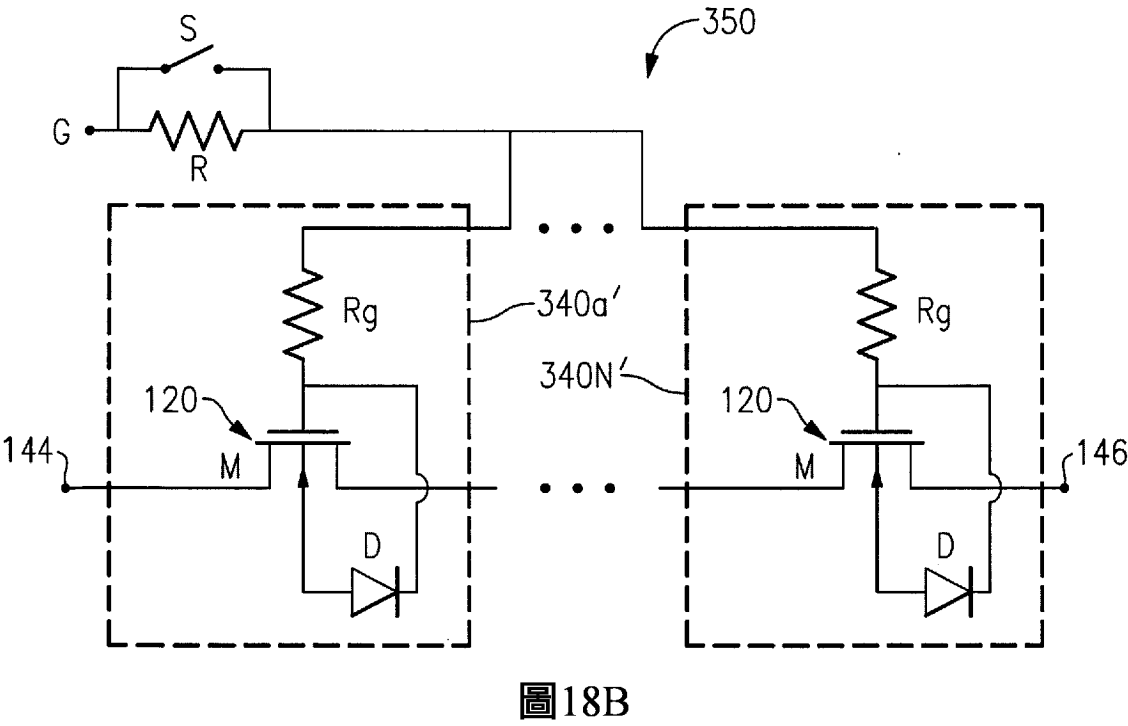
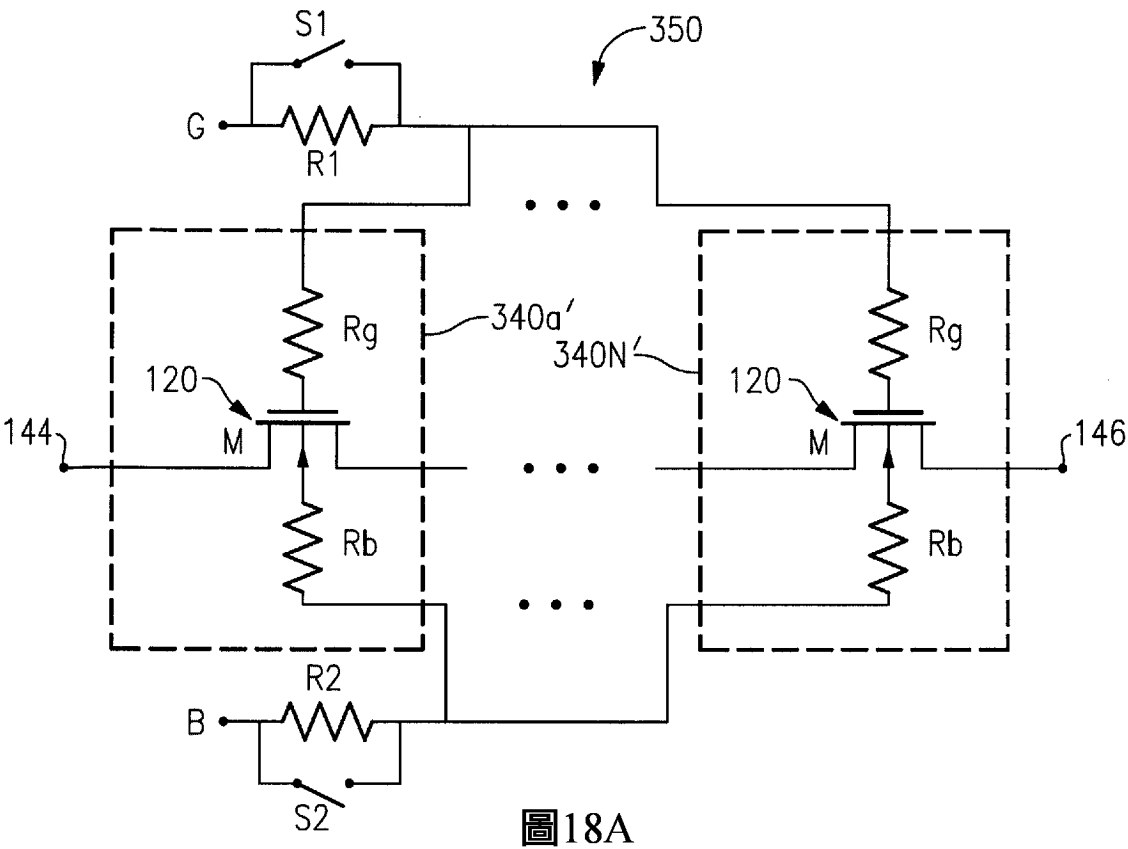


圖17B



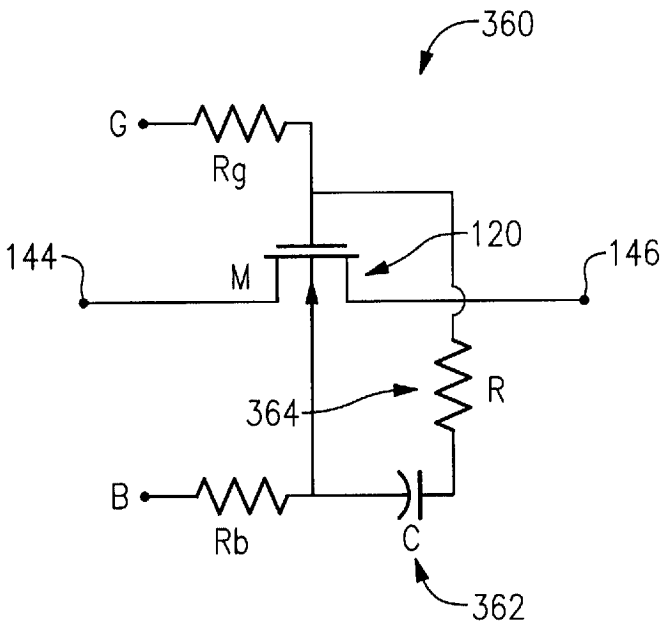


圖19

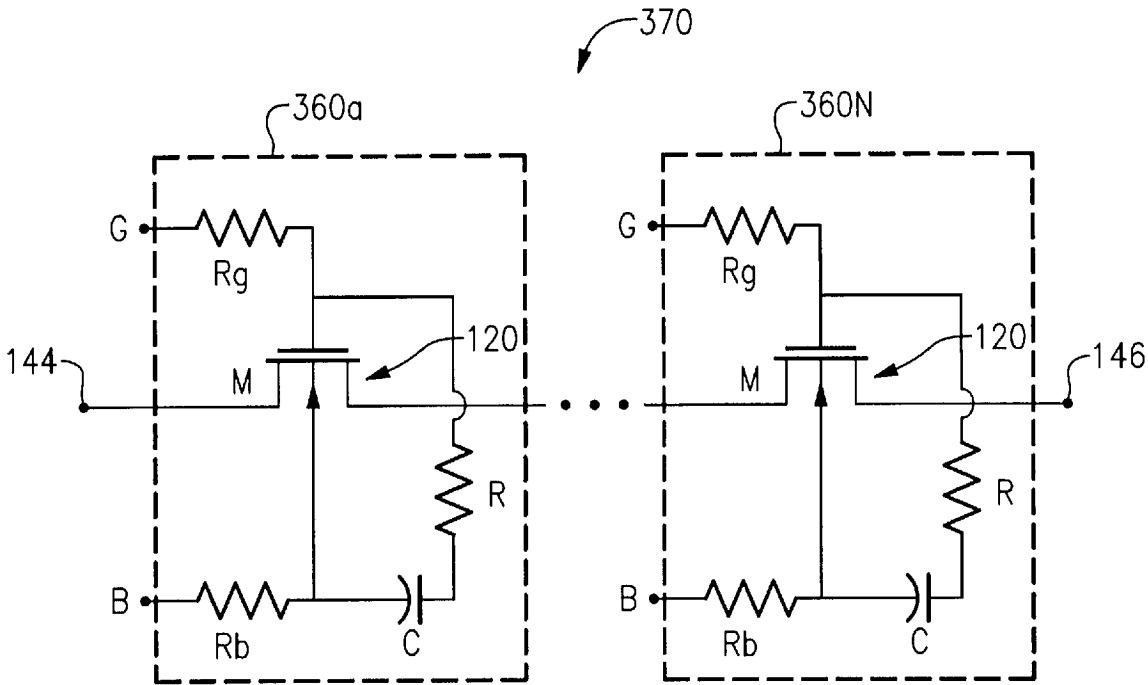


圖20

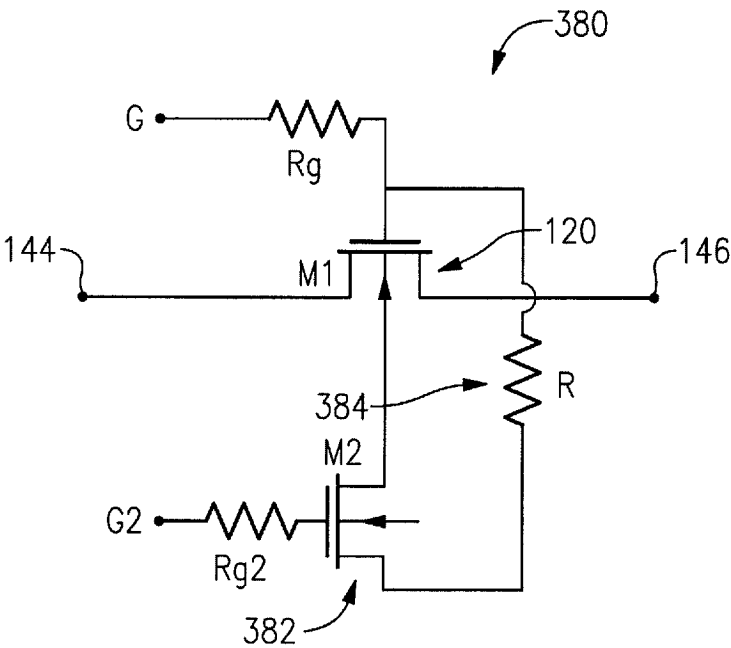


圖21

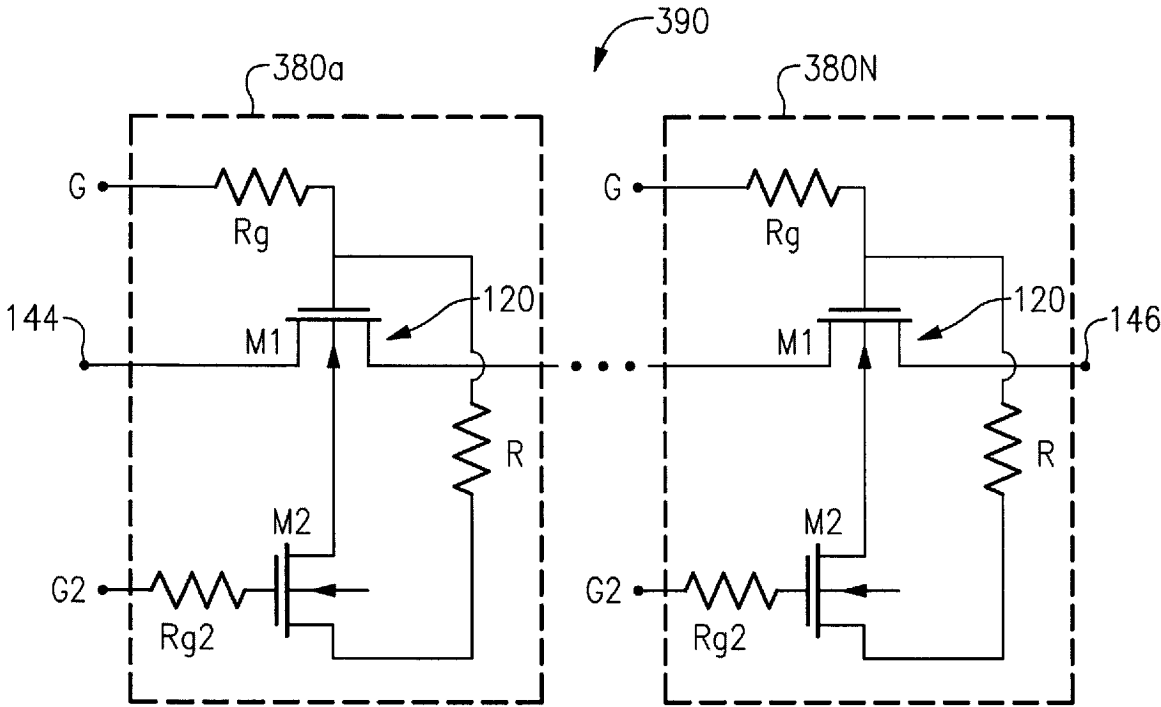


圖22

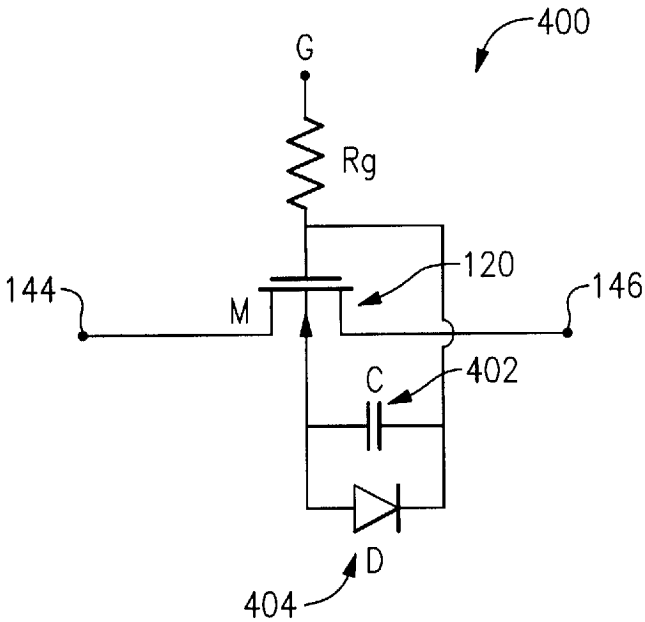


圖23A

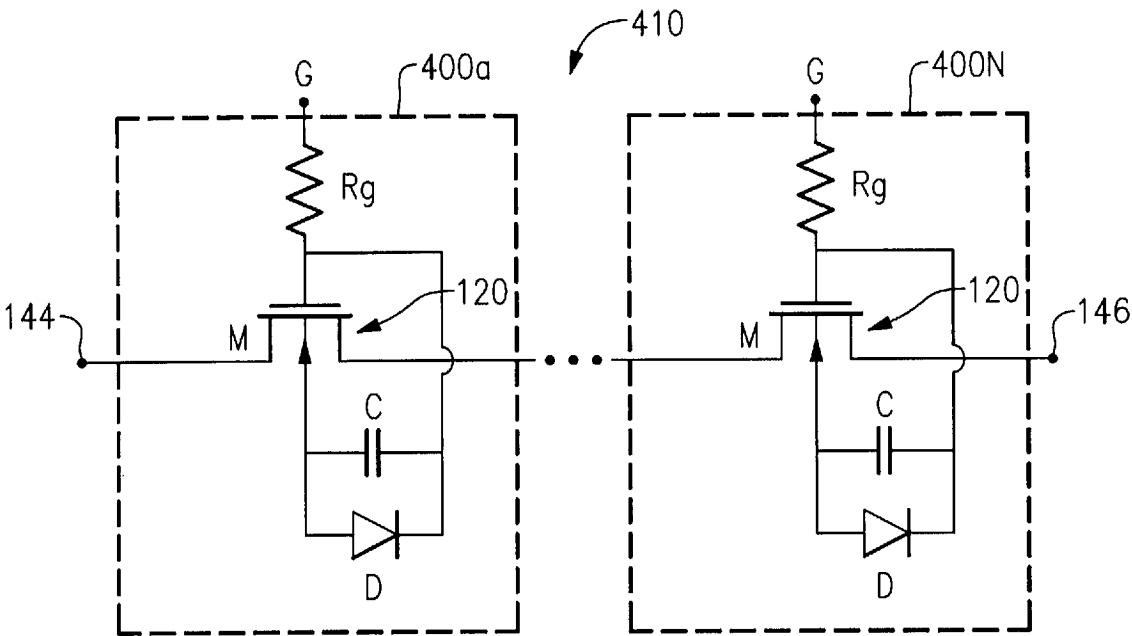


圖24A

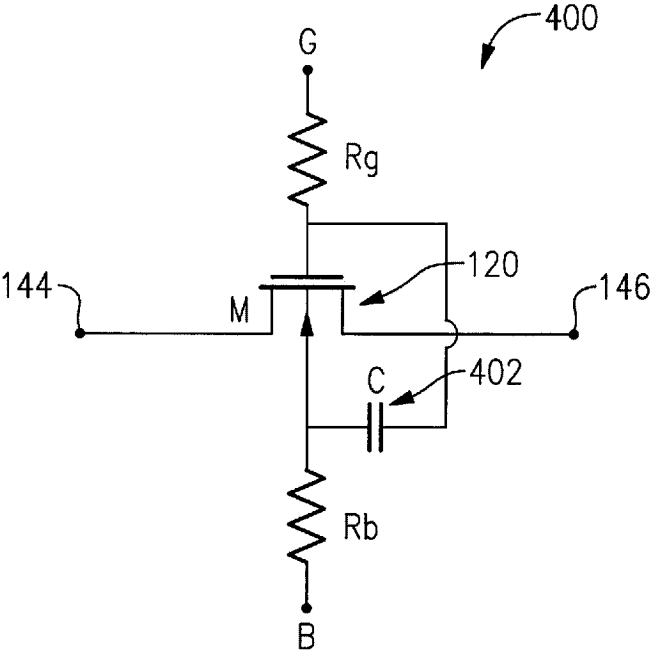


圖23B

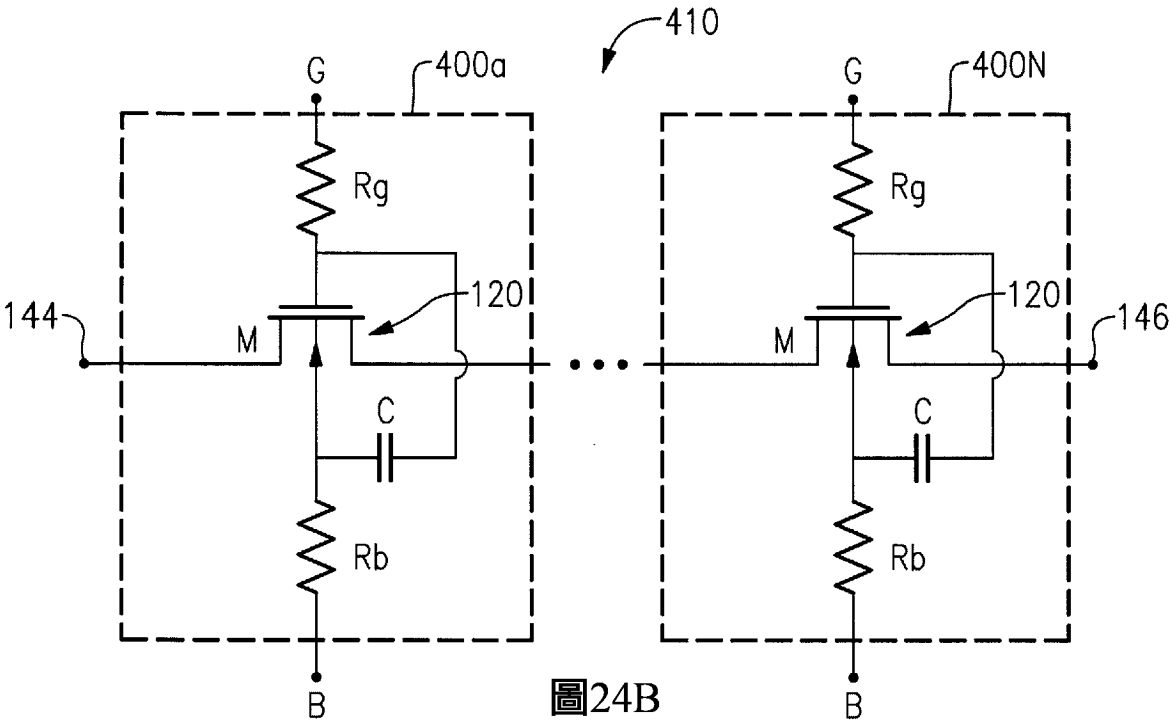


圖24B

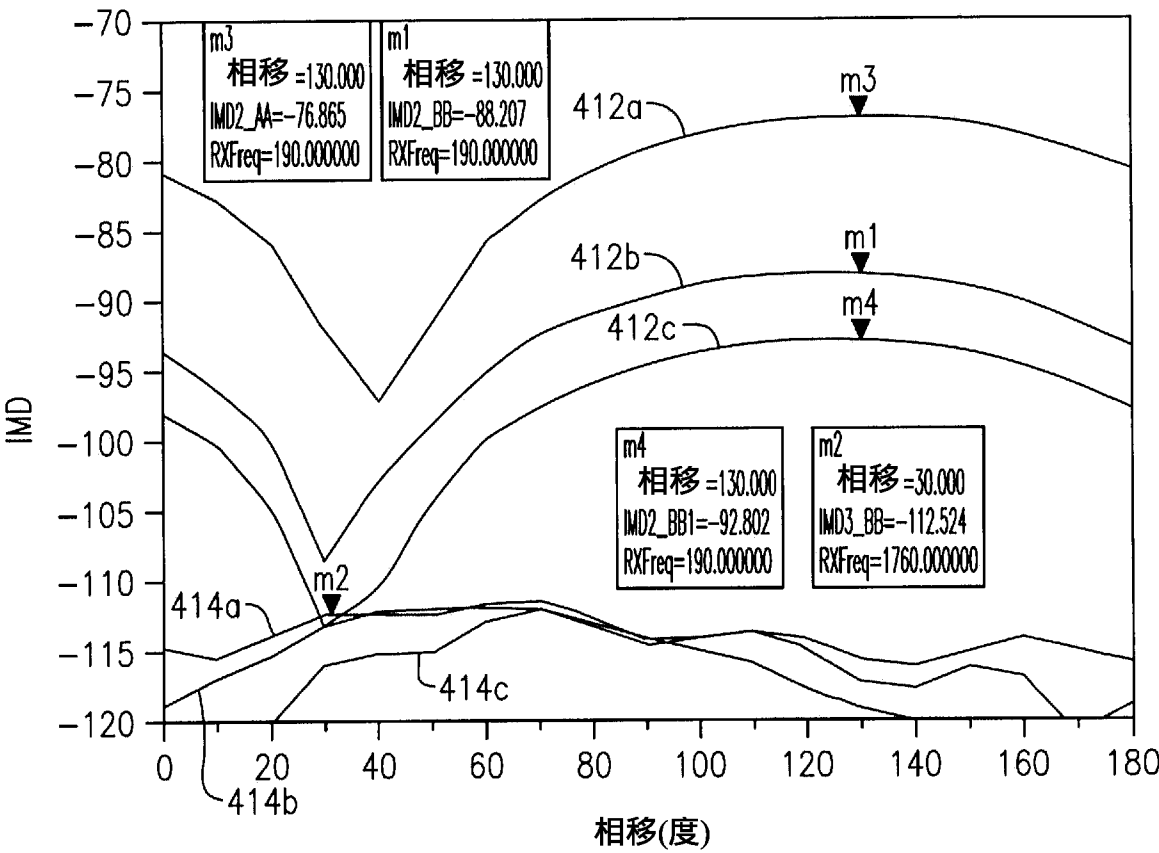


圖25A

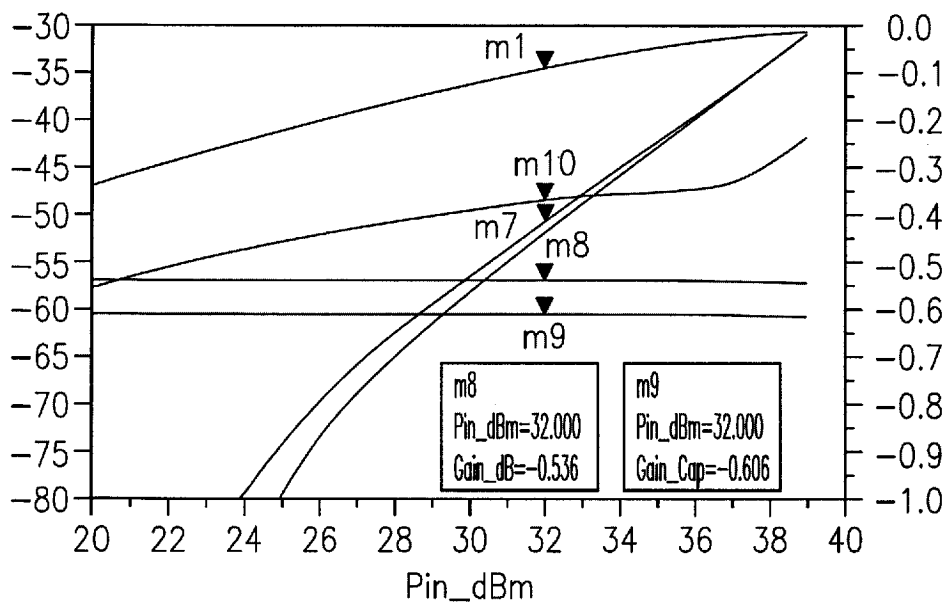


圖25B

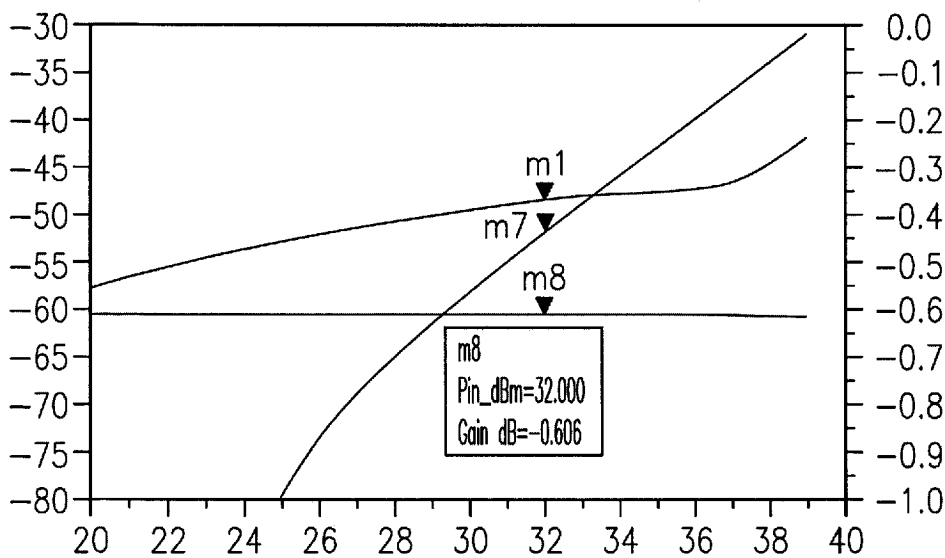


圖25C

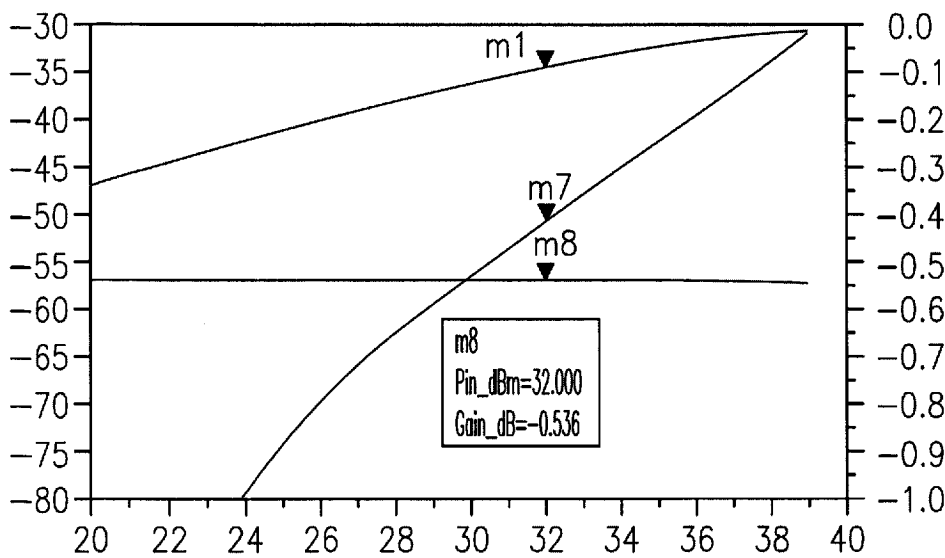
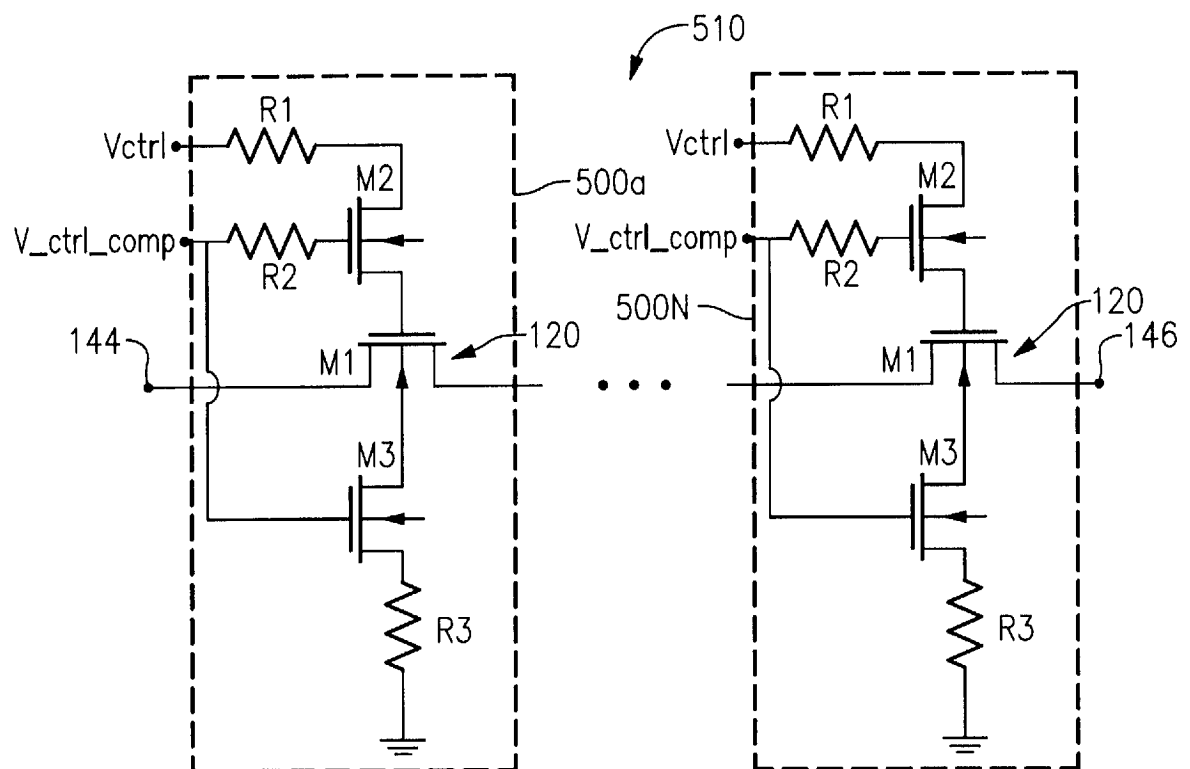
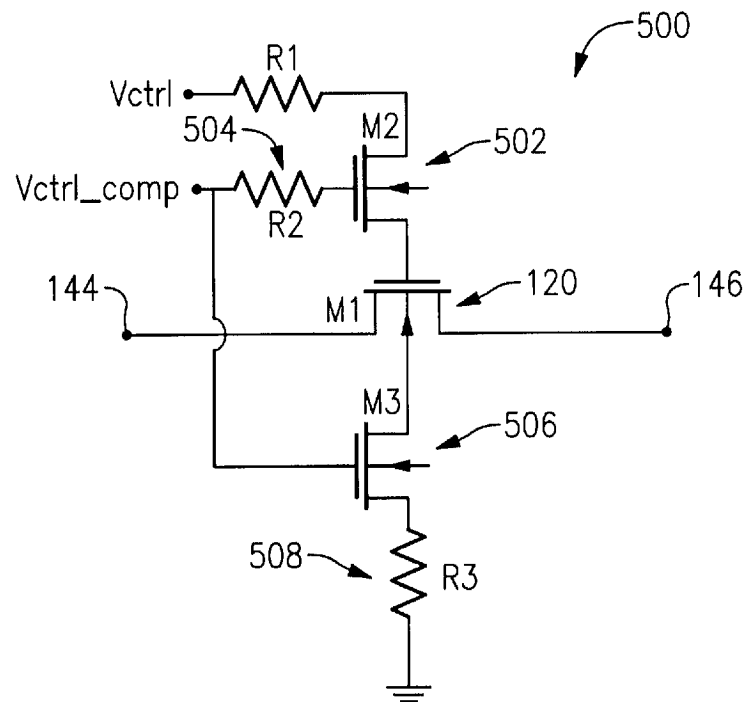
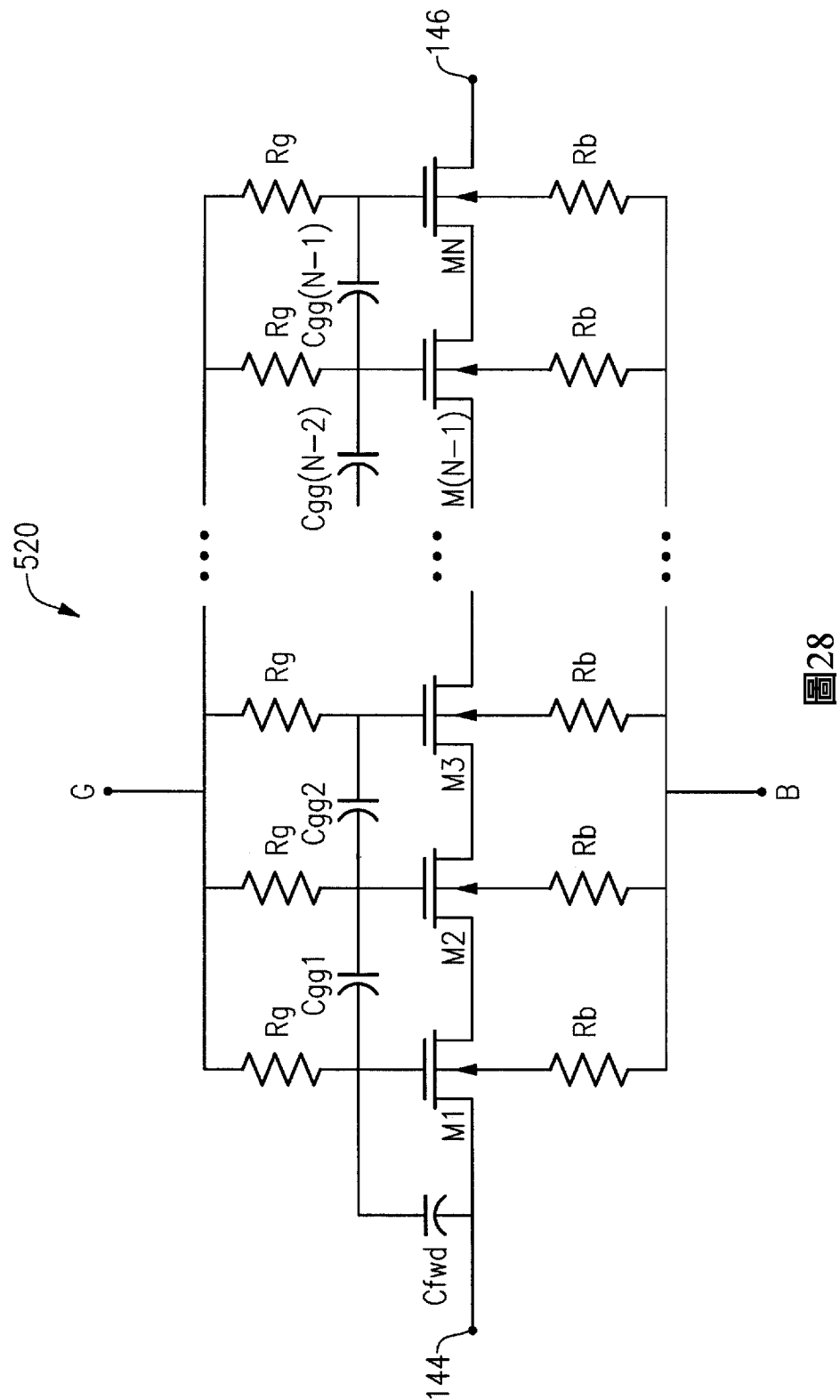
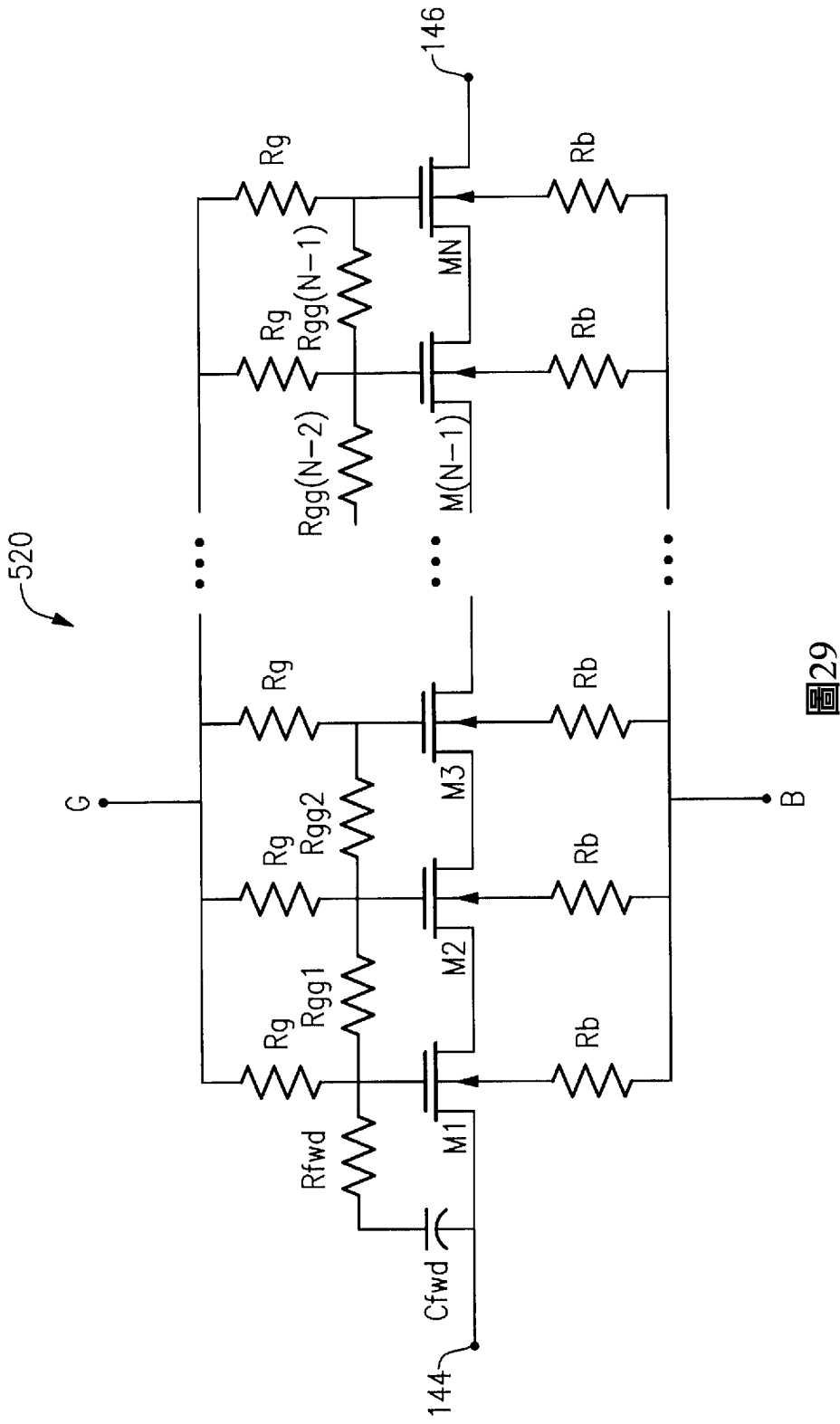
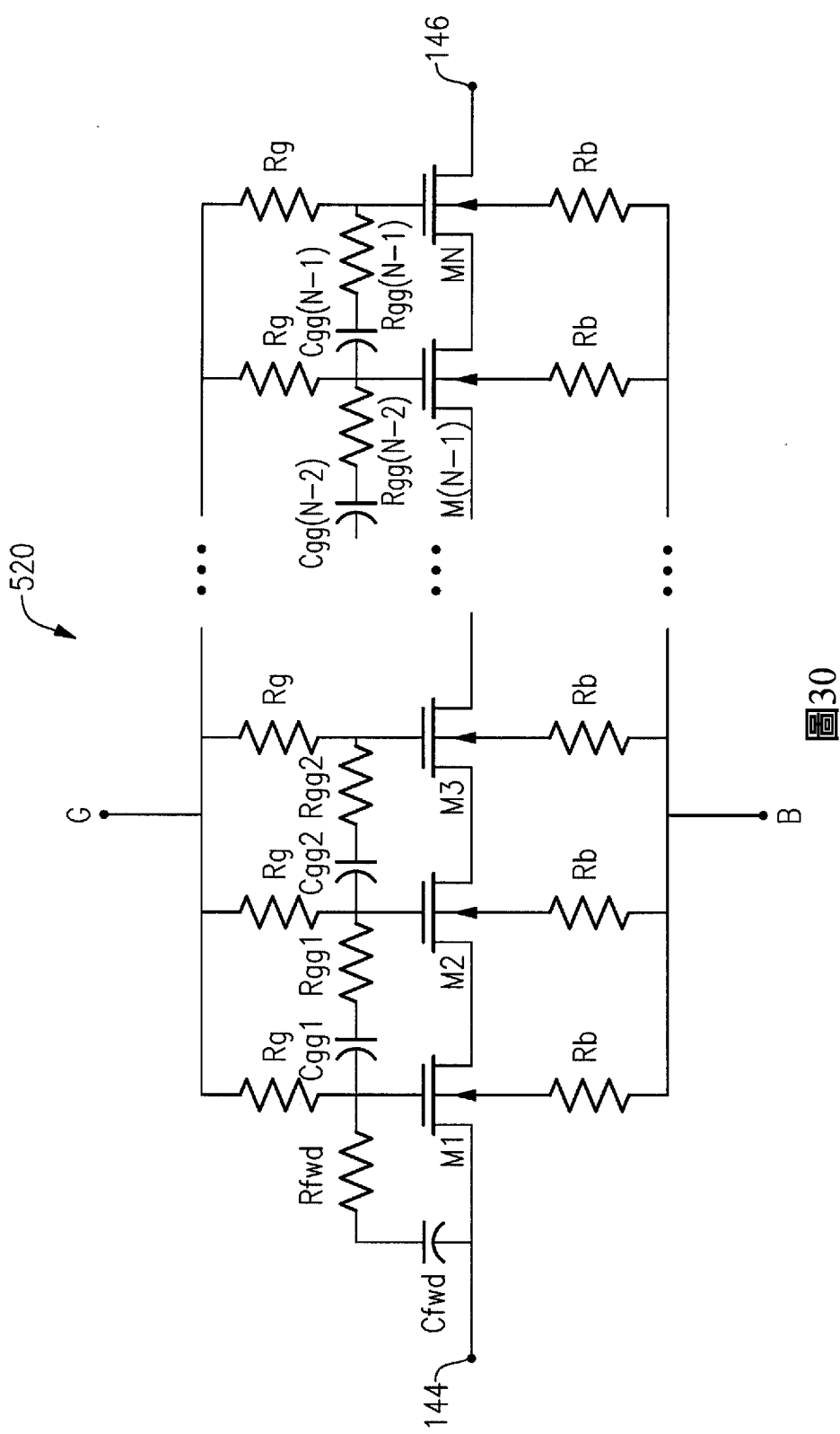


圖25D









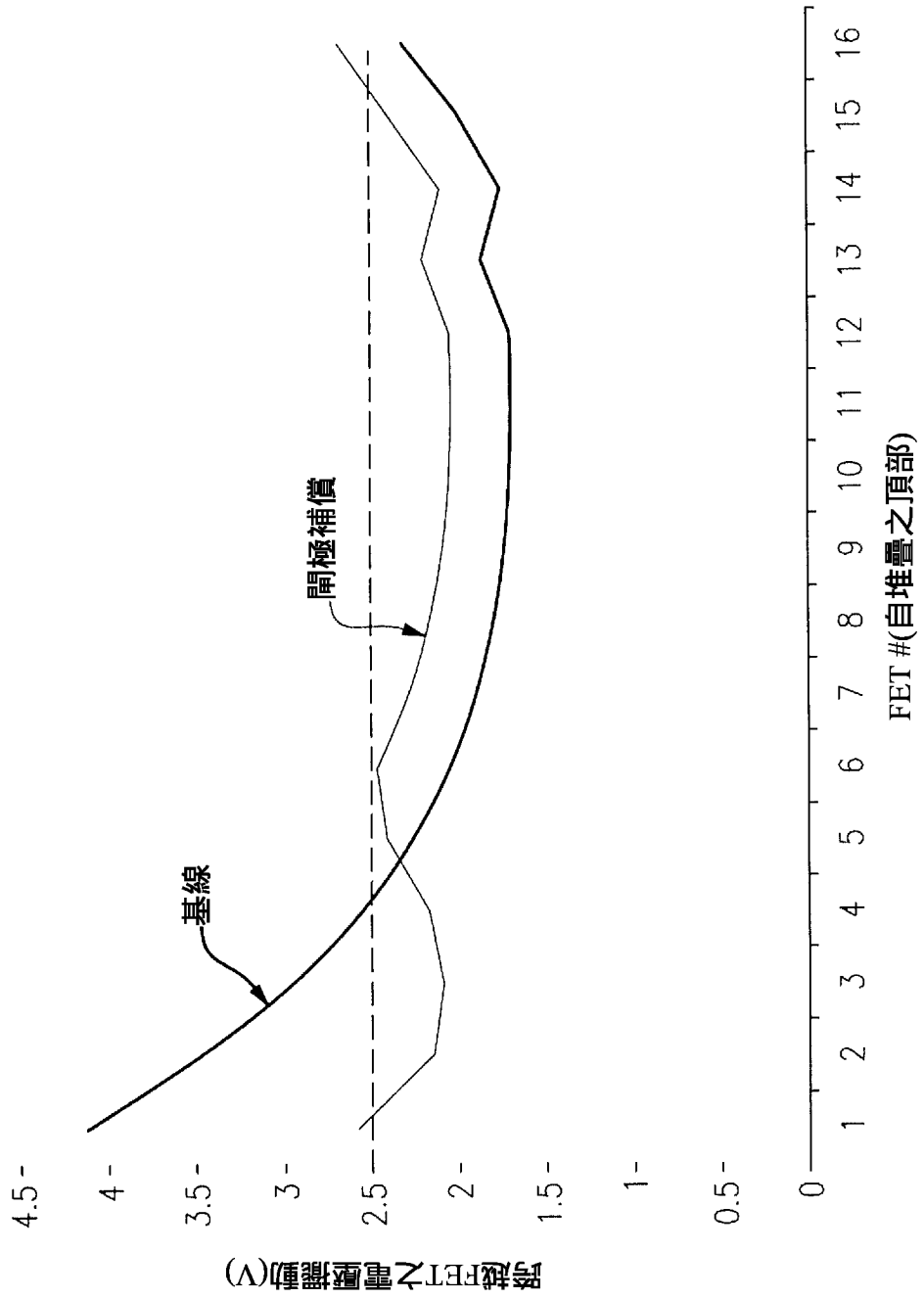


圖31

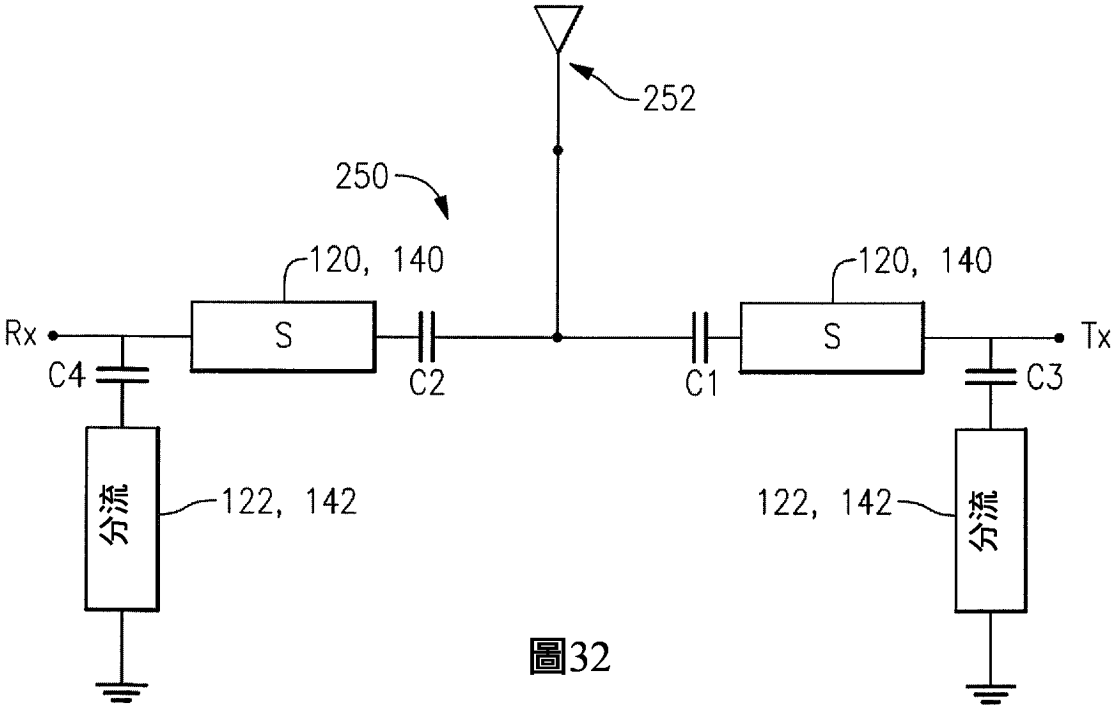


圖32

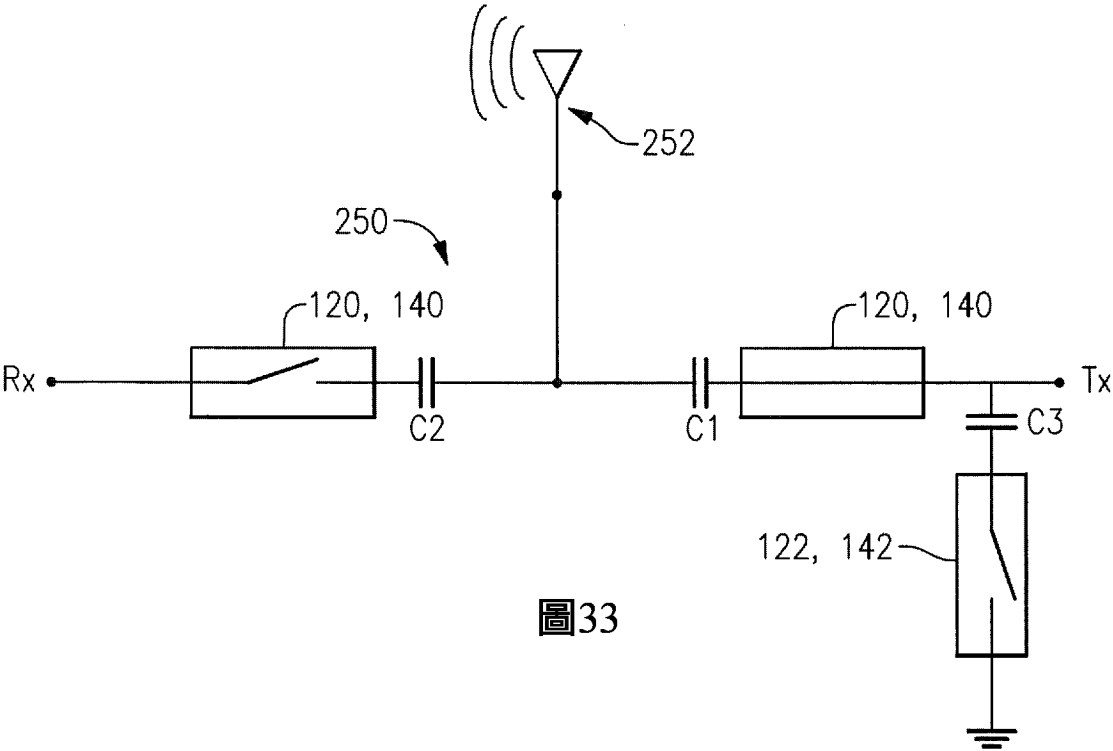


圖33

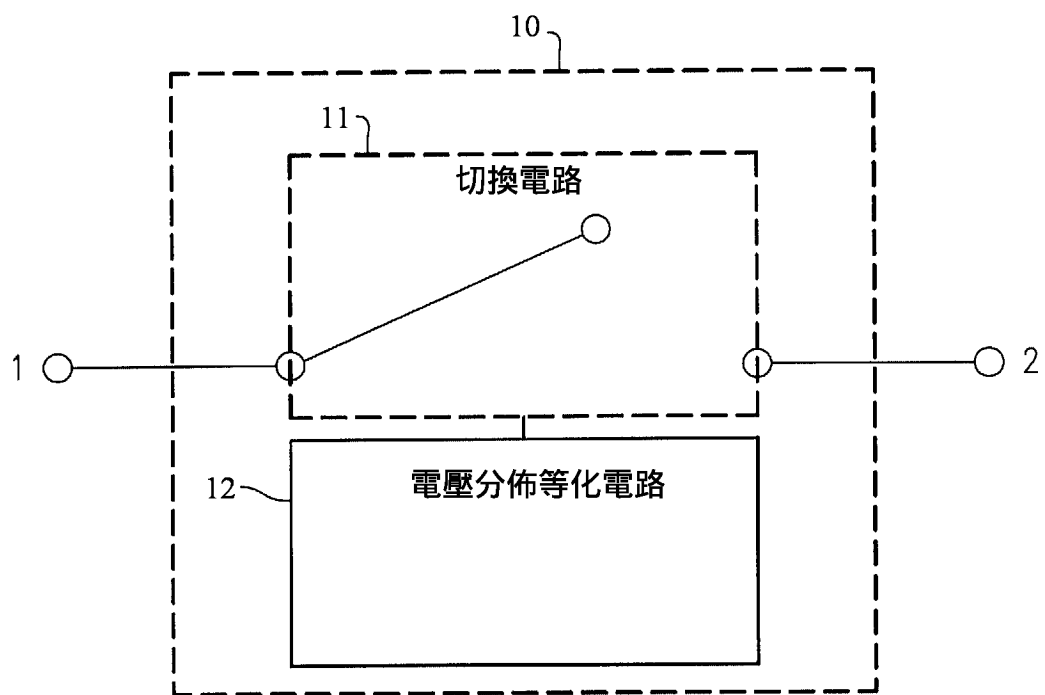


圖34

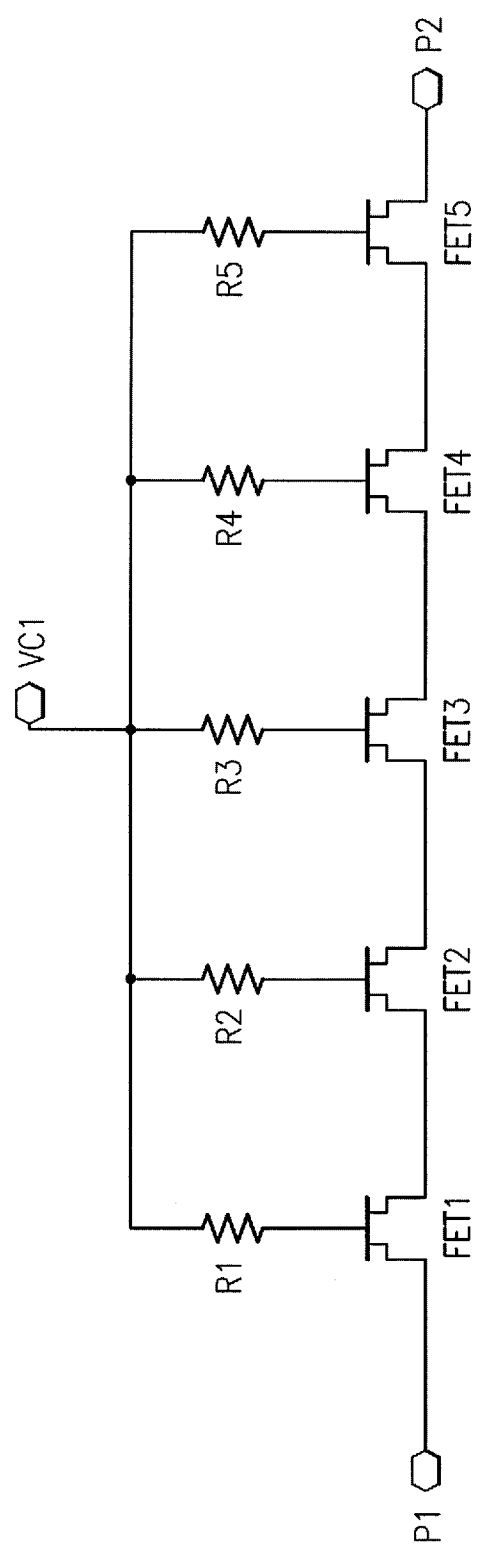
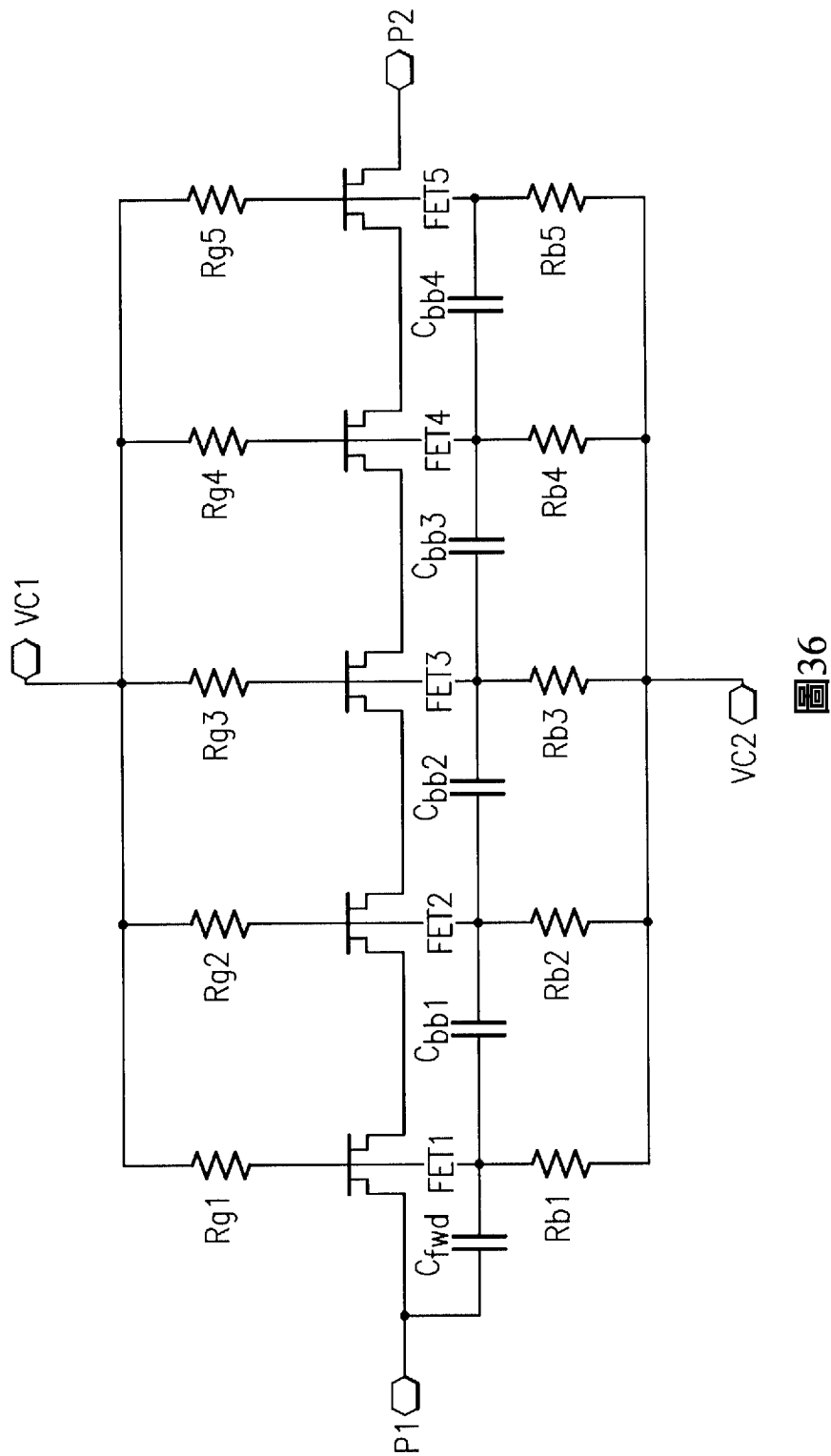


圖35



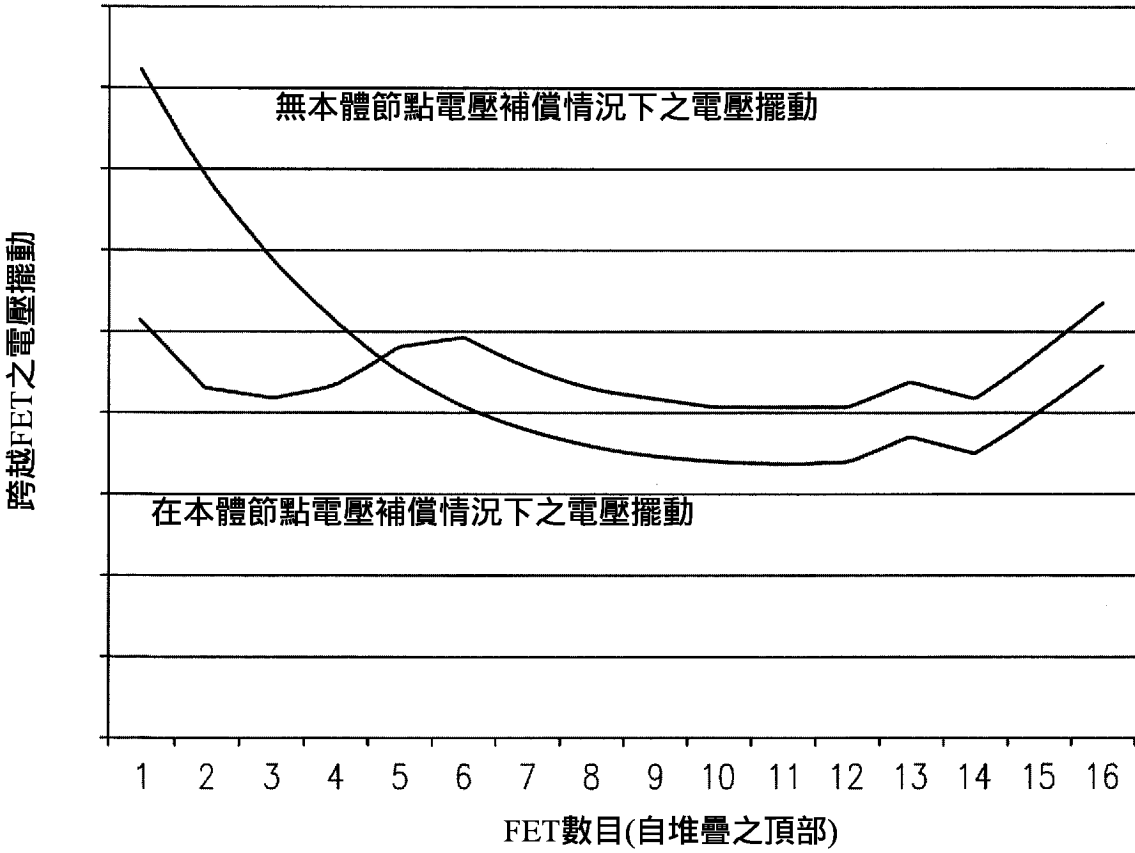


圖37

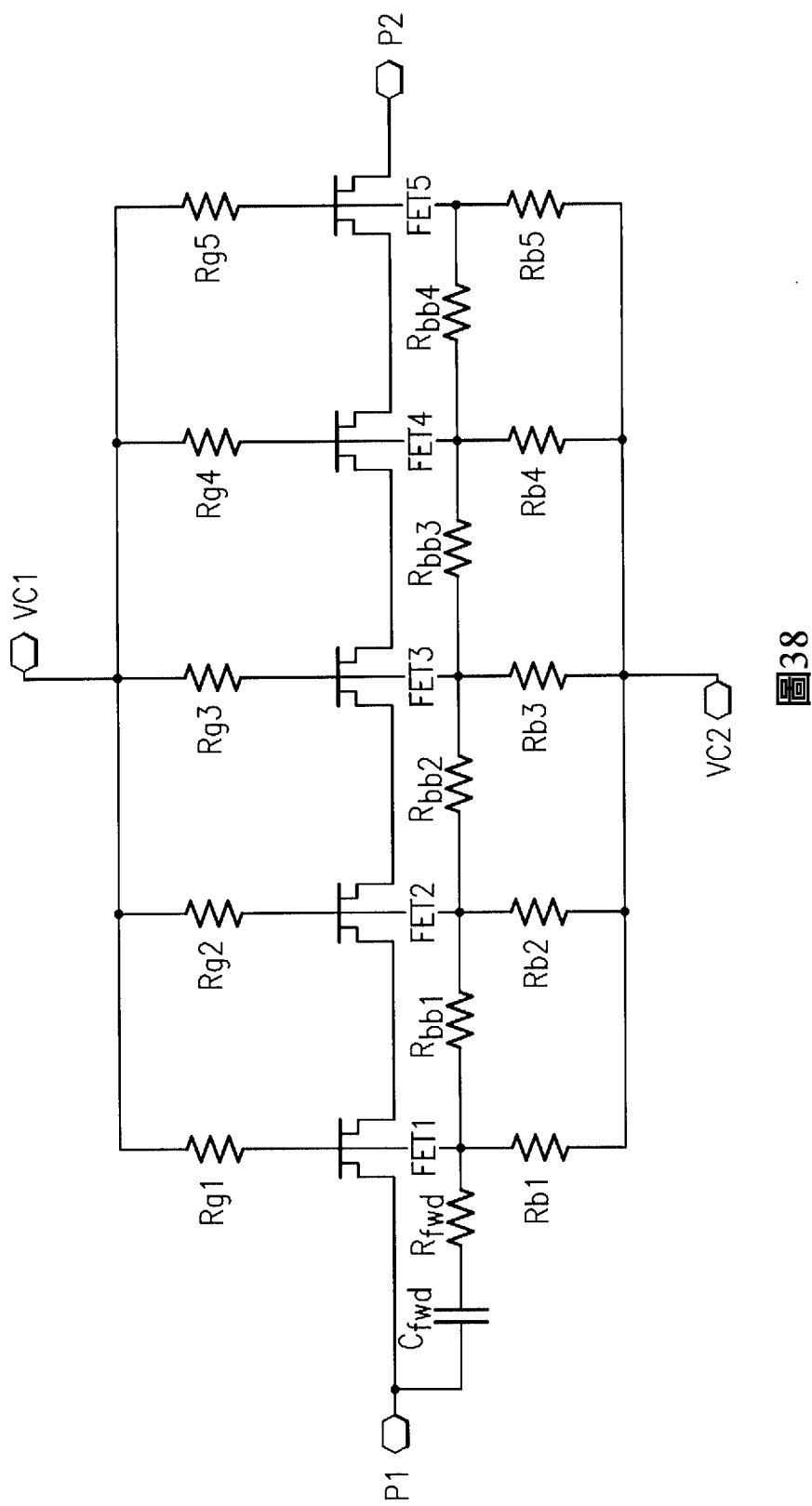
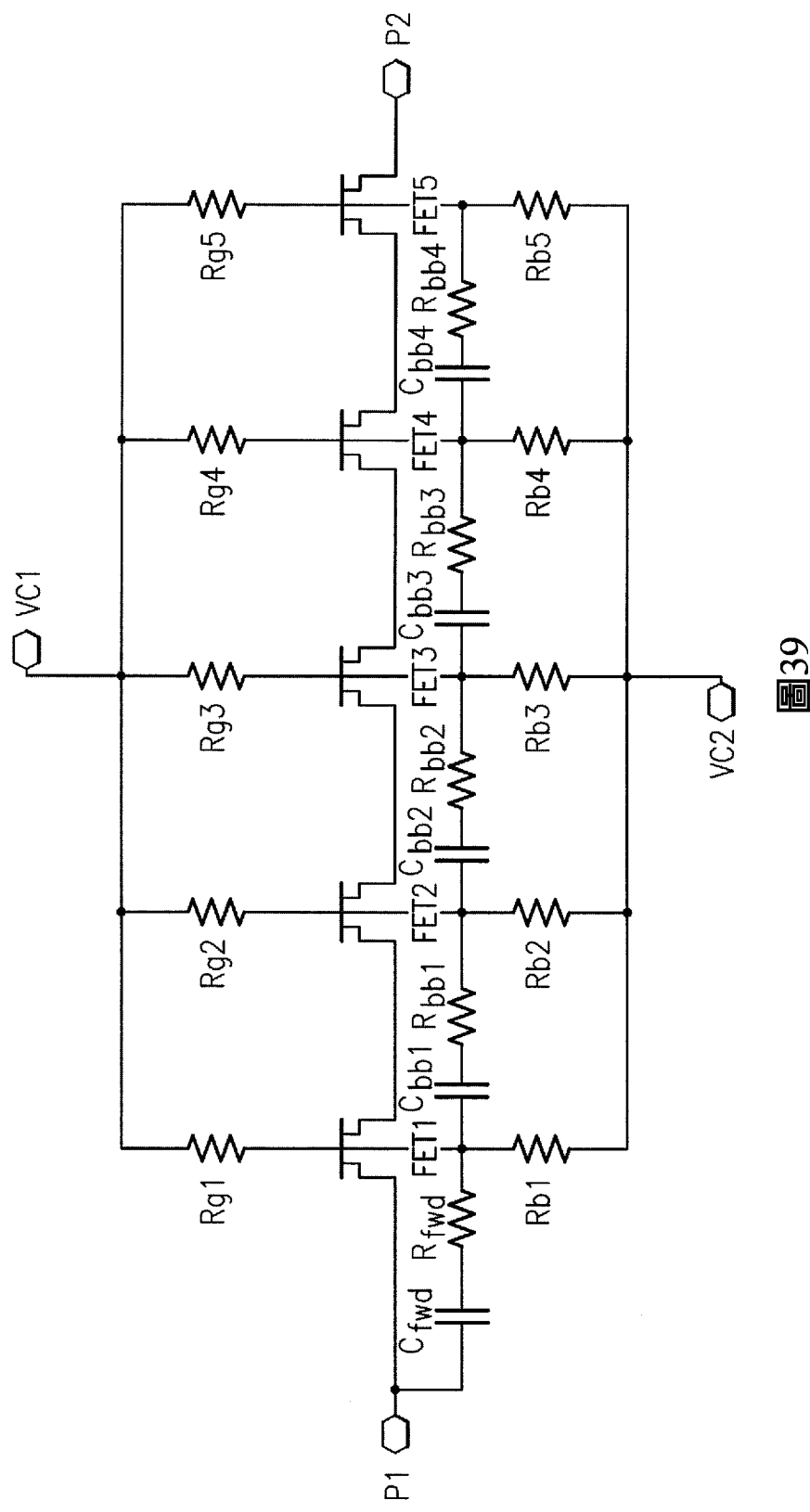


圖38



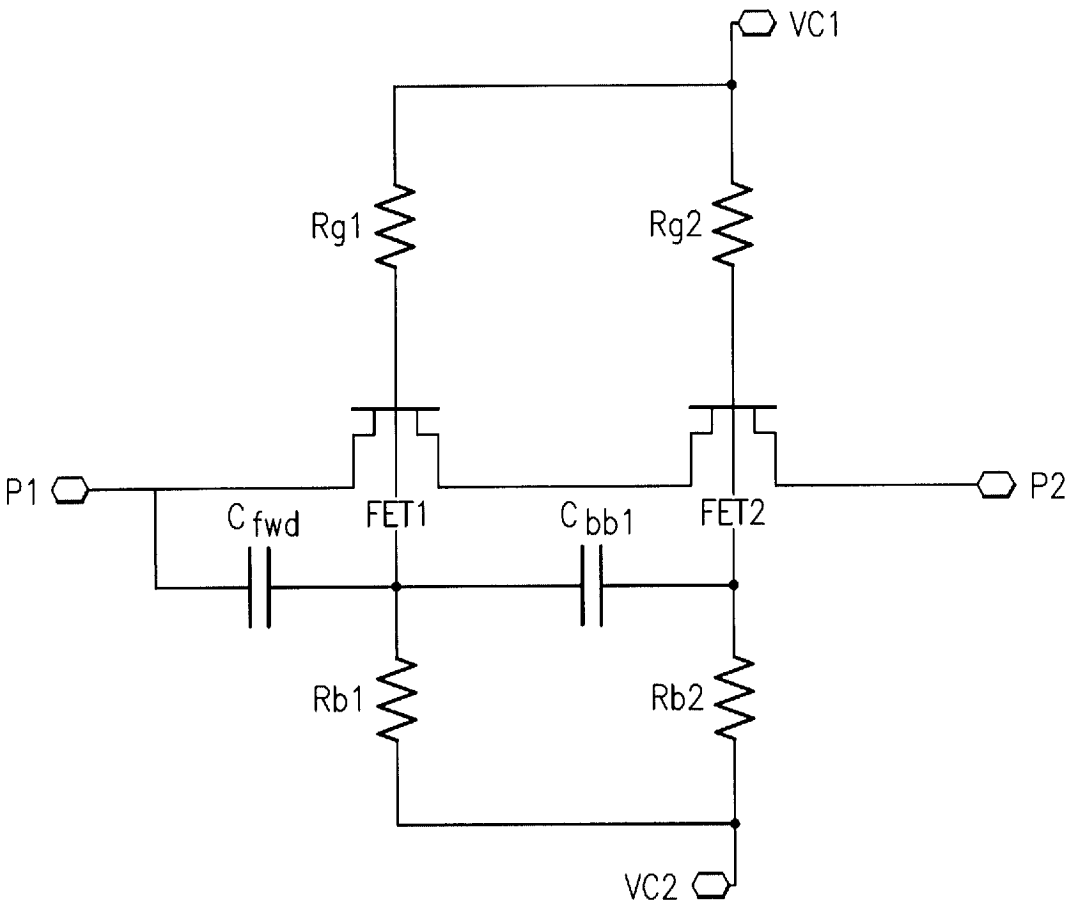


圖40

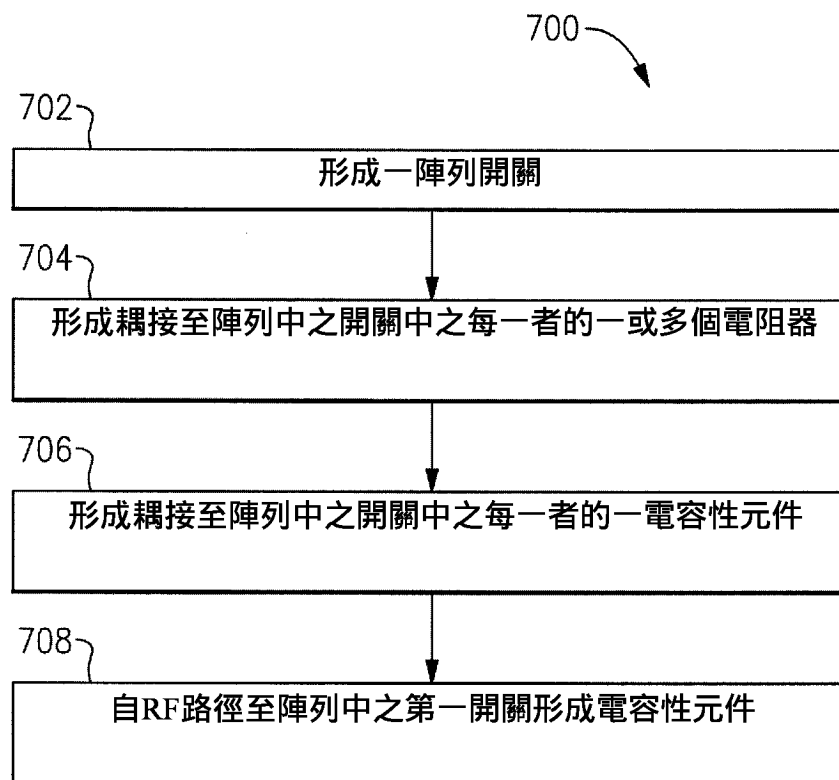


圖41

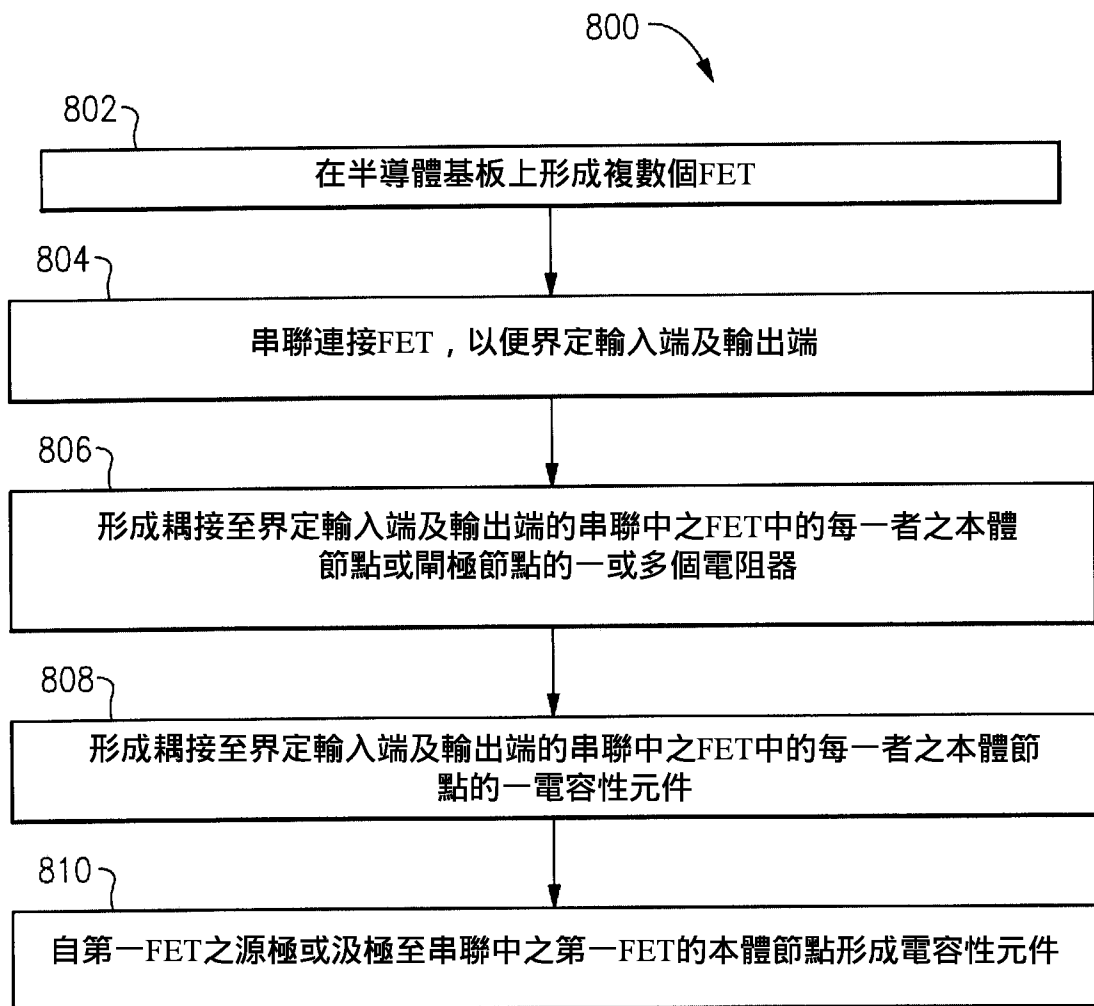


圖42

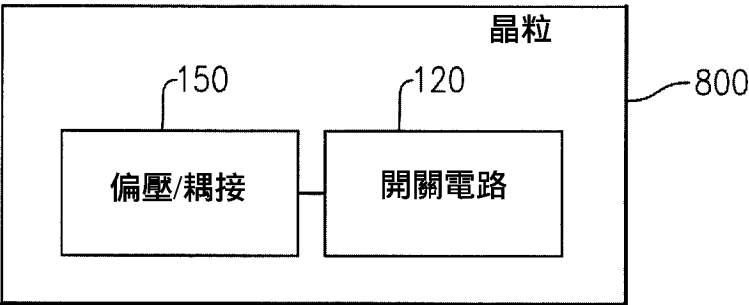


圖43A

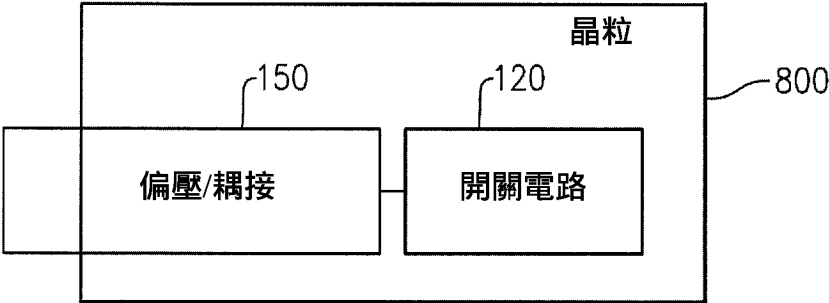


圖43B

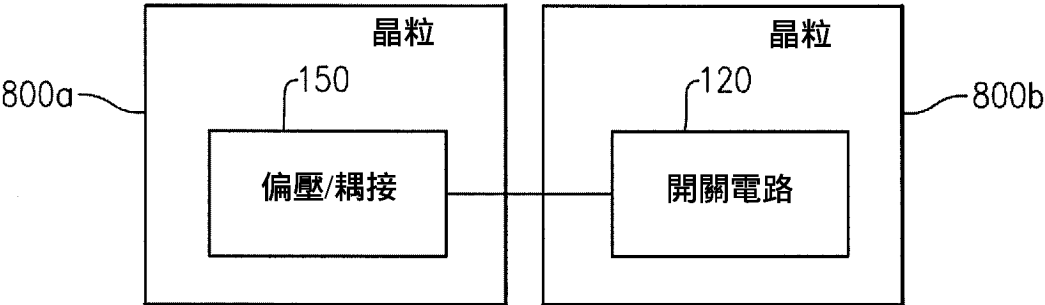


圖43C

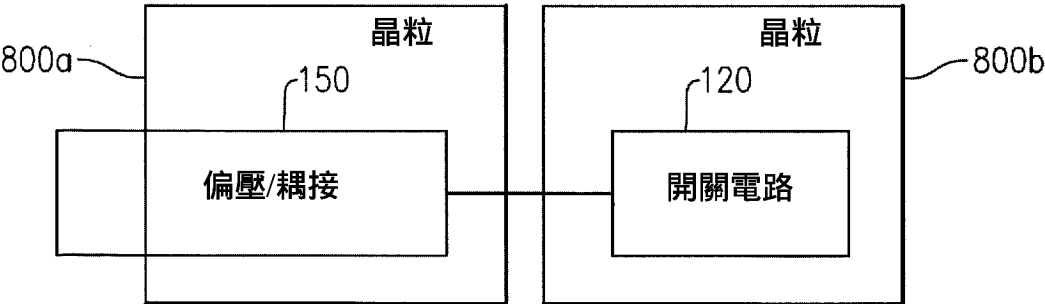


圖43D

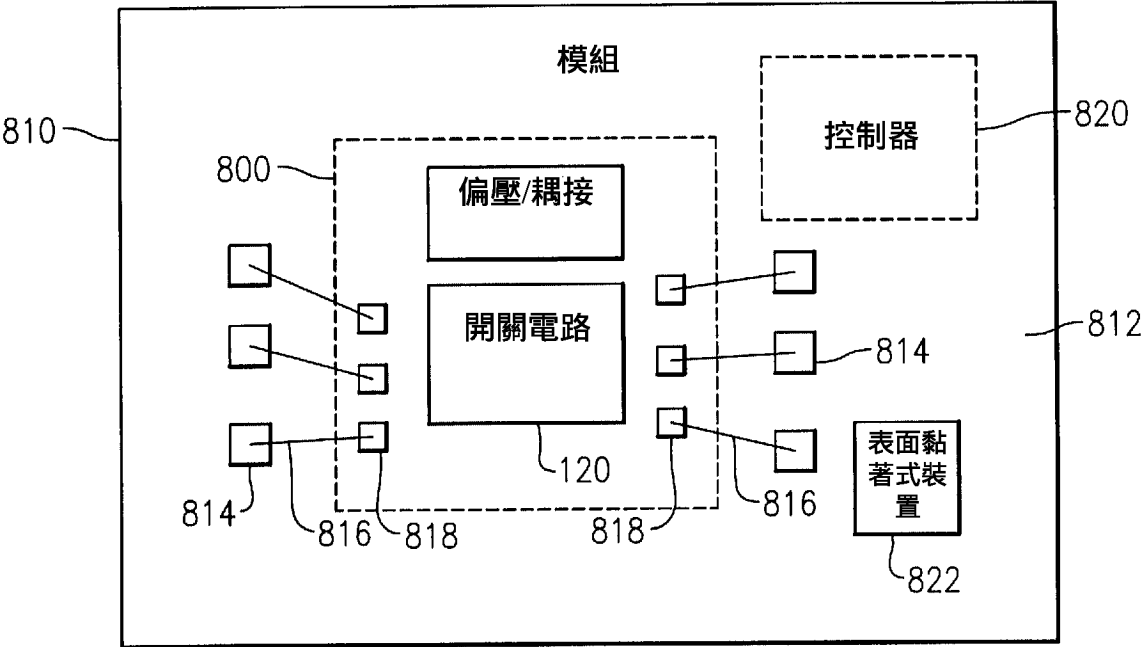


圖44A

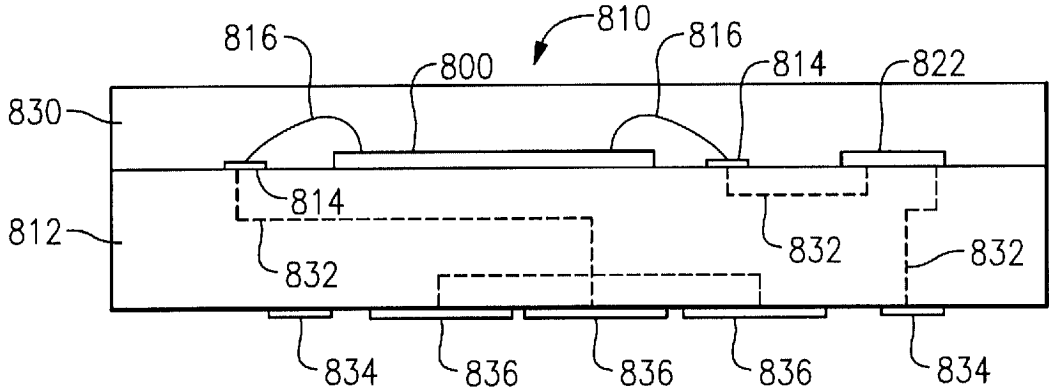


圖44B

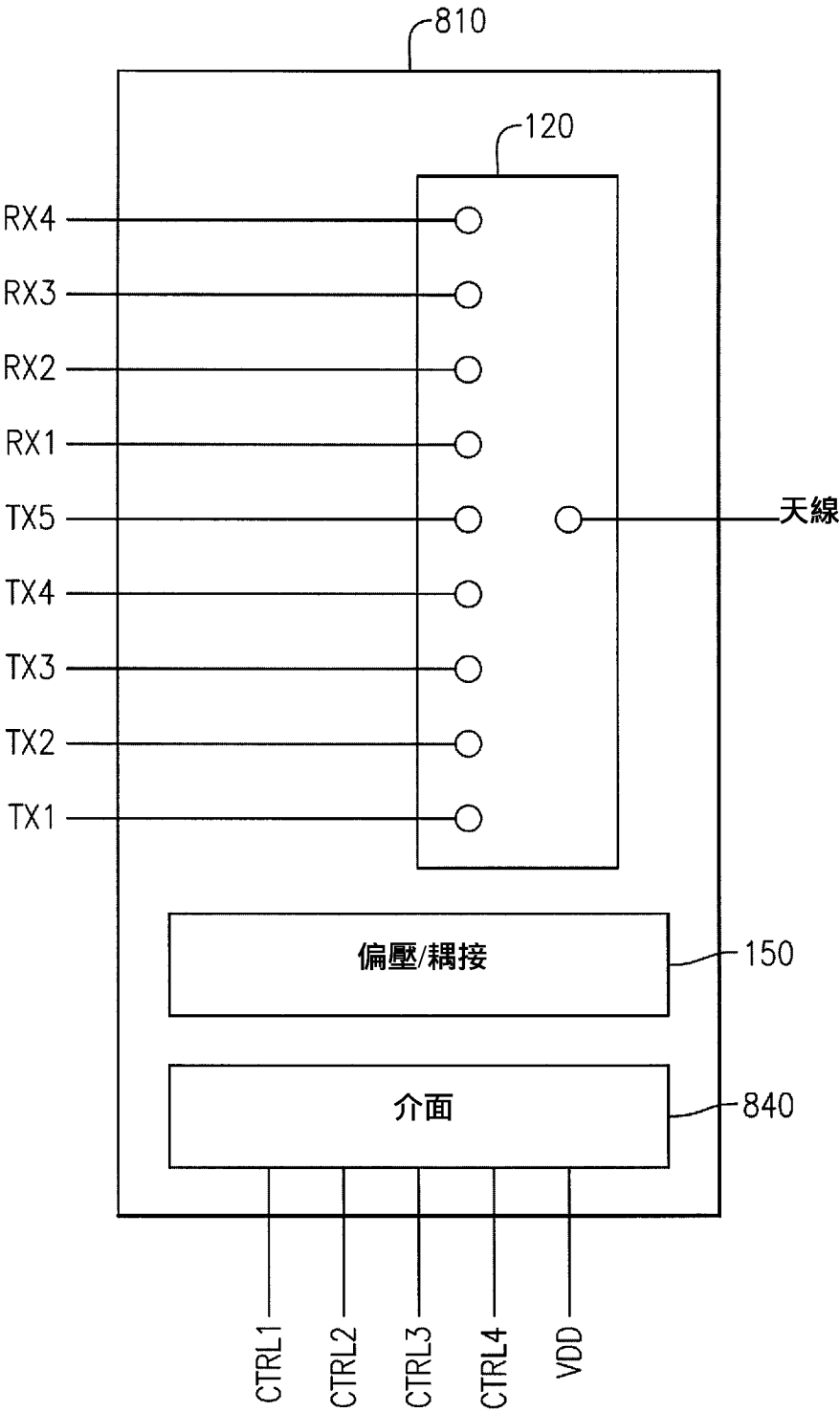


圖45

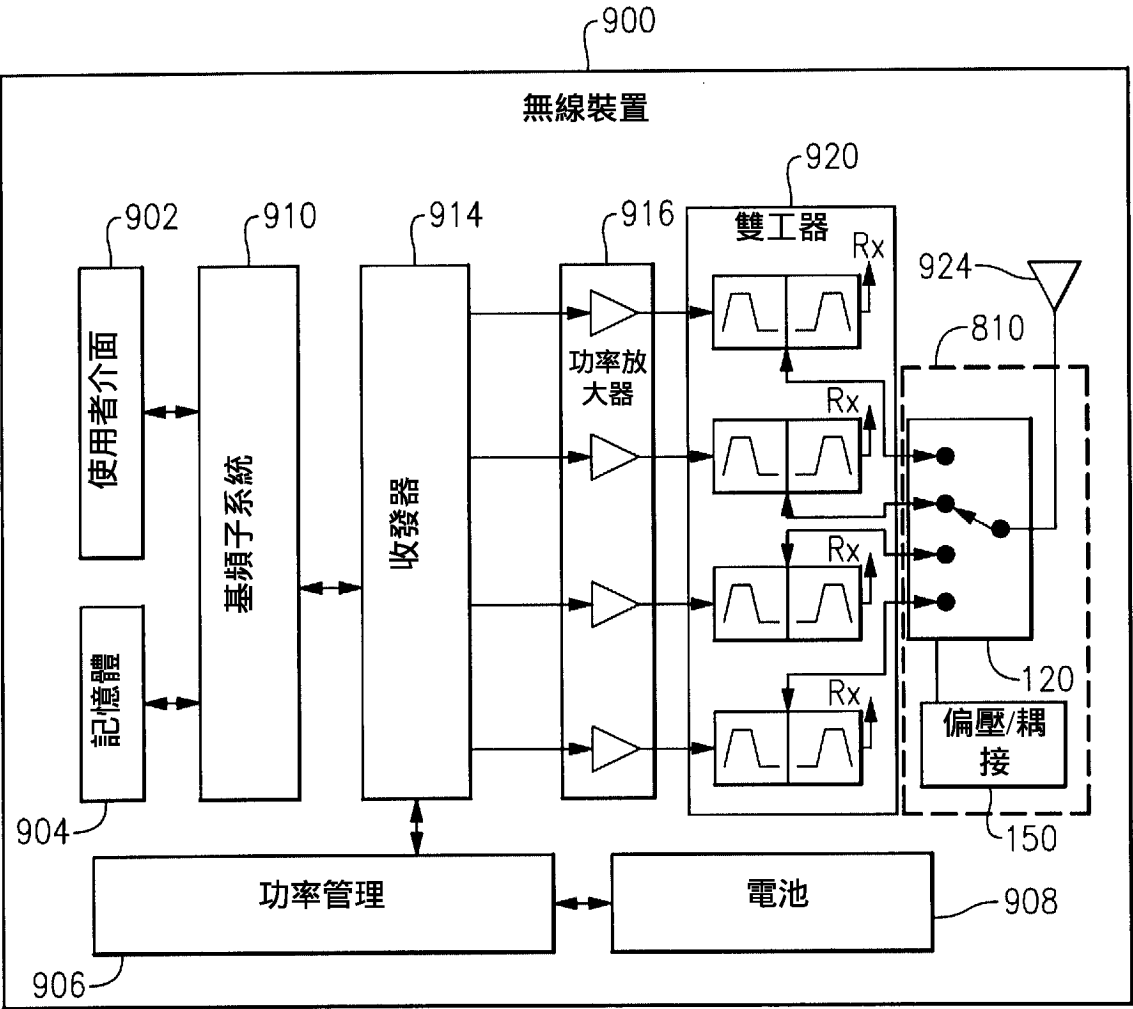


圖46

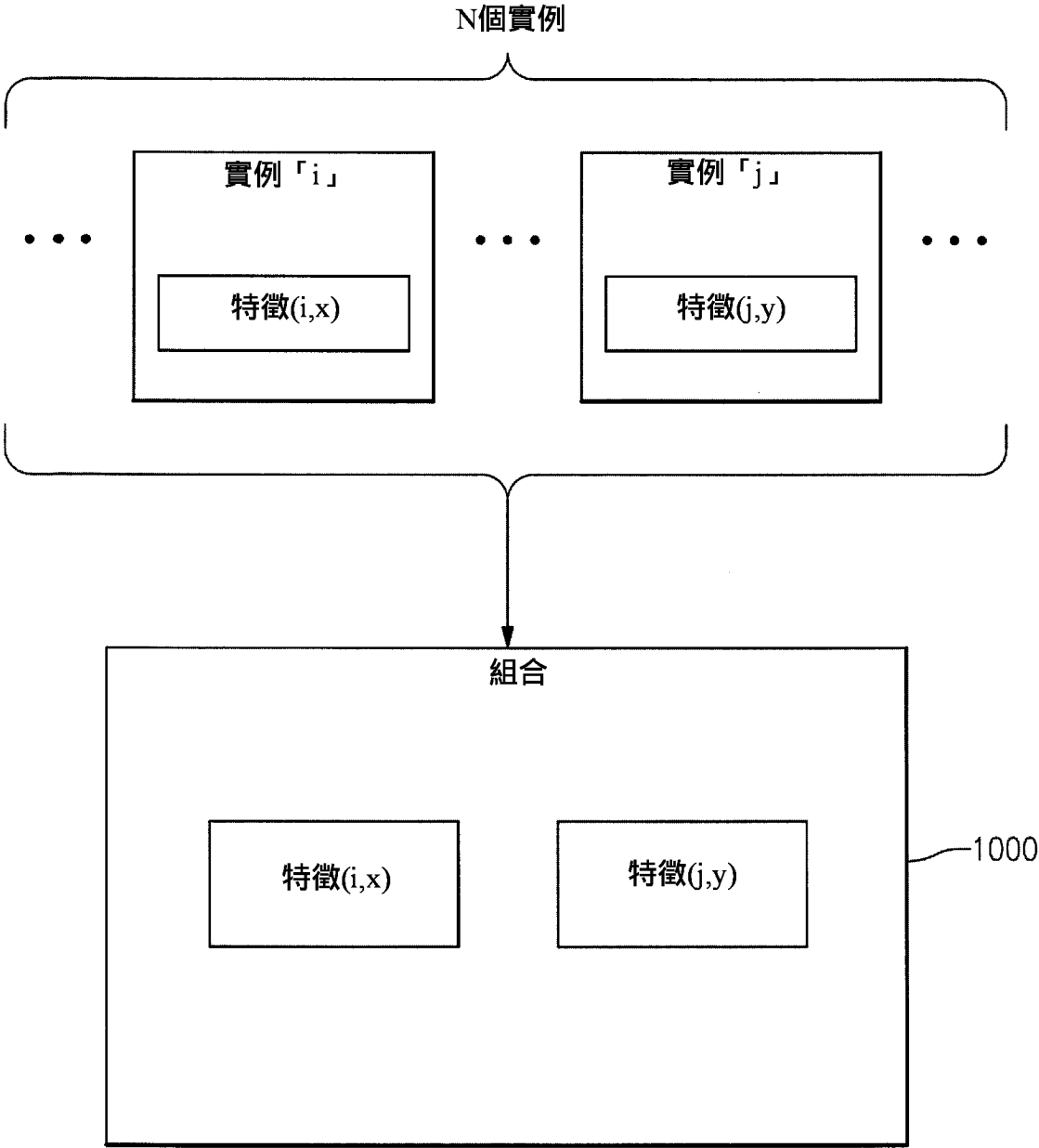


圖47