

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5300317号
(P5300317)

(45) 発行日 平成25年9月25日(2013.9.25)

(24) 登録日 平成25年6月28日(2013.6.28)

(51) Int.Cl.	F I
B 4 1 J 5/30 (2006.01)	B 4 1 J 5/30 Z
B 4 1 J 29/38 (2006.01)	B 4 1 J 29/38 Z

請求項の数 12 (全 28 頁)

(21) 出願番号	特願2008-123897 (P2008-123897)	(73) 特許権者	000001007
(22) 出願日	平成20年5月9日(2008.5.9)		キヤノン株式会社
(65) 公開番号	特開2009-269355 (P2009-269355A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成21年11月19日(2009.11.19)	(74) 代理人	100076428
審査請求日	平成23年5月9日(2011.5.9)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 画像処理装置及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

画像処理装置であって、
 ホストから印刷指示情報を受信する受信手段と、
 受信した前記印刷指示情報を、レンダリング処理可能な中間情報へ変換する第1変換手段と、

前記中間情報をスキャンライン毎のスパン情報に変換する第2変換手段と、
 スキャンライン毎のスパン情報に色を付与して、色情報と繰り返し情報とからなるスキャンライン毎のランレングス情報を生成する色塗り手段と、
 前記ランレングス情報を展開することによって、タイル順の画素情報を生成する生成手段と、

スキャンライン毎の入力情報を、タイル内のスキャンライン毎の情報に分割してタイル単位の出力情報に並べ替える分割手段と、

タイル単位で前記生成手段が生成したタイル順の画素情報を圧縮処理して圧縮データを生成する圧縮手段と、

タイル単位の前記圧縮データのページ分を保持する記憶手段と、

前記記憶手段に保持されたタイル単位に圧縮された前記圧縮データを用いて印刷処理する印刷手段と

を有し、

前記分割手段は、前記第2変換手段からのスキャンライン毎のスパン情報を前記入力情

10

20

報とし、タイル内のスキャンライン毎のスパン情報に分割してタイル単位のスパン情報に並べ替えて、前記並べ替えたタイル単位のスパン情報を前記色塗り手段に前記出力情報として出力することを特徴とする画像処理装置。

【請求項 2】

前記分割手段は、副走査方向に 2 タイルラインを記憶する記憶手段を有することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

前記記憶手段は、前記画像処理装置のメインメモリであることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 4】

前記分割手段は、前記出力情報としての前記並べ替えたタイル単位のスパン情報を、スキャンライン毎にシーケンスに前記色塗り手段に出力することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 5】

画像処理装置であって、

ホストから印刷指示情報を受信する受信手段と、

受信した前記印刷指示情報を、レンダリング処理可能な中間情報へ変換する第 1 変換手段と、

前記中間情報をスキャンライン毎のスパン情報に変換する第 2 変換手段と、

スキャンライン毎のスパン情報に色を付与して、色情報と繰り返し情報とからなるスキャンライン毎のランレングス情報を生成する色塗り手段と、

前記ランレングス情報を展開することによって、タイル順の画素情報を生成する生成手段と、

スキャンライン毎の入力情報を、タイル内のスキャンライン毎の情報に分割してタイル単位の出力情報に並べ替える分割手段と、

タイル単位で前記前記生成手段が生成したタイル順の画素情報を圧縮処理して圧縮データを生成する圧縮手段と、

タイル単位の前記圧縮データのページ分を保持する記憶手段と、

前記記憶手段に保持されたタイル単位に圧縮された前記圧縮データを用いて印刷処理する印刷手段と

を有し、

前記分割手段は、前記色塗り手段からのスキャンライン毎の色を付与したランレングス情報を前記入力情報とし、タイル内のスキャンライン毎のランレングス情報に分割してタイル単位のランレングス情報に並べ替えて、前記並べ替えたタイル単位の色を付与したランレングス情報を前記生成手段に前記出力情報として出力することを特徴とする画像処理装置。

【請求項 6】

前記分割手段は、副走査方向に 2 タイルラインを記憶する記憶手段を有することを特徴とする請求項 5 に記載の画像処理装置。

【請求項 7】

前記記憶手段は、前記画像処理装置のメインメモリであることを特徴とする請求項 6 に記載の画像処理装置。

【請求項 8】

前記分割手段は、前記出力情報としての前記並べ替えたタイル単位のランレングス情報を、スキャンライン毎にシーケンスに前記生成手段に出力することを特徴とする請求項 5 に記載の画像処理装置。

【請求項 9】

画像処理装置の制御方法であって、

受信手段が、ホストから印刷指示情報を受信する受信工程と、

第 1 変換手段が、受信した前記印刷指示情報を、レンダリング処理可能な中間情報へ変

10

20

30

40

50

換する第 1 変換工程と、

第 2 変換手段が、前記中間情報をスキャンライン毎のスパン情報に変換する第 2 変換工程と、

色塗り手段が、スキャンライン毎のスパン情報に色を付与して、色情報と繰り返し情報とからなるスキャンライン毎のランレングス情報を生成する色塗り工程と、

生成手段が、前記ランレングス情報を展開することによって、タイル順の画素情報を生成する生成工程と、

分割手段が、スキャンライン毎の入力情報を、タイル内のスキャンライン毎の情報に分割してタイル単位の出力情報に並べ替える分割工程と、

圧縮手段が、タイル単位で前記生成工程にて生成したタイル順の画素情報を圧縮処理して圧縮データを生成する圧縮工程と、

記憶手段が、タイル単位の前記圧縮データのページ分を記憶部に保持する記憶工程と、

印刷手段が、前記記憶工程により保持されたタイル単位に圧縮された前記圧縮データを用いて印刷処理する印刷工程と

を有し、

前記分割工程では、前記第 2 変換工程により変換されたスキャンライン毎のスパン情報を前記入力情報とし、タイル内のスキャンライン毎のスパン情報に分割してタイル単位のスパン情報に並べ替えて、前記並べ替えたタイル単位のスパン情報を前記色塗り工程に対して前記出力情報として出力することを特徴とする画像処理装置の制御方法。

【請求項 10】

画像処理装置の制御方法であって、

受信手段が、ホストから印刷指示情報を受信する受信工程と、

第 1 変換手段が、受信した前記印刷指示情報を、レンダリング処理可能な中間情報へ変換する第 1 変換工程と、

第 2 変換手段が、前記中間情報をスキャンライン毎のスパン情報に変換する第 2 変換工程と、

色塗り手段が、スキャンライン毎のスパン情報に色を付与して、色情報と繰り返し情報とからなるスキャンライン毎のランレングス情報を生成する色塗り工程と、

生成手段が、前記ランレングス情報を展開することによって、タイル順の画素情報を生成する生成工程と、

分割手段が、スキャンライン毎の入力情報を、タイル内のスキャンライン毎の情報に分割してタイル単位の出力情報に並べ替える分割工程と、

記憶手段が、タイル単位で前記生成工程にて生成されたタイル順の画素情報を圧縮処理して圧縮データを生成する圧縮工程と、

記憶手段が、タイル単位の前記圧縮データのページ分を記憶部に保持する記憶工程と、

印刷手段が、前記記憶工程により保持されたタイル単位に圧縮された前記圧縮データを用いて印刷処理する印刷工程と

を有し、

前記分割工程では、前記色塗り工程のよるスキャンライン毎の色を付与したランレングス情報を前記入力情報とし、タイル内のスキャンライン毎のランレングス情報に分割してタイル単位のランレングス情報に並べ替えて、前記並べ替えたタイル単位の色を付与したランレングス情報を前記生成工程に対して前記出力情報として出力することを特徴とする画像処理装置の制御方法。

【請求項 11】

請求項 9 または 10 に記載の画像処理装置の制御方法の各工程をコンピュータに実行させるためのプログラム。

【請求項 12】

請求項 11 に記載のプログラムを記憶したコンピュータで読み取り可能な記憶媒体。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は画像処理装置及びその制御方法に関する。例えば、ページ記述言語等のベクタデータを印刷するプリンタもしくは複合機に関わる画像処理技術である。特に、レンダリング後のラスタ画像をスプールする際に、画像をラスタ順からタイル順に変換するプリンタもしくは複合機に関する画像処理技術に関するものである。

【 背景技術 】

【 0 0 0 2 】

ページ記述言語等のベクタデータをレンダリングし、生成したラスタ画像やスキャナから読み込んだラスタ画像をスプールし、プリンタエンジンに印刷を行う画像処理装置として複合機がある。かかる処理を、特許文献 1 や 2 に開示されているように、ラスタ画像をスプールする際に画像をラスタ順からタイル順に変換する（以下ラスタタイル変換処理と称す）ことで、画像処理が並列に処理できるようになり高速な印刷が可能となる。

10

【 0 0 0 3 】

図 1 6 A 及び図 1 6 B は、かかるラスタタイル変換処理を行なう従来の画像処理装置のコントローラ構成を示した構成図である（なお、図 1 6 A 及び図 1 6 B においては、本願に関連する構成要素のみを説明する）。図 1 6 A 及び図 1 6 B は、画像処理装置のコントローラ部 2 0 0 0 を示す。コントローラ部 2 0 0 0 は、破線で囲んだ 1 チップの A S I C からなる、外部から受信したページ記述言語データから出力画像データを生成すると共に入力画像データを処理するシステム制御部 2 1 5 0 を有する。また、コントローラ部 2 0 0 0 は、破線で囲んだ 1 チップの A S I C からなる、システム制御部 2 1 5 0 からの出力画像データを受信して出力すると共に入力画像データをシステム制御部 2 1 5 0 に送信する画像処理部 2 1 4 9 を有する。

20

【 0 0 0 4 】

ネットワーク 2 0 1 1 経由で受信したページ記述言語データを C P U 2 0 0 1 にて処理し、レンダリング可能なディスプレイリストに変換した後、レンダリング部 2 0 6 0 にてラスタ画像を生成する。生成されたラスタ画像の各画素は、ラスタ順にビデオ信号 2 1 1 として色変換部 2 1 3 5 を経由してタイル生成部 2 0 6 1 に送られ、タイル生成部 2 0 6 1 でタイル順に変換される。

【 0 0 0 5 】

以下、図 1 7 及び図 1 8 の説明において、図 1 6 A 及び図 1 6 B の構成要素が参照される。

30

【 0 0 0 6 】

図 1 7 は、従来技術のレンダリング部 2 0 6 0 の詳細を示したデータフロー図である。なお、図 1 7 の左側の表示リストストアは、C P U 2 0 0 1 にて処理してページ記述言語データから変換されたレンダリング可能なディスプレイリストに相当し、例えば図 1 6 A の外部記憶装置 2 0 0 4 に格納されている。また、図 1 7 の右側の一次ストアは、レンダリング部 2 0 6 0 による処理中にデータを一次記憶する領域であり、例えば図 1 6 A の R A M 2 0 0 2 に確保される。図 1 7 の中央がレンダリング部 2 0 6 0 が実行する処理機能部であり、ハードウェア、ソフトウェアあるいはその組合せで実現される。

【 0 0 0 7 】

ディスプレイリストの命令ストリームが命令実行部 3 0 0 によりフェッチされて、順に実行される。辺処理部 4 0 0 において、辺レコードストアを使用して辺情報がスキャンラインごとの X 座標とグラフィックオブジェクトの情報に変換される。この時のグラフィックオブジェクトごとの X 座標対がグラフィックオブジェクトの当該スキャンラインのスパン情報となる。優先順位判定部 5 0 0 は、優先順位特性・状態テーブルを使用して、グラフィックオブジェクトごとの前後関係の優先順位から可視オブジェクトを判定し、当該スキャンラインのスパンを含む塗りつぶし命令を生成する。塗りつぶし色判定部 6 0 0 は、塗りつぶしデータテーブルを使用して、ラスタ画像の画素データを当該スキャンラインのオブジェクトごとにどんな色で塗るかを判定する。そして、単色のオブジェクトであれば単色の色とそのスパンの長さを生成し、イメージやグラデーションなどの単色ではないオ

40

50

プロジェクトでは画素ごとの色を生成する。画素合成部 700 では、画素合成スタックを使用して、生成された色を用いて重なったオブジェクトの色の合成を行う。画素合成部 700 は、合成後の色を、単色オブジェクトの合成であれば色とランレングス情報を出し、単色でないオブジェクトの合成結果であれば複数の色情報を出し、画素出力部 800 は、画素合成部 700 が生成したランレングス情報を全ての画素情報に伸張し、ビデオ信号 211 として送信する。

【0008】

図 18 は、従来技術の図 16 A、図 16 B 及び図 17 の構成におけるページ記述言語の受信から印刷までの処理フローをまとめたデータ処理フロー図である。図 16 A 及び図 16 B で参照番号が付された構成要素、図 17 の各処理部を参照して、以下説明をする。

10

【0009】

CPU 2001 により、ページ記述言語から生成されたディスプレイリスト形式のベクタデータ生成処理 101 が行われる。次に、命令実行部 300、辺処理部 400、優先順位判定部 500 によって、ディスプレイリストデータからスキャンラインごとのスパン情報に変換されるスパン生成処理 102 が行われる。次に、塗りつぶし色判定部 600、画素合成部 700 により、色塗り処理 103 が行われる。次に、画素出力部 800 がピクセル生成処理 104 を行う。かかる、スパン生成処理 102、色塗り処理 103、ピクセル生成処理 104 を、図 16 A のレンダリング部 2060 が実行する。

【0010】

生成された画素（ピクセル）は、図 16 A のタイル生成部 2061 によって、ラスタタイル変換処理 105 が実施される。ラスタタイル変換処理 105 は、タイル高さ分のラスタ画像を保持するために中間バッファメモリ 106 を必要とする。この中間バッファメモリ 106 としては、図 16 A のタイル生成部 2061 がシステムバスブリッジ 2007、RAM コントローラ 2124 経由でアクセスするメインメモリ（RAM）2002 の一部領域を使用する。タイル生成部 2061 はタイル画像の圧縮処理 107 も実施し、圧縮されたタイル順のラスタ画像が図 16 A の外部記憶装置 2004 にスプール処理 108 される。

20

【0011】

図 16 A の外部記憶装置 2004 にスプール処理 108 された画像は、図 16 B のタイル伸張部 2103 にて伸張処理 109 され、タイルバス 2107 を経由して画像回転部 2030 等で回転処理 110 などが行われる。この伸張され回転処理などをしたタイル形式のピクセルデータは、画像出力インターフェース 2113、2151、2152、2153 にてタイルラスタ変換が行われる。そして、プリンタ画像処理部 2115、2154、2155、2156 にて色変換処理 113 やハーフトーン処理 114 が実施され、プリンタ 2095 にて印刷処理 115 がなされる。

30

【0012】

ここで、タイルラスタ変換処理 111 が行われる際にタイル高さ分の中間メモリ 112 が必要になるが、画像出力インターフェース 2113、2151、2152、2153 がメモリバス 2108 を経由して画像メモリ 2123 内の一部領域を使用する。

40

【0013】

図 19 は、図 18 にて説明した従来技術の処理フローにおいて、ベクタデータ生成処理 101 からラスタタイル変換処理 105 までの処理データ例を示した模式図である。なお、ここでは、背景 601 に単色のオブジェクト 602 とイメージ 603 を展開する処理を例に説明する。赤い矩形オブジェクト 602 とイメージ 603 の無い領域は背景であり、本例では白とする。

【0014】

ベクタデータ生成処理 101 により図 19 の最上段に示すベクタデータが生成される。

【0015】

生成されたベクタデータはスパン情報生成処理 102 により図 19 の 2 段目にしめすスパン情報に変換される。スパン A には背景しかないため、ページの左端から右端までのス

50

パンとなる。スキャンライン B C D は、赤い矩形オブジェクト 6 0 2 が存在するスキャンラインである。そのため、スパン B は背景のスパン、赤い矩形オブジェクトのスパンであるスパン C、さらに背景のスパン D が生成される。スキャンライン B E F は、赤い矩形オブジェクト 6 0 2 とイメージ 6 0 3 が存在するスキャンラインである。そのため、スパン B は背景のスパン、赤い矩形オブジェクト 6 0 2 のスパンであるスパン E、さらにイメージ 6 0 3 のスパン F が生成される。

【 0 0 1 6 】

続いて、図 1 9 の 3 段目に示すようにいる塗り処理 1 0 3 が実施される。スキャンライン A では、背景色である白とスパンの長さとの組合せのランレングス情報が生成される。スキャンライン B C D では、背景の白とそのスパン長、赤い矩形オブジェクト 6 0 2 の色とそのスパン長、さらに背景の白とそのスパン長によるランレングス情報が生成される。スキャンライン B E F では、背景の白とそのスパン長、赤い矩形オブジェクト 6 0 2 の色とそのスパン長、さらにイメージ 6 0 3 による各画素の色情報の並びによるランレングス情報が生成される。

10

【 0 0 1 7 】

続いて、図 1 9 の 4 段目に示すように、ピクセル生成処理 1 0 4 によって画素情報に変換され、図 1 9 の最下段に示すように、ラスタタイル変換処理 1 0 5 にてページのラスタ順からタイル順の画像に変換される。

【特許文献 1】特開2002-300190公報

【特許文献 2】特開2002-305622公報

20

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 8 】

しかしながら、従来技術のラスタタイル変換処理 1 0 5 では、大量のデータを中間バッファメモリ 1 0 6 (R A M 2 0 0 2) に読み書きすることになる。印刷解像度が 6 0 0 dpi であった場合には、A 4 サイズ(幅21cm、高さ29.5cm)の画像をラスタタイル変換するために、次のサイズのデータを中間バッファメモリ 1 0 6 に格納する必要がある。

【 0 0 1 9 】

$$\begin{aligned} & (21[\text{cm}]/2.54[\text{cm/inch}] \times 600[\text{dpi}]) \times (29.5[\text{cm}]/2.54[\text{cm/inch}] \times 600[\text{dpi}]) \\ & = 4960[\text{pixel}] \times 6968[\text{pixel}] \\ & = 34.56[\text{Mpixels}] \end{aligned}$$

30

$$1[\text{pixel}] = 4[\text{byte}] \text{ (R=8bit, G=8bit, B=8bit, Attribute=8bit)}$$

$$34.56[\text{Mpixel}] \times 4[\text{byte}] = 138.24[\text{MB}]$$

毎分 8 5 枚の印刷速度を実現するためには、次のようなメモリのデータ転送帯域が必要となる。

【 0 0 2 0 】

$$\begin{aligned} & (138.24[\text{MB, 書き込み}] + 138.24[\text{MB, 読み出し}]) / (60[\text{sec}]/85[\text{ppm}]) \\ & = 391.68[\text{MB/s}] \end{aligned}$$

印刷の解像度は年々高くなっているため、印刷の解像度が 1 2 0 0 dpi に向上した場合に必要なメモリのデータ転送帯域は、6 0 0 dpi の 4 倍となるため、以下のメモリのデータ転送帯域が必要になる。

40

【 0 0 2 1 】

$$391.68[\text{MB/s}] \times 4 = 1566.72[\text{MB/s}] = 1.567[\text{GB/s}]$$

一方、DDR2 SDRAM 400MHz 64bit のメモリの理論的なデータ転送帯域は、3.2[GB/s]であるが、ランダムアクセス時の実効のメモリのデータ転送帯域は、1[GB/s]から1.5[GB/s]の間である。

【 0 0 2 2 】

従って、印刷の解像度 6 0 0 dpi ではラスタタイル処理 1 0 5 は D R A M を用いて実現可能であり、かつメモリ帯域に余裕があるため他の処理との共用が可能であった。しかし、印刷の解像度が 1 2 0 0 dpi に高まると、D R A M の 1 チャンネルで実現が出来る限界

50

となり、かつメモリ帯域に余裕が無いため、他の処理を実現するためにDRAMをもう1チャンネル増設する必要が生じる。このため、コストが上昇してしまうという課題がある。

【0023】

ところで、図16Aでは中間バッファメモリ106として使用されるRAM2002をASIC(破線で囲んだシステム制御部2150や画像処理部2149)の外部に装備している。メモリのデータ転送帯域を上げる別の解決策として、中間バッファメモリ106をASIC上のオンチップメモリで実現し、DRAMのチャンネル増設を回避するという方法もある。この場合には、以下の容量のメモリが必要となる。

【0024】

$(29.5[\text{cm}]/2.54[\text{cm}/\text{inch}]) \times 1200[\text{dpi}] \times 32[\text{line}/\text{tile}] \times 2[\text{band}] \times 4[\text{byte}]$
= 4960[pixel] x 6968[pixel]
= 3.56[MB]

10

90nmの半導体プロセスを用いてASIC上に3.56MBのオンチップメモリを実現することは可能であるが、やはり大幅なコスト上昇を生じてしまうため、前者の方法と同様の課題がある。

【0025】

本発明は、前記課題を鑑みてなされたものである。本発明者等は、図19の2段目から4段目に示すように、一般にランレングス情報はほとんどの場合ラスト画像よりもデータ量が少なく、またスパン情報はランレングス情報よりもデータ量が少ないことに注目した。そこで、タイル順への変換処理を従来のラスト画像を用いて行うのではなく、その上流の色塗り処理の出力であるランレングス情報、もしくはスパン生成処理の出力であるスパン情報において、データの並びをタイル順に置き換える。かかる処理により、タイル順に変換する際に一次格納するデータ量を大幅に削減し、従来と同等以下のコストおよびメモリのデータ転送帯域においても高い出力解像度のラストタイル処理を実現する。

20

【課題を解決するための手段】

【0026】

この課題を解決するために、本発明の画像処理装置は、画像処理装置であって、ホストから印刷指示情報を受信する受信手段と、受信した前記印刷指示情報を、レンダリング処理可能な中間情報へ変換する第1変換手段と、前記中間情報をスキャンライン毎のスパン情報に変換する第2変換手段と、スキャンライン毎のスパン情報に色を付与して、色情報と繰り返し情報とからなるスキャンライン毎のランレングス情報を生成する色塗り手段と、前記ランレングス情報を展開することによって、タイル順の画素情報を生成する生成手段と、スキャンライン毎の入力情報を、タイル内のスキャンライン毎の情報に分割してタイル単位の出力情報に並べ替える分割手段と、タイル単位で前記生成手段が生成したタイル順の画素情報を圧縮処理して圧縮データを生成する圧縮手段と、タイル単位の前記圧縮データのページ分を保持する記憶手段と、前記記憶手段に保持されたタイル単位に圧縮された前記圧縮データを用いて印刷処理する印刷手段とを有し、前記分割手段は、前記第2変換手段からのスキャンライン毎のスパン情報を前記入力情報とし、タイル内のスキャンライン毎のスパン情報に分割してタイル単位のスパン情報に並べ替えて、前記並べ替えたタイル単位のスパン情報を前記色塗り手段に前記出力情報として出力することを特徴とする。

30

40

【0027】

ここで、前記分割手段は、副走査方向に2タイルラインを記憶する記憶手段を有する。また、前記記憶手段は、前記画像処理装置のメインメモリである。また、前記分割手段は、前記出力情報としての前記並べ替えたタイル単位のスパン情報を、スキャンライン毎にシーケンスに前記色塗り手段に出力する。

【0028】

また、本発明の画像処理装置は、画像処理装置であって、ホストから印刷指示情報を受信する受信手段と、受信した前記印刷指示情報を、レンダリング処理可能な中間情報へ変換する第1変換手段と、前記中間情報をスキャンライン毎のスパン情報に変換する第2変

50

換手段と、スキャンライン毎のスパン情報に色を付与して、色情報と繰り返し情報とからなるスキャンライン毎のランレングス情報を生成する色塗り手段と、前記ランレングス情報を展開することによって、タイル順の画素情報を生成する生成手段と、スキャンライン毎の入力情報を、タイル内のスキャンライン毎の情報に分割してタイル単位の出力情報に並べ替える分割手段と、タイル単位で前記前記生成手段が生成したタイル順の画素情報を圧縮処理して圧縮データを生成する圧縮手段と、タイル単位の前記圧縮データのページ分を保持する記憶手段と、前記記憶手段に保持されたタイル単位に圧縮された前記圧縮データを用いて印刷処理する印刷手段とを有し、前記分割手段は、前記色塗り手段からのスキャンライン毎の色を付与したランレングス情報を前記入力情報とし、タイル内のスキャンライン毎のランレングス情報に分割してタイル単位のランレングス情報に並べ替えて、前記並べ替えたタイル単位の色を付与したランレングス情報を前記生成手段に前記出力情報として出力することを特徴とする。

10

【0029】

ここで、前記分割手段は、副走査方向に2タイルラインを記憶する記憶手段を有する。また、前記記憶手段は、前記画像処理装置のメインメモリである。また、前記分割手段は、前記出力情報としての前記並べ替えたタイル単位のランレングス情報を、スキャンライン毎にシーケンスに前記生成手段に出力する。

【0031】

また、本発明の画像処理装置の制御方法は、画像処理装置の制御方法であって、受信手段が、ホストから印刷指示情報を受信する受信工程と、第1変換手段が、受信した前記印刷指示情報を、レンダリング処理可能な中間情報へ変換する第1変換工程と、第2変換手段が、前記中間情報をスキャンライン毎のスパン情報に変換する第2変換工程と、色塗り手段が、スキャンライン毎のスパン情報に色を付与して、色情報と繰り返し情報とからなるスキャンライン毎のランレングス情報を生成する色塗り工程と、生成手段が、前記ランレングス情報を展開することによって、タイル順の画素情報を生成する生成工程と、分割手段が、スキャンライン毎の入力情報を、タイル内のスキャンライン毎の情報に分割してタイル単位の出力情報に並べ替える分割工程と、圧縮手段が、タイル単位で前記生成工程にて生成したタイル順の画素情報を圧縮処理して圧縮データを生成する圧縮工程と、記憶手段が、タイル単位の前記圧縮データのページ分を記憶部に保持する記憶工程と、印刷手段が、前記記憶工程により保持されたタイル単位に圧縮された前記圧縮データを用いて印刷処理する印刷工程とを有し、前記分割工程では、前記第2変換工程により変換されたスキャンライン毎のスパン情報を前記入力情報とし、タイル内のスキャンライン毎のスパン情報に分割してタイル単位のスパン情報に並べ替えて、前記並べ替えたタイル単位のスパン情報を前記色塗り工程に対して前記出力情報として出力することを特徴とする。

20

30

【0032】

また、本発明の画像処理装置の制御方法は、画像処理装置の制御方法であって、受信手段が、ホストから印刷指示情報を受信する受信工程と、第1変換手段が、受信した前記印刷指示情報を、レンダリング処理可能な中間情報へ変換する第1変換工程と、第2変換手段が、前記中間情報をスキャンライン毎のスパン情報に変換する第2変換工程と、色塗り手段が、スキャンライン毎のスパン情報に色を付与して、色情報と繰り返し情報とからなるスキャンライン毎のランレングス情報を生成する色塗り工程と、生成手段が、前記ランレングス情報を展開することによって、タイル順の画素情報を生成する生成工程と、分割手段が、スキャンライン毎の入力情報を、タイル内のスキャンライン毎の情報に分割してタイル単位の出力情報に並べ替える分割工程と、記憶手段が、タイル単位で前記生成工程にて生成されたタイル順の画素情報を圧縮処理して圧縮データを生成する圧縮工程と、記憶手段が、タイル単位の前記圧縮データのページ分を記憶部に保持する記憶工程と、印刷手段が、前記記憶工程により保持されたタイル単位に圧縮された前記圧縮データを用いて印刷処理する印刷工程とを有し、前記分割工程では、前記色塗り工程のよるスキャンライン毎の色を付与したランレングス情報を前記入力情報とし、タイル内のスキャンライン毎のランレングス情報に分割してタイル単位のランレングス情報に並べ替えて、前記並べ替

40

50

えたタイル単位の色を付与したランレングス情報を前記生成工程に対して前記出力情報として出力することを特徴とする。

【 0 0 3 3 】

更に、上記画像処理装置の制御方法の各工程をコンピュータに実行させるためのプログラム、及び該プログラムを記憶したコンピュータで読み取り可能な記憶媒体を提供する。

【発明の効果】

【 0 0 3 4 】

以上述べたように、本発明によれば、ラスタタイル変換処理に必要なメモリのデータ転送帯域を大幅に削減することが可能となり、プリンタシステムを実現する際にコスト上昇を抑えながら印刷の解像度を向上することが可能となる。

10

【 0 0 3 5 】

例えば、印刷の解像度 1 2 0 0 dpiにおいて、ページの 3 0 %の面積がイメージで占められていた場合、ランレングス情報のデータ量はラスタ画像のデータ量の 3 0 %にほぼ等しい。従って、必要なメモリのデータ転送帯域は、以下の様に削減される。

【 0 0 3 6 】

$$1.567[\text{GB/s}] \times 30\% = 470[\text{MB/s}]$$

このメモリのデータ転送帯域であれば、印刷の解像度 6 0 0 dpiと同等のコストで実現できる。

【 0 0 3 7 】

また例えば、スパン情報のデータ量が32byteで、かつ全面にひとつのオブジェクトがある場合には、スパン情報によりラスタタイル処理に必要なメモリのデータ転送帯域は以下の帯域となり、非常に少ない帯域で処理が可能となる。

20

【 0 0 3 8 】

$$\begin{aligned} & (32[\text{byte}] \times (29.5[\text{cm}] / 2.54[\text{cm/inch}] \times 1200[\text{dpi}])) \\ & \times 2(\text{read/write}) / (60[\text{sec}] / 85[\text{ppm}]) \\ & = 1.26[\text{MB/s}] \end{aligned}$$

【発明を実施するための最良の形態】

【 0 0 3 9 】

以下、本発明の実施形態を添付図面を参照して詳細に説明する。

【 0 0 4 0 】

30

< 本実施形態の画像処理装置の構成例 >

本実施形態における画像処理装置は、スパン情報あるいはランレングス情報においてラスタ順からタイル順への変換を行なう。かかる処理は、従来例で示したレンダリング部 2 0 6 0 において実現される。従って、図 1 6 A 及び図 1 6 B において、タイル生成部 2 0 6 1 が無い構成が、本実施形態の画像処理装置のコントロール部の構成例となる（図示せず）。

【 0 0 4 1 】

なお、本実施形態のレンダリング部 2 0 6 0 の特徴的部分については、図 9 から図 1 3 において詳細に説明する。以下、かかる本実施形態の画像処理装置のコントロール部の構成を念頭に置いて、その処理例を説明する。

40

【 0 0 4 2 】

< 第 1 実施形態の画像処理装置の動作例 >

図 1 は、上記のような図 1 6 A 及び図 1 6 B においてタイル生成部 2 0 6 1 が無い構成における、第 1 実施形態におけるページ記述言語の受信から印刷までの処理フローをまとめたデータ処理フロー図である。なお、従来例の図 1 7 と同様の処理については、同じ参照番号を付する。

【 0 0 4 3 】

まず、印刷指示情報であるページ記述言語からレンダリング処理可能な中間情報であるディスプレイリスト形式のベクタデータを生成するベクタデータ生成処理 1 0 1 が行われる。かかるベクタデータ生成処理 1 0 1 は第 1 変換処理として参照される。

50

【 0 0 4 4 】

次に、ディスプレイリストデータからスキャンライン毎のスパン情報に変換されるスパン情報生成処理 1 0 2 が行われる。かかるスパン情報生成処理 1 0 2 は第 2 変換処理として参照される。第 1 実施形態では、かかるスキャンライン毎のスパン情報がスパンタイル変換処理 2 0 1 への入力情報となる。

【 0 0 4 5 】

第 1 実施形態では、生成されたスキャンラインごとのスパン情報は、スパンタイル変換処理 2 0 1 によって各タイル内のスキャンラインのスパン情報に変換される。このときタイル高さ分のスキャンラインごとのスパン情報が、中間バッファメモリ 2 0 2 (図 1 6 A の R A M 2 0 0 2) に格納され、かつ読み出される。第 1 実施形態においては、各タイル内のスキャンラインのスパン情報がスパンタイル変換処理 2 0 1 からの出力情報となる。

10

【 0 0 4 6 】

次に、各タイル内のスキャンラインのスパン情報は、色塗り処理 1 0 3 によってオブジェクトごとの色が付与され、タイルライン (タイルの主走査方向の 1 行分) ごとのランレングス情報として出力される。タイルラインごとのランレングス情報は、ピクセル生成処理 1 0 4 によって画素情報に変換され、タイル順の画素情報として出力される。

【 0 0 4 7 】

ここで、上記のように、中間バッファメモリ 2 0 2 はメインメモリである R A M 2 0 0 2 内の一部領域として確保される。レンダリング部 2 0 6 0 から、システムバスブリッジ 2 0 0 7、R A M コントローラ 2 1 2 4 経由にて R A M 2 0 0 2 内の中間メモリバッファ 2 0 2 の領域がアクセスされる。スパンタイル順変換処理 2 0 1 を含むスパン情報生成処理 1 0 2 からピクセル生成 1 0 4 までの処理は、レンダリング部 2 0 6 0 に実装される。

20

【 0 0 4 8 】

その後は、従来例と同様に、圧縮処理 1 0 7 を実施し、圧縮されたタイル順のラスタ画像 (圧縮データとも言う) のページ分が図 1 6 A の外部記憶装置 2 0 0 4 にプール処理 1 0 8 される。図 1 6 A の外部記憶装置 2 0 0 4 にスプール処理 1 0 8 されたページ分の画像は、図 1 6 B のタイル伸張部 2 1 0 3 にて伸張処理 1 0 9 され、タイルバス 2 1 0 7 を経由して画像回転部 2 0 3 0 等で回転処理 1 1 0 などが行われる。この伸張され回転処理などを行ったタイル形式のピクセルデータは、画像出力インターフェース 2 1 1 3、2 1 5 1、2 1 5 2、2 1 5 3 にてタイルラスタ変換が行われる。そして、プリンタ画像処理部 2 1 1 5、2 1 5 4、2 1 5 5、2 1 5 6 にて色変換処理 1 1 3 やハーフトーン処理 1 1 4 が実施され、プリンタ 2 0 9 5 にて印刷処理 1 1 5 がなされる。

30

【 0 0 4 9 】

ここで、タイルラスタ変換処理 1 1 1 が行われる際にタイル高さ分の中間メモリ 1 1 2 が必要になるが、画像出力インターフェース 2 1 1 3、2 1 5 1、2 1 5 2、2 1 5 3 がメモリバス 2 1 0 8 を経由して画像メモリ 2 1 2 3 内の一部領域を使用する。

【 0 0 5 0 】

(第 1 実施形態におけるタイル順への変換の具体例)

図 2 は、図 1 にて説明した第 1 実施形態の処理フローにおいてベクタデータ生成処理 1 0 1 からピクセル生成処理 1 0 4 までの処理データ例を示した模式図である。従来例における、図 1 8 と対比すると本願発明の作用効果が明瞭となる。なお、従来との対比を明瞭にするため、背景 6 0 1 と赤い矩形オブジェクト 6 0 2 とイメージ 6 0 3 とは、図 1 8 と同様である。

40

【 0 0 5 1 】

ベクタデータ生成処理 1 0 1 により、図 2 の最上段に示すベクタデータが生成される。

【 0 0 5 2 】

生成されたベクタデータはスパン情報生成処理 1 0 2 により、図 2 の 2 段目にしめすスパン情報に変換される。スパン A は背景しかないためページの左端から右端までのスパンとなる。スキャンライン B C D は、赤い矩形オブジェクト 6 0 2 が存在するスキャンラインである。そのため、スパン B は背景のスパン、赤い矩形オブジェクトのスパンであるス

50

パンC、さらに背景のスパンDが生成される。スキャンラインB E Fは、赤い矩形オブジェクト602とイメージ603が存在するスキャンラインである。そのため、スパンBは背景のスパン、赤い矩形オブジェクト602のスパンであるスパンE、さらにイメージ603のスパンFが生成される。

【0053】

続いて、図2の3段目に示すように、本実施形態のスパンタイル順変換処理201によって、スキャンライン単位のスパン情報からタイル内のスキャンラインのスパン情報に変換される。

【0054】

スキャンラインAは、4つのタイルT1,T2,T3,T4に分割される。背景であるためページの左端から右端までのスパンであったスパンAは、4つのタイル幅のスパンに分割される。

【0055】

スキャンラインB C Dも、4つのタイルT1,T2,T3,T4に分割される。タイル形式への変換前のスキャンラインB C Dは、背景と赤い矩形オブジェクトによって、スパンB、スパンC、スパンDの3つのスパンであった。これが、タイルT1はスパンB、タイルT2はスパンCが分割された前方のスパン、タイルT3もスパンCが分割された後方のスパン、タイルT4はスパンDに分割される。

【0056】

スキャンラインB E Fも、4つのタイルT1,T2,T3,T4に分割される。タイル形式への変換前のスキャンラインB E Fは、背景と赤い矩形オブジェクトとイメージオブジェクトによって、スパンB、スパンE、スパンFの3つのスパンであった。それが、タイルT1はスパンB、タイルT2はスパンEと分割された前方のスパンF、タイルT3は分割された中間のスパンF、タイルT4も後方のスパンFに分割される。

【0057】

続いて、図2の4段目6に示すように、タイル内のスキャンラインのスパン情報からタイル単位の色塗り処理103が実施されて、ランレングス情報が生成される。次に、図2の5段目に示すように、ランレングス情報からピクセル生成処理104により画素情報が生成される。

【0058】

本実施形態では、このピクセル生成処理104が終了した時点で、図2の最下段に示したように、タイル順の画像情報が完成していることになる。

【0059】

(本実施形態の画像データ例)

図3は、本実施形態のベクタデータ生成処理101で生成され、スパン情報生成処理102で処理を行うディスプレイリストのデータ形式を示したデータ例である。すなわち、本実施形態において使用される、ディスプレイリスト、優先順位テーブル、塗りつぶしリスト、などの例を示す図である。背景601と赤い矩形オブジェクト602とイメージ603とは、図2及び図18と同様である。

【0060】

31はディスプレイリストであり、上からイメージ、赤い矩形オブジェクト、背景が記述されている。ここで、優先順位(プライオリティー)は“0”が最も高いとする。初めにPriority=0の背景601を指定し、次に100ライン描画する。次にPriority=1の赤い矩形オブジェクト602を指定し、次に50ライン描画する、次にPriority=2のビットマップオブジェクト603を指定し、さらにページ下端まで150ラインを描画する。

【0061】

32は、描画記述とは別にオブジェクトの上下関係を示す優先順位テーブル(PriorityTable)が存在し、ディスプレイリストの先頭から順にスタックされている。優先順位テーブル32の各エントリには、色塗りのためのPaintIDと各オブジェクトのアウトラインへのポインタが含まれる。各々のアウトラインは、開始のX座標と、外形のパスがX,Yア

10

20

30

40

50

ドレスの増減で指定される。そのアウトラインが 3 2 a にそれぞれ示されている。

【 0 0 6 2 】

PaintIDは、塗りつぶしリスト(PaintTable) 3 3 のエントリに対応しており、PaintTableは各色塗り情報であるpaint情報 3 3 a へのポインタ配列である。各paint情報 3 3 a には、単色(FLAT)とビットマップ(BITMAP)が存在し、FLATはRGB各色の値が含まれ、BITMAPはアフィン変換のための変換行列と、ビットマップ実体 3 3 b へのポインタが含まれる。本例では、背景が白、赤い矩形オブジェクト、イメージのビットマップが定義されている。

【 0 0 6 3 】

第 1 実施形態では、優先順位テーブル 3 2 から各オブジェクトのアウトライン 3 2 a が判定された時点で、スパン情報の生成及びスパンタイル順変換処理が実行される。塗りつぶしリスト 3 3 に基づく塗りつぶし処理は、スパンタイル順変換処理が完了した後に実行される。

【 0 0 6 4 】

図 4 は、本実施形態において使用される、タイル形式の画像データの例を示す図である。かかるタイル形式の画像データは、既にピクセル単位に展開された結果を示している。

【 0 0 6 5 】

図 4 は、A 4 サイズのページ 4 1 で、6 0 0 dpi の場合の例を示しており、3 2 × 3 2 画素のタイル 4 2 に分割されて、1 ページが 2 2 0 × 1 5 6 = 3 4 , 3 2 0 タイルとなる。なお、1 2 0 0 dpi の場合には、4 4 0 × 6 2 4 = 2 7 4 , 5 6 0 タイルとなる。

【 0 0 6 6 】

< 第 1 実施形態のスパンタイル順変換処理の処理手順例 >

図 5 は、スパンタイル順変換処理 2 0 1 の処理フローを示したフローチャートである。なお、かかる処理は、レンダリング部 2 0 6 0 で実行される。レンダリング部 2 0 6 0 を制御する CPU によりソフトウェアで実現されてもよいし、後述のようなステップマシンによるファームウェア、あるいはハイドウェア回路で実現されてもよい。

【 0 0 6 7 】

初めに注目スキャンラインのスパン情報を、例えば外部記憶装置 2 0 0 4 から取得する (S 5 0 1) 。次に、注目スキャンラインのスパン情報を中間バッファメモリ 2 0 2 (R A M 2 0 0 2) に格納する (S 5 0 2) 。1 つのタイルの高さ分のスキャンラインを取得したかを判断する (S 5 0 3) 。まだ 1 つのタイルの高さ分のスパン情報を取得していない場合には、注目ラインを次ラインに設定し (S 5 0 4) 、注目スキャンラインのスパンを入力 (S 5 0 1) に戻る。

【 0 0 6 8 】

1 つのタイルの高さ分のスキャンラインを取得したならば、ライン中の注目タイルを設定する (S 5 0 5) 。注目ラインを注目タイルの先頭ラインに設定する (S 5 0 6) 。次に、注目タイルの注目ラインに相当するスパン情報を中間バッファメモリ 2 0 2 から読み出し (S 5 0 7) 、注目タイル内のスキャンラインに相当する幅に分割したスパン情報を生成して、タイル順に色塗り処理 1 0 3 へ送信する (S 5 0 8) 。次に、注目タイルの高さ分のラインを処理したかを判断する (S 5 0 9) 。注目タイルの高さ分を処理していなければ、注目ラインを次のラインに変更し (S 5 1 0) 、注目タイルの注目ラインのスパン情報を中間バッファメモリ 2 0 2 から読み出す処理 (S 5 0 7) へ戻る。

【 0 0 6 9 】

注目タイルの高さ分の処理が終わっていたならば、主走査方向 (ライン方向) の最後のタイルまで処理を行ったかを判断する (S 5 1 1) 。主走査方向の最後まで終わっていなければ、主走査方向に注目タイルを移動し (S 5 1 2) 、注目タイルを設定する処理 (S 5 0 5) へ戻る。

【 0 0 7 0 】

主走査方向の最後のタイルを処理し終えたならば、次にページ終了かを判断する (S 5 1 3) 。ページが終了していないならば、注目ラインをそれまで処理したタイルラインの

10

20

30

40

50

次のタイルラインの先頭に変更し（S 5 1 4）、注目ラインのスパン情報を外部記憶装置 2 0 0 4 から取得する処理（S 5 0 1）へ戻る。ページが終了していたならば、処理を終了する。

【 0 0 7 1 】

< 第 1 実施形態のスパンタイル順変換処理の具体例 >

（スパンタイル順変換処理前のスパン情報例）

図 6 A は、第 1 実施形態におけるスパン情報のフォーマット例を示す図である。また、図 6 B は、図 2 の例において図 6 A のフォーマットで外部記憶装置 2 0 0 4 に格納されたスパン情報の格納例を示した模式図である。

【 0 0 7 2 】

図 6 A に示すように、スパン情報は一对のエッジ情報からなり、ひとつのエッジ情報は、少なくとも優先順位情報、現在の X 座標位置、エッジの方向フラグを含む。

【 0 0 7 3 】

図 6 B は、図 2 の例におけるスパン情報である。

【 0 0 7 4 】

ライン 0 には背景しかないため、ページの左端と右端の一对のエッジからなるスパン情報を生成する。これはスキャンライン A に相当する。

【 0 0 7 5 】

赤い矩形オブジェクト 6 0 2 が展開されるスキャンライン B C D に相当するスパン情報が、ライン N に示されている。左からページの左端エッジ、赤い矩形オブジェクト 6 0 2 の左端エッジ、赤い矩形オブジェクト 6 0 2 の右端エッジ、ページの右端エッジからなる。

【 0 0 7 6 】

図 6 B に示すように、スパン情報の情報量はスキャンライン毎に異なるデータ量を持つ。本実施形態では、メモリ上の連続の領域に、異なるデータ量のライン情報を隙間なく詰めて格納する。

【 0 0 7 7 】

（スパンタイル順変換処理の動作例）

図 7 は、中間バッファメモリ 2 0 2（R A M 2 0 0 2）におけるスパンタイル順変換処理中のスパン情報について示した図である。なお、図 7 には、図 5 における各ステップとの対応が示されている。

【 0 0 7 8 】

7 0 は、図 2 及び図 3 の処理対象と同じページを示している。ここでは、理解を容易にするためページを $4 \times 6 = 24$ のタイルに分割する例を示している。

【 0 0 7 9 】

7 1 は、外部記憶装置 2 0 0 4 に格納されているスパン情報の先頭のタイルラインを示している。図 5 のステップ S 5 0 1 の繰り返しにより、図 6 B のスパン情報からかかるスパン情報の先頭のタイルライン分が取得される。7 2 は、図 5 のステップ S 5 0 1 の繰り返しで、中間バッファメモリ 2 0 2 である R A M 2 0 0 2 にスパン情報の先頭のタイルライン分が格納される。7 3 も R A M 2 0 0 2 に格納されたスパン情報の先頭のタイルライン分であり、図 5 のステップ S 5 0 7 の繰り返しで、R A M 2 0 0 2 からスパン情報がタイル順に読み出される。

【 0 0 8 0 】

7 4 は、レンダリング部 2 0 6 0 におけるスパンタイル順変換処理の実行部における処理を示す。図 5 のステップ S 5 0 8 の処理の繰り返しで、R A M 2 0 0 2 から読み出したスパン情報をタイル幅に分割して、7 5 に示すようにタイル順に色塗り処理 1 0 3 へ送信する。

【 0 0 8 1 】

なお、中間バッファメモリ 2 0 2 からタイル順にスパン情報を取得するため、スパンタイル順変換処理 2 0 1 では、注目タイルの高さ内の各スキャンラインの現在の注目スパン

10

20

30

40

50

のアドレス情報を、注目タイル内のスキャンライン数分保持する。そして、注目タイルのスパン情報を生成することに当該アドレス情報を更新する。

【 0 0 8 2 】

(スパンタイル順変換処理後のスパン情報)

図 8 は、スパンタイル順変換処理 2 0 1 によってタイル順に変換されて、色塗り処理 1 0 3 へ出力されるタイル分割後のスパン情報を示す模式図である。かかるタイル分割後のスパン情報は、タイル順に色塗り処理 1 0 3 へ送信される。

【 0 0 8 3 】

スキャンライン 0 からスキャンライン 7 までは、背景しかないため、注目タイルの左端エッジと右端エッジからなるスパン情報に分割される。タイル 0 内のスキャンライン 0 とタイル 1 内のスキャンライン 0 のスパン情報は、図 6 B のスキャンライン 0 のスパン情報が分割されて生成されたものである。

【 0 0 8 4 】

図 6 B のスキャンライン N は、オブジェクト 6 0 2 が開始されるスキャンラインである。スキャンライン N は、タイル m 内のスキャンライン 1 に対応し、タイル m はオブジェクト 6 0 2 の左上端である。そのために、タイル m 内のスキャンライン 1 の中には、背景のスパン情報と、オブジェクト 6 0 2 のスパン情報とが発生する。タイル m + 1 を見るとタイル m + 1 内のスキャンライン 1 はオブジェクト 6 0 2 のスパンのみが存在する。

【 0 0 8 5 】

< 本実施形態のスパンタイル順変換処理の回路構成例 >

図 9 は、スパンタイル順変換処理 2 0 1 を実現する回路構成例を示したブロック図である。なお、図 9 中の "FIFO" はファーストイン・ファーストアウト (先書込み・先読出し) のバッファ、 "FSM" は特定機能を果たすステート・マシン、 "Cache" はキャッシュメモリを表わしている。

【 0 0 8 6 】

ライト FIFO (図 9 中、Write FIFO) 1 3 0 1 がスパン情報生成部 1 0 2 から送られてくるスキャン順のスパン情報を受信し、有効なスパン情報を受信したことを valid01 信号でストア FSM (図 9 中、Store FSM) 1 3 0 2 に通知する。ストア FSM 1 3 0 2 はライト FIFO 1 3 0 1 に有効なスパン情報が入っていると、start0 信号を出力することを起点とした中間バッファメモリ 2 0 2 へのライトトランザクションを発生させる。そして、スパン情報を中間バッファメモリ 2 0 2 へ保存する。

【 0 0 8 7 】

ストア FSM 1 3 0 2 は、ラインの先頭を End of line01 信号の出力を検出することで検知する。そして、スキャンラインの先頭のスパン情報を中間バッファメモリ 2 0 2 へ保存するアドレスをアドレス FIFO (図 9 中、Adress FIFO) 1 3 0 3 へ送付する。また、ストア FSM 1 3 0 2 は、1 つのタイルの高さ分のスパン情報を中間バッファメモリ 2 0 2 に書き出したことを検知すると、Tile line end02 信号をアドレス FIFO 1 3 0 3 へ送付する。

【 0 0 8 8 】

タイルリード FSM (図 9 中、Tile Read FSM) 1 3 0 4 は、アドレス FIFO 1 3 0 3 に保持されたスキャンラインのスパン情報の先頭アドレスを獲得する。そして、タイルリード FSM 1 3 0 4 が保持する 1 タイルの高さ分をアドレスするアドレスレジスタに順次記憶する。タイルリード FSM 1 3 0 4 は、アドレス FIFO 1 3 0 3 から Tile line end03 信号の出力によってタイルラインの終了を検知すると、記憶したアドレスから中間バッファメモリ 2 0 2 に格納されたスパン情報をリードする。

【 0 0 8 9 】

タイルリード FSM 1 3 0 4 が中間バッファメモリ 2 0 2 からスパン情報をリードする際に、キャッシュ (図 9 中、Cache) 1 3 0 5 が中間バッファメモリ 2 0 2 からリードしたスパン情報をアドレスに関連付けてキャッシュする。タイルリード FSM 1 3 0 4 のメモリアクセスは、同じスパン情報を次のタイルのリード時にもリードする可能性が高いため、キャッシュ 1 3 0 5 内にキャッシュされたデータがヒットする場合が多い。

10

20

30

40

50

【 0 0 9 0 】

タイルリードFSM 1 3 0 4 は、中間バッファメモリ 2 0 2 からキャッシュ 1 3 0 5 を経由してリードしたスキャンライン構成のスパン情報を、注目タイルのスパンに分割し、リードFIFO(図 9 中、Read FIFO) 1 3 0 6 へ出力する。リードFIFO 1 3 0 6 は、タイル内のスパン情報を色塗り処理 1 0 3 へ送信する。

【 0 0 9 1 】

(ストアFSM 1 3 0 2 の動作例)

図 1 0 A は、ストアFSM 1 3 0 2 の実装を示した状態遷移図である。図 1 0 B は、ストアFSM 1 3 0 2 の各状態(State Sx)における出力信号と内部レジスタの状態を示す図である。

10

【 0 0 9 2 】

ストアFSMはまず、バンド 0 のスタートアドレス(Band.addr0)を内部レジスタにロードする(S0)。次に、スタートアドレスを最初のスキャンラインのスタートアドレスとして、アドレスFIFO 1 3 0 3 を経由してタイルリードFSM 1 3 0 4 へ送信する(S1)。

【 0 0 9 3 】

次にライトFIFO 1 3 0 1 に有効なスパンデータが格納されているかを、valid01により確認する(S2)。有効なスパンデータが格納されていれば、当該スパンデータを中間バッファメモリ 2 0 2 にライトするために、アドレス信号を出力する(S3)。次に、データをメモリ上に書き出してライトFIFO 1 3 0 1 のデータを 1 つ引き出す(S4)。次に、内部レジスタに保持している書き出し先アドレスをインクリメントする(S5)。ここで、まだライトFIFO1301に有効なデータが保存されていなければ、アイドル(S2)に遷移するが、有効なデータが保持されていれば次のアドレスフェーズ(S3)に遷移する。かかる、S3-S4-S5-(S2)-S3...を繰り返すことで、1 ライン分のスパン情報を

20

もし(S2)において、当該有効なデータがラインの最後であれば(End of line01)、ライン最後のアドレスフェーズ(S6)に遷移する。ライン最後のデータをメモリに書き出し(S7)、内部レジスタに保持したアドレス情報とタイル内ライン数カウンタをインクリメントする(S8)。タイル内のライン数カウンタが 1 タイルの高さに達していなければ、既にインクリメントしたアドレスを、次ラインの先頭アドレスとしてアドレスFIFO 1 3 0 3 を経由してタイルリードFSM 1 3 0 4 へ送信する(S1)。

【 0 0 9 4 】

30

タイル内のライン数カウンタが 1 タイルの高さに達していたならば、タイルの終わりである情報(Tile line end02)を、アドレスFIFO 1 3 0 3 を経由してタイルリードFSM 1 3 0 4 へ送信する(S9)。次に、最初のバンドでなければ、タイルリードFSM 1 3 0 4 からのバンドフィニッシュ信号(Band finish)の出力を待って(S10)、バンド 1 の先頭アドレスをロードする(S11)。最初のバンドであれば、タイルリードFSM 1 3 0 4 からのバンドフィニッシュ信号(Band finish)の出力を待たずに、直接、バンド 1 の先頭アドレスをロードする(S11)。

【 0 0 9 5 】

次に、スタートアドレス(Line addr02)を最初のスキャンラインのスタートアドレスとして、アドレスFIFO 1 3 0 3 を経由してタイルリードFSM 1 3 0 4 へ送信する(S12)。以降の、S12からS19における処理は、バンドが異なるのみでS1からS8と類似である。

40

【 0 0 9 6 】

ライトFIFO 1 3 0 1 に有効なスパンデータが格納されているかを確認する(S13)。有効なスパンデータが格納されていれば、当該スパンデータを中間バッファメモリ 2 0 2 にライトするために、まずアドレス信号を出力する(S14)。次に、データをメモリ上に書き出してライトFIFO 1 3 0 1 のデータを 1 つ引き出す(S15)。次に、内部レジスタの保持している書き出し先アドレスをインクリメントする(S16)。まだライトFIFO1301に有効なデータが保存されていなければ、アイドル(S13)に遷移し、有効なデータが保持されていれば次のアドレスフェーズ(S14)に遷移する。もし(S13)において、当該有効なデータがラインの最後であればライン最後のアドレスフェーズ(S17)に遷移する。ライン最

50

後のデータをメモリに書き出し (S18)、内部レジスタに保持したアドレス情報とタイル内のライン数カウンタをインクリメントする (S19)。タイル内のライン数カウンタが 1 タイルの高さに達していなければ、既にインクリメントしたアドレスを、次ラインの先頭アドレスとしてアドレス FIFO 1 3 0 3 を経由してタイルリード FSM 1 3 0 4 へ送信する (S12)。

【 0 0 9 7 】

もし (S19) において、タイル内のライン数カウンタがタイル高さに達していたならば、次にタイルの終わりである情報を、アドレス FIFO 1 3 0 3 を経由してタイルリード FSM 1 3 0 4 へ送信する (S20)。最後のバンドであったならばシーケンスを終了し、最後のバンドでなければ、次に、タイルリード FSM 1 3 0 4 からのバンドフィニッシュ信号の出力を待って (S21)、バンド 0 の先頭アドレスをロードする (S0)。以上を繰り返す。

10

【 0 0 9 8 】

このように、ストア FSM 1 3 0 2 においては、ダブルバッファ (BAND0, BAND1) 処理によって、副走査方向に 2 タイルライン分を読み出すことで、スパンタイル順変換処理の高速化を図っている。

【 0 0 9 9 】

(タイルリード FSM 1 3 0 4 の動作例)

図 1 1 A は、タイルリード FSM 1 3 0 4 の実装を示した状態遷移図である。図 1 1 B は、タイルリード FSM 1 3 0 4 の各状態 (State Sx) における出力信号と内部レジスタの状態を示す図である。

20

【 0 1 0 0 】

初めに内部レジスタの値を初期化し (S0)、次にストア FSM 1 3 0 2 からアドレス FIFO 1 3 0 3 を経由した LineAddrValid03 信号の出力を待つ (S1)。LineAddrValid03 信号が出力されたならば、ラインの先頭アドレス (Line addr03) を内部レジスタにロードする (S2)。ラインの先頭アドレスが 1 タイル内のライン数分送られてきていなければ、アイドル (S1) に戻ってラインの先頭アドレスのロード (S2) を繰り返す。

【 0 1 0 1 】

1 タイル内のライン数分の先頭アドレスが送られてくれば、内部レジスタの主走査方向のタイル数カウンタを最初のタイルにセットする (S3)。続いて、中間バッファメモリ 2 0 2 からリードするラインをセットする (S4)。

30

【 0 1 0 2 】

状態は右図の (S5) に遷移して、当該ラインの最初のスパンデータのアドレスを発行し (S5)、中間バッファメモリ 2 0 2 からキャッシュ 1 3 0 5 経由でスパンデータを取得する (S6)。もし (S6) において、取得したスパンデータの X 座標が注目タイルの左端よりも小さい X 座標であれば、アドレスをインクリメントし (S7)、再度アドレスを発行して (S5)、次のスパンデータを取得する (S6)。

【 0 1 0 3 】

もし (S6) において、取得したスパンデータの X 座標が注目タイルの左端の X 座標と等価であれば、まずタイルの左端の X 座標をタイル内のスパンデータの最初の情報として出力して、アドレスをインクリメントする (S8)。次にアドレスを発行し (S9)、中間バッファメモリ 2 0 2 からキャッシュ 1 3 0 5 経由でスパンデータを取得する (S10)。取得したスパンデータの X 座標が注目タイルの右端よりも小さい X 座標であれば、アドレスをインクリメントし (S11)、再度アドレスを発行する (S9)。もし (S10) において、取得したスパンデータの X 座標が注目タイルの右端と等価かそれ以上であれば、タイルの右端の X 座標をタイル内のスパンデータの右端として出力する (S13)。

40

【 0 1 0 4 】

もし (S6) において、取得したスパンデータの X 座標が注目タイルの左端の X 座標より大きい X 座標であれば、タイルの左端の X 座標をタイル内のスパンデータの左端として出力する (S12)。そして、タイルの右端の X 座標をタイル内のスパンデータの右端として出力する (S13)。

50

【 0 1 0 5 】

次に、更新した現状のアドレスをタイル内の当該ラインの注目アドレスとして、注目ラインに関連付けられた内部レジスタに保存し（S14）、状態は左図に戻る。

【 0 1 0 6 】

現在のアドレスを内部レジスタに保存された次ラインの注目アドレスに切り替えることで、注目ラインを更新する（S15）。更新した注目ラインがタイルの下端でなければ、（S15）から（S5）に遷移し、アドレスを発行して次ラインのスパンデータのリードを開始する（S5）。更新した注目ラインがタイルの下端であれば、注目タイルを主走査方向に更新し（S16）、注目ラインをタイル内の最初のラインに設定する（S4）。そして、アドレスを発行してスパンデータのリードを開始する（S5）。 10

【 0 1 0 7 】

もし（S15）において、更新した注目ラインがタイルの下端で、かつ主走査方向にリードし、分割すべきタイルの右端のタイルを処理し終えたならば、BandFinish信号を出力する（S17）。ストアFSM 1 3 0 2からの次のバンドバッファが用意されたか（Band finish ack）を確認し、次のバンドバッファが用意されたならばアイドルに戻る（S1）。 20

【 0 1 0 8 】

（スパンタイル順変換回路の動作タイミング例）

図 1 2 及び図 1 3 は、スパンタイル順変換処理 2 0 1 を実行する図 9 乃至図 1 1 に図示のスパンタイル順変換回路の挙動の一部を示した波形図である。なお、“clk”はクロック信号を示し、以下の説明では添付番号をサイクルnとして参照する。従って、図 1 3 は図 1 2 の後に続く波形図である。 20

【 0 1 0 9 】

サイクル 1 において、ストアFSM 1 3 0 2 がバンドの先頭アドレスをスキャンラインの先頭アドレスとして出力し、続くサイクル 2 で、ライトFIFO1301に最初のスパンデータが受信される。

【 0 1 1 0 】

サイクル 3 で、ライトFIFO 1 3 0 1 からストアFSM 1 3 0 2 にvalid01信号が出力されるため、ストアFSM 1 3 0 2 はサイクル 4 において、start0信号を出力してライトトランザクションをスタートする。ライトトランザクションはサイクル 4、5 で終了する。ライトFIFO 1 3 0 1 に次のスパンデータが既に入力されているため、ストアFSM 1 3 0 2 は次のライトトランザクションをサイクル 7、8 で発生する。 30

【 0 1 1 1 】

ストアFSM 1 3 0 2 は、End of line01信号によってラインの終了であることを検出するため、サイクル 9 で次ラインの先頭アドレスをLine addr02に載せてアドレスFIFO 1 3 0 3 に送信する。スキャンライン方向のスパンデータの格納がこのように継続し、タイルの最後のラインの際に、ストアFSM 1 3 0 2 はTile line end02信号を出力し、アドレスFIFO 1 3 0 3 を介してTile line end03信号となる。

【 0 1 1 2 】

Tile line end03信号により、タイルリードFSM 1 3 0 4 はまずサイクル 1 4 で、キャッシュ 1 3 0 5 をflush信号を出力することによって初期化し、続いてタイル内のラインの先頭アドレスからリードトランザクションを発行する。そして、サイクル 1 5 ~ 2 0 に示すように、中間バッファメモリ 2 0 2 からキャッシュ 1 3 0 5 を経由してスパンデータを取得する。このスパンデータはサイクル 4、5 において中間バッファメモリ 2 0 2 に格納されたものをリードしている。 40

【 0 1 1 3 】

タイルリードFSM 1 3 0 4 は、リードしたスキャンラインのスパンデータをタイル内のスパンデータに分割し、サイクル 1 8、2 1 でリードFIFO 1 3 0 6 にタイルに分割されたスパンデータを出力する。

【 0 1 1 4 】

このようなタイル内に分割されたスパンデータの出力を繰り返し、サイクル 3 1、3 2 50

においてタイル内の最後のラインの最後のスパンデータを出力すると、注目タイルを主走査方向に1増加し、サイクル36から再度スキャンラインのスパンデータのリードを行う。

【0115】

タイルリードFSM1304は、かかるサイクル14から32の処理を主走査方向のタイルの処理が終了するまで繰り返し、主走査方向のタイルが終了すると、副走査方向の次のタイル(Band1として用意されている)の処理に移る。かかる処理が、ページの全タイルについて行われるまで繰り返される。

【0116】

<第2実施形態の画像処理装置の動作例>

図14は、第2実施形態におけるページ記述言語印刷の処理フローをまとめたデータ処理フロー図である。第1実施形態ではスパン情報生成処理102で生成されたスパン情報に対してタイル順の変換がされたが、第2実施形態では、色塗り処理後のランレングス情報に対してタイル順への変換が行われる。

【0117】

ページ記述言語から生成されたディスプレイリスト形式のベクタデータ生成処理101が行われる。次に、ディスプレイリストデータからスキャンラインごとのスパン情報に変換されるスパン情報生成処理102が行われる。生成されたスキャンライン毎のスパン情報は、色塗り処理103によってスパン単位の色が加えられる。単色のスパンでは色情報と繰り返し情報が生成され、イメージ等の画素毎に色の異なるオブジェクトのスパンでは複数の画素のそれぞれの色情報の連続情報からなるスキャンライン毎のランレングス情報が生成される。第2実施形態では、かかるスキャンライン毎のランレングス情報がランレングススタイル変換処理1201への入力情報となる。

【0118】

本第2実施形態では、スキャンライン毎のランレングス情報は、ランレングススタイル順変換処理1201により、一度中間バッファメモリ1202に格納される。そして、格納されたスキャンライン毎のランレングス情報をタイル順に読み出し、タイル幅に分割されたランレングス情報としてピクセル生成処理104に対して出力される。第2実施形態においては、タイル幅に分割されたランレングス情報ランレングススタイル変換処理1201からの出力情報となる。

【0119】

タイルライン毎のランレングス情報は、ピクセル生成処理104によって画素情報に変換され、タイル順の画素情報として出力される。

【0120】

ここで、上記のように、中間バッファメモリ202はメインメモリであるRAM2002内の一部領域として確保される。レンダリング部2060から、システムバスブリッジ2007、RAMコントローラ2124経由にてRAM2002内の中間メモリバッファ202の領域がアクセスされる。ランレングススタイル順変換処理1201を含むスパン情報生成処理102からピクセル生成104までの処理は、レンダリング部2060に実装される。

【0121】

その後は、従来例と同様に、圧縮処理107を実施し、圧縮されたタイル順のラスタ画像(圧縮データとも言う)のページ分が図16Aの外部記憶装置2004にスプール処理108される。図16Aの外部記憶装置2004にスプール処理108されたページ分の画像は、図16Bのタイル伸張部2103にて伸張処理109され、タイルバス2107を経由して画像回転部2030等で回転処理110などが行われる。この伸張され回転処理などをしたタイル形式のピクセルデータは、画像出力インターフェース2113、2151、2152、2153にてタイルラスタ変換が行われる。そして、プリンタ画像処理部2115、2154、2155、2156にて色変換処理113やハーフトーン処理114が実施され、プリンタ2095にて印刷処理115がなされる。

【 0 1 2 2 】

ここで、タイルスタ変換処理 1 1 1 が行われる際にタイル高さ分の中間メモリ 1 1 2 が必要になるが、画像出力インターフェース 2 1 1 3、2 1 5 1、2 1 5 2、2 1 5 3 がメモリバス 2 1 0 8 を経由して画像メモリ 2 1 2 3 内の一部領域を使用する。

【 0 1 2 3 】

(第 2 実施形態におけるタイル順への変換の具体例)

図 1 5 は、図 1 4 にて説明した第 1 実施形態の処理フローにおいてベクタデータ生成処理 1 0 1 からピクセル生成処理 1 0 4 までの処理データ例を示した模式図である。従来例における、図 1 8 と対比すると本願発明の作用効果が明瞭となる。なお、従来との対比を明瞭にするため、背景 6 0 1 と赤い矩形オブジェクト 6 0 2 とイメージ 6 0 3 とは、図 1 8 と同様である。

10

【 0 1 2 4 】

ベクタデータ生成処理 1 0 1 により、図 1 5 の最上段に示すベクタデータが生成される。

【 0 1 2 5 】

生成されたベクタデータはスパン情報生成処理 1 0 2 により、図 1 5 の 2 段目にしめすスパン情報に変換される。スパン A は背景しかないためページの左端から右端までのスパンとなる。スキャンライン B C D は、赤い矩形オブジェクト 6 0 2 が存在するスキャンラインである。そのため、スパン B は背景のスパン、赤い矩形オブジェクトのスパンであるスパン C、さらに背景のスパン D が生成される。スキャンライン B E F は、赤い矩形オブジェクト 6 0 2 とイメージ 6 0 3 が存在するスキャンラインである。そのため、スパン B は背景のスパン、赤い矩形オブジェクト 6 0 2 のスパンであるスパン E、さらにイメージ 6 0 3 のスパン F が生成される。

20

【 0 1 2 6 】

続いて、図 1 5 の 3 段目に示すように、スキャンラインのスパン情報に対して色塗り処理 1 0 3 が実施されて、ランレングス情報が生成される。

【 0 1 2 7 】

続いて、図 1 5 の 4 段目に示すように、本実施形態のランレングススタイル順変換処理 1 2 0 1 によって、スキャンライン単位のランレングス情報からタイル内のスキャンラインのランレングス情報に変換される。

30

【 0 1 2 8 】

スキャンライン A は、4 つのタイル T1, T2, T3, T4 に分割される。背景であるためページの左端から右端までのスパンであったスパン A のランレングス情報は、4 つのタイル幅のランレングス情報に分割される。

【 0 1 2 9 】

スキャンライン B C D のランレングス情報も、4 つのタイル T1, T2, T3, T4 に分割される。タイル形式への変換前のスキャンライン B C D のランレングス情報は、背景と赤い矩形オブジェクトによって、スパン B、スパン C、スパン D の 3 つのランレングス情報であった。これが、タイル T1 はスパン B のランレングス情報、タイル T2 はスパン C が分割された前方のランレングス情報、タイル T3 もスパン C が分割された後方のランレングス情報、タイル T4 はスパン D のランレングス情報に分割される。

40

【 0 1 3 0 】

スキャンライン B E F のランレングス情報も、4 つのタイル T1, T2, T3, T4 に分割される。タイル形式への変換前のスキャンライン B E F のランレングス情報は、背景と赤い矩形オブジェクトとイメージオブジェクトによって、スパン B、スパン E、スパン F の 3 つのランレングス情報であった。タイル T1 はスパン B のランレングス情報である。しかし、タイル T2 はスパン E のランレングス情報と分割されたスパン F の前方のランレングス情報、タイル T3 は分割されたスパン F の中間のランレングス情報、タイル T4 もスパン F の後方のランレングス情報に分割される。

【 0 1 3 1 】

50

次に、図 15 の 5 段目に示すように、ランレングス情報からピクセル生成処理 104 により画素情報が生成される。

【0132】

本実施形態では、このピクセル生成処理 104 が終了した時点で、図 15 の最下段に示したように、タイル順の画像情報が完成していることになる。

【0133】

なお、第 2 実施形態におけるランレングスタイル順変換処理 1201 を実現する回路構成は、第 1 実施形態の図 9 乃至図 13 に示した回路例が開示されれば、当業者により容易に構成できるものである。

【0134】

<他の実施形態>

なお、本実施形態では、スパンタイル順変換処理 201 を実現するステートマシンによる回路例を詳細に示したが、本発明のスパンタイル順変換処理 201 は図 5 に示したフローチャートに従う処理が実現できれば、どのような回路構成でも可能である。

【0135】

又、本実施形態では、スパンタイル順変換処理 201 やランレングスタイル順変換処理 1201 が、図 16 A のレンダリング部 2060 に含まれる構成を説明したが、これらの処理が独立の構成要素により処理されてもよい。あるいは、他の構成要素に含まれたり、更に大きな構成要素の一部に組み込まれてもよい。

【0136】

更に、本実施形態では、処理結果のタイル形式の画素情報は印刷処理されるものとして説明したが、画素情報による処理、例えば表示処理などに使用されてもよい。本発明は、多量のデータからタイル形式の画素情報を資源を節約しながら高速に実現する構成を提案するものであり、かかる処理を必要とする技術に適用可能である。

【0137】

又、本発明は、複数の機器（例えばホストコンピュータ、インタフェース機器、プリンタなど）から構成されるシステムあるいは統合装置に適用しても、ひとつの機器からなる装置に適用してもよい。

【0138】

又、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体（または記録媒体）を、システムあるいは装置に供給する。そして、そのシステムあるいは装置のコンピュータ（または CPU や MPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。又、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけではない。そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム（OS）などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0139】

さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれる。その後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わる CPU などが実際の処理の一部または全部を行なう。このような処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0140】

本発明を上記記憶媒体に適用する場合、その記憶媒体には、先に説明したフローチャートに対応するプログラムコードが格納されることになる。

【図面の簡単な説明】

10

20

30

40

50

【 0 1 4 1 】

【図 1】第 1 実施形態の処理フローの例を示す図である。

【図 2】第 1 実施形態のデータ処理の具体例を示す図である。

【図 3】本実施形態で使用されるディスプレイリストのデータ形式の例を示す図である。

【図 4】本実施形態で作成されるタイル画像の構成を示した模式図である。

【図 5】第 1 実施形態のスパンタイル順変換処理の手順例を示したフローチャートである。

【図 6 A】本実施形態におけるスパン情報のフォーマット例を示す図である。

【図 6 B】第 1 実施形態の図 2 の具体例におけるスパン情報の例を示す図である。

【図 7】第 1 実施形態におけるスパンタイル順変換処理を示す模式図である。

10

【図 8】第 1 実施形態における図 6 B のスパン情報のスパンタイル順変換処理後のタイル順のスパンデータの例を示す図である。

【図 9】第 1 実施形態のスパンタイル順変換処理を実現する回路構成例を示したブロック図である。

【図 10 A】図 9 の回路を構成するストアFSM 1 3 0 2 の状態遷移を示した状態遷移図である。

【図 10 B】図 10 A のストアFSM 1 3 0 2 の各状態の出力信号と内部レジスタの状態を示した図である。

【図 11 A】図 9 の回路を構成するタイルリードFSM 1 3 0 4 の状態遷移を示した状態遷移図である。

20

【図 11 B】図 11 A のタイルリードFSM 1 3 0 4 の各状態の出力信号と内部レジスタの状態を示した図である。

【図 12】図 9 の回路構成におけるスパンタイル順変換処理の動作例を示した信号波形図である。

【図 13】図 9 の回路構成におけるスパンタイル順変換処理の動作例を示した信号波形図である。

【図 14】第 2 実施形態の処理フローの例を示す図である。

【図 15】第 2 実施形態のデータ処理の具体例を示す図である。

【図 16 A】画像処理装置のコントローラ部の構成例を示すブロック図である。

【図 16 B】画像処理装置のコントローラ部の構成例を示すブロック図である。

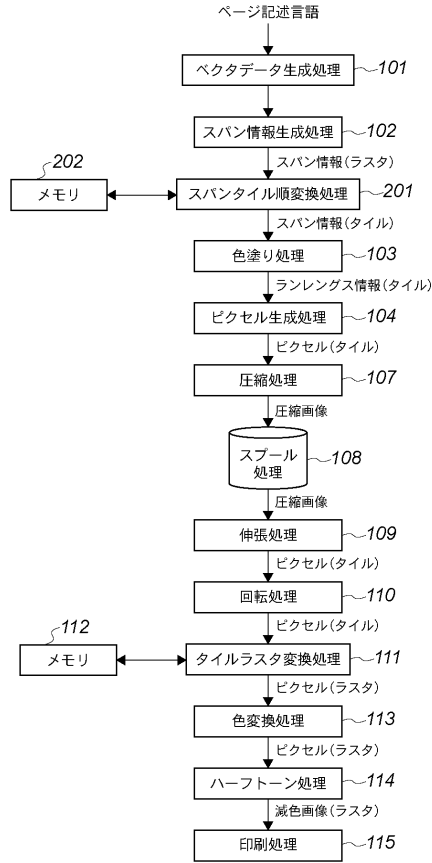
30

【図 17】従来技術におけるレンダリング部の構成例を示す図である。

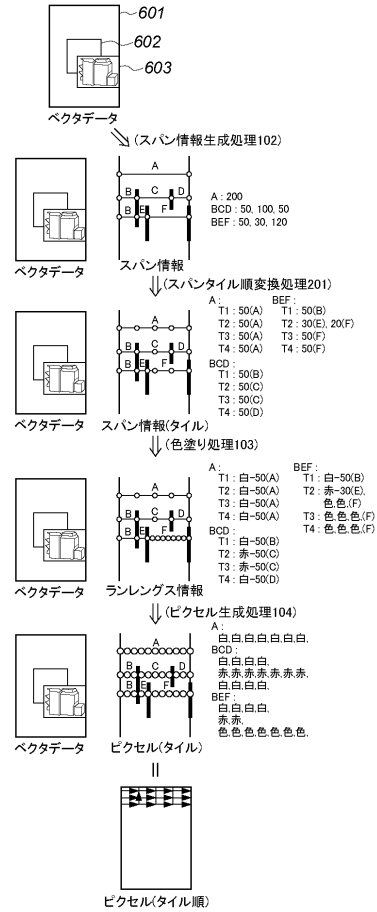
【図 18】従来技術におけるタイル順の画素情報作成の処理フローの例を示す図である。

【図 19】従来技術におけるデータ処理の具体例を示す図である。

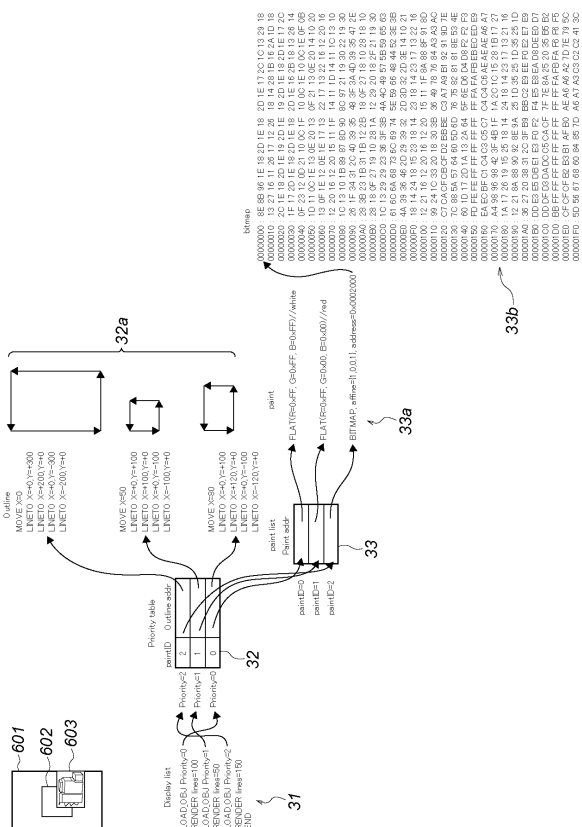
【図 1】



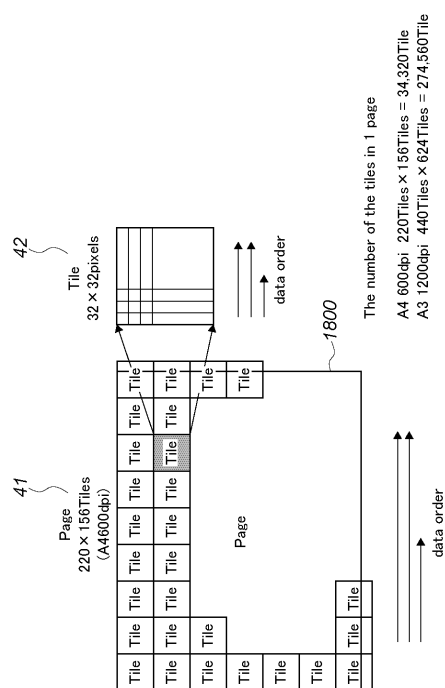
【図 2】



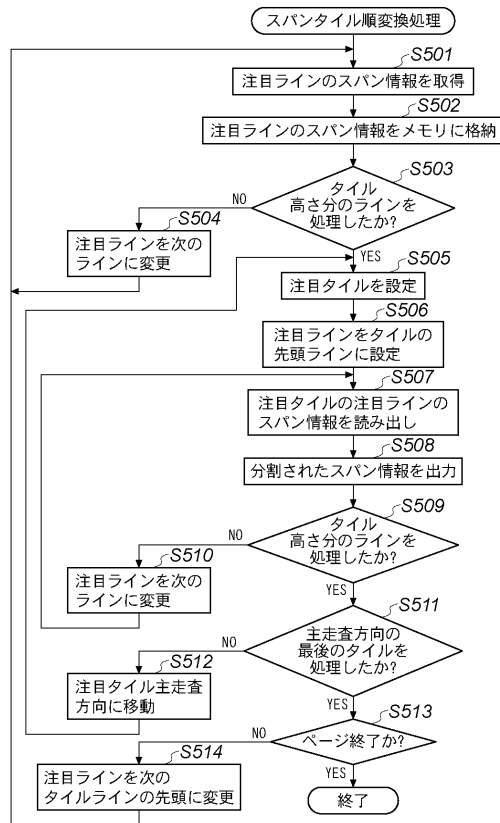
【図 3】



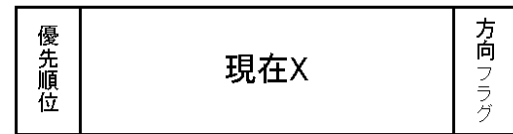
【図 4】



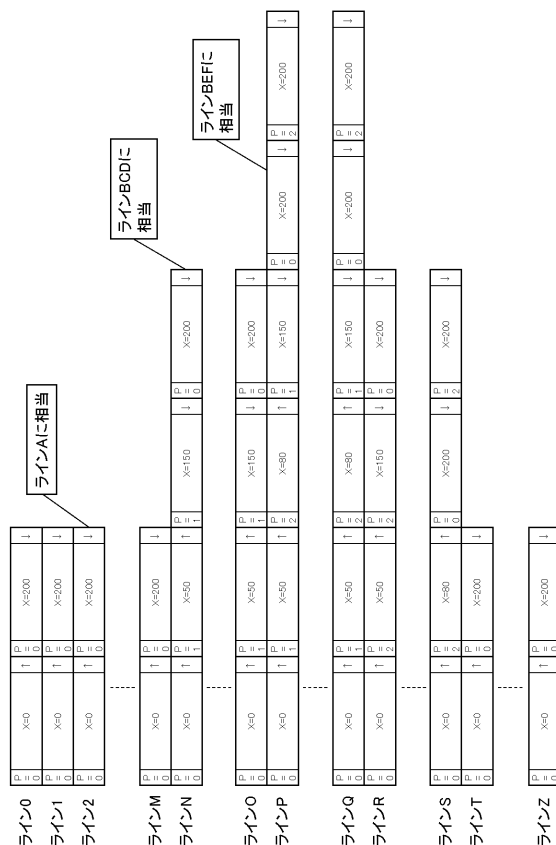
【図 5】



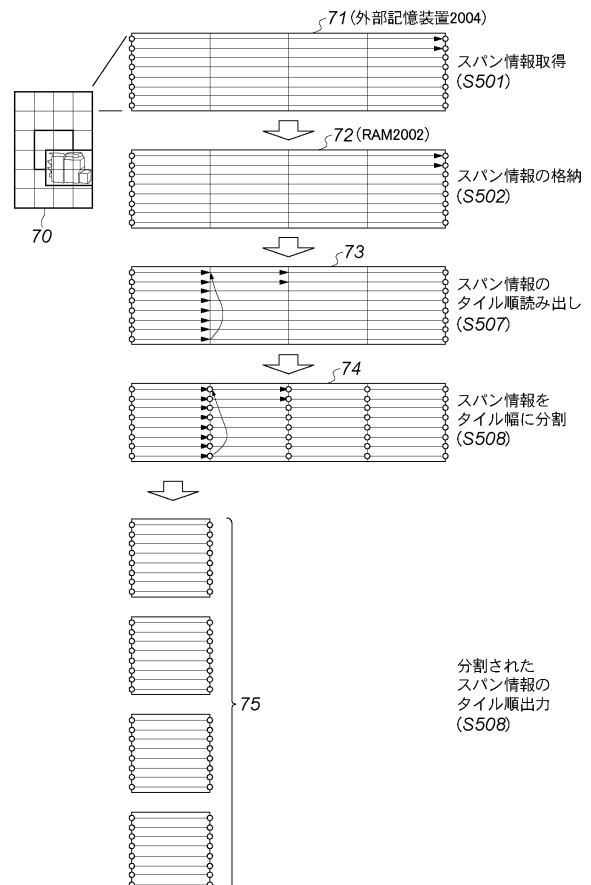
【図 6 A】



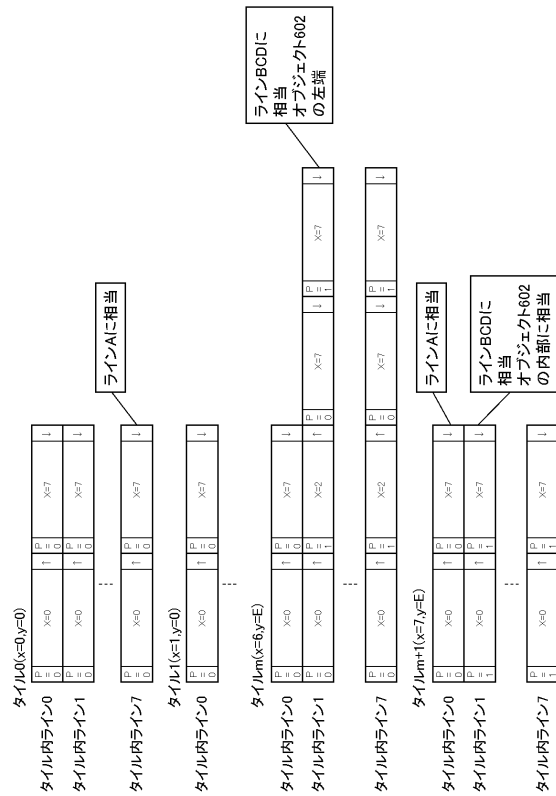
【図 6 B】



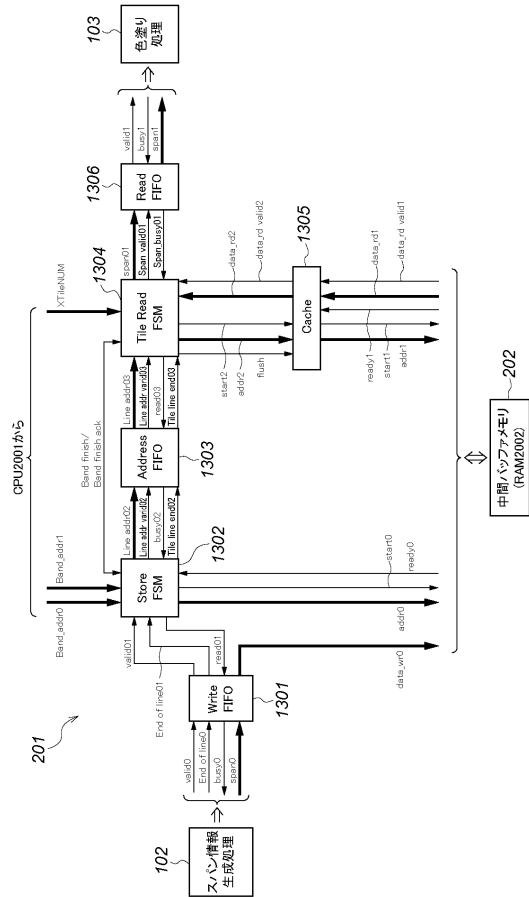
【図 7】



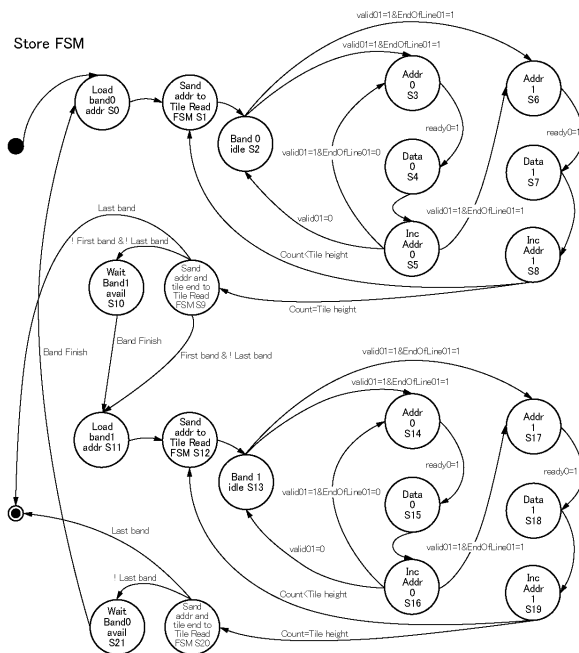
【図 8】



【図 9】



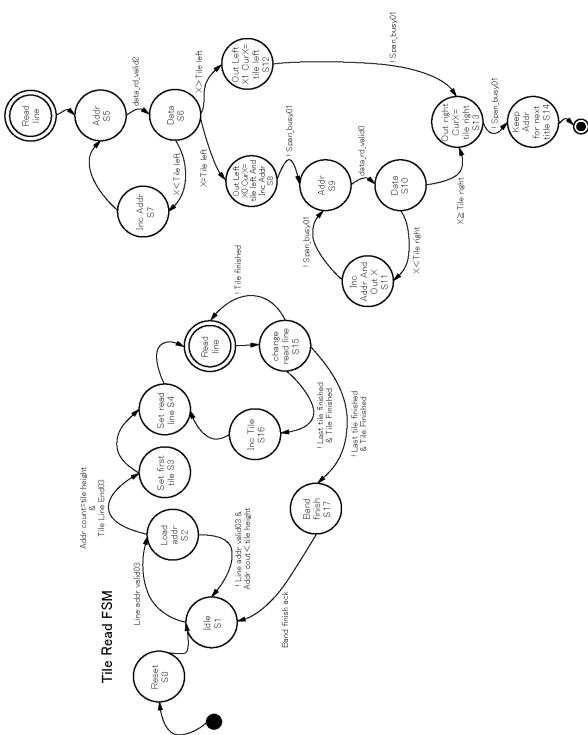
【図 10 A】



【図 10 B】

State	FSM外部信号				FSM内部レジスタ			
	start0	addr0	LineAddrValid02	LineAddr02	TileLineEnd02	read01	BandFinish	I addr
S0	0	i addr	0	1	0	0	0	Band addr0
S1	0	i addr	0	1	0	0	0	i addr
S2	0	i addr	0	1	0	0	0	i addr
S3	0	i addr	0	1	0	0	0	i addr
S4	0	i addr	0	1	0	0	0	i addr
S5	0	i addr	0	1	0	0	0	i addr
S6	0	i addr	0	1	0	0	0	i addr
S7	0	i addr	0	1	0	0	0	i addr
S8	0	i addr	0	1	0	0	0	i addr
S9	0	i addr	0	1	0	0	0	i addr
S10	0	i addr	0	1	0	0	0	i addr
S11	0	i addr	0	1	0	0	0	i addr
S12	0	i addr	0	1	0	0	0	i addr
S13	0	i addr	0	1	0	0	0	i addr
S14	0	i addr	0	1	0	0	0	i addr
S15	0	i addr	0	1	0	0	0	i addr
S16	0	i addr	0	1	0	0	0	i addr
S17	0	i addr	0	1	0	0	0	i addr
S18	0	i addr	0	1	0	0	0	i addr
S19	0	i addr	0	1	0	0	0	i addr
S20	0	i addr	0	1	0	0	0	i addr
S21	0	i addr	0	1	0	0	0	i addr

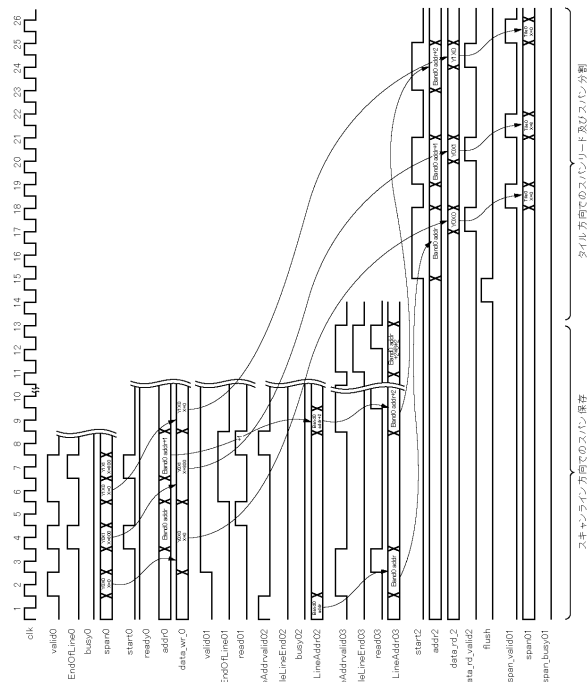
【 図 1 1 A 】



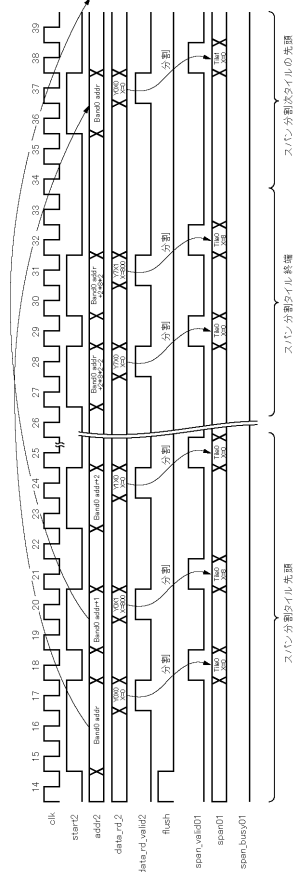
【 図 1 1 B 】

[illegible]

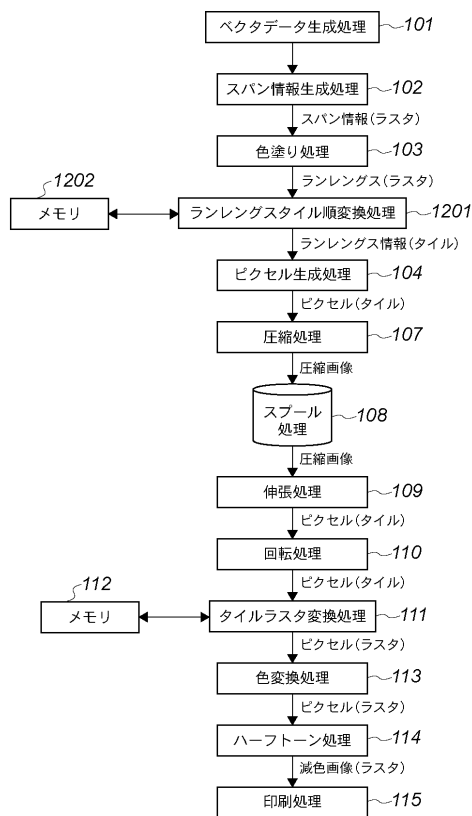
【 図 1 2 】



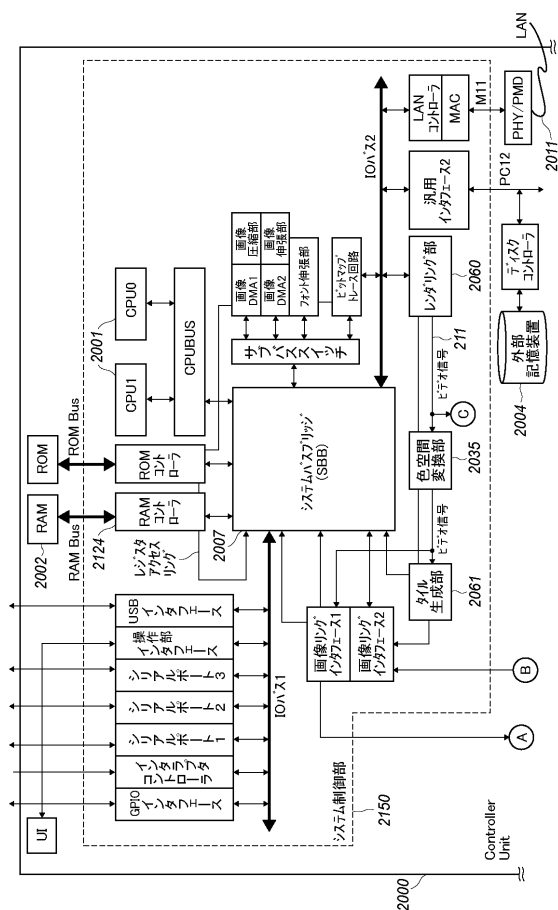
【 図 1 3 】



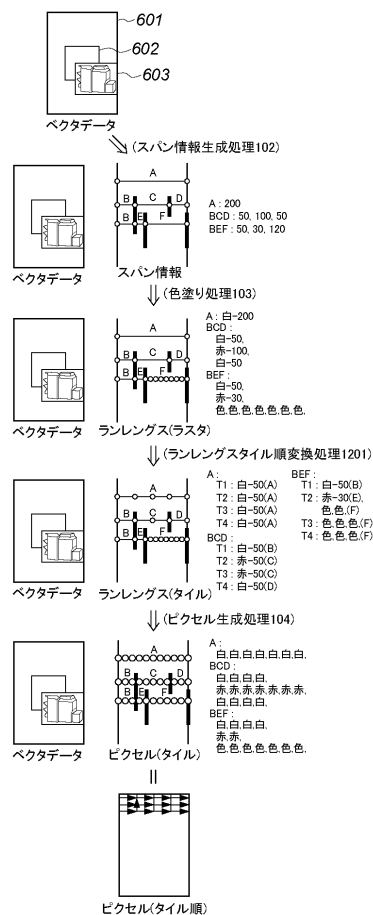
【 図 1 4 】



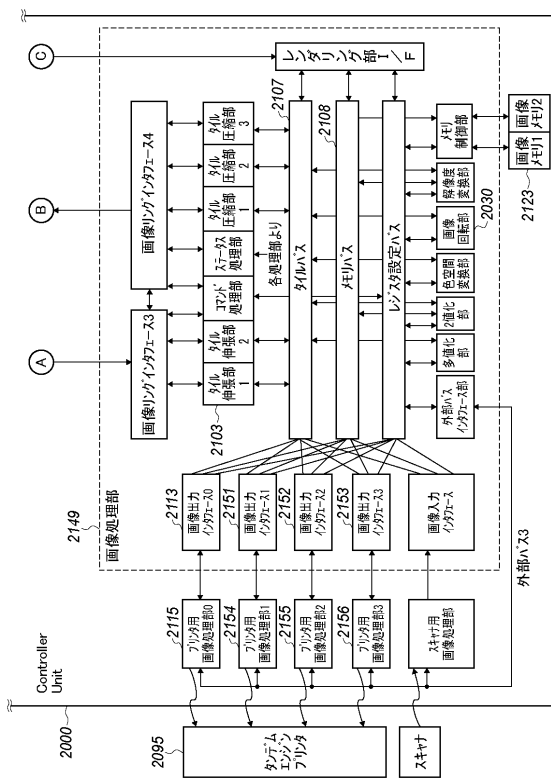
【 図 1 6 A 】



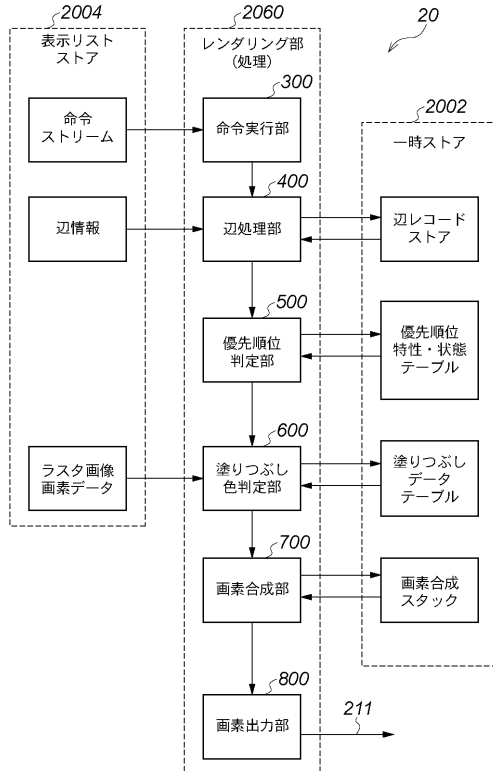
【 ㊦ 1 5 】



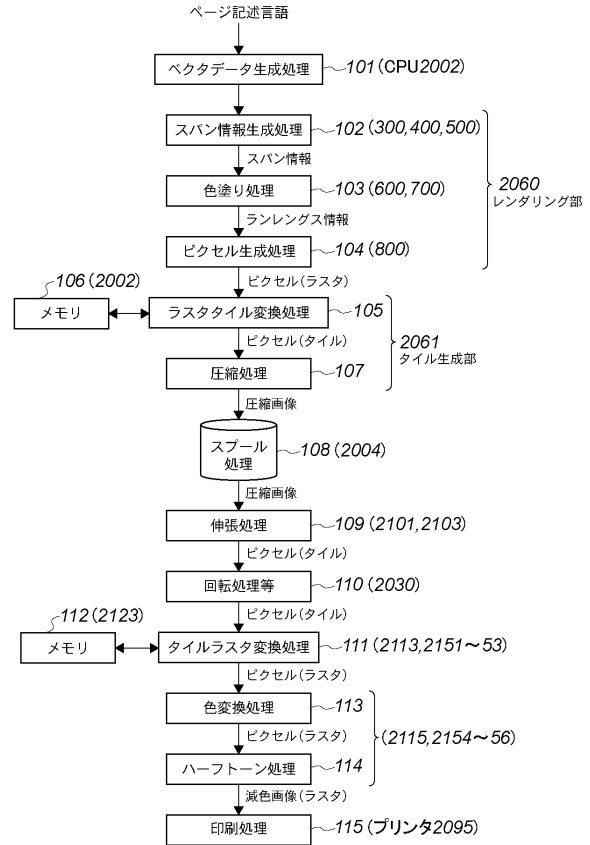
【 図 1 6 B 】



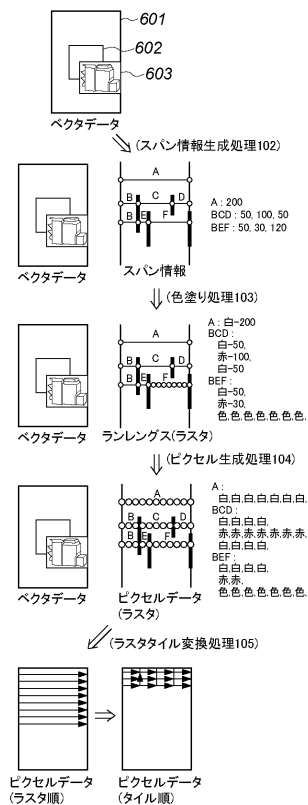
【図 17】



【図 18】



【図 19】



フロントページの続き

- (72)発明者 松井 信明
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 阿知波 健
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 立澤 正樹

- (56)参考文献 特開2006-327155(JP,A)
特開2004-122376(JP,A)
特開2008-294831(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-----------|
| B 4 1 J | 5 / 3 0 |
| B 4 1 J | 2 9 / 3 8 |
| H 0 4 N | 1 / 2 1 |