

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4929379号
(P4929379)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl. F I
G06F 12/06 (2006.01) G O 6 F 12/06 5 2 5 B
G06F 12/00 (2006.01) G O 6 F 12/00 5 9 7 U

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2010-150340 (P2010-150340)	(73) 特許権者	000003078
(22) 出願日	平成22年6月30日 (2010.6.30)		株式会社東芝
(65) 公開番号	特開2012-14433 (P2012-14433A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成24年1月19日 (2012.1.19)	(74) 代理人	100108855
審査請求日	平成23年8月25日 (2011.8.25)		弁理士 蔵田 昌俊
早期審査対象出願		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びデータ書き込み読み出し方法

(57) 【特許請求の範囲】

【請求項1】

外部から入力される、データの書き込み要求及び読み出し要求のコマンドに応じて処理し、前記処理した処理情報を出力するコマンド処理モジュールと、

複数の記憶部と、

前記複数の記憶部に一対一で接続され、前記複数の記憶部に対して前記書き込み動作及び読み出し動作を行う複数の制御モジュールと、

前記コマンド処理モジュール及び複数の制御モジュール間に接続され、前記コマンド処理モジュールの処理情報に応じて、前記複数の制御モジュールに前記書き込み動作及び読み出し動作を行うように指示する調停回路と、

前記調停回路に接続され、前記複数の記憶部が前記書き込み動作が禁止されていない第1グループ及び前記書き込み動作が禁止されている第2グループの何れであるのか、を個別に識別した識別情報が設定された設定レジスタと、を備え、

前記調停回路は、前記識別情報に応じて前記第2グループの記憶部に接続された全ての制御モジュールを前記書き込み動作の対象から外し、前記第1グループの記憶部に接続された制御モジュールの前記書き込み動作に重なった期間に前記読み出し動作を行うよう、前記第2グループの記憶部に接続された制御モジュールに指示する半導体記憶装置。

【請求項2】

前記複数の記憶部は、それぞれフラッシュメモリである請求項1に記載の半導体記憶装置。

【請求項 3】

前記設定レジスタは、前記記憶部に含まれる複数のブロック毎に、書き込みが禁止されているNullブロックであることを示すNullブロック情報を持ち、

前記調停回路は、前記Nullブロック情報に基づき、前記Nullブロックが含まれる前記記憶部への書込みが発生した場合に、前記Nullブロックが含まれる前記記憶部を前記第2のグループとして扱う請求項1又は2に記載の半導体記憶装置。

【請求項 4】

コマンド処理モジュールと、複数の記憶部と、前記複数の記憶部に一対一で接続された複数の制御モジュールと、前記コマンド処理モジュール及び複数の制御モジュール間に接続された調停回路と、前記調停回路に接続された設定レジスタと、を備えた半導体記憶装置におけるデータ書き込み読み出し方法であって、

前記コマンド処理モジュールは、外部から入力される、データの書き込み要求及び読み出し要求のコマンドに応じて処理し、前記処理した処理情報を出力し、

前記複数の制御モジュールは、前記複数の記憶部に対して前記書き込み動作及び読み出し動作を行い、

前記調停回路は、前記コマンド処理モジュール及び複数の制御モジュール間に接続され、前記コマンド処理モジュールの処理情報に応じて、前記複数の制御モジュールに前記書き込み動作及び読み出し動作を行うように指示し、

前記書き込み動作及び読み出し動作を行うように指示する際、前記調停回路は、前記設定レジスタに設定され、前記複数の記憶部が前記書き込み動作が禁止されていない第1グループ及び前記書き込み動作が禁止されている第2グループの何れであるのか、を個別に識別した識別情報に応じて前記第2グループの記憶部に接続された全ての制御モジュールを前記書き込み動作の対象から外し、前記第1グループの記憶部に接続された制御モジュールの前記書き込み動作に重なった期間に前記読み出し動作を行うよう、前記第2グループの記憶部に接続された制御モジュールに指示するデータ書き込み読み出し方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体記憶装置及びデータ書き込み読み出し方法に関する。

【背景技術】

【0002】

一般に、半導体記憶装置が種々用いられている。半導体記憶装置としてのSSD（ソリッドステートドライブ）は、複数のNANDフラッシュメモリを有している。NANDフラッシュメモリは、高密度、大容量を実現できる不揮発性メモリであり、ハードディスクの代替としての利用が期待されるメモリデバイスである。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許第3699890号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

データの読み出し動作は単一のNANDフラッシュメモリに対して行うことができるが、データの書き込み動作は全てのNANDフラッシュメモリに対して行わなくてはならないという制限がある場合がある。このため、読み出し動作の期間と、書き込み動作の期間は、綺麗に分けられている。

【0005】

しかしながら、読み出し動作の期間と、書き込み動作の期間を分ける必要があるため、データの書き込み及び読み出しにかかる時間が長くなる傾向にある。このため、データの書き込み及び読み出しを効率よく行うことのできる技術が求められている。

この発明は以上の点に鑑みなされたもので、その目的は、データの書き込み及び読み出し効率に優れた半導体記憶装置及びデータ書き込み読み出し方法を提供することにある。

【課題を解決するための手段】

【0006】

一実施形態に係る半導体記憶装置は、

外部から入力される、データの書き込み要求及び読み出し要求のコマンドに応じて処理し、前記処理した処理情報を出力するコマンド処理モジュールと、

複数の記憶部と、

前記複数の記憶部に一対一で接続され、前記複数の記憶部に対して前記書き込み動作及び読み出し動作を行う複数の制御モジュールと、

前記コマンド処理モジュール及び複数の制御モジュール間に接続され、前記コマンド処理モジュールの処理情報に応じて、前記複数の制御モジュールに前記書き込み動作及び読み出し動作を行うように指示する調停回路と、

前記調停回路に接続され、前記複数の記憶部が前記書き込み動作が禁止されていない第1グループ及び前記書き込み動作が禁止されている第2グループの何れであるのか、を個別に識別した識別情報が設定された設定レジスタと、を備え、

前記調停回路は、前記識別情報に応じて前記第2グループの記憶部に接続された全ての制御モジュールを前記書き込み動作の対象から外し、前記第1グループの記憶部に接続された制御モジュールの前記書き込み動作に重なった期間に前記読み出し動作を行うよう、前記第2グループの記憶部に接続された制御モジュールに指示する。

【0007】

また、一実施形態に係るデータ書き込み読み出し方法は、

コマンド処理モジュールと、複数の記憶部と、前記複数の記憶部に一対一で接続された複数の制御モジュールと、前記コマンド処理モジュール及び複数の制御モジュール間に接続された調停回路と、前記調停回路に接続された設定レジスタと、を備えた半導体記憶装置におけるデータ書き込み読み出し方法であって、

前記コマンド処理モジュールは、外部から入力される、データの書き込み要求及び読み出し要求のコマンドに応じて処理し、前記処理した処理情報を出力し、

前記複数の制御モジュールは、前記複数の記憶部に対して前記書き込み動作及び読み出し動作を行い、

前記調停回路は、前記コマンド処理モジュール及び複数の制御モジュール間に接続され、前記コマンド処理モジュールの処理情報に応じて、前記複数の制御モジュールに前記書き込み動作及び読み出し動作を行うように指示し、

前記書き込み動作及び読み出し動作を行うように指示する際、前記調停回路は、前記設定レジスタに設定され、前記複数の記憶部が前記書き込み動作が禁止されていない第1グループ及び前記書き込み動作が禁止されている第2グループの何れであるのか、を個別に識別した識別情報に応じて前記第2グループの記憶部に接続された全ての制御モジュールを前記書き込み動作の対象から外し、前記第1グループの記憶部に接続された制御モジュールの前記書き込み動作に重なった期間に前記読み出し動作を行うよう、前記第2グループの記憶部に接続された制御モジュールに指示する。

【図面の簡単な説明】

【0008】

【図1】一実施形態に係るSSD(ソリッドステートドライブ)を示すブロック図である。

【図2】上記SSDのチャンネルの概念を示す図である。

【図3】上記SSDの論理ブロックの概念を示す図である。

【図4】上記SSDの設定レジスタ群が有するNullブロックの概念を示す図である。

【図5】上記SSDの書き込み動作及び読み出し動作を概略的に示すタイミングチャートである。

【図6】上記SSDの比較例の書き込み動作及び読み出し動作を概略的に示すタイミング

10

20

30

40

50

チャートである。

【発明を実施するための形態】

【0009】

以下、図面を参照しながら一実施形態について説明する。この実施形態において、半導体記憶装置及びデータ書き込み読み出し方法を開示している。詳しくは、この実施形態において、半導体記憶装置は、半導体ドライブとしてのSSD（ソリッドステートドライブ）である。図1は、SSDの全体構成を示すブロック図である。

【0010】

図1に示すように、SSD10は、複数の記憶部としてのNAND型の複数のフラッシュメモリFM0乃至FMnと、SSDコントローラ11とを備えている。なお、この実施形態において、nは4以上の自然数である。フラッシュメモリFM0乃至FMnは、半導体を利用した不揮発性メモリである。フラッシュメモリFM0乃至FMnはSSDコントローラ11に接続されている。

10

【0011】

SSDコントローラ11は、外部のホストシステム18に接続されるホストインターフェース12と、コマンド処理モジュール13と、マイクロプロセッサ14と、設定レジスタとしての設定レジスタ群15と、フラッシュメモリFM0乃至FMnに接続される制御ユニット16とを備えている。

【0012】

制御ユニット16は、制御モジュールCM0乃至CMnと、調停回路16fとを備えている。制御モジュールCM0乃至CMnは、フラッシュメモリFM0乃至FMnに一对一で接続されている。制御モジュールCM0乃至CMnは、読み出し、書き込み、消去等の動作に関するプログラムを有し、上記プログラムを利用してフラッシュメモリFM0乃至FMnを個別に制御するものである。このため、制御モジュールCM0乃至CMnは、フラッシュメモリFM0乃至FMnに対して書き込み動作及び読み出し動作を行うことができる。

20

【0013】

コマンド処理モジュール13は、ホストインターフェース12を介してホストシステム18（外部）から入力される、データの書き込み要求及び読み出し要求のコマンドに応じて処理し、処理した処理情報を出力するものである。

30

【0014】

調停回路16fは、コマンド処理モジュール13及び複数の制御モジュールCM0乃至CMn間に接続されている。調停回路16fは、制御モジュールCM0乃至CMnがいつ上記プログラムを利用してフラッシュメモリFM0乃至FMnを制御するのか調整する。このため、調停回路16fは、コマンド処理モジュール13の処理情報に応じて、制御モジュールCM0乃至CMnに書き込み動作及び読み出し動作を行うように指示することができる。

【0015】

図示しないが、ホストインターフェース12、コマンド処理モジュール13、設定レジスタ群15及び制御ユニット16は、マイクロプロセッサ104のシステムバスに接続される。

40

【0016】

設定レジスタ群15は、調停回路16fに接続されている。設定レジスタ群15へはマイクロプロセッサ14から値が設定される。設定レジスタ群15には、フラッシュメモリFM0乃至FMnが書き込み動作が禁止されていない第1グループ及び書き込み動作が禁止されている第2グループの何れであるのか、を個別に識別した識別情報が設定されている。

【0017】

このため、設定レジスタ群15は、例えばNullブロック19を備えていてもよい。Nullブロック19は、どの制御モジュールCM0乃至CMnがNullブロック

50

19の存在するフラッシュメモリに接続されているかを調停回路16fに通知することができる。調停回路16fは、Nullブロック19の情報を用い、Nullブロックが存在するフラッシュメモリに接続された制御モジュールを書き込み動作の対象外とし、読み出し動作のみを行うように指示を出すことができる。

【0018】

ここで、上記調停回路16fは、設定レジスタ群15の情報（Nullブロック19の情報）に応じて第2グループのフラッシュメモリに接続された全ての制御モジュールを書き込み動作の対象から外すことができる。調停回路16fは、第1グループのフラッシュメモリに接続された制御モジュールの書き込み動作に重なった期間に、読み出し動作を行うよう、第2グループのフラッシュメモリに接続された制御モジュールに指示することができる。

10

【0019】

図2は、チャンネルの概念を示す図である。図1及び図2に示すように、制御モジュールと、フラッシュメモリとの組み合わせをチャンネルと称する。例えば、チャンネル0は、制御モジュールCM0とフラッシュメモリFM0との組み合わせである。チャンネル1は、制御モジュールCM1とフラッシュメモリFM1との組み合わせである。チャンネル2は、制御モジュールCM2とフラッシュメモリFM2との組み合わせである。チャンネル3は、制御モジュールCM3とフラッシュメモリFM3との組み合わせである。チャンネルnは、制御モジュールCMnとフラッシュメモリFMnとの組み合わせである。

【0020】

20

チャンネル0乃至nのフラッシュメモリFM0乃至FMnのブロック構成BF0乃至BFnの例は、図2に示されている。ブロック構成BF0乃至BFnのブロック（Block）は、1回の消去動作で消去される単位で区切られている。

【0021】

図3は、論理ブロックの概念を示す図である。図1乃至図3に示すように、論理ブロックLB0乃至LBmは、チャンネル0乃至nのブロック構成から1ブロックずつ選択し、選択したブロックを一纏めにして扱うようにしたものである。なお、この実施形態において、mは4以上の自然数である。

【0022】

例えば、論理ブロック0 LB0は、チャンネル0のブロック0、チャンネル1のブロック3、チャンネル2のブロック7、チャンネル3のブロック1、チャンネルnのブロック3等を一纏めにしたものである。論理ブロック1 LB1は、チャンネル0のブロック2、チャンネル1のブロック1、チャンネル2のブロック4、チャンネル3のブロック4、チャンネルnのブロック7等を一纏めにしたものである。

30

【0023】

論理ブロック2 LB2は、チャンネル0のブロック6、チャンネル1のブロック0、チャンネル2のブロック1、チャンネル3のブロック0、チャンネルnのブロック1等を一纏めにしたものである。

【0024】

論理ブロックm LBmは、チャンネル0のブロック7、チャンネル1のブロック4、チャンネル2のブロック0、チャンネル3のブロック6、チャンネルnのブロック5等を一纏めにしたものである。

40

【0025】

図4は、設定レジスタ群15が有するNullブロック19の概念を示す図である。設定レジスタ群15は、上記識別情報が設定された論理ブロックを有するものである。Nullブロック19は、論理ブロックLB0乃至LBmを構成するブロック群の中で疲弊等により書き込み（書き込みアクセス）を禁止しているブロックを示すためのフラグである。論理ブロック0乃至m LB0乃至LBmは各チャンネル0乃至nから1ブロックずつ選択して構成されている。論理ブロック0乃至m LB0乃至LBmは、どのチャンネルにNullブロックが存在するのかの情報があればよい。

50

【 0 0 2 6 】

このため、論理ブロック 0 乃至 m 、 $L B 0$ 乃至 $L B m$ は、論理ブロック毎にチャンネル数分のフラグがあれば良い。フラグでは、「0」が $N u l l$ ブロックでないことを示し、「1」が $N u l l$ ブロックであることを示すとする。すると、論理ブロック 0、論理ブロック 2 及び論理ブロック m の $N u l l$ ブロック情報 $B I 0$ 、 $B I 2$ 及び $B I m$ は、論理ブロックを構成する全てのブロックが有効であることを表し、言い換えると、全てのチャンネル 0 乃至 n の制御モジュール $C M 0$ 乃至 $C M n$ を書き込み動作の対象から外さないことを表すことになる。

【 0 0 2 7 】

一方、論理ブロック 1 の $N u l l$ ブロック情報 $B I 1$ は、チャンネル 1 及び 3 が無効であることを表し、言い換えると、チャンネル 1 及び 3 の制御モジュール $C M 1$ 及び $C M 3$ を書き込み動作の対象から外すことを表すことになる。また、論理ブロック 3 の $N u l l$ ブロック情報 $B I 3$ は、チャンネル n が無効であることを表し、言い換えると、チャンネル n の制御モジュール $C M n$ を書き込み動作の対象から外すことを表すことになる。

$S S D 1 0$ は、上記のように構成されている。

【 0 0 2 8 】

次に、 $S S D 1 0$ によるデータ書き込み読み出し方法について説明する。ここでは、調停回路 16 f は、論理ブロック 1 の $N u l l$ ブロック情報 $B I 1$ に応じて上記第 2 グループのフラッシュメモリ $F M 1$ 、 $F M 3$ に接続された制御モジュール $C M 1$ 、 $C M 3$ を書き込み動作の対象から外している。また、コマンド処理モジュール 13 は、次に示す順番に沿ったデータの書き込み要求及び読み出し要求のコマンドに応じて処理するものである。

【 0 0 2 9 】

- (1) 書き込み要求
- (2) チャンネル 1 への読み出し要求
- (3) 書き込み要求
- (4) チャンネル 3 への読み出し要求
- (5) 書き込み要求
- (6) チャンネル 0 への読み出し要求
- (7) チャンネル 0 への読み出し要求
- (8) チャンネル 1 への読み出し要求
- (9) チャンネル 3 への読み出し要求
- (10) チャンネル 1 への読み出し要求

ここで、上記 (4) の要求は、上記 (3) の要求に応答して書き込み動作が開始してから受けたものである。また、上記 (6) の要求は、上記 (5) の要求に応答して書き込み動作が開始してから受けたものである。

【 0 0 3 0 】

図 5 は、 $S S D 1 0$ の書き込み動作及び読み出し動作を概略的に示すタイミングチャートであり、書き込み動作及び読み出し動作の時間軸上の割り当てを示す図である。図 5 に示す $W r i t e A B$ において、 A は書き込み対象のチャンネルの番号を表し、 B はそのチャンネルでの書き込み回数をカウントした値に相当する。図 5 に示す $R e a d C D$ において、 C は読み出し対象のチャンネルの番号を表し、 D はそのチャンネルでの読み出し回数をカウントした値に相当する。

【 0 0 3 1 】

図 1 及び図 5 に示すように、まず、(1) の書き込み要求により、 $W r i t e 0 0$ 、 $W r i t e 2 0$ 、及び $W r i t e n 0$ が実行される。この時、調停回路 16 f では $N u l l$ ブロック 19 の情報 ($N u l l$ ブロック情報 $B I 1$) よりチャンネル 1 及び 3 が無効になっていることを検知し、チャンネル 1 及び 3 を読み出し動作に割り当てても良いと判断する。

【 0 0 3 2 】

調停回路 16 f はチャンネル 1 及び 3 を書き込み対象から除外し、制御モジュール $C M 1$

10

20

30

40

50

、CM3に対して読み出し動作を行っても良いという指示を出す。これにより、(1)の書き込み要求実施中もチャンネル1及び3では読み出し動作が可能となる。つまり、(2)のチャンネル1への読み出し要求に対する応答は、(1)の書き込み要求に対する応答と並列に実行される。すなわち、Read 1 0はWrite 0 0、Write 2 0、及びWrite n 0を実行中に完了することができる。(3)の書き込み動作は(1)の書き込み動作と同じく3つのチャンネルで行われる(Write 0 1、Write 2 1、Write n 1)。

【0033】

(3)の書き込み動作が開始されてから要求された(4)の読み出し要求の処理であるRead 3 0は、書き込み動作の対象から除外されているチャンネル3での処理であるので、書き込み動作により待たされること無く実行される。このため、Read 3 0は、Write 0 1、Write 2 1、及びWrite n 1を実行中に完了することができる。

10

【0034】

次に(5)で要求された書き込みであるWrite 0 2、Write 2 2、及びWrite n 2が行われるが、ここでも、この際、(8)のチャンネル1への読み出し要求であるRead 1 1と、(9)のチャンネル3への読み出し要求であるRead 3 1と、が書き込み動作と並列で実行可能となる。残りの(6)の読み出し要求、(7)の読み出し要求、及び(10)の読み出し要求については、読み出しを行うチャンネルが空いた時に実行される。

20

【0035】

次に、SSD10の比較例によるデータ書き込み読み出し方法について説明する。ここでは、調停回路16fは、論理ブロック1のNullブロック情報BI1に応じて上記第2グループのフラッシュメモリFM1、FM3に接続された制御モジュールCM1、CM3を書き込み動作の対象から外している。但し、調停回路16fは、制御モジュールCM0、CM2、CMnの書き込み動作に重なった期間に読み出し動作を行うよう、制御モジュールCM1、CM3に指示していない。

【0036】

図6は、SSD10の変形例の書き込み動作及び読み出し動作を概略的に示すタイミングチャートであり、書き込み動作及び読み出し動作の時間軸上の割り当てを示す図である。図6から分かるように、読み出し動作の期間と、書き込み動作の期間は、綺麗に分けられることになる。このため、比較例のSSDでは、本実施の形態のSSD10のように、データの書き込み及び読み出しを効率よく行うことができないものである。

30

【0037】

以上のように構成されたSSD10及びデータ書き込み読み出し方法によれば、SSD10は、コマンド処理モジュール13と、フラッシュメモリFM0乃至FMnと、制御モジュールCM0乃至CMnと、調停回路16fと、設定レジスタ群15とを備えている。調停回路16fは、設定レジスタ群15の識別情報に応じて上記第2グループのフラッシュメモリに接続された全ての制御モジュールを書き込み動作の対象から外している。調停回路16fは、上記第1グループのフラッシュメモリに接続された制御モジュールの書き込み動作に重なった期間に読み出し動作を行うよう、第2グループのフラッシュメモリに接続された制御モジュールに指示することができる。

40

【0038】

書き込みを行う期間に重ねて、読み出しを行うことができるため、データの書き込み及び読み出しの効率を向上することができる。そして、SSD10の全体的なパフォーマンスの向上を図ることができる。

上記のことから、データの書き込み及び読み出し効率に優れたSSD10及びデータ書き込み読み出し方法を得ることができる。

【0039】

なお、この発明は上記実施の形態そのままに限定されるものではなく、実施段階ではそ

50

の要旨を逸脱しない範囲で構成要素を変形して具体化可能である。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。

【 0 0 4 0 】

例えば、SSD10は、ホストインターフェース12及びマイクロプロセッサ14を備えていなくともよい。この場合、ホストインターフェース12及びマイクロプロセッサ14は、SSD10に外付けすることができる。

【 0 0 4 1 】

フラッシュメモリFM0乃至FMnは、一体に形成されていてもよく、互いに独立して形成されていてもよい。また、制御モジュールCM0乃至CMnも、一体に形成されてい

10

【 0 0 4 2 】

書き込み期間に重ねて、読み出しを行う際、読み出し期間は、書き込み期間に少しでも重なってればよい。

設定レジスタ群15には、上記識別情報以外の情報が設定されていてもよい。このため、設定レジスタ群15は、Nullブロック19以外の各種ブロック（各種情報）を備えていていてもよい。

この発明の半導体記憶装置は、上記SSD10に限定されるものではなく、種々変形可能であり、各種の半導体記憶装置に適用することが可能である。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

20

[1] 外部から入力される、データの書き込み要求及び読み出し要求のコマンドに応じて処理し、前記処理した処理情報を出力するコマンド処理モジュールと、

複数の記憶部と、

前記複数の記憶部に一対一で接続され、前記複数の記憶部に対して前記書き込み動作及び読み出し動作を行う複数の制御モジュールと、

前記コマンド処理モジュール及び複数の制御モジュール間に接続され、前記コマンド処理モジュールの処理情報に応じて、前記複数の制御モジュールに前記書き込み動作及び読み出し動作を行うように指示する調停回路と、

前記調停回路に接続され、前記複数の記憶部が前記書き込み動作が禁止されていない第1グループ及び前記書き込み動作が禁止されている第2グループの何れであるのか、を個別に識別した識別情報が設定された設定レジスタと、を備え、

30

前記調停回路は、前記識別情報に応じて前記第2グループの記憶部に接続された全ての制御モジュールを前記書き込み動作の対象から外し、前記第1グループの記憶部に接続された制御モジュールの前記書き込み動作に重なった期間に前記読み出し動作を行うよう、前記第2グループの記憶部に接続された制御モジュールに指示する半導体記憶装置。

[2] 前記複数の記憶部は、それぞれフラッシュメモリである [1] に記載の半導体記憶装置。

[3] 前記設定レジスタは、前記識別情報が設定された論理ブロックを有している [1] に記載の半導体記憶装置。

[4] データの書き込み要求及び読み出し要求のコマンドに応じて処理し、前記処理した処理情報を出力し、前記処理情報に応じて、複数の記憶部に対して書き込み及び読み出しを行うデータ書き込み読み出し方法において、

40

複数の記憶部が前記書き込み動作が禁止されていない第1グループ及び前記書き込みが禁止されている第2グループの何れであるのか、を個別に識別し、

前記識別した識別情報に応じて前記第2グループの記憶部を前記書き込みの対象から外し、

前記第1グループの記憶部に対して前記書き込みを行う期間に重ねて、前記第2グループの記憶部に対して前記読み出しを行うデータ書き込み読み出し方法。

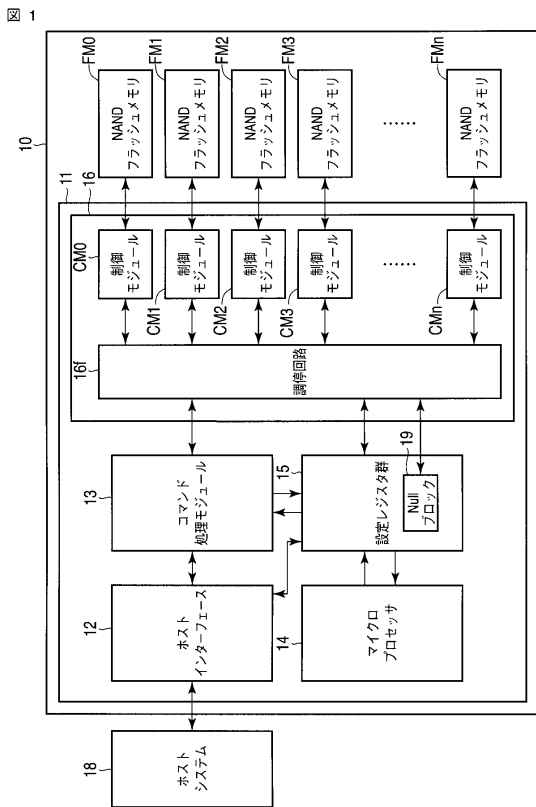
【 符号の説明 】

【 0 0 4 3 】

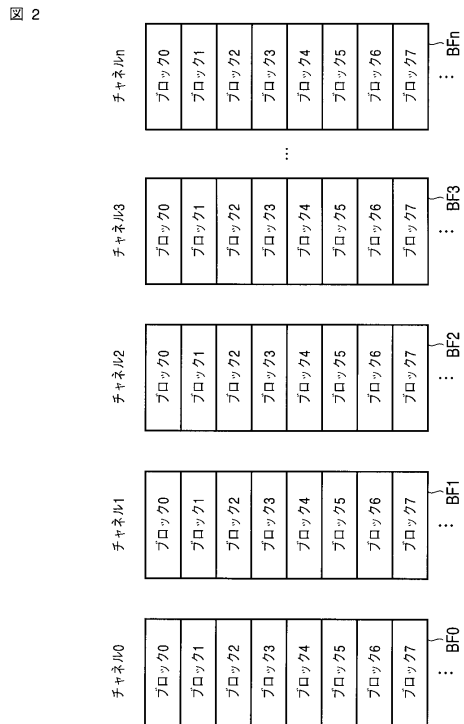
50

10...SSD、13...コマンド処理モジュール、15...設定レジスタ群、CM0乃至CMn...制御モジュール、16f...調停回路、FM0乃至FMn...フラッシュメモリ、19...Nullブロック。

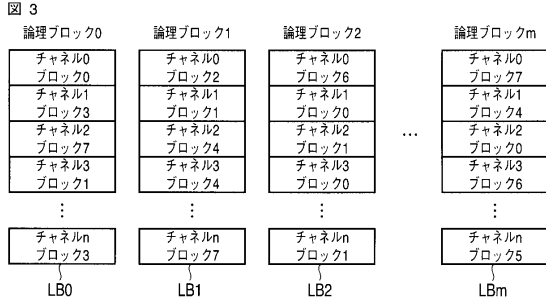
【図1】



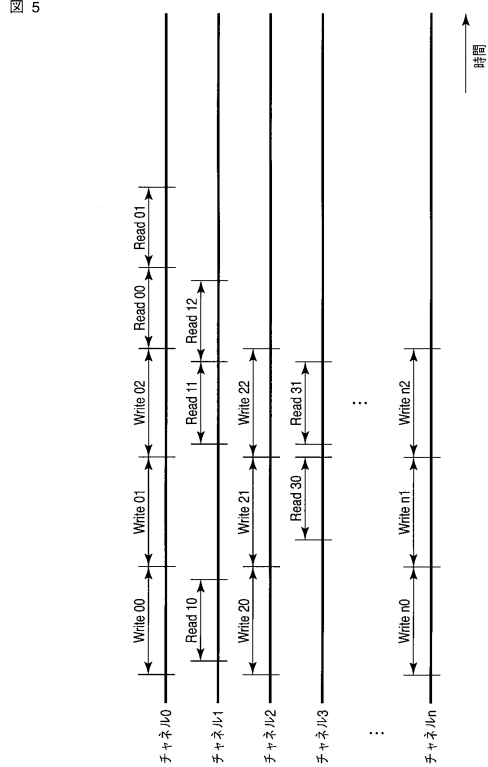
【図2】



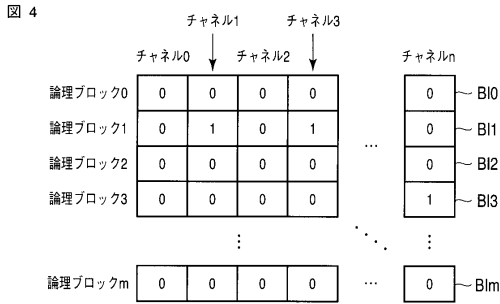
【 図 3 】



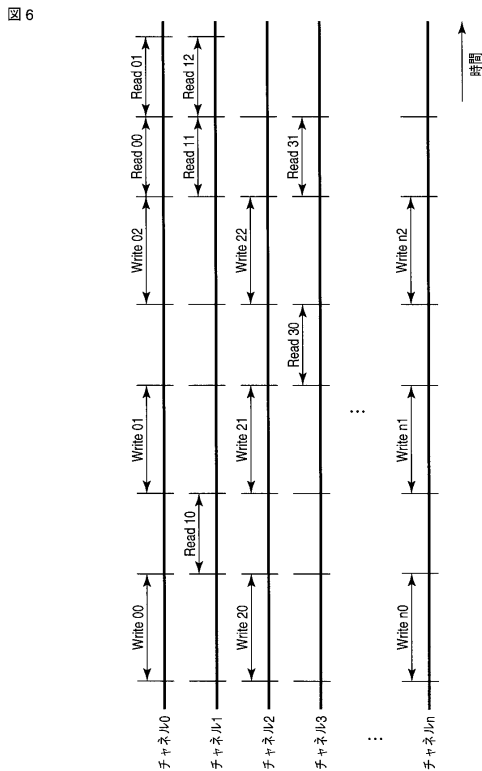
【 図 5 】



【 図 4 】



【 図 6 】



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 茂呂 祐行
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 野田 佳邦

- (56)参考文献 特開2002-073407(JP,A)
特開平07-254292(JP,A)
特開平07-281952(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/06
G06F 12/00 - 12/06
G06F 12/16