

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04N 7/01 (2006.01)



[12] 发明专利说明书

专利号 ZL 02823997.0

[45] 授权公告日 2008 年 4 月 9 日

[11] 授权公告号 CN 100380955C

[22] 申请日 2002.11.25 [21] 申请号 02823997.0

[30] 优先权

[32] 2001.12.3 [33] US [31] 60/336,650

[32] 2002.7.5 [33] US [31] 10/190,185

[86] 国际申请 PCT/US2002/037630 2002.11.25

[87] 国际公布 WO2003/049436 英 2003.6.12

[85] 进入国家阶段日期 2004.6.1

[73] 专利权人 汤姆森许可公司

地址 法国布洛涅

[72] 发明人 D·M·哈特钦森 M·F·朗赖克

[56] 参考文献

US5335074A 1994.8.2

US5420643A 1995.5.30

CN1115148A 1996.1.17

US5821884A 1998.10.13

审查员 张 军

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨 凯 张志醒

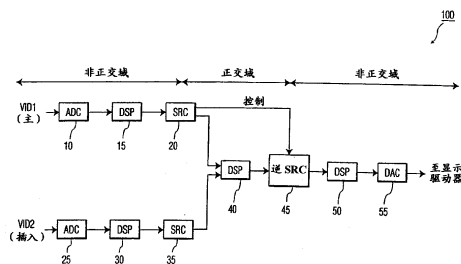
权利要求书 3 页 说明书 16 页 附图 11 页

[54] 发明名称

取样率转换系统

[57] 摘要

一种数字视频系统包括取样率转换器(20)和逆取样率转换器(45)。取样率转换器(20)将来自非正交像素域的视频数据转换到正交像素域。逆取样率转换器(45)将来自正交像素域的视频数据转换到非正交像素域。逆取样率转换器(45)在将来自正交域的视频数据转换到非正交像素域时,利用取样率转换器(20)产生的定时信号。



1. 一种视频信号处理系统，包括：

第一取样率转换器，用于将来自第一时钟域的视频数据转换到第二时钟域；以及

第二取样率转换器，用于响应于所述第一取样率转换器产生的控制信号，将来自所述第二时钟域的视频数据转换到所述第一时钟域。

2. 如权利要求 1 所述的视频信号处理系统，其特征在于，所述第一时钟域包括非正交像素域，而所述第二时钟域包括正交像素域，并且所述视频信号处理系统还包括用于接收来自所述正交像素域中所述第二取样率转换器的视频数据并对这些数据执行处理操作的处理器，其中，所述处理器响应于所述第一取样率转换器产生的控制信号，控制所述第一取样率转换器和所述第二取样率转换器之间的数据传送。

3. 如权利要求 2 所述的视频信号处理系统，其特征在于，所述处理器执行的所述处理操作使能画中画功能。

4. 如权利要求 3 所述的视频信号处理系统，其特征在于还包括第三取样率转换器，用于将来自所述非正交像素域的画中画数据转换到所述正交像素域，并将所述正交像素域中的所述画中画数据输出到所述处理器。

5. 如权利要求 1 所述的视频信号处理系统，其特征在于，所述第二取样率转换器包括相位控制器，所述相位控制器响应于所述第一取样率转换器产生的所述控制信号而执行频率补偿。

6. 如权利要求 1 所述的视频信号处理系统，其特征在于还包括时钟信号发生器，用于向所述第一取样率转换器和所述第二取样率转换器提供时钟信号。

7. 如权利要求 1 所述的视频信号处理系统，其特征在于，所述

控制信号包括在将来自正交像素域的视频数据转换到非正交像素域时由所述第一取样率转换器产生的相位控制信号。

8. 一种视频信号处理系统，包括：

取样率转换器，用于将来自非正交像素域的视频数据转换到正交像素域；

逆取样率转换器，用于将来自所述正交像素域的视频数据转换到所述非正交像素域；以及

其中，所述逆取样率转换器在将来自所述正交像素域的所述视频数据转换到所述非正交像素域时，利用所述取样率转换器产生的定时信号。

9. 如权利要求 8 所述的视频信号处理系统，其特征在于还包括用于接收来自所述正交像素域中所述取样率转换器的视频数据并对所述视频数据执行处理操作的处理装置。

10. 如权利要求 9 所述的视频信号处理系统，其特征在于，所述处理装置利用所述取样率转换器产生的定时信号来控制所述取样率转换器和所述逆取样率转换器之间的数据传送。

11. 如权利要求 9 所述的视频信号处理系统，其特征在于，所述处理装置所执行的处理操作使能画中画功能。

12. 如权利要求 11 所述的视频信号处理系统，其特征在于还包括第二取样率转换器，用于将来自所述非正交像素域的画中画数据转换到所述正交像素域，并将所述正交像素域中的所述画中画数据输出到所述处理装置。

13. 如权利要求 8 所述的视频信号处理系统，其特征在于，所述逆取样率转换器包括相位控制装置，用于根据所述取样率转换器产生的定时信号执行频率补偿。

14. 如权利要求 8 所述的视频信号处理系统，其特征在于还包括时钟装置，用于向所述取样率转换器和所述逆取样率转换器提供时钟信号。

15. 如权利要求 8 所述的视频信号处理系统, 其特征在于, 所述逆取样率转换器在将来自所述正交像素域的视频数据转换到所述非正交像素域时利用所述取样率转换器产生的相位控制信号。

16. 一种处理数字视频系统中数据的方法, 包括下列步骤:

利用取样率转换器将来自非正交像素域的视频数据转换到正交像素域;

利用逆取样率转换器将来自所述正交像素域的视频数据转换到所述非正交像素域; 以及

其中, 所述逆取样率转换器在将来自所述正交像素域的视频数据转换到所述非正交像素域时利用所述取样率转换器产生的定时信号。

17. 如权利要求 16 所述的方法, 其特征在于还包括对所述正交像素域中的视频数据执行处理操作。

18. 如权利要求 17 所述的方法, 其特征在于, 所述处理操作使能画中画功能。

19. 如权利要求 18 所述的方法, 其特征在于还包括使用第二取样率转换器来将来自所述非正交像素域的画中画数据转换到所述正交像素域。

20. 如权利要求 16 所述的方法, 其特征在于还包括使用所述逆取样率转换器来根据所述取样率转换器产生的定时信号执行频率补偿。

21. 如权利要求 16 所述的方法, 其特征在于还包括使用时钟来向所述取样率转换器和所述逆取样率转换器提供时钟信号。

22. 如权利要求 16 所述的方法, 其特征在于还包括: 所述逆取样率转换器在将来自所述正交像素域的视频数据转换到所述非正交像素域时利用所述取样率转换器产生的相位控制信号。

取样率转换系统

相关申请的交叉引用

本申请要求于 2001 年 12 月 3 日向美国专利商标局提交的、申请号为 60/336650 的临时申请的所有利益。

发明背景

技术领域

本发明一般地涉及视频信号处理系统，更具体地说，涉及用于删除数字视频信号处理所造成的不需要的伪像（picture artifact）的系统。

背景技术

在数字视频信号处理系统中，可能希望在各种像素域中进行操作。例如，在信号样点表示矩形网格上的点的正交像素域中操作，通常是有利的。在正交像素域中执行在屏幕显示处理，就不需要复杂的偏差校正方案来防止锯齿形边缘和视频重叠上的抖动。对于诸如画中画处理（“PIP”）之类的某些应用，使用正交像素域不仅使得不需要所述偏差校正方案（例如，用于引入图像压缩和重叠功能），而且简化了诸如垂直滤波之类的操作。具体地说，垂直滤波通常使用帧梳状处理来执行，在帧梳状处理中，将来自一个场的像素与来自前一场（或帧）的像素作比较。即便可能，这种处理也极难在正交像素域外执行。

在某些情况下，可能需要从一个域转换到另一个域。例如，可能需要将某个信号转换到正交像素域（例如，行锁定的，突发锁定的）以便处理，然后又将其转换回到原来的非正交像素域。不同的

像素域也可以视为不同的时钟域，其中，各域中的操作由各自相应的特定频率的时钟信号控制，并表现出特殊定时。在所述示例中，正交像素域是第一时钟域实例，而非正交像素域是第二时钟域实例。各种时钟域是可能的，并可以根据有利于所需的特定形式的数字信号处理的时钟域来选择。使用不同时钟或像素域的一个方面是，可能有必要在各时钟域之间进行转换。例如，为了将来自非正交像素域的数据转换到正交像素域，需要可变取样率转换器（“SRC”）。可变 SRC 采用连续调整的转换率，以便保持（i）每水平行数量恒定的输出样点，以及（ii）输出样点与水平同步信号之间预定的相位关系（甚至当每行输入样点数变化时亦如此）。类似地，为了将来自正交像素域的数据转换回到非正交像素域，需要第二可变 SRC，在本说明书中称为可变逆 SRC。

在某些系统中，第一 SRC 和第二 SRC（或逆 SRC）需要锁相环（“PLL”），以便控制转换率。具体地说，控制 SRC 的 PLL 调整转换率，以便每水平行产生固定数量的输出样点（如 858）。控制逆 SRC 的 PLL 调整转换率，以产生与 SRC 输入端取样率相匹配的输出取样率。在这种情况下，系统瞬时响应时间是两个 PLL 的响应时间的和。因此，使用多个 PLL 经常导致水平瞬变过程的恢复间隔延长，例如盒式磁带录像机（“VCR”）中磁头切换操作所造成的情况。而且，使用多个 PLL 需要额外的电路，而且还可能将干扰引入系统中。由此，这种干扰可能引起不需要的伪像被显示。

因此，需要这样一种数字视频系统，即可以避免上述问题，并因此防止系统瞬变响应时间和抗扰度劣化，同时还减少电路要求的系统。本发明解决了这些及其他问题。

发明内容

本发明包括：一方面认识到上述问题，一方面提供了一种用于解决所述问题的视频信号处理系统。更具体地说，根据本发明的一

个方面，视频信号处理系统包括第一取样率转换器和第二取样率转换器。取样率转换器将来自第一时钟域的视频数据转换到第二时钟域。第二取样率转换器将来自第二时钟域的视频数据转换到第一时钟域。第二取样率转换器在将来自第二时钟域的视频数据转换到第一时钟域时利用取样率转换器产生的控制信号。

本发明提供一种视频信号处理系统，包括：第一取样率转换器，用于将来自第一时钟域的视频数据转换到第二时钟域；以及第二取样率转换器，用于响应于所述第一取样率转换器产生的控制信号，将来自所述第二时钟域的视频数据转换到所述第一时钟域。

本发明还提供一种视频信号处理系统，包括：取样率转换器，用于将来自非正交像素域的视频数据转换到正交像素域；逆取样率转换器，用于将来自所述正交像素域的视频数据转换到所述非正交像素域；以及其中，所述逆取样率转换器在将来自所述正交像素域的所述视频数据转换到所述非正交像素域时，利用所述取样率转换器产生的定时信号。

本发明还提供一种处理数字视频系统中数据的方法，包括下列步骤：利用取样率转换器将来自非正交像素域的视频数据转换到正交像素域；利用逆取样率转换器将来自所述正交像素域的视频数据转换到所述非正交像素域；以及其中，所述逆取样率转换器在将来自所述正交像素域的视频数据转换到所述非正交像素域时利用所述取样率转换器产生的定时信号。

附图说明

结合附图，参照本发明实施例的如下说明，本发明的上述和其他特征和优点以及取得它们的方式将更加清楚，而可以加以更好地理解。

图 1 显示了适合实现本发明的示范性数字视频系统的相关部分；
图 2 显示了图 1 中 SRC 和逆 SRC 的其他示范性细节；

图 3 显示了图 2 所示 SRC 的相位控制器的其他示范性细节；

图 4 显示了图 3 所示 SRC 的相位控制器的示范性输出；

图 5 说明示范性 SRC 功能；

图 6 显示了图 2 所示逆 SRC 的相位控制器的基本形式的其他示范性细节；

图 7 显示了图 2 所示逆 SRC 的相位控制器的增强形式的其他示范性细节；

图 8 显示了图 2 所示的 SRC 的多相滤波器的其他示范性细节；

图 9 显示了图 2 所示逆 SRC 的多相滤波器的其他示范性细节；

图 10 和图 11 显示了根据本发明的第一组示范性仿真结果；

图 12 和图 13 显示了根据本发明的第二组示范性仿真结果；以及

图 14 和图 15 显示了根据本发明的第三组示范性仿真结果。

本说明书所给出的实例说明了本发明的优选实施例，但这样的阐述不应理解为以任何方式限制本发明的范围。

具体实施方式

现在参照附图，具体说是参照显示了适于实现本发明的示范性数字视频系统的相关部分 100 的图 1。为了举例和说明，图 1 所示视频系统的部分 100 用于使能 PIP 功能。但是，如后续将作的讨论，图 1 所示的单元还可用于其他应用，如图形和/或其他在屏幕显示（“OSD”）应用。图 1 所示的单元可以例如包括在一个或多个集成电路（“IC”）中。

图 1 包括两个输入通道（即，用于主图像的一个通道和用于插入包括 PIP 的图像的一个通道）。主图像通道处理表示主图像的视频信号（即 VID1），还包括模数转换器（“ADC”）10、数字信号处理器（“DSP”）15 和 SRC 20。插入图像通道处理表示插入图像或 PIP 的视频信号（即 VID2），包括 ADC 25、DSP 30 和 SRC 35。主

图像通道和插入图像通道的输出提供给图 1 中的其余单元，其余单元包括 DSP 40、逆 SRC 45、DSP 50 和数模转换器（“DAC”）55。

工作时，ADC 10 和 ADC 25 接收模拟格式的视频信号 VID1 和 VID2，并将这些信号分别转换成数字格式。ADC 10 和 ADC 25 输入的视频信号 VID1 和 VID2 的行频可因正常的容差、如 VCR 磁带拉伸而变化。因此，ADC 10 和 ADC 25 输出的每行样点数可能变化。ADC 10 和 ADC 25 的输出信号分别提供给 DSP 15 和 DSP 30，由其执行数字信号处理操作。

DSP 15 和 DSP 30 的输出信号又分别提供给执行取样率转换操作的 SRC 20 和 SRC 35。具体地说，SRC 20 和 SRC 35 各自执行取样率转换操作，以将第一时钟域如非正交像素域的信号转换到第二时钟域、如正交像素域（如行锁定的、突发锁定的像素域）。为了将信号转换到正交像素域，SRC 20 和 SRC 35 必须分别进行调整以适应信号的瞬时行频，这通常需要水平 PLL（“HPLL”）。具有 HPLL 的 SRC 可以称为“行锁定的 SRC”。SRC 25 和 SRC 35 输出的经过转换的信号提供给图 1 中的 DSP 40，DSP 40 可以实现为 PIP 处理器。DSP 40 以数字方式处理转换信号（例如，为了启用 PIP 功能），并将在正交像素域中处理过的输出信号提供给另一 SRC，如图 1 中示范性实施例中的逆 SRC 45，由其执行逆取样率转换操作，具体地说，逆 SRC 45 执行逆取样率转换操作，以将来自正交像素域的信号转换到非正交像素域。

根据本发明的一个方面，在执行逆取样率转换操作时，逆 SRC 45 利用 SRC 20 提供的信息，如图 1 中显示的控制或定时信号 CTRL 所示。通过利用这种信息，数据传送只需要一个时钟，这有助于消除产生不需要的伪像的可能性，伪像通常因使用多个时钟所致。而且，使用来自 SRC 20 的信息，逆 SRC 45 中就不必使用单独的 PLL，因而降低了电路要求，同时防止系统瞬变响应时间和抗扰度进一步劣化。

来自逆 SRC 45 的转换输出信号提供给 DSP 50，由其对该信号执行数字信号处理操作。随后，将 DSP 50 输出的经过处理的信号提供给 DAC 55，由其将该处理过的信号转换成模拟格式，并将此模拟格式的输出信号提供给视频系统的显示驱动器。

现参照图 2，图中显示了图 1 所示的 SRC 20 和逆 SRC 45 的其他示范性细节。在图 2 中，SRC 20 是行锁定的 SRC，它将非正交样点 (Ya) 转换成正交样点 (Yb)，以简化 PIP 和/或 OSD 处理。DSP 40 接收并处理正交样点 (Yb)，并将处理过的样点 (Yc) 提供给逆 SRC 45。为了举例和说明，图 2 只显示了至 DSP 40 的一个输入通道。但是，对应诸如 PIP 之类的应用，DSP 40 通常可以接收来自另一通道（未显示）中 SRC 的输入信号。DSP 40 还可以实现为使能其他功能、如帧梳状滤波的处理器。逆 SRC 45 将经过处理的样点 (Yc) 转换回到原始非正交域中的非正交样点 (Yd)。主时钟信号 MCLK 向 SRC 20、DSP 40 和逆 SRC 45 提供时钟信号。根据一个示范性实施例，主时钟信号 MCLK 的频率为 18 兆赫兹。

如图 2 所示，SRC 20 在 HPLL 内包括多相滤波器 21，其中 HPLL 包括相位控制器 22、低通滤波器 (“LPF”) 23 和鉴相器 24。逆 SRC 45 包括多相滤波器 46 和相位控制器 47。如前所述，逆 SRC 45 利用来自 SRC 20 的信息，因而不需要在逆 SRC 45 内设单独的 PLL。因此，就实现了一种提高视频系统的性能并降低成本的更简单的设计。

工作时，SRC 相位控制器 22 从 LPF 23 接收 Filter_Out 信号，并根据该信号生成两个控制信号。具体地说，SRC 相位控制器 22 产生 Tap 信号和有效 SRC 输出 (“VSO”) 信号。下面将会描述，Tap 信号是相位控制信号，它控制 SRC 多相滤波器 21 中的乘法器系数的查找表，而 VSO 信号是控制正交域中数据传送的控制或定时信号。也即，即便正交域和非正交域具有不同的取样率，VSO 信号也允许正交域利用与非正交域相同的时钟。

根据一个示范性实施例，非正交域具有固定的取样率 18 兆赫兹，

而正交域每行有 858 个样点。因此，如果适用的视频信号具有的标称行频 $F_h = 15734.26$ 千赫兹，则正交域取样率为： $858 \times F_h = 13.5$ 兆赫兹。因此，SRC 20 的转换率为： $13.5/18 = 3/4$ ，这意味着 SRC 20 每 4 个输入样点应该产生 3 个输出样点。为了让正交域使用与非正交域相同的时钟，正交域中的信号处理必须暂停每 4 个时钟周期中的一个时钟周期。这样，来自 SRC 20 的定时或控制信号（如图 2 中信号 VSO 表示的信号）还作为正交域中数据传送寄存器的使能信号使用，以决定数据处理是有效还是被暂停。

现参照图 3，其中显示了图 2 所示 SRC 相位控制器 22 的其他示范性细节。在图 3 中，信号线上显示的数字表示在示范性实施例中对应该信号线上传输的比特数量（即信号位宽）。这些数字不以任何方式限制本发明。也即，按照本说明书所描述的本发明原理来构造的其他系统可以利用具有其他数量的比特或位宽的信号。同样在图 3 中，附近带星号（“*”）的信号线表示无符号信号（即，既无正符号指示也无负符号指示的信号）。

在图 3 中，在减法器 221 从固定偏置量 349525 中减去信号 Filter_Out。然后将此减法运算的结果加到累加器上，周期性地更新累加器的输出。具体地说，累加器包括加法器 222、删截块 223 和 D 型触发器 224。加法器 222 把来自减法器 221 的输出值加到 D 型触发器 224 所提供的反馈信号值上。然后，删截块 223 将加法器 222 的输出信号中的最高有效位（“MSB”）截去，并将所得的经过删截的信号提供给 D 型触发器 224。只要 Accum_En 信号为高，则 D 型触发器 224 就产生输出信号（即，“累加器输出”），并将此输出信号反馈给加法器 222。这样，累加器输出就根据 Accum_En 信号作了更新。

Tap 信号是从累加器输出中导出的。具体地说，累加器输出加到删截块 225，由其对累加器输出的 MSB 进行删截，以便产生经过删截的信号。乘法器 226 和减法器 227 均接收来自删截块 225 的删截

过的信号。乘法器 226 将删截过的信号与 16 相乘，并将得到的乘积信号提供给减法器 227。减法器 227 从乘法器 226 提供的乘积信号中减去删截块 225 提供的删截过的信号。然后，将此减法运算的结果提供给删截块 229，由其对 MSB 进行删截，以生成删截过的信号。另一删截块 228 从删截块 229 接收删截过的信号，并从中截去 18 个最低有效位（“LSB”），以生成另一删截过的信号。D 型触发器 230 从删截块 229 接收删截过的信号，并由主时钟信号 MCLK（如来自图 2 中的块 48）进行钟控，由此输出 Tap 信号。

如前所述，Tap 信号控制 SRC 多相滤波器 21 中的乘法器系数查找表。更具体地说，Tap 信号值对应于 SRC 多相滤波器 21 的查找表中的行号。根据一个示范性实施例，SRC 20 具有各输入样点之间的 60 个相位，SRC 多相滤波器 21 的查找表包括 60 行系数。因此，在累加器输出的 20 位 LSB（即删截块 225 输出的 20 位比特信号）从 $2^{20} - 1$ 回绕到 0 时，Tap 信号必须从 59 回绕到 0。因此，Tap 信号增益必须精确地为 $60/2^{20}$ （即，等于 $15/2^{18}$ ）。

象 Tap 信号，VSO 信号也是从累加器输出中导出的。具体地说，累加器输出加到删截块 231，由其从累加器输出中截去 20 位 LSB，以生成删截过的信号。D 型触发器 232 和“同或”门 233 都接收删截块 231 的删截过的信号。“同或”门 233 还接收使用主时钟信号 MCLK 的 D 型触发器 232 的输出信号。“同或”门 233 的输出信号表示 Accum_En 信号，此信号除非累加器输出的 MSB 发生由低到高或由高到低的转换，否则为高。也即，Accum_En 信号正常为高，但当累加器输出的 20 位 LSB 从最高值（如 $2^{20} - 1$ ）回绕到最低值（如“0”）时变低一个时钟周期。D 型触发器 234 接收 Accum_En 信号，并由主时钟信号 MCLK 钟控，从而输出 VSO 信号。在图 3 中，Tap 和 VSO 信号是寄存器输出信号（即分别由钟控的 DFF 230 和 234 提供），其中，VSO 信号通常为高，但在 Tap 信号从其最高值（如 59）回绕到其最低值（如 0）时变低一个时钟周期。

当 SRC 20 的行频输入为标称值（如 15734.26 千赫兹）时，Filter_Out 信号的稳态值为 0。因此，累加器输出将在 Accum_En 为高时，于每个 18 兆赫兹时钟周期增加 349525。所得的 Tap 和 VSO 信号在图 4 中用图 400 显示。也即，图 4 显示了在 Filter_Out 信号为 0 时，Tap 和 VSO 信号的实例。注意，在图 4 中，VSO 信号已经与 15 相乘，以便显示。在图 4 中，忽略前两个时钟周期（输入到输出的延迟），VSO 信号为高，而 Tap 信号在四个 18 兆赫兹时钟周期中的三个时钟周期中发生变化。正交域处理在 VSO 信号为高时被使能，而在 VSO 信号为低时被禁用。因此，在 VSO 信号为高时，与时钟周期对应的数据样点是有效的样点，而在 VSO 信号为低时，与时钟周期对应的数据样点是无效的样点。有效和无效数据样点之间的这种区别由图 5 中的图 500 说明。在图 5 中，输入数据样点之间有 60 个相位。相对于相关输入样点的内插值的相位对应于 Tap 信号值（如 19、39、59、暂停、19、39、59...）。相位按 20 或输入样点之间周期的 1/3（即 20/60）递增。这就使得输出样点周期为输入样点周期的 4/3 倍。

在行频小于标称值（如小于 15734.26 千赫兹）时，Filter_Out 信号为正，累加器输入（即图 3 中加法器 222 的输入）减少，并且（平均）SRC 20 每四个有效样点输出三个以上的样点。相反，当行频大于标称值（如大于 15734.26 千赫兹）时，Filter_Out 信号为负，则累加器输入增加，并且（平均）SRC 20 每四个有效样点输出三个以下的样点。

在示范性实施例中，逆 SRC 45 将正交输入像素样点转换回到 18 兆赫兹的非正交域。相应地，逆 SRC 45 必须在每个 18 兆赫兹时钟周期产生有效的输出样点，即便输入样点在某些时钟周期无效（即当正交域中的处理暂停时，参见图 5）也是如此。因此，逆 SRC 45 必须在有效输入样点之间进行内插，并在遇到无效输入样点时根据以前的或过去的样点进行外插。这样，由 SRC 20 生成的 VSO 信号

为逆 SRC 45 起至少两种不同的作用。第一，VSO 信号控制正交域中的数据传送（即，到逆 SRC 45 的多相滤波器 46 的输入，参见图 2），由此防止无效样点进入多相滤波器 46。其次，VSO 信号由逆 SRC 45 的相位控制器 47 用于调整相位，以便在适当的时间进行内插和外插。

现参照图 6，图中显示了图 2 所示逆 SRC 45 的相位控制器 47 的基本形式的其他示范性细节。在图 6 中，信号线上所示的数字表示在示范性实施例中对应信号线上传输的比特数量。这些数字不以任何方式限制本发明。同样在图 6 中，附近带星号（“*”）的信号线表示无符号信号（即，既无正符号指示也无负符号指示的信号）。

在图 6 中，在减法器 471 从固定值 79 中减去 Tap 信号。此减法运算的结果随后加到限幅器 472 上，由限幅器 472 根据其输入，生成具有限制在从 60 到 79 的值的输出信号。多路转换器 483 从限幅器 472 接收输出信号，而且还从第二信号通路接收输入信号。此信号通路包括加法器 480、删截块 481 和 D 型触发器 482。加法器 480 将固定值 -20 加到多路转换器 483 的输出信号中。然后，此加法运算的结果施加到删截块 481 上，由其从该结果中删截 MSB，以生成删截过的信号。D 型触发器 482 从删截块 481 接收删截过的信号，并由主时钟信号 MCLK（例如，来自图 2 中的块 48）钟控，以便向多路转换器 483 提供其他输入信号。多路转换器 483 根据 VSO 信号的逻辑状态提供其输出信号。具体地说，多路转换器 483 在 VSO 信号为低时允许其上输入（即，来自限幅器 472 的输出信号）通过，而在 VSO 信号为高时允许其下输入（即，来自 D 型触发器 482 的输出信号）通过。限幅器 484 接收多路转换器 483 的输出信号，并据此生成值限制在 -10 到 89 的输出信号。D 型触发器 485 接收限幅器 484 的输出信号，并由主时钟信号 MCLK 钟控，由此输出 Inv_Tap 信号。

Inv_Tap 信号控制逆 SRC 45 的多相滤波器 46 中的乘法器系数查找表。逆 SRC 45 具有输入样点之间的 80 个相位，这在标称条件下得到与 SRC 20 具有输入样点之间的 60 个相位的情况相同的时间分

辨率。为了便于外插，把对逆 SRC 45 可行的相位范围扩展到从-10 至 89。在图 6 中，Inv-Tap 信号在 VSO 信号为低时，预设为相关值在 60 和 79 之间的 Tap 信号，而在 VSO 信号为高时，减少 20。这在行频处于标称频率至少为 ± 700 赫兹范围内的情况下具有好的性能。然而，通过采用相位控制器 47 的增强形式，在行频超出标称频率 ± 100 赫兹的情况下取得显著改善。

现参照图 7，图中显示了图 2 所示逆 SRC 45 的相位控制器 47 增强形式的示范细节。相位控制器 47 的这一增强形式包括许多与图 6 中相位控制器 47 的基本形式共同的单元。这些共同的单元具有相同的标号。与图 6 一样，图 7 中信号线上显示的数字表示在示范实施例中对应信号线上传输的比特数量（即，信号位宽）。这些数字不以任何方式对本发明构成限制。也即，采用具有其他位宽的信号的系统可以根据本发明的原理来构造。同样在图 7 中，附近带有星号（“*”）的信号线表示无符号信号（即，既无正指示符又无负指示符的信号）。

在图 7 中，在减法器 471 从固定值 79 中减去 Tap 信号。此减法运算的结果随后加到限幅器 472 上，由限幅器 472 根据其输入，生成具有限制在从 60 到 79 的值的输出信号。减法器 473 从限幅器 472 接收输出信号，并从中减去另一信号通路的输出信号。此信号通路包括删截块 474、加法器 475、删截块 476、多路转换器 477 和 D 型触发器 478。删截块 474 接收 Filter_Out 信号，并从中截去 14 位 LSB，以生成删截过的信号。加法器 475 将删截块 474 的经过删截的信号加到信号通路的输出信号中。此加法运算的结果提供给删截块 476，由其从中截去 MSB，以生成删截过的信号。多路转换器 477 从删截块 476 接收删截过的信号和具有固定值 0 的信号，并根据或响应于多路转换器控制信号，如响应于 VSO 信号的逻辑状态，选择性地输出这两个信号之一。具体地说，多路转换器 477 在 VSO 信号为低时允许其上输入（即具有 0 值的输入）通过，而在 VSO 信号为高时允

许其下输入（即来自删截块 476 的删截过的信号）通过。D 型触发器 478 从多路转换器 477 接收输出信号，并由主时钟信号 MCLK 钟控，由此提供信号通路的输出信号。如图 7 所示，此输出信号反馈给加法器 475，同时还提供给减法器 473。

删截块 479 接收减法器 473 的输出信号，并从中删截 MSB，以生成删截过的信号。多路转换器 483 从删截块 479 接收删截过的信号，并且还接收来自另一信号通路的输入信号。此信号通路包括加法器 480、删截块 481 和 D 型触发器 482，这些单元也包括在图 6 所示相位控制器 47 的基本形式中。加法器 480 将固定值-20、多路转换器 483 的输出信号和删截块 474 提供的删截过的信号相加。此加法运算的结果提供给删截块 481，由其从中删截 MSB，以生成删截过的信号。D 型触发器 482 从删截块 481 接收删截过的信号，并由主时钟信号 MCLK 钟控，由此将另一输入信号提供给多路转换器 483。多路转换器 483 根据 VSO 信号的逻辑状态提供其输出信号。具体地说，多路转换器 483 在 VSO 信号为低时允许其上输入（即，来自删截块 479 的删截过的信号）通过，而在 VSO 信号为高时允许其下输入（即，来自 D 型触发器 482 的输出信号）通过。限幅器 484 接收多路转换器 483 的输出信号，并据此生成值限制在从-10 到 89 的输出信号。D 型触发器 485 接收限幅器 484 的输出信号，并由主时钟信号 MCLK 钟控，由此生成 Inv_Tap 信号，此信号控制逆 SRC 45 的多相滤波器 46 的乘法器系数查找表。

图 7 中显示了相位控制器 47 的另一示范实施例。图 7 所示的实施例采用样点间频率补偿，其中：（i）在 VSO 信号为低时由多路转换器 483 选择的 Inv_Tap 信号预置值通过从上次 VSO 信号为低以来 Filter_Out 信号的 3 位 MSB 的累加值来调整；以及（ii）Filter_Out 信号的 3 位 MSB 用于在 VSO 信号为高时调整 Inv_Tap 信号减少时的速率。

现参照图 8，图中显示了图 2 中 SRC 20 的多相滤波器 21 的其

他示范细节。图 8 中信号线上显示的数字表示在示范实施例中对应信号线上传输的比特数量。这些数字不以任何形式对本发明构成限制。同样在图 8 中，附近带有星号“*”的信号线表示无符号信号（即既无正指示符也无负指示符的信号）。

在图 8 中，非正交域 SRC 输入信号(Ya)提供给 D 型触发器 241，此触发器由主时钟信号 MCLK 钟控，由此向乘法器 242 提供输出信号。SRC 输入信号还提供给乘法器 243。SRC 查找表 244 接收 Tap 信号，并据此提供两个独立的输出信号。SRC 查找表 244 的第一输出信号提供给 D 型触发器 245，此触发器 245 由主时钟信号 MCLK 钟控，由此向乘法器 242 提供输出信号。如图 8 所示，D 型触发器 245 的输出信号的值为： $(60 - \text{Tap 信号值})$ 乘以 $(128/60)$ 。SRC 查找表 244 的第二输出信号提供给另一 D 型触发器 246，此触发器由主时钟信号 MCLK 钟控，由此向乘法器 243 提供输出信号。如图 8 所示，D 型触发器 246 的输出信号的值等于：Tap 信号值乘以 $(128/60)$ 。

乘法器 242 将 D 型触发器 241 的输出信号与 D 型触发器 245 的输出信号相乘，由此生成一个乘积信号。D 型触发器 247 接收乘法器 242 的乘积信号，并由信号 VSO 钟控，由此提供输出信号。乘法器 243 将 SRC 输入信号(Ya)与 D 型触发器 246 的输出信号相乘，由此生成一个乘积信号。D 型触发器 248 接收乘法器 243 的乘积信号，并由 VSO 信号钟控，由此提供输出信号。加法器 249 将 D 型触发器 247 和 248 的输出信号相加。此加法运算的结果提供给删截块 250，由其从中删截 MSB，以生成删截过的信号。对称舍入块 251 从删截块 250 接收删截过的信号，并对其执行对称舍入运算以生成舍入输出信号。D 型触发器 252 从对称舍入块 251 接收舍入输出信号，并由 VSO 信号钟控，由此提供正交域 SRC 输出信号(Yb)。

现参照图 9，图中显示了图 2 中逆 SRC 45 的多相滤波器 46 的其他示范细节。图 9 中信号线上显示的数字表示示范实施例中对应信号线上传输的比特数。这些数字不以任何方式对本发明构成限制。

在图 9 中, 正交域逆 SRC 输入信号(Y_c)提供给 D 型触发器 490, 此触发器由 VSO 信号钟控, 由此生成到多路转换器 491 的输出信号。逆 SRC 输入信号(Y_c)还提供给多路转换器 492。逆 SRC 查找表 493 接收 Inv_Tap 信号, 并据此提供两个独立的输出信号。逆 SRC 查找表 493 的第一输出信号提供给多路转换器 491。如图 9 所示, 逆 SRC 查找表 493 的此第一输出信号的值等于: $(80 - \text{Inv_Tap 信号值}) \times (128/80)$ 。逆 SRC 查找表 493 的第二输出信号提供给多路转换器 492。如图 9 所示, 逆 SRC 查找表的此第二输出信号的值等于: Inv_Tap 信号值乘以 $(128/80)$ 。

乘法器 491 将 D 型触发器 490 的输出信号与逆 SRC 查找表 493 的第一输出信号相乘, 由此生成一个乘积信号。D 型触发器 494 接收乘法器 491 的乘积信号, 并由主时钟信号 MCLK 钟控, 由此提供输出信号。乘法器 492 将逆 SRC 输入信号(Y_c)与逆 SRC 查找表 493 的第二输出信号相乘, 由此生成一个乘积信号。D 型触发器 495 接收乘法器 492 的乘积信号, 并由主时钟信号 MCLK 钟控, 由此提供输出信号。加法器 496 将 D 型触发器 494 和 495 的输出信号相加。此加法运算的结果提供给删截块 497, 由其从中删截 MSB, 以生成删截过的信号。对称舍入块 498 从删截块 497 接收删截过的信号, 并对其执行对称舍入运算以生成舍入输出信号。D 型触发器 499 从对称舍入块 498 接收舍入输出信号, 并由主时钟信号 MCLK 钟控, 由此提供非正交域逆 SRC 输出信号(Y_d)。

注意, 以上结合图 8 和图 9 所述的多相滤波器 21 和 46 是简化的示例, 因为它们每个均只包括两个乘法器。根据本发明的原理, 当然可以采用这些实施例的其他形式。然而, 图 8 和图 9 所示的实施例在说明 VSO 信号如何控制 SRC 20 输出侧和逆 SRC 45 输入侧上的数据传送方面有用。以这种方式, VSO 信号还控制通过连接在 SRC 20 和逆 SRC 45 之间的电路(如 DSP)的数据传送。

现参照图 10 至图 15, 其中显示了根据本发明的不同的示范仿真

结果组。具体地说，图 10 至图 15 图解了在采用逆 SRC 45 相位控制器 47 的增强形式（参见图 7）的各种条件下，图 2 中 SRC 20 的输入（即 Y_a ）和逆 SRC 45 的输出（即 Y_d ）。这些仿真是分别采用图 8 和图 9 所示的简化多相滤波器 21 和 46 来运行的，其中，SRC 20 的输出与逆 SRC 45 的输入之间只有一条线相连。

图 10 和图 11 显示了根据本发明的第一组示范仿真结果，其中，行频 F_h 等于标称行频（即 15734.26 千赫兹）加 300 赫兹。如图 10 中的图形 1000 所示，SRC 20 的输入和逆 SRC 45 的输出在所示时间周期内基本相同。具体地说，图 10 所示的时间周期表示在 SRC 20 的 PLL 已经达到稳态条件后的一条完整的水平行。图 11 中的图形 1100 是图 10A 中波形峰的放大视图。在图 11 中，SRC 20 的输入和逆 SRC 45 输出之间的差异是通过电路产生的信号传播延迟所造成的。

图 12 和图 13 显示了根据本发明的第二组示范仿真结果，其中，行频 F_h 等于标称行频（即 15734.26 千赫兹）。如图 12 中的图形 1200 所示，SRC 20 的输入和逆 SRC 45 的输出在所示时间周期内基本相同。象图 10 那样，图 12 所示的时间周期表示在 SRC 20 的 PLL 已经达到稳态条件后的一条完整的水平行。图 13 中的图形 1300 是图 12 中波形峰的放大视图。象在图 11 中那样，图 13 中 SRC 20 的输入和逆 SRC 45 输出之间的差异是通过电路产生的信号传播延迟所造成的。

图 14 和图 15 显示了根据本发明的第三组示范仿真结果，其中，行频 F_h 等于标称行频（即 15734.26 千赫兹）减去 300 赫兹。如图 14 中的图形 1400 所示，SRC 20 的输入和逆 SRC 45 的输出在所示时间周期内基本相同。象图 10 和图 12 那样，图 14 所示的时间周期表示在 SRC 20 的 PLL 已经达到稳态条件后的一条完整的水平行。图 15 中的图形 1500 是图 14 中波形峰的放大视图。象图 11 和图 13 那样，图 15 中 SRC 20 的输入和逆 SRC 45 输出之间的差异是通过电路产生的信号传播延迟所造成的。

如前所述，本发明提供了一种有利的视频系统，该视频系统包括 SRC 以及由 SRC 控制的逆 SRC，从而使该视频系统能够在单一时钟上工作。通过使用来自 SRC 的 PLL 的信息直接控制逆 SRC，视频系统的瞬变恢复间隔仅仅是一个 PLL 的瞬变恢复间隔，因而比其他视频系统更短。而且，防止产生不需要的伪像，同时减少了所需电路。

所述的本发明适用于各种具有或不具有显示装置的视频系统。因此，词组“视频系统”、“视频信号处理系统”或“数字视频系统”在本说明书旨在用于包括各种类型的系统或设备，包括但不限于：包括显示装置的电视机或监视器、不包括显示装置的电视信号接收机以及诸如机顶盒、盒式磁带录像机（VCR）、数字多功能盘（DVD）播放器、视频游戏盒、个人录像机（PVR）的系统和装置或其他可能不包括显示装置的视频系统等。

虽然已以优选设计的形式对本发明作了描述，但本发明可以在本公开内容的精神和范围内作进一步的修改。此申请因此旨在涵盖应用了本发明一般原理的有关本发明的任何变化、用途或调整。此外，此申请旨在涵盖脱离本公开内容、但属于本发明相关领域中公知或习惯的做法且落于所附权利要求书范围的情况。

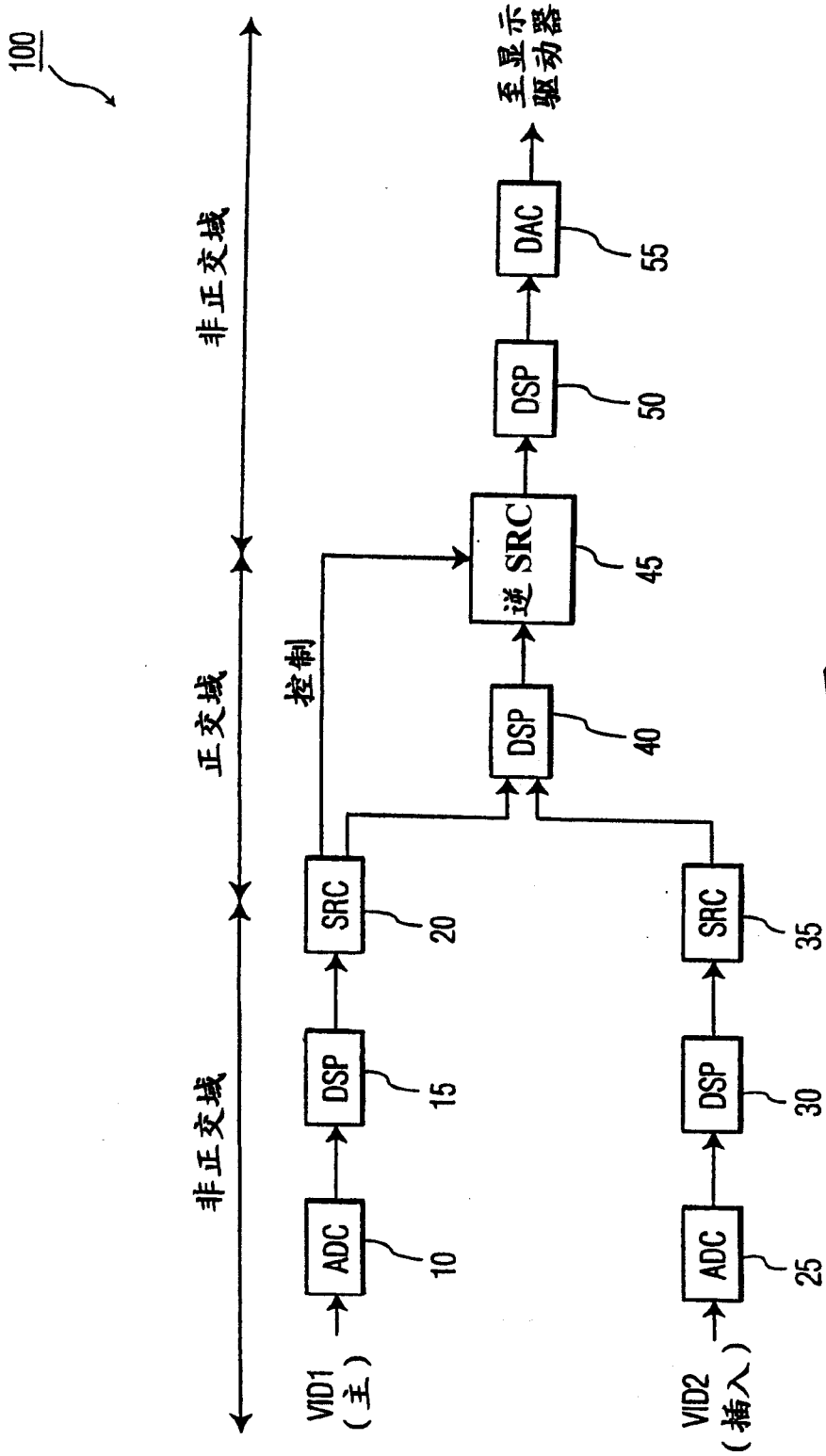


图 1

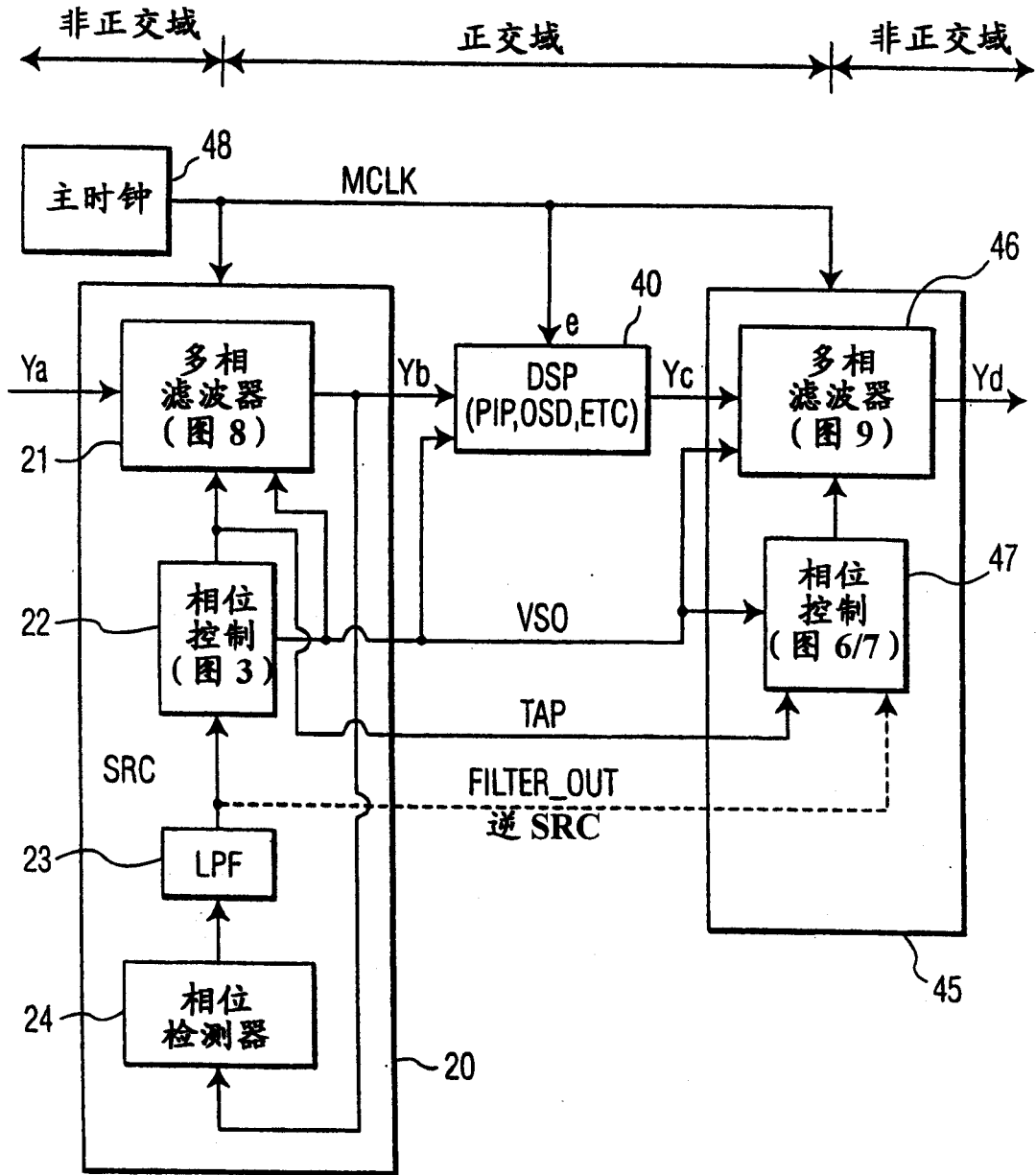


图 2

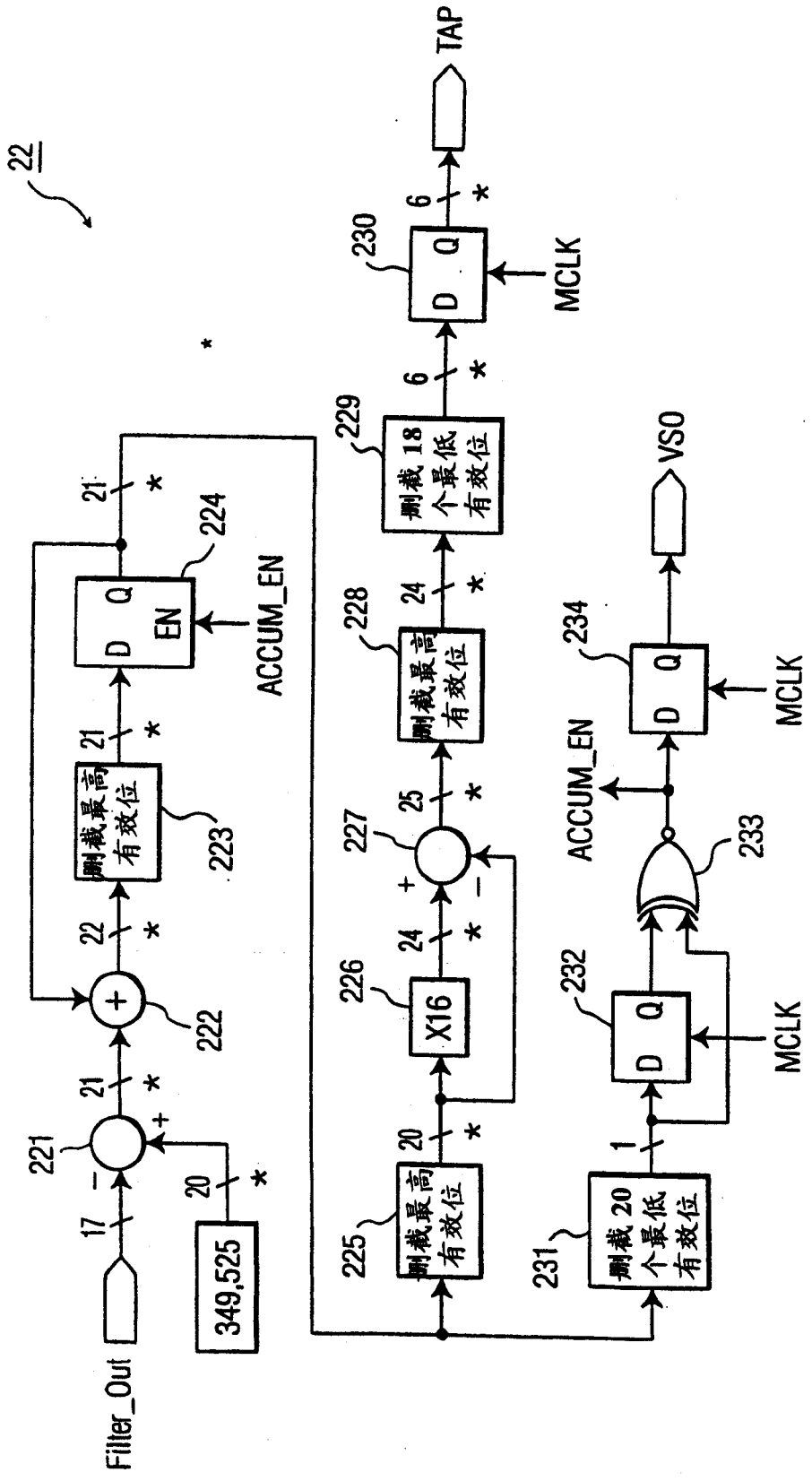


图 3

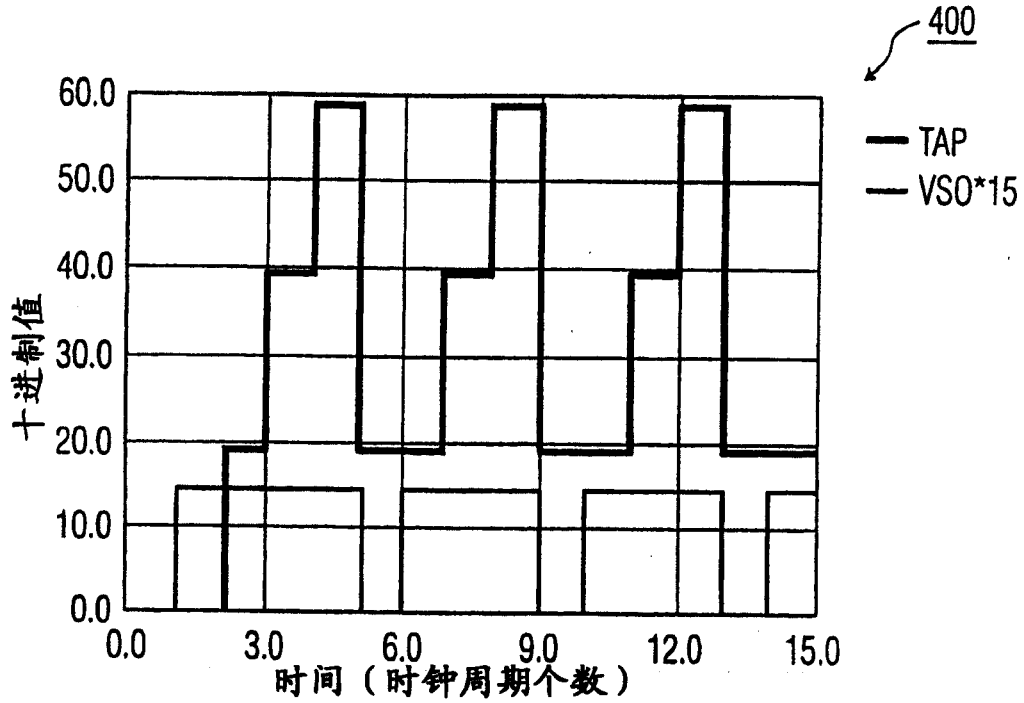
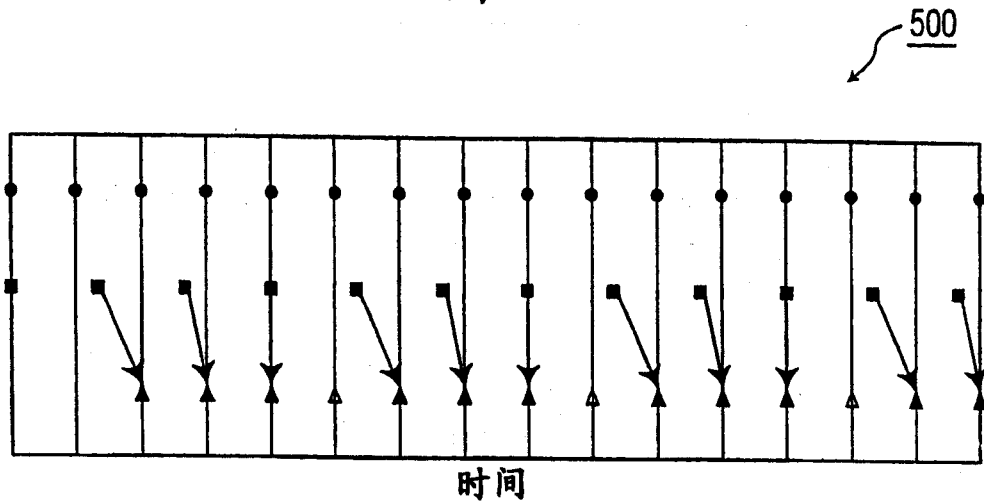


图 4



- 18 兆赫兹输入样点
- 13.5 兆赫兹内插时间
- ▲ 有效输出样点 (VSO=1)
- △ 有效输出样点 (VSO=0)

图 5

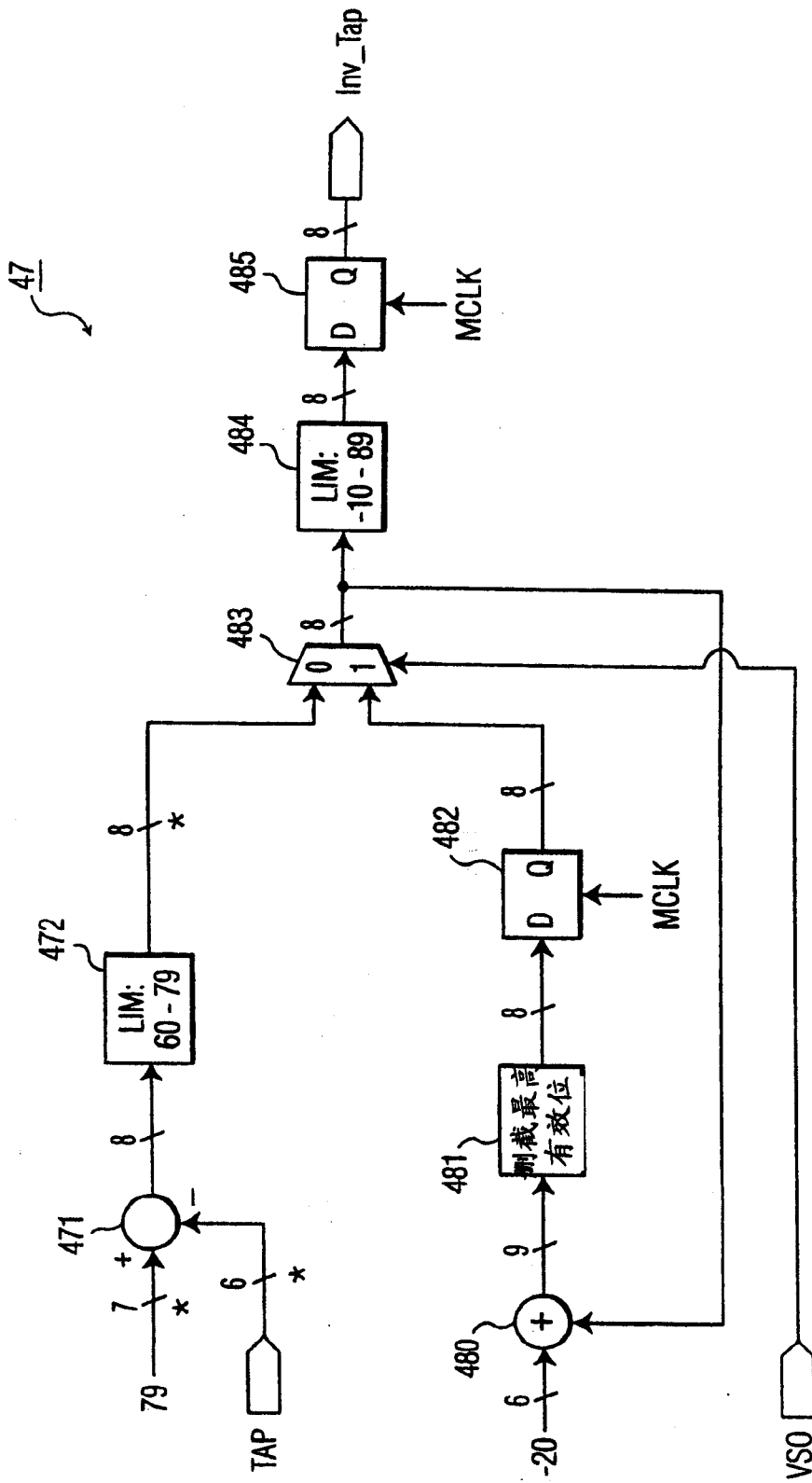


图 6

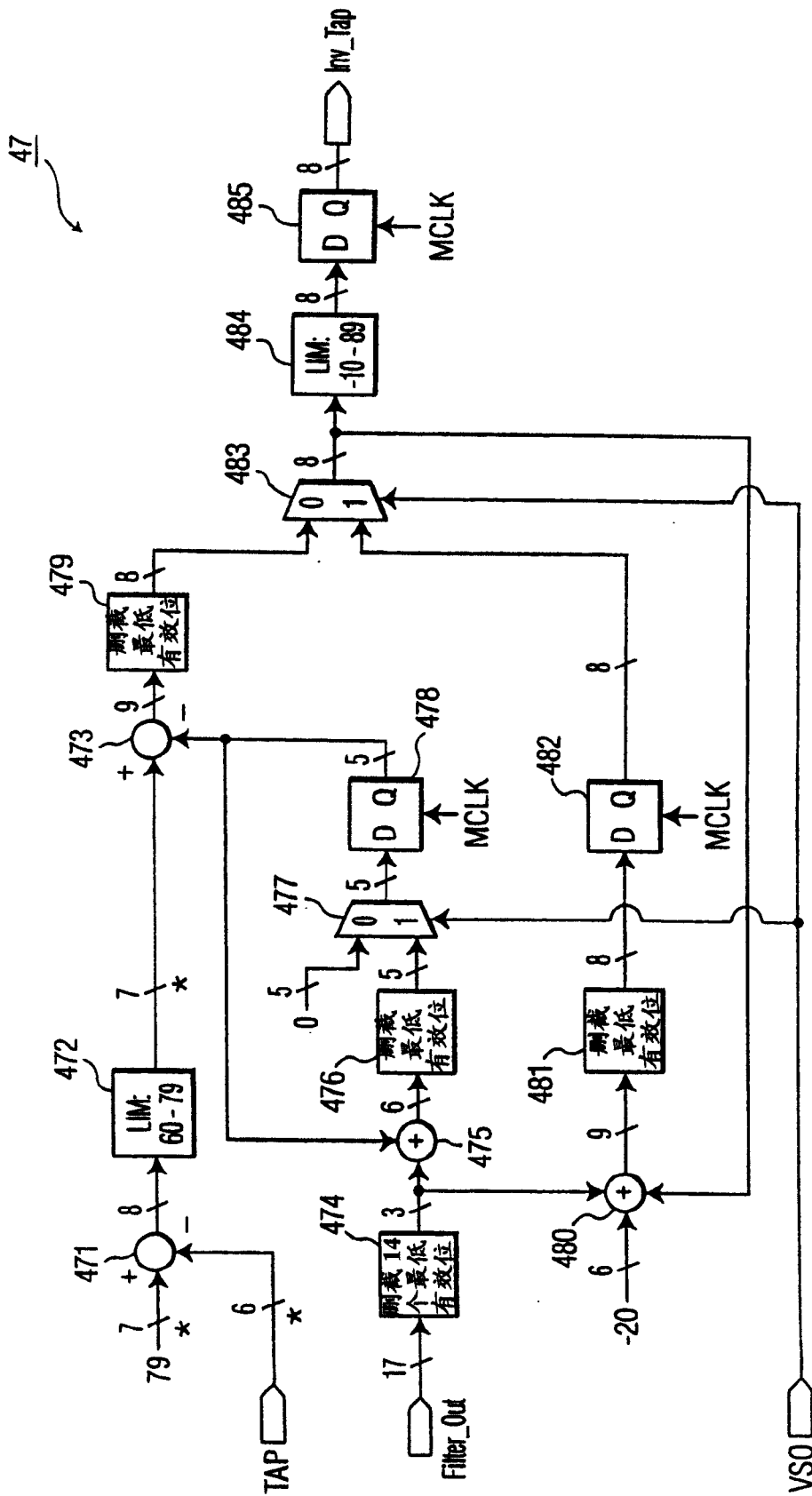


图 7

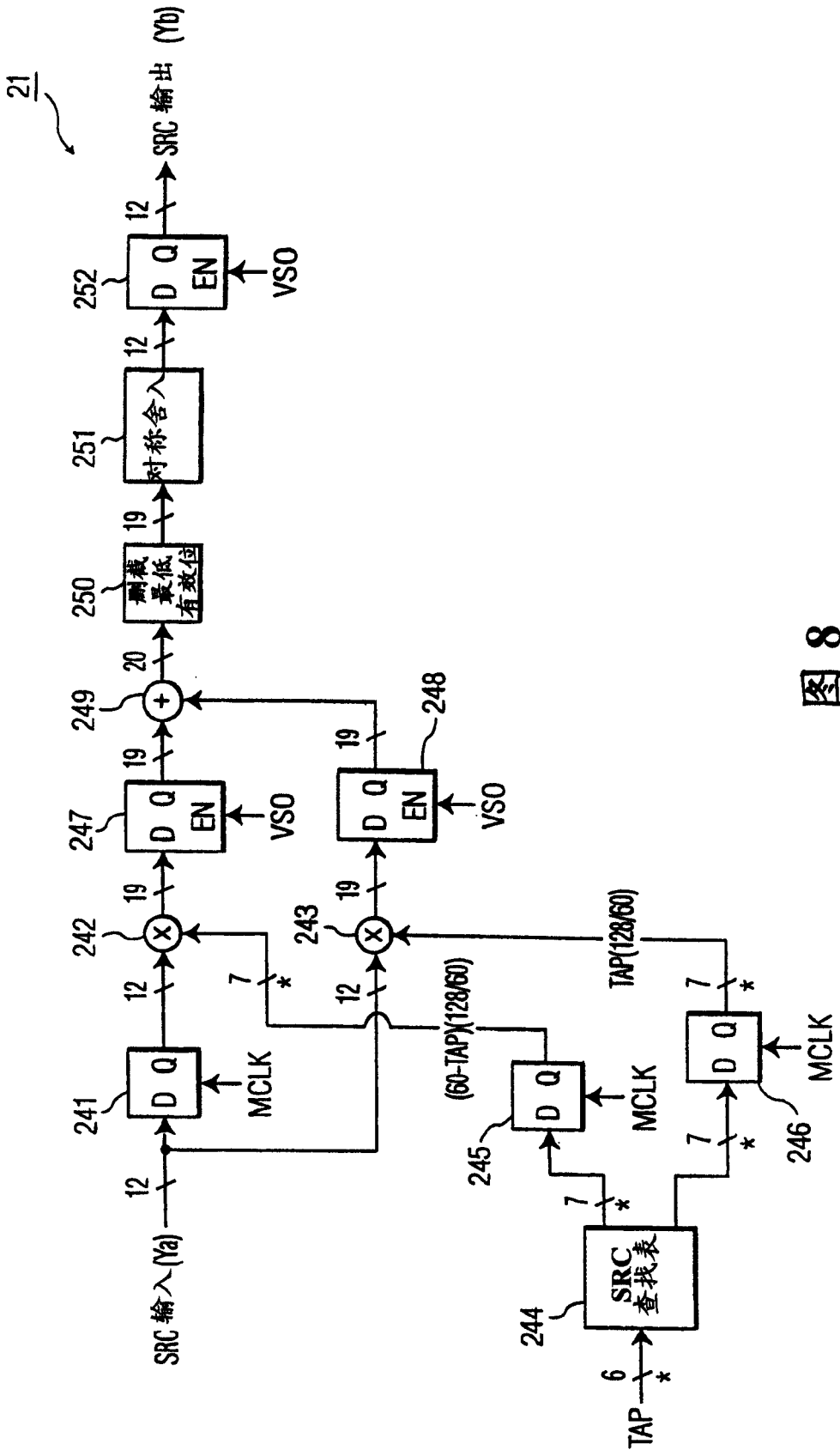


图 8

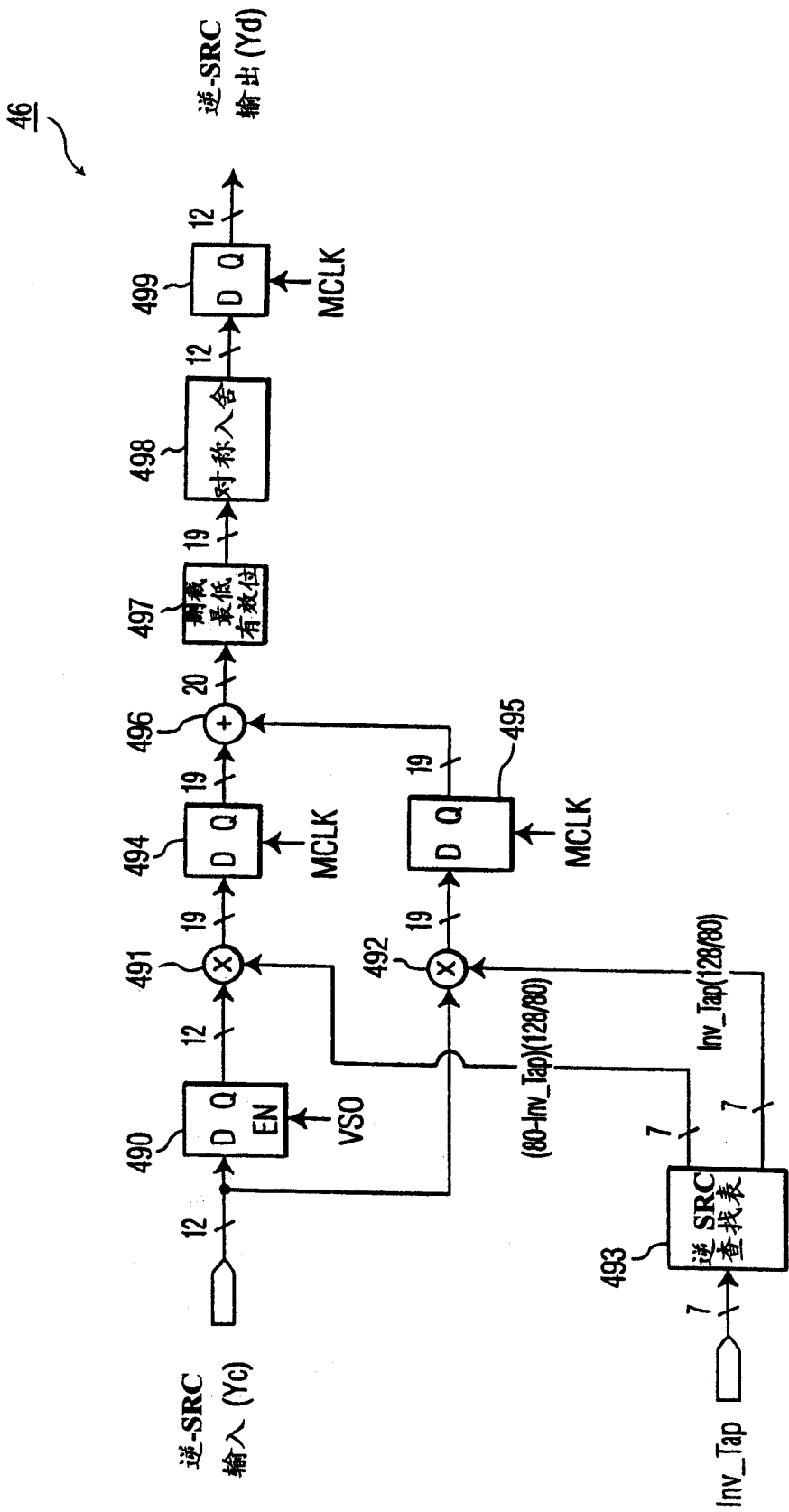


图 9

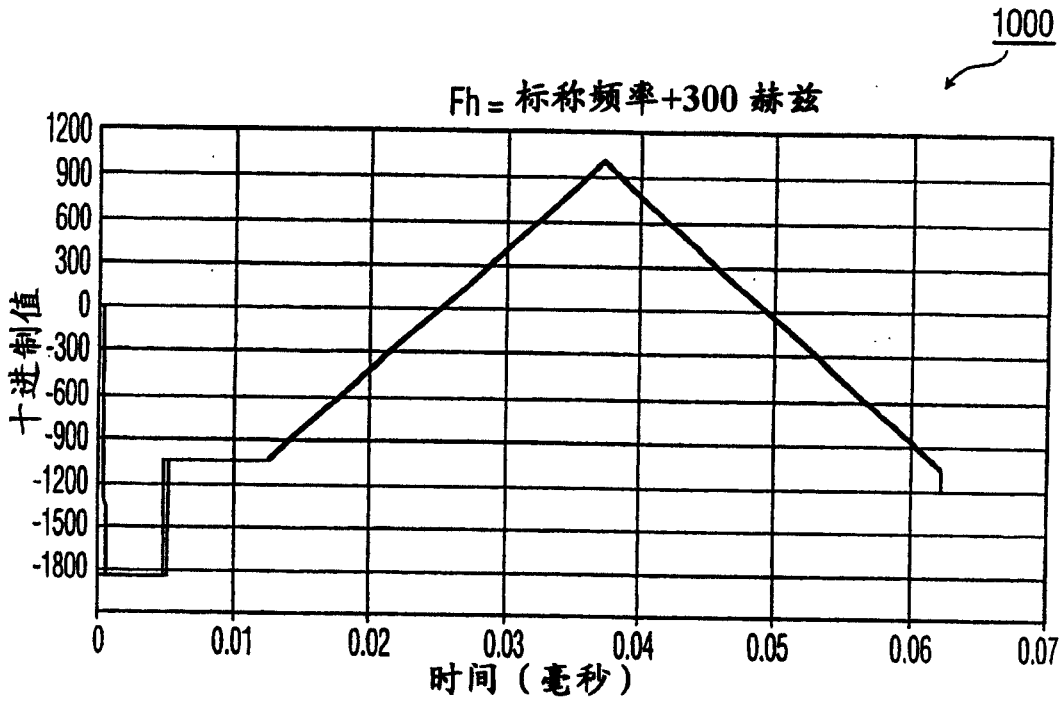
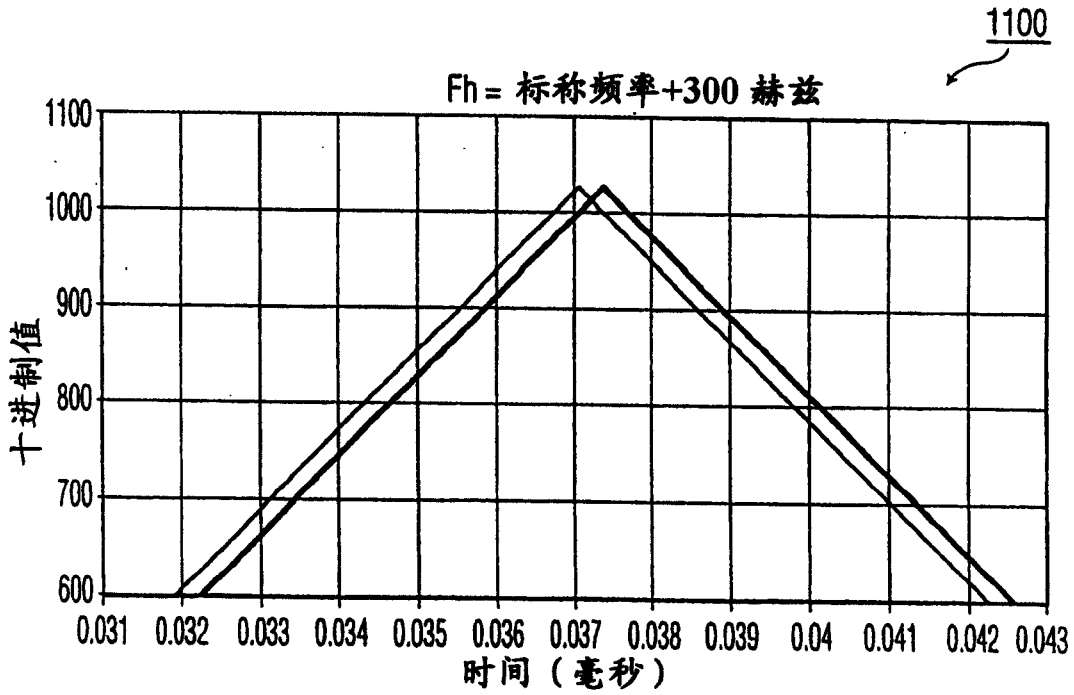


图 10



— SRC 输入 - 逆 SRC 输出

图 11

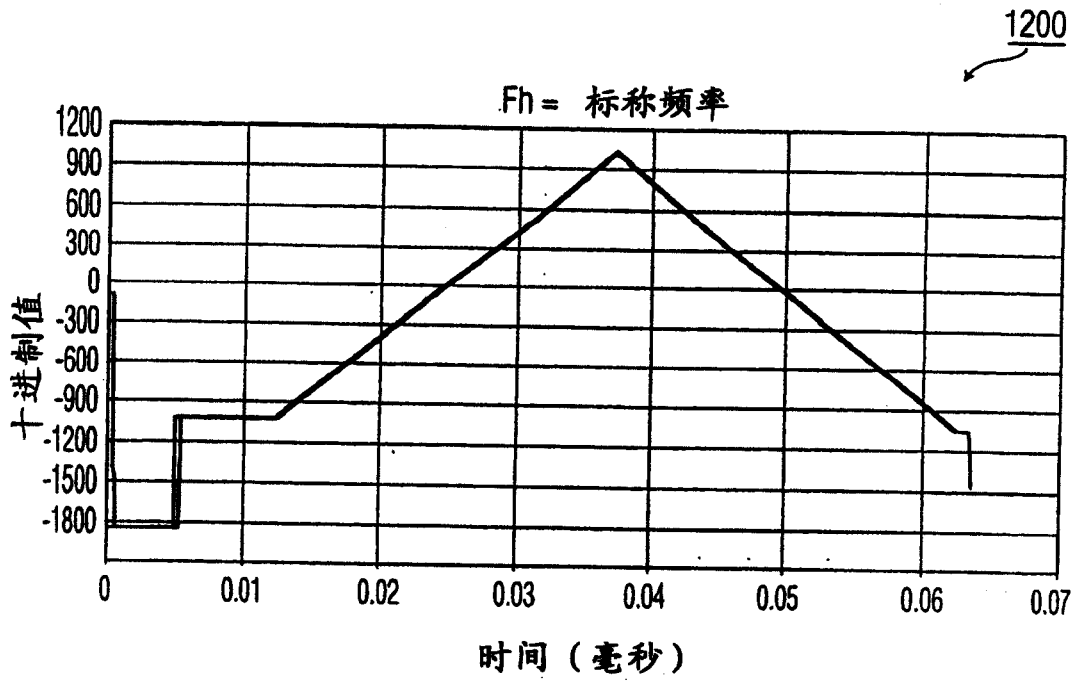


图 12

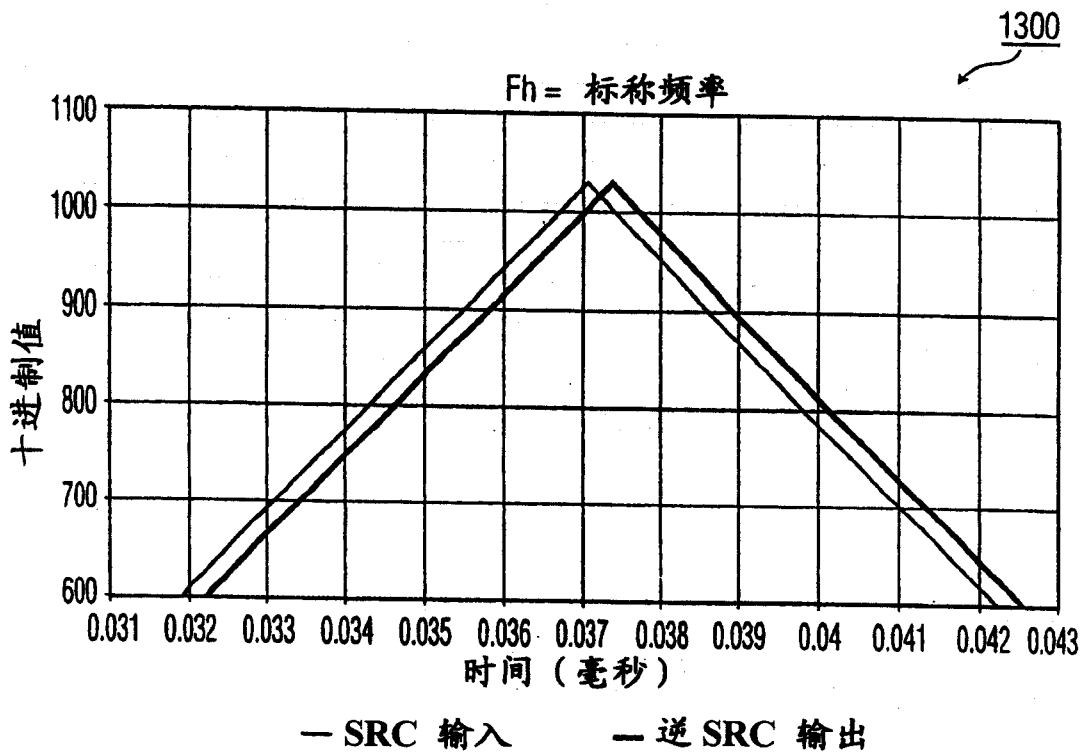


图 13

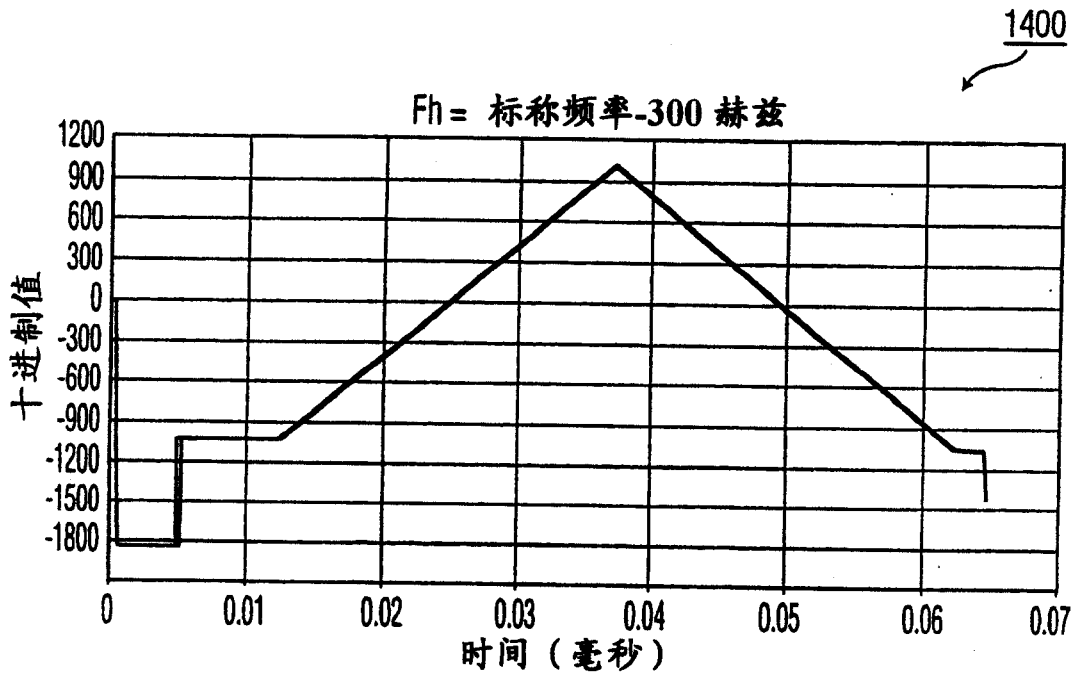
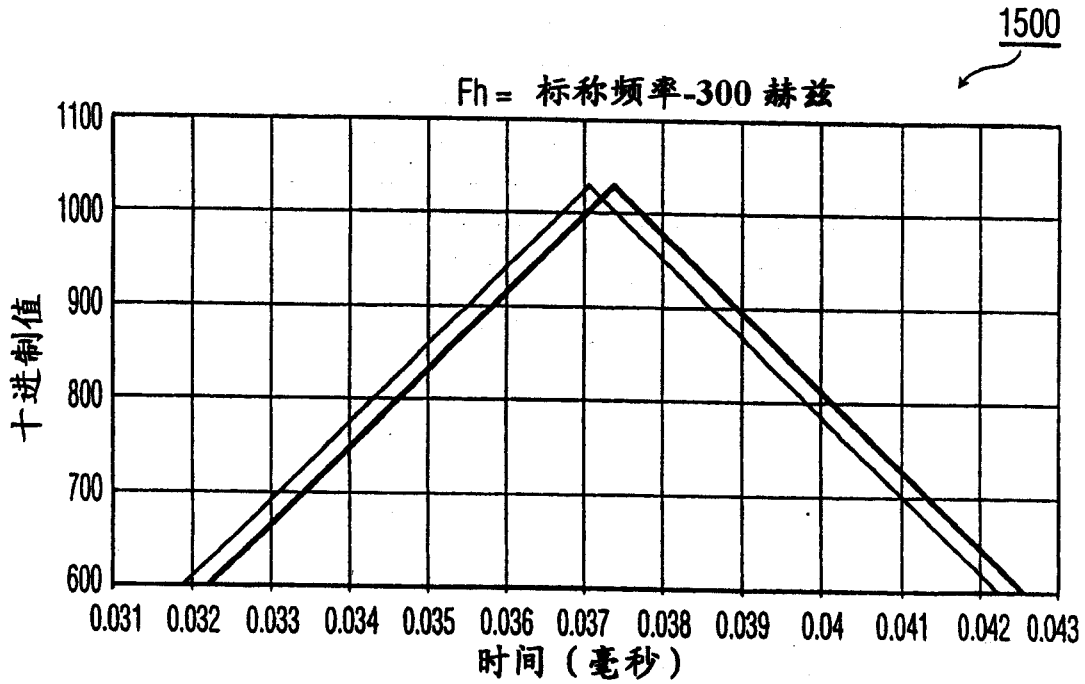


图 14



— SRC 输入 - 逆 SRC 输出

图 15