

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月7日(07.03.2019)



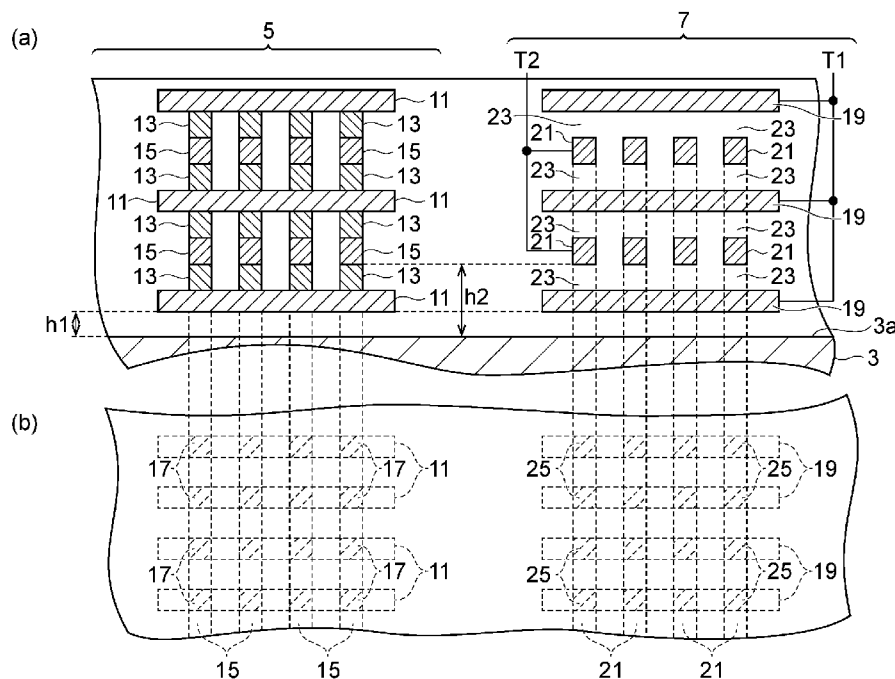
(10) 国際公開番号

WO 2019/044705 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/10 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2018/031369
- (22) 国際出願日: 2018年8月24日(24.08.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-168814 2017年9月1日(01.09.2017) JP
- (71) 出願人: 国立大学法人静岡大学(NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷 8 3 6 Shizuoka (JP).
- (72) 発明者: 丹沢 徹(TANZAWA Toru); 〒4328561 静岡県浜松市中区城北 3 丁目 5 - 1 国立大学法人静岡大学内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内 2 丁目 1 番 1 号丸の内 M Y P L A Z A (明治安田生命ビル) 9 階 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A nonvolatile memory device 1 comprises: a semiconductor substrate 3; a memory array area 5 having a plurality of memory cells 13, a plurality of straight word lines 11 which follow along a plane at a height h1 above the semiconductor substrate 3, and a plurality of straight bit lines 15 which are formed along a plane at a height h2 above the semiconductor substrate 3 in the direction intersecting with the word lines 11, wherein the plurality of memory cells 13 are provided between the plurality of bit lines 15 and intersections 17 at which the plurality of word lines 11 and the

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

plurality of bit lines 15 respectively intersect; and a periphery circuit area 7 having a plurality of straight linear electrodes 19 formed along the plane at the height h1 above the semiconductor substrate 3, a plurality of straight linear electrodes 21 formed in a direction intersecting with the linear electrodes 19 along the plane at the height h2 above the semiconductor substrate 3, and insulating bodies 23 positioned at least between the linear electrodes 19 and the linear electrodes 21.

(57) 要約: 不揮発性メモリ装置 1 は、半導体基板 3 と、半導体基板 3 上の高さ h 1 の面に沿って直線状の複数のワード線 1 1、半導体基板 3 上の高さ h 2 の面に沿ってワード線 1 1 に交差する方向に形成された直線状の複数のビット線 1 5、及び複数のワード線 1 1 のそれぞれにおける複数のビット線 1 5 との交差部 1 7 と、複数のビット線 1 5 のそれぞれとの間に設けられた複数のメモリセル 1 3 を有するメモリアレイ領域 5 と、半導体基板 3 上の高さ h 1 の面に沿って形成された直線状の複数の線状電極 1 9、半導体基板 3 上の高さ h 2 の面に沿って線状電極 1 9 に交差する方向に形成された直線状の複数の線状電極 2 1、及び線状電極 1 9 と線状電極 2 1 との間に少なくとも配置された絶縁体 2 3 を有する周辺回路領域 7 とを備える。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明の一側面は、半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、限られた回路面積で記憶容量を効率的に増やせる記憶素子としてクロスポイント型不揮発性メモリが用いられるようになってきている。下記特許文献1に記載のクロスポイントメモリセルは、第一の方向に伸長するワード線と、第二の方向に伸長するビット線と、ビット線とワード線とが交差する位置に配置された静電容量状態を保持するキャパシタを含むメモリセルとを含む。また、下記非特許文献には、3D NAND フラッシュメモリアレイを回路領域に積層する「CMOS under array」技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特表2013-520013号公報

非特許文献

[0004] 非特許文献1：T. Tanaka et al., "A 768Gb 3b/cell 3D-floating-gate NAND flash memory", ISSCC digest of technical papers, pp. 142-144, Dec. 2016

発明の概要

発明が解決しようとする課題

[0005] 上述したようなクロスポイント型不揮発性メモリには、メモリセルに印加される電圧を昇圧する昇圧回路用あるいは電源電圧の安定化用にキャパシタを含む回路をメモリセルの周辺に付加的に設ける必要がある。そのため、従来のクロスポイント型不揮発性メモリにおいて記憶容量の増大に伴って回路面積も増大する傾向にあった。

[0006] 従来はメモリアレイと周辺回路の領域が独立になっていたため、チップサ

イズはこれらのサイズの総和であったのに対して、「CMOS under array」技術ではキャパシタを含む周辺回路をメモリアレイの下に配置できるためチップサイズはメモリアレイだけで決まり、結果としてチップサイズを小さくしている。しかしながら、「CMOS under array」技術では電源回路で用いられるキャパシタは従来のトランジスタのゲート酸化膜を絶縁膜とするキャパシタ構造になってしまうため、必要な容量が大きくなるとチップサイズはメモリアレイではなく周辺回路で決まってしまう傾向があった。つまり、メモリ容量を大きくするため積層数を大きくすると、それに比例するように周辺回路の面積も大きくなってしまい、メモリアレイの面積以上になることもあった。そのため、メモリアレイの下層面積内で周辺回路を納めようとすると、限界となる積層数がある以上は積層できないという問題があった。

[0007] 本発明の一側面は、上記課題に鑑みて為されたものであり、回路面積の増大を抑制することが可能な半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決するため、本発明の一形態にかかる半導体装置は、半導体基板と、半導体基板上の第1の高さの第1の面に沿って互いに平行になるように形成された直線状の複数の第1の配線部、半導体基板上の第2の高さの第2の面に沿って複数の第1の配線部に交差する方向に形成された直線状の複数の第2の配線部、及び複数の第1の配線部のそれぞれにおける第1の面に垂直な方向から見た複数の第2の配線部との交差部と、複数の第2の配線部のそれぞれとの間において、第1の配線部及び第2の配線部と接続して設けられた複数の記憶素子を有する第1の領域と、半導体基板上の第1の面に沿って互いに平行になるように形成された直線状の複数の第3の配線部、半導体基板上の第2の面に沿って複数の第3の配線部に交差する方向に形成された直線状の複数の第4の配線部、及び第3の配線部と第4の配線部との間に少なくとも配置された絶縁体を有する第2の領域と、を備える。

[0009] 或いは、本発明の他の形態にかかる半導体装置の製造方法は、半導体基板上の第1の高さの第1の面に沿った第1の領域において、直線状の複数の第1の配線部を互いに平行になるように形成するとともに、半導体基板上の第1の面に沿った第2の領域において、直線状の複数の第3の配線部を互いに平行になるように形成する第1層形成ステップと、複数の第1の配線部上のそれぞれにおいて、互いに分離して複数の記憶素子を第1の配線部に接続して形成すると共に、複数の第3の配線部上のそれぞれにおいて絶縁体を形成する第2層形成ステップと、半導体基板上の第2の高さの第2の面に沿った第1の領域に対応する領域において、直線状の複数の第2の配線部を、複数の記憶素子のそれぞれに接続された状態で複数の第1の配線部に交差する方向に形成するとともに、半導体基板上の第2の面に沿った第2の領域に対応する領域において、直線状の複数の第4の配線部を、複数の第3の配線部との間に絶縁体を挟んだ状態で複数の第3の配線部に交差する方向に形成する第3層形成ステップと、を備える。

[0010] 上記形態の半導体装置或いはその製造方法によれば、半導体装置が、直線状の複数の第1の配線部、それらの複数の第1の配線部に交差する方向に伸びる直線状の複数の第2の配線部、及び複数の第1の配線部と複数の第2の配線部との間に接続された複数の記憶素子を有する第1の領域と、第1の配線部と同一の面に沿った直線状の複数の第3の配線部、第2の配線部と同一の面に沿って複数の第3の配線部に交差する方向に延びる直線状の複数の第4の配線部、及び複数の第3の配線部と複数の第4の配線部との間に挟まれた絶縁体を有する第2の領域とによって構成されることになる。これによって、記憶容量を増大させるために記憶素子アレイを構成する第1の領域の積層数が増えても、それに応じて第2の領域に含まれるキャパシタの容量を増やすことができるため、第2の領域の回路面積の増大を抑制することができる。その結果、回路全体の小型化および低コスト化が容易に実現できる。

発明の効果

[0011] 本発明の一側面によれば、回路面積の増大を抑制することが可能な半導体装置及びその製造方法を提供することができる。

図面の簡単な説明

[0012] [図1]本発明の好適な一実施形態にかかる不揮発性メモリ装置の概略構成を示す図である。

[図2]不揮発性メモリ装置1の詳細構造を示す断面図及び平面図である。

[図3]不揮発性メモリ装置1の製造の過程を示すための半導体基板3の主面に垂直な平面に沿った断面図である。

[図4]不揮発性メモリ装置1の製造の過程を示すための半導体基板3の主面に垂直な平面に沿った断面図である。

[図5]不揮発性メモリ装置1の製造の過程を示すための半導体基板3の主面に垂直な平面に沿った断面図である。

[図6]不揮発性メモリ装置1の製造の過程を示すための半導体基板3の主面に垂直な平面に沿った断面図である。

[図7]2層形成ステップの過程を示すための半導体基板3の主面に垂直な平面に沿った断面図である。

[図8]2層形成ステップの過程を示すための半導体基板3の主面に垂直な平面に沿った断面図である。

[図9]周辺回路領域7によって形成されるキャパシタの接続形態を示す斜視図である。

[図10]周辺回路領域7において実現される回路構成の例を示す回路図である。

[図11]不揮発性メモリ装置1によって生成されるキャパシタの単位面積当たりの容量と層数との関係を示すグラフである。

[図12]本発明の変形例において、周辺回路領域7によって形成されるキャパシタの接続形態を示す斜視図である。

発明を実施するための形態

[0013] 以下、図面を参照しつつ本発明に係る半導体装置の好適な実施形態につい

て詳細に説明する。なお、図面の説明においては、同一又は相当部分には同一符号を付し、重複する説明を省略する。

[0014] 図1に示されるように、本発明の好適な一実施形態である半導体装置である不揮発性メモリ装置1は、シリコン基板等の半導体基板3と、半導体基板3上に形成されたメモリアレイ領域（第1の領域）5及び周辺回路領域（第2の領域）7とを含んで構成されている。メモリアレイ領域5は、周辺回路領域7を経由して外部のバスBUSにデータ通信が可能となるように接続され、外部のバスBUSを経由して受信した信号に応じてデータを保持する機能を有する。周辺回路領域7は、各種演算を行う演算処理部、各種データを記憶するメモリ部、メモリアレイ領域5におけるデータの書き込み及び読み出しを制御する制御回路、及びバスBUSを介して外部と通信する通信回路等を含む。周辺回路領域7に含まれる制御回路は、バスBUSから受信した信号を基に、データをメモリアレイ領域5内の指定されたアドレスのメモリセル（詳細は後述する。）に書き込むように制御する。また、周辺回路領域7に含まれる制御回路は、バスBUSから受信した信号を基に、メモリアレイ領域5内の指定されたアドレスのメモリセルからデータを読み出すように制御する。さらに、この制御回路は、データの書き込みあるいは読み出しを行うために、外部から入力された電源電圧を昇圧してメモリセルに印加する機能も有する。

[0015] 次に、不揮発性メモリ装置1のメモリアレイ領域5及び周辺回路領域7の詳細構成について説明する。図2において、（a）部は、不揮発性メモリ装置1の半導体基板3の主面に垂直な平面に沿った断面図であり、（b）部は、不揮発性メモリ装置1を半導体基板3の主面に垂直な方向から見た平面図である。

[0016] メモリアレイ領域5は、複数のワード線（第1の配線部）11、複数のビット線（第2の配線部）15、及び、ワード線11とビット線15に挟まれた複数のメモリセル（記憶素子）13を含む構造が四層積層されて構成されている。詳細には、複数のワード線11は、半導体基板3の主面3a上の高

さ h_1 の面に沿って所定のピッチで互いに平行になるように直線状に形成されたタングステン (W)、銅 (Cu)、アルミニウム (Al)、多結晶シリコン (Poly-Si)、あるいはこれらの合金等の金属膜である。複数のビット線 15 は、半導体基板 3 の主面 3a 上の高さ h_2 ($> h_1$) の面に沿って、所定のピッチで互いに平行になり、かつワード線 11 の形成方向に垂直な方向に延びるように直線状に形成されたタングステン (W)、銅 (Cu)、アルミニウム (Al)、多結晶シリコン (Poly-Si)、あるいはこれらの合金等の金属膜である。メモリセル 13 は、複数のワード線 11 のそれぞれにおける主面 3a の垂直な方向から見た複数のビット線 15 との交差部 17 と、複数のビット線 15 のそれぞれとの間に形成され記憶素子である。このメモリセル 13 は、抵抗変化型メモリ (Resistive RAM)、相変化メモリ (Phase change memory)、磁気メモリ (Magnetic RAM)、あるいはスピンメモリ (Spin memory) 等を採用できる。メモリセル 13 は、主面 3a に垂直な方向の両端部において対応するワード線 11 及びビット線 15 と接続されている。このようなメモリセル 13 のそれぞれのアドレスは、接続されるワード線 11 及びビット線 15 によって決定される。

[0017] また、メモリアレイ領域 5 には、上記のようなワード線 11 の層、メモリセル 13 の層、及びビット線 15 の層からなる積層構造上に、さらに、メモリセル 13 の層、及びワード線 11 の層が積層されている。これにより、複数のワード線 11 の層及び複数のビット線 15 の層によって挟まれた複数のメモリセル 13 の層がさらに積層される。同様にして、複数のメモリセル 13 の層がさらに二層積層されることにより、ワード線 11 及びビット線 15 に接続されたメモリセル 13 の層が合計で四層形成されている。本実施形態では、メモリセル 13 の層が四層積層された構造を有しているが、この層数は特定数には限定されない。

[0018] 周辺回路領域 7 は、複数の線状電極 (第 3 の配線部) 19、複数の線状電極 (第 4 の配線部) 21、及び、線状電極 19 と線状電極 21 に挟まれた絶

縁体 23 を含む構造が四層積層されて構成されている。詳細には、複数の線状電極 19 は、半導体基板 3 の主面 3a 上の高さ h_1 の面に沿って、所定のピッチで互いに平行になり、かつ、ワード線 11 の形成方向と同一の方向に延びるように直線状に形成されたタングステン (W)、銅 (Cu)、アルミニウム (Al)、多結晶シリコン (Poly-Si)、あるいはこれらの合金等の金属膜である。複数の線状電極 21 は、半導体基板 3 の主面 3a 上の高さ h_2 ($> h_1$) の面に沿って、所定のピッチで互いに平行になり、線状電極 19 の形成方向に垂直な方向に延び、かつ、ビット線 15 の形成方向と同一の方向に延びるように直線状に形成されたタングステン (W)、銅 (Cu)、アルミニウム (Al)、多結晶シリコン (Poly-Si)、あるいはこれらの合金等の金属膜である。絶縁体 23 は、少なくとも、複数の線状電極 19 のそれぞれにおける主面 3a に垂直な方向から見た複数の線状電極 21 との交差部 25 と、複数の線状電極 21 のそれぞれとの間に形成された二酸化ケイ素 (SiO_2)、窒化ケイ素 (Si_3N_4) 等からなる絶縁体である。本実施形態では、絶縁体 23 は、メモリアレイ領域 5 及び周辺回路領域 7 に亘って、ワード線 11、ビット線 15、メモリセル 13、及び線状電極 19、21 を除く領域全体に形成されている。ここで、メモリアレイ領域 5 と周辺回路領域 7 とで絶縁体 23 が分離して形成されていてもよく、その場合はメモリアレイ領域 5 と周辺回路領域 7 とにおいて異なる材料の絶縁体が形成されていてもよい。また、周辺回路領域 7 における線状電極 19 と線状電極 21 との間においては、交差部 25 の部分のみに絶縁体 23 が形成されてもよい。

[0019] ここで、複数の線状電極 19 は、必ずしもワード線 11 の形成方向と同一の方向に形成されるものには限定されない。例えば、複数の線状電極 19 の一部がワード線 11 の形成方向と同一の方向に形成され、複数の線状電極 19 の他部がワード線 11 の形成方向と異なる方向（例えば垂直な方向）に形成されてもよい。同様に、複数の線状電極 21 は、必ずしもビット線 15 の形成方向と同一の方向に形成されるものには限定されない。例えば、複数の

線状電極 2 1 の一部がビット線 1 5 の形成方向と同一の方向に形成され、複数の線状電極 2 1 の他部がビット線 1 5 の形成方向と異なる方向（例えば垂直な方向）に形成されてもよい。

[0020] さらに、複数の線状電極 1 9 の長さはワード線 1 1 の長さよりも短いことが好適である。一般に、ワード線 1 1 の配線長をできるだけ延ばすことでメモリアレイの面積を大きくする必要がある一方で、線状電極 1 9 の配線長を長くするに従って寄生抵抗と容量の積で決まる R C 時定数が大きくなり、動作周波数が低くなった際に線状電極 1 9 によって形成されるキャパシタの出力電流が減少してしまう。そのため、複数の線状電極 1 9 の長さをワード線 1 1 の長さに比較して短くすることによって R C 時定数を下げる必要がある。同様の理由により、複数の線状電極 2 1 の長さはビット線 1 5 の長さよりも短いことが好適である。

[0021] また、周辺回路領域 7 には、上記のような線状電極 1 9 の層、絶縁体 2 3 の層、及び線状電極 2 1 の層からなる積層構造上に、さらに、絶縁体 2 3 の層、及び線状電極 1 9 の層が積層されている。これにより、複数の線状電極 1 9 の層及び複数の線状電極 2 1 の層によって挟まれた絶縁体 2 3 の層がさらに積層される。同様にして、絶縁体 2 3 の層がさらに二層積層されることにより、線状電極 1 9 及び線状電極 2 1 によって挟まれた絶縁体 2 3 の層が合計で四層形成されている。本実施形態では、絶縁体 2 3 の層が四層積層された構造を有しているが、この層数は特定数には限定されない。

[0022] 上記構成の周辺回路領域 7 において、三層の複数の線状電極 1 9 は、外部端子 T 1 に共通に電氣的に接続され、二層の複数の線状電極 2 1 は、外部端子 T 2 に共通に電氣的に接続される。これによって、複数の交差部 2 5 において線状電極 1 9、2 1 と絶縁体 2 3 とによって形成される複数のキャパシタを外部端子 T 1、T 2 間で並列接続することができ、周辺回路領域 7 で実現するキャパシタの容量を効率的に大きくすることができる。

[0023] なお、メモリアレイ領域 5 のワード線 1 1 及びビット線 1 5 の材料と、周辺回路領域 7 の線状電極 1 9、2 1 の材料とは同一材料であることが好適で

ある。こうすれば、ワード線 11 と線状電極 19 の形成工程、及びビット線 15 と線状電極 21 の形成工程を簡略化することができる。また、主面 3a に沿った線状電極 19 の線幅及び配列ピッチは、主面 3a に沿ったワード線 11 の線幅及び配列ピッチよりも大きい、ことが好適である。また、主面 3a に沿った線状電極 21 の線幅及び配列ピッチは、主面 3a に沿ったビット線 15 の線幅及び配列ピッチよりも大きい、ことが好適である。

[0024] 次に、不揮発性メモリ装置 1 の製造方法について説明する。図 3～図 6 は、不揮発性メモリ装置 1 の製造の過程を示すための半導体基板 3 の主面に垂直な平面に沿った断面図である。

[0025] まず、半導体基板 3 の主面 3a の近傍におけるメモリアレイ領域 5 内に、メモリセルの書き込みあるいは読み出しのためのトランジスタ 27 を形成するとともに、主面 3a の近傍における周辺回路領域 7 内に、メモリセルの書き込みあるいは読み出しのための制御回路用のトランジスタ 29 を形成する（図 3（a））。その後、半導体基板 3 上の主面 3a から高さ h_1 の面まで絶縁体 23 の層を形成した後、絶縁体 23 の層の面上に沿ってメモリアレイ領域 5 内に複数のワード線 11 を互いに平行になるように形成するとともに、絶縁体 23 の層の面上に沿って周辺回路領域 7 内に複数の線状電極 19 を互いに平行になるようにワード線 11 の形成方向と同一の方向に形成する（図 3（b）、第 1 層形成ステップ）。

[0026] 次に、メモリアレイ領域 5 の複数のワード線 11 上のそれぞれにおいて、互いに分離した複数のメモリセル 13 を、それぞれのワード線 11 に接続して形成した後に、メモリアレイ領域 5 及び周辺回路領域 7 に亘ってメモリセル 13 を覆うように、半導体基板 3 上の主面 3a から高さ h_2 の面まで絶縁体 23 の層を形成する（図 3（c）、第 2 層形成ステップ）。これにより、周辺回路領域 7 の複数の線状電極 19 上のそれぞれに絶縁体 23 が形成される。

[0027] その後、高さ h_2 の絶縁体 23 の層の面上に沿って、メモリアレイ領域 5 内に複数のビット線 15 を複数のワード線 11 の形成方向に垂直になるよう

に形成する。このとき、複数のビット線 15 が複数のワード線 11 との交差部 17 (図 2 (b)) においてそれぞれのメモリセル 13 の上面に接続された状態で形成される。それとともに、高さ h_2 の絶縁体 23 の層の面上に沿って、周辺回路領域 7 内に、複数の線状電極 21 を、互いに平行になるようにビット線 15 の形成方向と同一の方向に形成する (図 4 (a)、第 3 層形成ステップ)。これにより、複数の線状電極 21 が、複数の線状電極 19 との交差部 25 (図 2 (b)) において、線状電極 19 との間に絶縁体 23 をはさんだ状態で形成される。

[0028] さらに、同様に手順によって、メモリアレイ領域 5 及び周辺回路領域 7 に、メモリセル 13 の層及び絶縁体 23 の層を形成した後 (図 4 (b))、メモリアレイ領域 5 及び周辺回路領域 7 に、ワード線 11 の層及び線状電極 19 の層を積層する (図 5 (a))。

[0029] その後、同様な手順を繰り返すことにより、メモリアレイ領域 5 において、メモリセル 13 の層、ビット線 15 の層、メモリセル 13 の層、及びワード線 11 の層をこの順で積層して形成し、周辺回路領域 7 において、絶縁体 23 の層、線状電極 21 の層、絶縁体 23 の層、及び線状電極 19 の層をこの順で積層して形成する (図 5 (b))。以上までの工程により、半導体基板 3 上のメモリアレイ領域 5 に、ワード線 11 及びビット線 15 に接続されたメモリセル 13 の層が合計で四層形成され、半導体基板 3 上の周辺回路領域 7 に、線状電極 19 及び線状電極 21 に挟まれた絶縁体 23 の層が合計で四層形成される。

[0030] 最後に、メモリアレイ領域 5 において、各ワード線 11 及び各ビット線 15 をトランジスタ 27 の端子に電氣的に接続するための配線部 31 が形成されると共に、周辺回路領域 7 において、各線状電極 19 及び各線状電極 21 をトランジスタ 29 の端子に接続するための配線部 33 が形成される (図 6)。なお、図 6 においては、一部のワード線 11 及び線状電極 19 用の配線部 31, 33 のみを図示しており、他の配線部 31, 33 の図示は省略している。

[0031] ここで、図3(c)に示した第2層形成ステップの詳細について、図7及び図8を参照しながら説明する。図7及び図8は、第2層形成ステップの過程を示すための半導体基板3の主面に垂直な平面に沿った断面図である。第2層形成ステップでは、図7あるいは図8に示すいずれかの手順が採用される。

[0032] 図7に示す手順では、まず、半導体基板3の主面3aに沿って、メモリアレイ領域5及び周辺回路領域7を覆うように、ワード線11及び線状電極19の表面に、記憶素子用材料35の層が形成される(図7(a))。次に、エッチング処理によって、メモリアレイ領域5のメモリセル13の部分を除いた部分の記憶素子用材料35が取り除かれると共に、周辺回路領域7全体の記憶素子用材料35が取り除かれる(図7(b))。その後、メモリアレイ領域5及び周辺回路領域7を覆うように絶縁体23の層が形成される。

[0033] 一方、図8に示す手順では、まず、半導体基板3の主面3aに沿って、メモリアレイ領域5及び周辺回路領域7を覆うように、ワード線11及び線状電極19の表面に、シリコン酸化膜、シリコン窒化膜、あるいはカーボンなどのハードマスク等の被覆材37の層が形成される(図8(a))。この被覆材37の層には、メモリアレイ領域5のメモリセル13に該当する部分に穴部39が形成される。次に、メモリアレイ領域5の穴部39に記憶素子用材料が埋め込まれることにより複数のメモリセル13が形成された後、メモリアレイ領域5および周辺回路領域7の被覆材37の層が取り除かれる(図8(b))。その後、メモリアレイ領域5及び周辺回路領域7を覆うように絶縁体23の層が形成される。

[0034] 上述した不揮発性メモリ装置1における周辺回路領域7によって形成されるキャパシタの接続形態について説明する。図9は、周辺回路領域7によって形成されるキャパシタの接続形態を示す斜視図である。上述したように、周辺回路領域7において、複数の線状電極19は外部端子T1に共通に電氣的に接続され、複数の線状電極21は外部端子T2に共通に電氣的に接続されている。線状電極19、21に挟まれた絶縁体のそれぞれの領域はキャパ

シタを形成するので、このような接続形態によれば、2つの外部端子T1, T2間に複数のキャパシタが並列接続されることになり、限られた周辺回路領域の中で容量の大きな合成キャパシタを形成することができる。

[0035] 不揮発性メモリ装置1の周辺回路領域7においては、このような合成キャパシタを複数形成することにより、様々な用途の回路を構成することができる。図10は、周辺回路領域7において実現される回路構成の例を示している。図10(a)には、キャパシタ及びトランジスタを含み、入力電圧 V_{IN} を出力電圧 V_{OUT} に昇圧する昇圧回路の例を示している。また、図10(b)には、キャパシタ及びスイッチ素子を含み、入力電圧 V_{IN} を出力電圧 V_{OUT} に降圧する降圧回路の例を示している。また、図10(c)には、キャパシタ、インダクタ、抵抗素子、及びトランジスタ等を含む発振回路の例を示している。また、不揮発性メモリ装置1の周辺回路領域7において形成されるキャパシタは、電源の安定化のためのキャパシタ（デカップリングコンデンサ）として用いられてもよい。

[0036] 以上説明した不揮発性メモリ装置1は、直線状の複数のワード線11、それらの複数のワード線11に交差する方向に伸びる直線状の複数のビット線15、及び複数のワード線11と複数のビット線15との間に接続された複数のメモリセル13を有するメモリアレイ領域5と、ワード線11と同一の面に沿った直線状の複数の線状電極19、ビット線15と同一の面に沿って複数の線状電極19に交差する方向に延びる直線状の線状電極21、及び複数の線状電極19と複数の線状電極21との間に挟まれた絶縁体23を有する周辺回路領域7とによって構成されることになる。これによって、単位面積当たりの記憶容量（ビット数）を増大させるためにメモリセル13を構成するメモリアレイ領域5の積層数が多くなっても、それに応じて周辺回路領域7に含まれるキャパシタの容量を増やすことができる。そのため、周辺回路領域7の回路面積の増大を抑制することができる。例えば、キャパシタの容量が増加することで、メモリセル13に印加する電圧を昇圧するための昇圧回路の電圧供給能力を増強することができる。その結果、回路全体の小型

化および低コスト化が容易に実現できる。

[0037] 図 1 1 には、不揮発性メモリ装置 1 によって生成されるキャパシタの単位面積当たりの容量と層数との関係を計算した結果を示している。ここでは、複数の線状電極 1 9、2 1 の主面 3 a に沿った線幅が 20nm、複数の線状電極 1 9、2 1 の主面 3 a に沿った配列ピッチが 40nm、複数の線状電極 1 9、2 1 の主面 3 a に垂直な方向の厚さが 40nm、線状電極 1 9、2 1 に挟まれた各絶縁体 2 3 の主面 3 a に垂直な方向の厚さが 40nm の場合を想定し、線状電極 1 9 の層及び線状電極 2 1 の層の合計の層数を変化させた場合の単位面積当たりの容量値 [nF/mm^2] の理論値を示している。この計算結果に示すように、図 2 に示す構造に対応する層数 5 の場合、単位面積当たりの容量値が約 12~13 nF/mm^2 となっている。このことから、厚さ 4 nm のゲート酸化膜を有するトランジスタの容量値 8 nF/mm^2 と比較しても大きな容量値が得られることがわかる。層数を増やしていけばそれに比例して大きな容量値が得られることもわかる。

[0038] ここで、複数の線状電極 1 9 は、複数のワード線 1 1 と同一の方向に形成され、複数の線状電極 2 1 は、複数のビット線 1 5 と同一の方向に形成されている。この場合、周辺回路領域 7 の形成が効率的となり、回路全体の低コスト化を図ることができる。

[0039] また、複数の線状電極 1 9 は、外部端子 T 1 に共通に電氣的に接続され、複数の線状電極 2 1 は、外部端子 T 2 に共通に電氣的に接続されている。このような接続形態により、周辺回路領域 7 によって形成されたキャパシタの容量を並列接続して大容量のキャパシタを構成することができる。

[0040] また、複数の線状電極 1 9 の半導体基板 3 の主面 3 a に沿った線幅或いは間隔は、複数のワード線 1 1 の線幅或いは間隔よりも大きくされている。また、複数の線状電極 2 1 の半導体基板 3 の主面 3 a に沿った線幅或いは間隔は、複数のビット線 1 5 の線幅或いは間隔よりも大きくされている。このような構成によれば、周辺回路領域 7 において形成されるキャパシタの配線間の間隔を大きくすることで隣り合うキャパシタの配線間でのショートの高確率

を低下させ、あるいはキャパシタの不良の確率を低下させることができる。加えて、メモリアレイ領域5と異なるデザインとすることでキャパシタの大きな容量を実現することができる。ただし、複数の線状電極19の半導体基板3の主面3aに沿った線幅或いは間隔が複数のワード線11の線幅或いは間隔と同一とされてもよいし、複数の線状電極21の半導体基板3の主面3aに沿った線幅或いは間隔が、複数のビット線15の線幅或いは間隔と同一とされてもよい。この場合は、不揮発性メモリ装置1の加工が容易となるとともに歩留まりも高めることができる。

[0041] また、不揮発性メモリ装置1の製造工程である第2層形成ステップでは、半導体基板3の主面3aに沿って記憶素子用材料35を形成し、メモリアレイ領域5の記憶素子用材料35をエッチングすることにより複数のメモリセル13を形成すると共に、周辺回路領域7の記憶素子用材料35を取り除いた後に周辺回路領域7に絶縁体23を形成する。このようにすることで、メモリアレイ領域5における複数のメモリセル13の形成と、周辺回路領域7におけるキャパシタを構成する絶縁体23の形成とを効率よく行うことができる。

[0042] 或いは、不揮発性メモリ装置1の製造工程である第2層形成ステップでは、半導体基板3の主面3aに沿って穴部39が設けられた被覆材37を形成し、メモリアレイ領域5の被覆材37の穴部39に記憶素子用材料を埋め込むことにより複数のメモリセル13を形成すると共に、周辺回路領域7の被覆材37を取り除いた後に周辺回路領域7に絶縁体23を形成する。このようにすることで、メモリアレイ領域5における複数のメモリセル13の形成と、周辺回路領域7におけるキャパシタを構成する絶縁体23の形成とを効率よく行うことができる。

[0043] 本発明は、上述した実施形態に限定されるものではない。上記実施形態の構成は様々変更されうる。

[0044] 上述した実施形態では、図12に示す形態のように、同一の層の複数の線状電極19が外部端子T1と外部端子T2と交互に電氣的に接続され、同一

の層の複数の線状電極 21 が外部端子 T1 と外部端子 T2 とに交互に電氣的に接続されていてもよい。このような構成によっても、周辺回路領域 7 によって形成されたキャパシタの容量を並列接続して大容量のキャパシタを構成することができる。なお、この場合は、主面 3a に沿った方向に隣接する 2 つの線状電極 19 間、及び主面 3a に沿った方向に隣接する 2 つの線状電極 21 間に挟まれた絶縁体 23 によって形成されるキャパシタも、外部端子 T1, T2 間に接続される。

[0045] ここで、上記実施形態では、複数の第 3 の配線部は、複数の第 1 の配線部と同一の方向に形成され、複数の第 4 の配線部は、複数の第 2 の配線部と同一の方向に形成されていてもよい。この場合、第 2 の領域の形成が容易になり、回路全体の低コスト化を図ることができる。

[0046] また、複数の第 3 の配線部は第 1 の外部端子に共通に電氣的に接続され、複数の第 4 の配線部は第 2 の外部端子に共通に電氣的に接続されていてもよい。この場合、第 2 の領域によって形成されたキャパシタの容量を並列接続して大容量のキャパシタを構成することができる。

[0047] また、複数の第 3 の配線部は第 1 の外部端子と第 2 の外部端子と交互に電氣的に接続され、複数の第 4 の配線部は第 1 の外部端子と第 2 の外部端子とに交互に電氣的に接続されていてもよい。こうすれば、第 2 の領域によって形成されたキャパシタの容量を並列接続して大容量のキャパシタを構成することができる。

[0048] また、複数の第 3 の配線部の第 1 の面に沿った線幅或いは間隔は、複数の第 1 の配線部の線幅或いは間隔よりも大きくされてもよい。この場合には、第 2 の領域において形成されるキャパシタの配線間の間隔を大きくすることで隣り合うキャパシタの配線間でのショートの高確率を低下させ、あるいはキャパシタの不良の高確率を低下させることができる。加えて、第 1 の領域と異なるデザインとすることでキャパシタの大きな容量を実現することができる。

[0049] また、複数の第 4 の配線部の第 2 の面に沿った線幅或いは間隔は、複数の

第2の配線部の線幅或いは間隔よりも大きくされてもよい。この場合にも、第2の領域において形成されるキャパシタの配線間の間隔を大きくすることで隣り合うキャパシタの配線間でのショートの高率を低下させ、あるいはキャパシタの不良の高率を低下させることができる。加えて、第1の領域と異なるデザインとすることでキャパシタの大きな容量を実現することができる。

[0050] さらに、第2層形成ステップでは、第1の面に沿って記憶素子用材料を形成し、第1の領域の記憶素子用材料をエッチングすることにより複数の記憶素子を形成すると共に、第2の領域の記憶素子用材料を取り除いた後に第2の領域に絶縁体を形成する、こととしてもよい。この場合には、第1の領域における複数の記憶素子の形成と、第2の領域におけるキャパシタを構成する絶縁体の形成とを効率よく行うことができる。

[0051] またさらに、第2層形成ステップでは、第1の面に沿って穴部が設けられた被覆材を形成し、第1の領域の被覆材の穴部に記憶素子用材料を埋め込むことにより複数の記憶素子を形成すると共に、第2の領域の被覆材を取り除いた後に第2の領域に絶縁体を形成する、こととしてもよい。かかる構成を採れば、第1の領域における複数の記憶素子の形成と、第2の領域におけるキャパシタを構成する絶縁体の形成とを効率よく行うことができる。

産業上の利用可能性

[0052] 本発明の一側面は、半導体装置及びその製造方法を使用用途とし、回路面積の増大を抑制することができるものである。

符号の説明

[0053] 1…不揮発性メモリ装置（半導体装置）、3…半導体基板、3a…主面、5…メモリアレイ領域（第1の領域）、7…周辺回路領域（第2の領域）、11…ワード線（第1の配線部）、13…メモリセル（記憶素子）、15…ビット線（第2の配線部）、17…交差部、19…線状電極（第3の配線部）、21…線状電極（第4の配線部）、23…絶縁体、25…交差部、35…記憶素子用材料、37…被覆材、39…穴部、T1、T2…外部端子。

請求の範囲

[請求項1]

半導体基板と、

前記半導体基板上の第1の高さの第1の面に沿って互いに平行になるように形成された直線状の複数の第1の配線部、

前記半導体基板上の第2の高さの第2の面に沿って前記複数の第1の配線部に交差する方向に形成された直線状の複数の第2の配線部、及び

前記複数の第1の配線部のそれぞれにおける前記第1の面に垂直な方向から見た前記複数の第2の配線部との交差部と、前記複数の第2の配線部のそれぞれとの間において、前記第1の配線部及び前記第2の配線部と接続して設けられた複数の記憶素子を有する第1の領域と、

前記半導体基板上の前記第1の面に沿って互いに平行になるように形成された直線状の複数の第3の配線部、

前記半導体基板上の前記第2の面に沿って前記複数の第3の配線部に交差する方向に形成された直線状の複数の第4の配線部、及び

前記第3の配線部と前記第4の配線部との間に少なくとも配置された絶縁体を有する第2の領域と、

を備える半導体装置。

[請求項2]

前記複数の第3の配線部は、前記複数の第1の配線部と同一の方向に形成され、

前記複数の第4の配線部は、前記複数の第2の配線部と同一の方向に形成されている、

請求項1記載の半導体装置。

[請求項3]

前記複数の第3の配線部は第1の外部端子に共通に電氣的に接続され、

前記複数の第4の配線部は第2の外部端子に共通に電氣的に接続されている、

請求項 1 又は 2 記載の半導体装置。

[請求項4] 前記複数の第 3 の配線部は第 1 の外部端子と第 2 の外部端子と交互に電氣的に接続され、

前記複数の第 4 の配線部は第 1 の外部端子と第 2 の外部端子とに交互に電氣的に接続されている、

請求項 1 又は 2 記載の半導体装置。

[請求項5] 前記複数の第 3 の配線部の前記第 1 の面に沿った線幅或いは間隔は、前記複数の第 1 の配線部の前記線幅或いは前記間隔よりも大きい、請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

[請求項6] 前記複数の第 4 の配線部の前記第 2 の面に沿った線幅或いは間隔は、前記複数の第 2 の配線部の前記線幅或いは前記間隔よりも大きい、請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 半導体基板上の第 1 の高さの第 1 の面に沿った第 1 の領域において、直線状の複数の第 1 の配線部を互いに平行になるように形成するとともに、前記半導体基板上の前記第 1 の面に沿った第 2 の領域において、直線状の複数の第 3 の配線部を互いに平行になるように形成する第 1 層形成ステップと、

前記複数の第 1 の配線部上のそれぞれにおいて、互いに分離して複数の記憶素子を前記第 1 の配線部に接続して形成すると共に、前記複数の第 3 の配線部上のそれぞれにおいて絶縁体を形成する第 2 層形成ステップと、

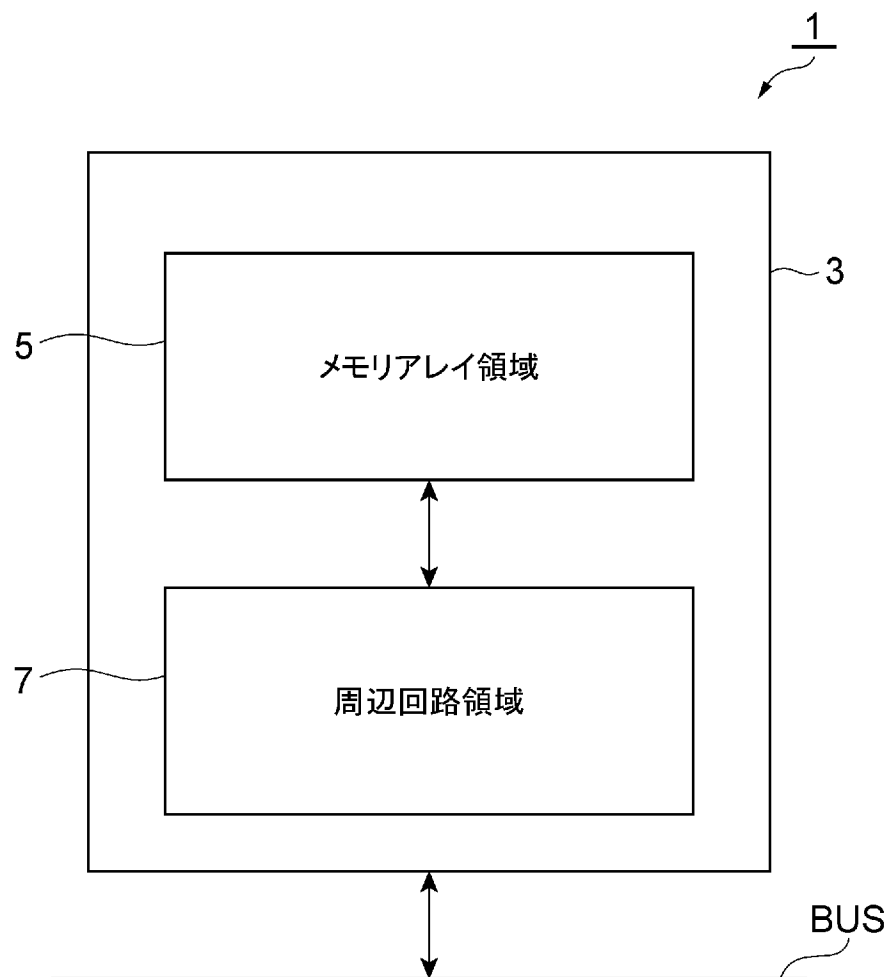
前記半導体基板上の第 2 の高さの第 2 の面に沿った前記第 1 の領域に対応する領域において、直線状の複数の第 2 の配線部を、前記複数の記憶素子のそれぞれに接続された状態で前記複数の第 1 の配線部に交差する方向に形成するとともに、前記半導体基板上の前記第 2 の面に沿った前記第 2 の領域に対応する領域において、直線状の複数の第 4 の配線部を、前記複数の第 3 の配線部との間に前記絶縁体を挟んだ状態で前記複数の第 3 の配線部に交差する方向に形成する第 3 層形成

ステップと、
を備える半導体装置の製造方法。

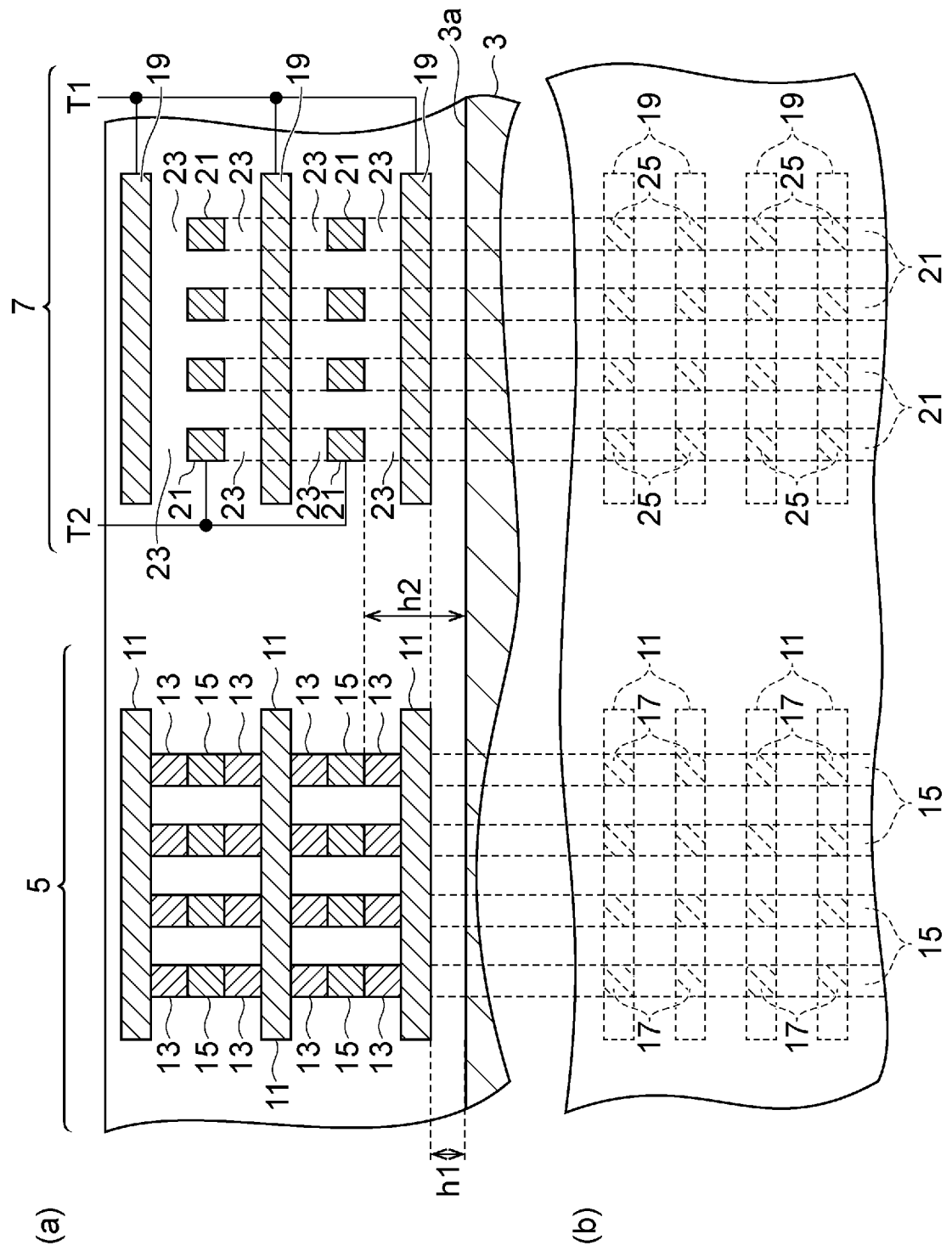
[請求項8] 前記第2層形成ステップでは、前記第1の面に沿って記憶素子用材料を形成し、前記第1の領域の前記記憶素子用材料をエッチングすることにより前記複数の記憶素子を形成すると共に、前記第2の領域の前記記憶素子用材料を取り除いた後に前記第2の領域に前記絶縁体を形成する、
請求項7記載の半導体装置の製造方法。

[請求項9] 前記第2層形成ステップでは、前記第1の面に沿って穴部が設けられた被覆材を形成し、前記第1の領域の前記被覆材の前記穴部に記憶素子用材料を埋め込むことにより前記複数の記憶素子を形成すると共に、前記第2の領域の前記被覆材を取り除いた後に前記第2の領域に前記絶縁体を形成する、
請求項7記載の半導体装置の製造方法。

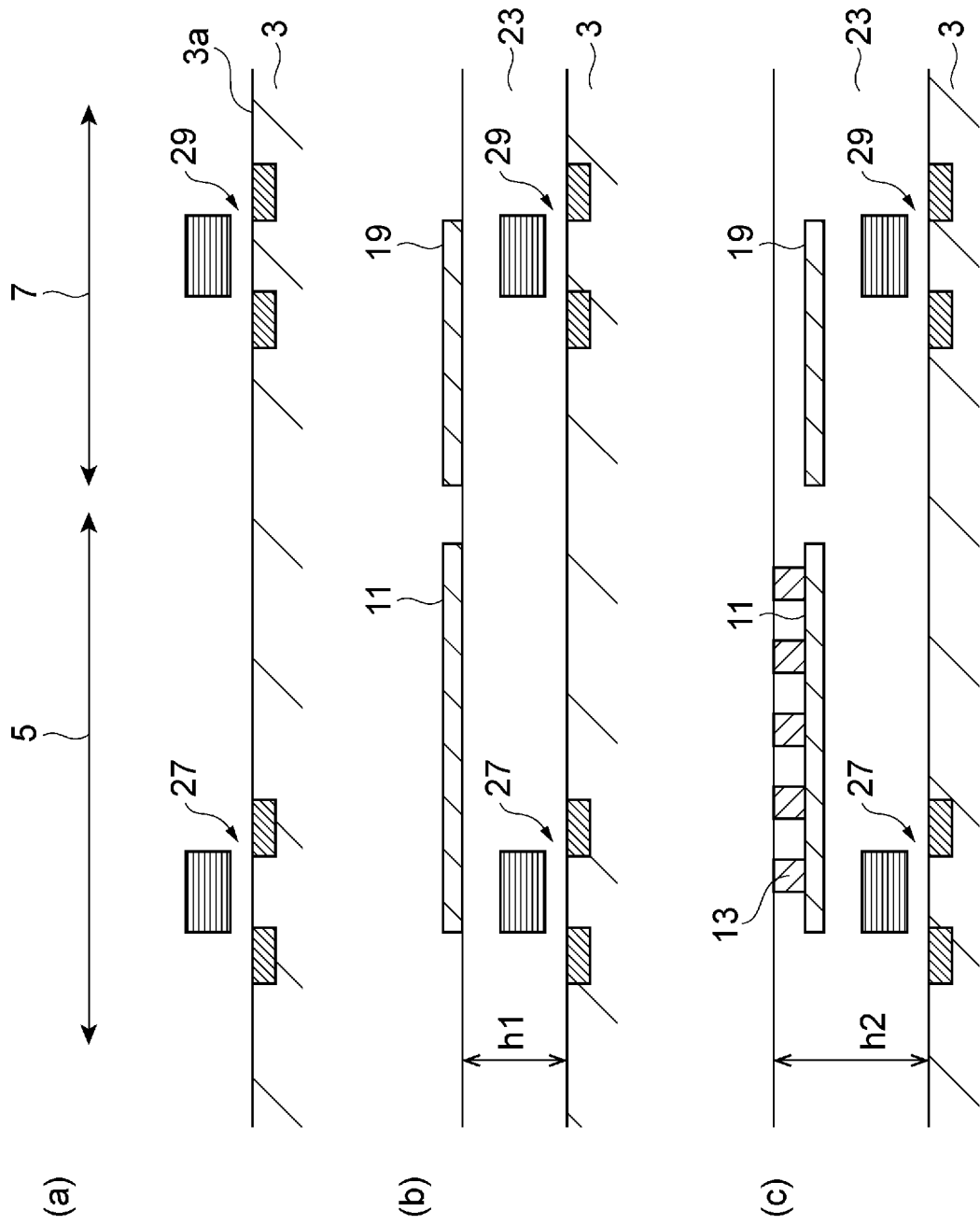
[図1]



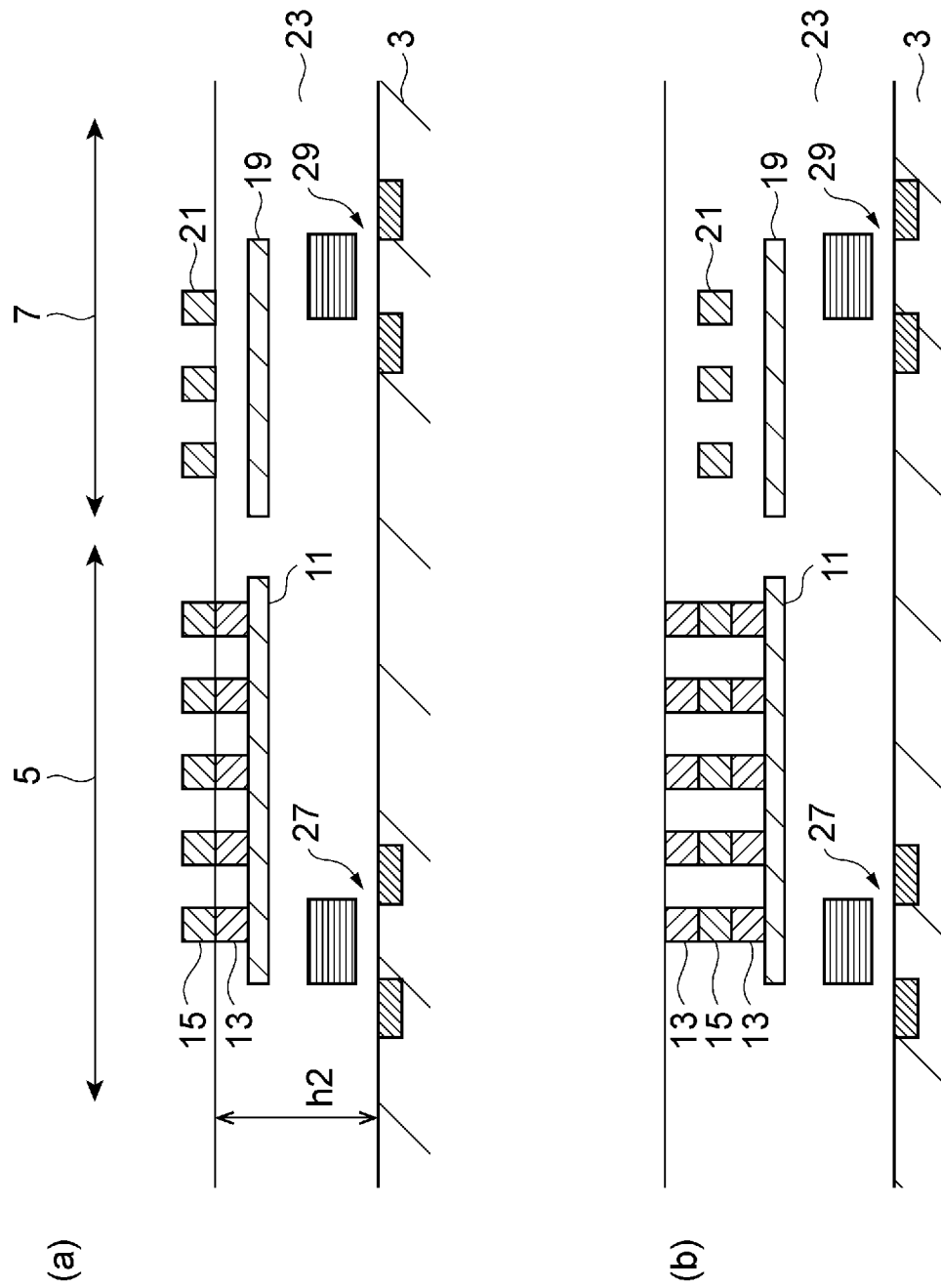
[図2]



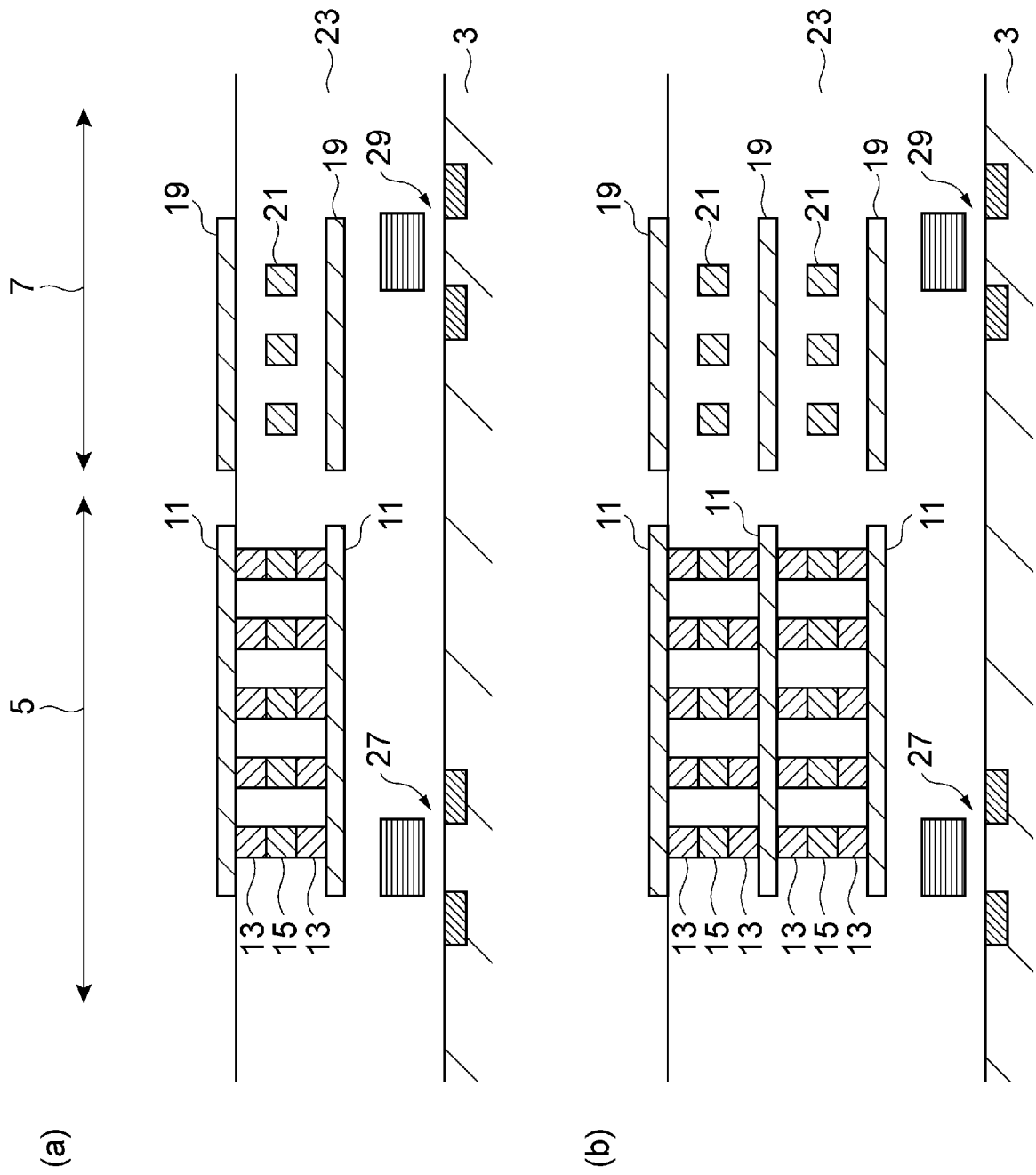
[図3]



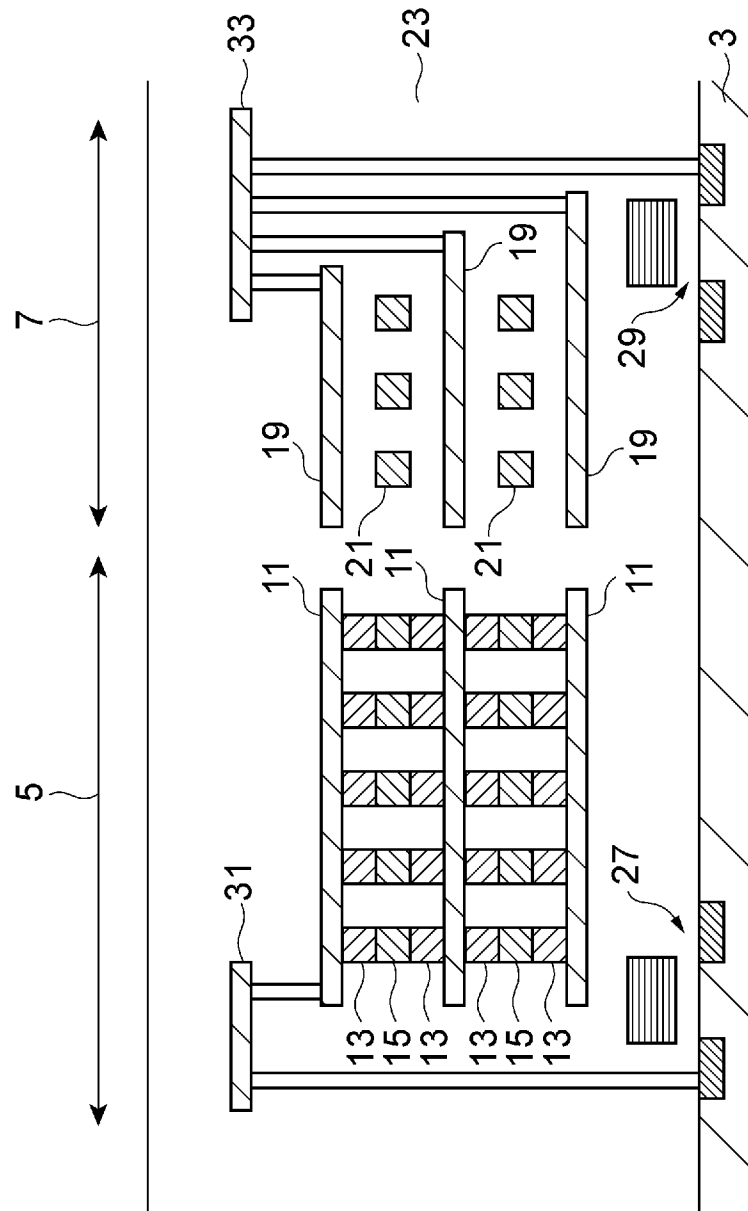
[図4]



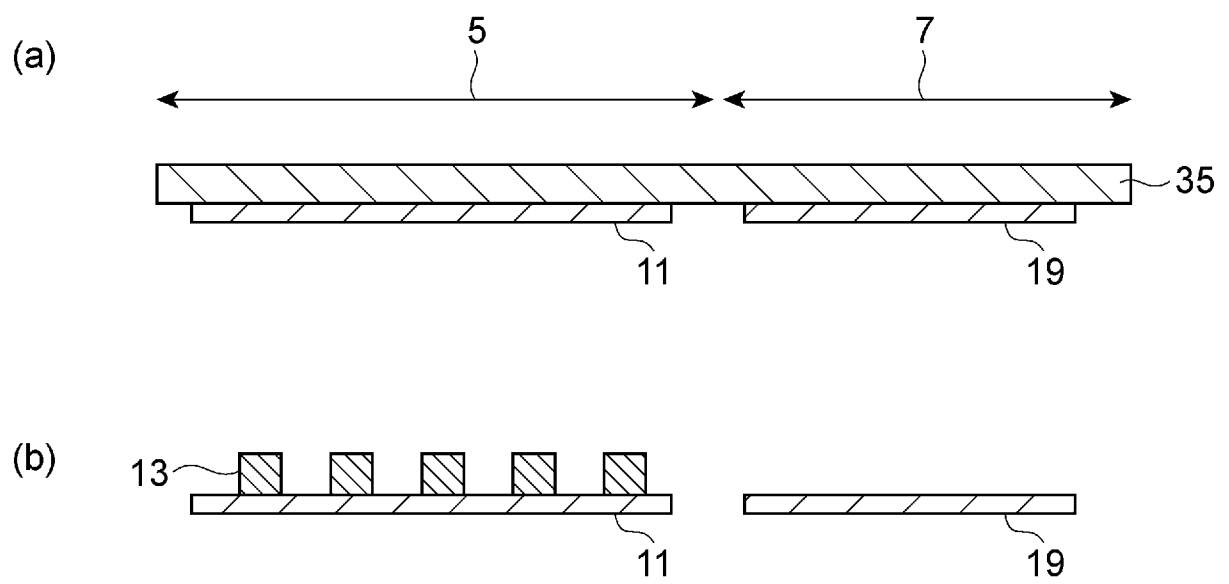
[図5]



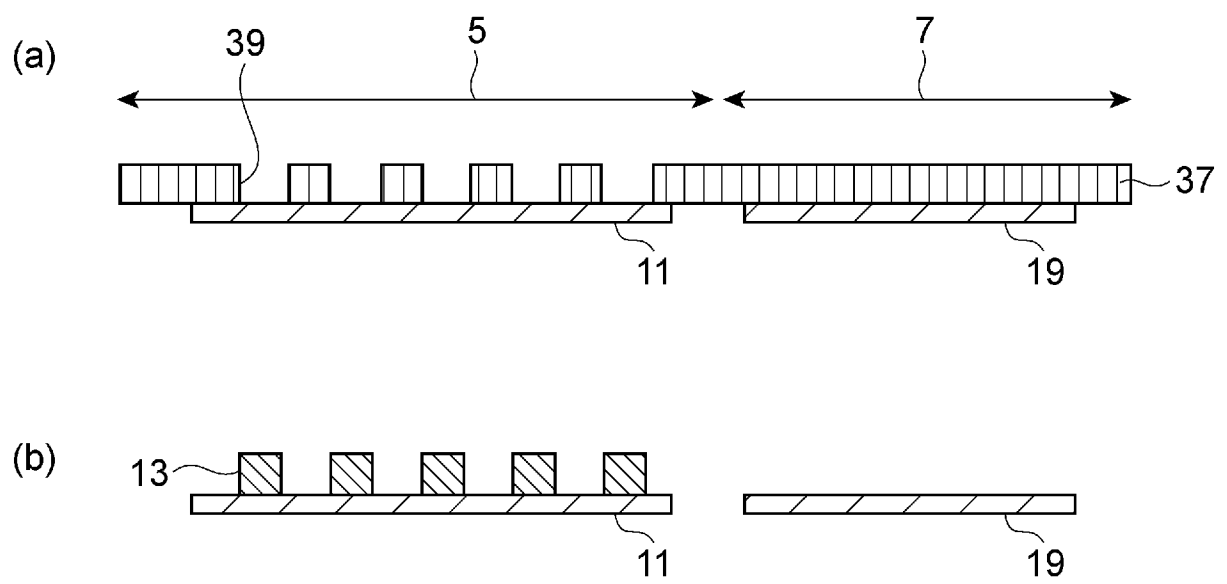
[図6]



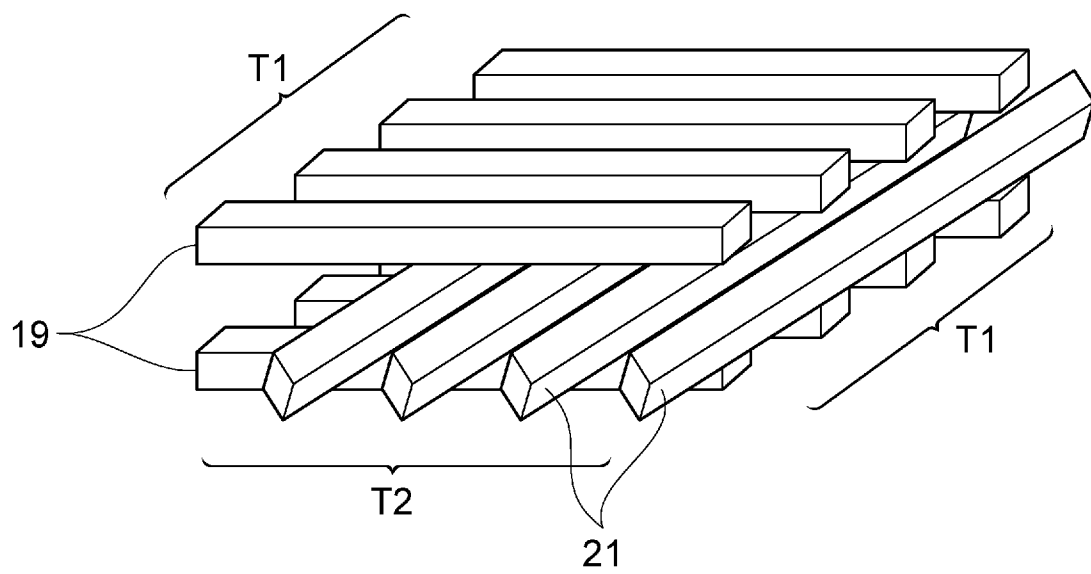
[図7]



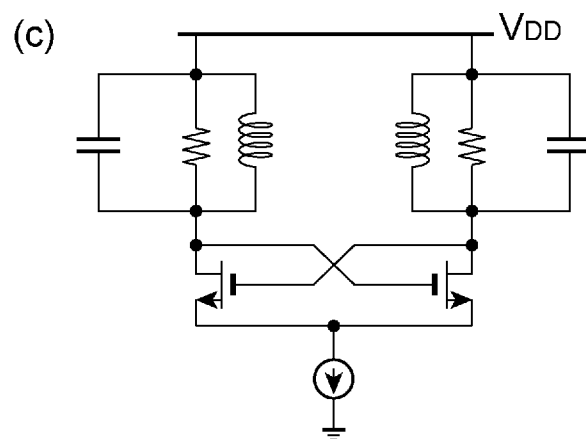
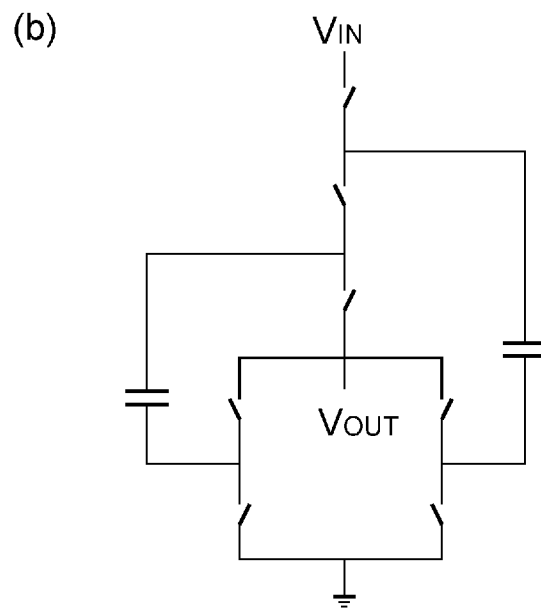
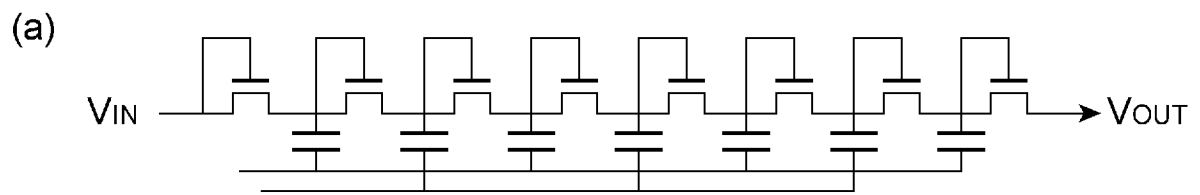
[図8]



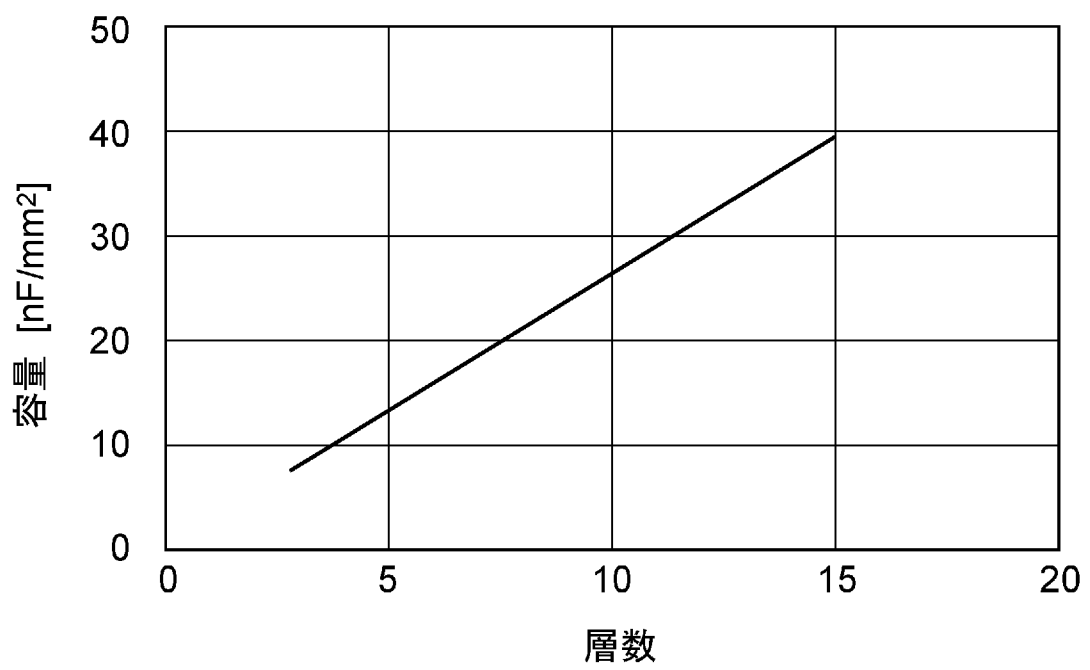
[図9]



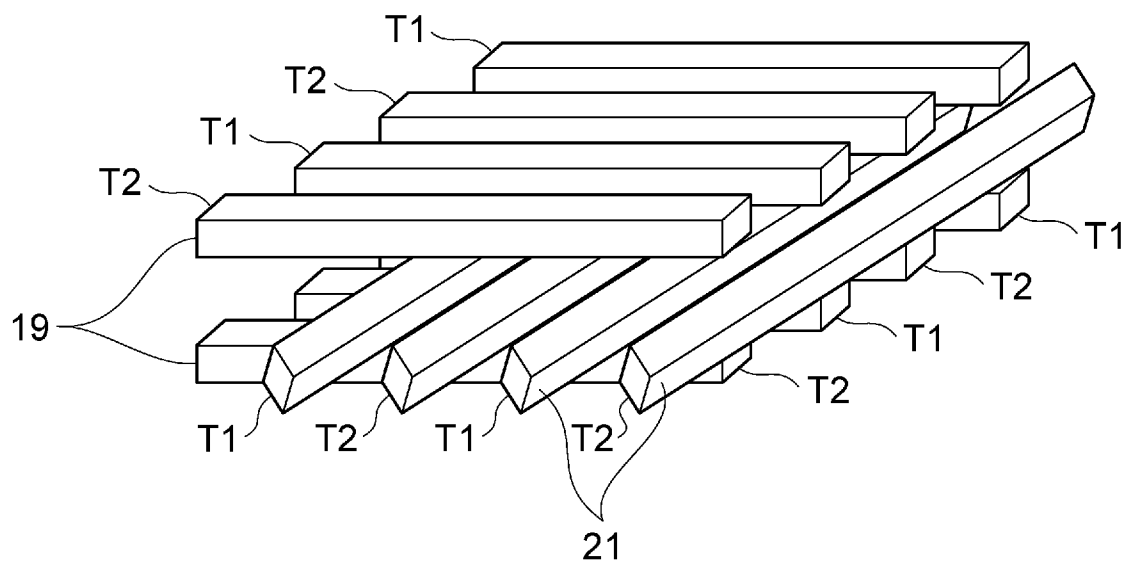
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/031369

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/822 (2006.01) i, H01L27/04 (2006.01) i, H01L27/10 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/822, H01L27/04, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-100387 A (TOSHIBA CORP.) 30 May 2016 & US 2016/0141003 A1	1-9
A	JP 2008-288372 A (RENESAS TECHNOLOGY CORP.) 27 November 2008 & US 2008/0283889 A1 & CN 101308846 A & KR 10-2008-0101786 A & TW 200903774 A	1-9
A	JP 2012-204394 A (ASAHI KASEI ELECTRONICS CO., LTD.) 22 October 2012 (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 October 2018 (23.10.2018)

Date of mailing of the international search report
06 November 2018 (06.11.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/822, H01L27/04, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-100387 A（株式会社東芝）2016.05.30, & US 2016/0141003 A1	1-9
A	JP 2008-288372 A（株式会社ルネサステクノロジ）2008.11.27, & US 2008/0283889 A1 & CN 101308846 A & KR 10-2008-0101786 A & TW 200903774 A	1-9
A	JP 2012-204394 A（旭化成エレクトロニクス株式会社）2012.10.22, （ファミリーなし）	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

23.10.2018

国際調査報告の発送日

06.11.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

6299

電話番号 03-3581-1101 内線 3516