

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 24.11.98.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 26.05.00 Bulletin 00/21.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : *LEGRAND Société anonyme* — FR et
LEGRAND SNC — FR.

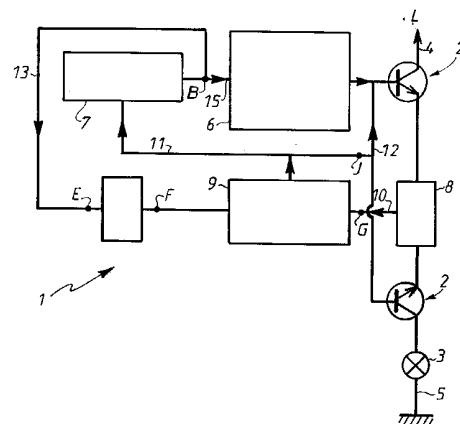
72 Inventeur(s) : *LEBLANC DIDIER.*

73 Titulaire(s) :

74 Mandataire(s) : *CABINET BONNET THIRION.*

54 DISPOSITIF DE PROTECTION ELECTRONIQUE CONTRE LES COURTS-CIRCUITS.

57 Interrupteur électronique (1), comportant un micro-
contrôleur (7) pilotant un moyen de commutation com-
mandé (2), disposé sur un réseau électrique entre une phase (4)
et une charge (3) reliée au neutre (5), caractérisé en ce qu'il
comporte un dispositif de protection contre des défauts
électriques comprenant: un module (8) de détection d'un
défaut électrique dans le courant circulant entre la phase (4)
et la charge (3), et une cellule de protection et mémorisation
(9) adaptée à mettre en mémoire le défaut, à provoquer le
blocage du moyen de commutation commandé (2) tant que
la constatation d'un défaut reste mémorisée, à envoyer une
information de défaut au microcontrôleur (7), et à recevoir
du microcontrôleur (7) un signal de fin de mémorisation de
défaut.



"Dispositif de protection en court-circuit pour télévariateur"

L'invention est du domaine des dispositifs de contrôle de puissance d'appareils électriques. Elle concerne plus particulièrement la protection de
5 cellules de commutation basse fréquence de type convertisseur à semi-conducteur, telles que variateurs de lumière etc, contre des courts-circuits.

Pour les cellules de commutation, la protection des semi-conducteurs contre les courts-circuits doit être rapide. Dans le cas où la commande de la cellule est réalisée par un microcontrôleur, un tel composant ne peut réagir
10 suffisamment rapidement pour protéger efficacement le semi-conducteur (transistor en général) en question : il faut en effet réagir dans certains cas en une dizaine de microsecondes.

La présente invention a donc pour but de remédier à l'inconvénient précité, en proposant un nouveau dispositif rapide de protection contre les courts-
15 circuits. Selon un second objectif de l'invention, le dispositif utilise des composants bon marché.

L'invention propose à cet effet un Interrupteur électronique, comportant un microcontrôleur pilotant un moyen de commutation commandé, disposé sur un réseau électrique entre une phase et une charge reliée au neutre, caractérisé en
20 ce qu'il comporte un dispositif de protection contre des défauts électriques comprenant : un module de détection d'un défaut électrique dans le courant circulant entre la phase et la charge, et une cellule de protection et mémorisation, reliée au module de manière à recevoir de celui-ci un éventuel signal de défaut électrique, adaptée à mettre en mémoire un signal de constatation de défaut, à
25 provoquer le blocage du moyen de commutation commandé tant que la constatation d'un défaut reste mémorisée, à envoyer une information de défaut au microcontrôleur, et à recevoir du microcontrôleur un signal de fin de mémorisation de défaut.

On comprend que grâce à ces dispositions, face à un court circuit très
30 rapide (plusieurs ampères par microseconde), le dispositif selon l'invention mémorise l'information dans un circuit électrique, pour pouvoir la traiter ensuite avec un microcontrôleur lent, et donc moins cher.

Selon une disposition préférée, le moyen de commutation commandé est composé de deux commutateurs de type connu sous le nom IGBT, disposés

symétriquement par leur émetteur autour d'un point de référence du montage de puissance et reliés par leur collecteur pour l'un à la phase, et pour l'autre à la charge.

5 Cette disposition est favorable à une réalisation économique et simple du dispositif.

Dans la mise en œuvre préférée de l'invention, la cellule de protection et mémorisation comporte une boucle logique comprenant un "OU" câblé, alimenté, pour une première entrée, par une ligne amenant un signal de dé-validation mémoire issue du microcontrôleur, la ligne transportant le signal
10 résultant du "OU" câblé alimentant, conjointement avec la ligne transportant le signal de défaut provenant du module, une première porte "ET" dont le signal résultant est à son tour transmis :

1/ d'une part, vers une seconde entrée du "OU" câblé,
2/ d'autre part, vers une ligne connectée au microcontrôleur de manière
15 à lui transmettre un signal de défaut électrique constaté,

3/ enfin vers une seconde porte "ET" (après avoir été inversé), conjointement avec un signal provenant du microcontrôleur, le signal issu de cette porte logique "ET" pilotant un moyen adapté à provoquer le blocage du moyen de commutation commandé.

20 On comprend qu'on a ainsi créé une boucle logique adaptée à mémoriser un signal de défaut électrique, puisque tant qu'aucun signal de dé-validation n'est entré dans le "OU" câblé, une absence temporaire de courant sur la ligne de signal de défaut sur la première porte "ET" provoque un signal nul maintenu en boucle, même si le signal de défaut disparaît ensuite. Ce signal de
25 constatation de défaut étant mémorisé, il est possible de l'utiliser pour provoquer des actions, d'une part, de blocage du moyen de commutation commandé, et, d'autre part, d'information au microcontrôleur, qui est un composant beaucoup plus lent que les portes logiques.

Par mesure de sécurité, pour assurer que le microcontrôleur a eu le
30 temps de provoquer le blocage du moyen de commutation commandé, l'interrupteur comporte un moyen de retard de signal disposé entre la sortie de la porte "OU" et la première porte "ET".

Il est clair que ce moyen de retard peut être soit intrinsèque aux composants utilisés, soit résulter du montage de composants spécifiques.

L'invention vise également un procédé de protection rapide d'interrupteur électronique contre des défauts électriques, ledit interrupteur comportant un microcontrôleur pilotant un moyen de commutation commandé, et une cellule de protection et mémorisation, caractérisé en ce qu'il comporte des

5 étapes :

de surveillance du courant circulant vers une charge alimentée par l'interrupteur,

de comparaison avec un critère préalablement choisi caractérisant un défaut électrique de nature prédéterminée,

10 de détection de défaut lorsque le critère est vérifié, et,
dans ce cas,

1/ de blocage du moyen de commutation commandé,

2/ d'envoi d'une information de défaut au microcontrôleur,

3/ et de mémorisation de l'état de blocage tant que le microcontrôleur
15 n'émet pas un signal de fin de mémorisation.

Selon une mise en œuvre préférée, le procédé comporte par ailleurs des étapes : de traitement de l'information de défaut par le microcontrôleur, de traduction de cette information en un signal de blocage du moyen de commutation commandé, d'envoi à la cellule de protection et mémorisation d'un signal pour la
20 dé-valider

Préférentiellement, l'envoi à la cellule de protection et mémorisation d'un signal pour la dé-valider est effectué après un délai de sécurité prédéterminé.

La description et les dessins d'un mode préféré de réalisation de l'invention, donnés ci-après, permettront de mieux comprendre les buts et avantages de l'invention. Il est clair que cette description est donnée à titre
25 d'exemple, et n'a pas de caractère limitatif. Dans les dessins :

- la figure 1 est un schéma bloc de l'interrupteur électronique selon l'invention;

- la figure 2 est un schéma électrique plus détaillé du même dispositif;

30 - la figure 3 est un schéma électrique d'une variante du dispositif.

Dans la description qui suit, on fait référence à une cellule de commutation basse fréquence dont le type général est connu, telle par exemple que celles qui sont utilisées dans les variateurs de lumière dont disposent les usagers pour leur permettre de sélectionner un niveau lumineux quelconque

compris dans une plage de valeurs prédéterminée.

Dans une telle cellule de commutation (figure 1), un moyen de commutation commandé 2 (généralement de type transistor) est disposé en amont d'une charge 3 (une lampe par exemple) à alimenter sur un réseau électrique
5 basse fréquence classique 4, 5 (type 230 V 50 Hz alternatif).

Ce moyen de commutation commandé 2 a pour fonction d'interrompre le passage du courant dans la charge 3 de façon régulière selon la tension réseau. Lors d'une demi période de réseau (1/100 seconde), la courbe de courant dans le moyen de commutation commandé 2 suit donc la courbe de tension
10 réseau (sinusoïde) pendant une partie de la variation en tension de 0 à une tension maximale U_{max} lorsque le moyen de commutation commandé 2 est fermé, puis commute en position ouverte avec un courant qui repasse à zéro.

Le cycle se reproduit à chaque demi période, ce qui limite le courant passant dans la charge 3. L'instant de commutation est piloté par une interface de
15 commande 6 asservi à un microcontrôleur 7.

Le dispositif de protection contre les courts-circuits 1 selon l'invention (interrupteur électronique par exemple) comporte par ailleurs un module 8 de lecture et détection de court circuit disposé entre le moyen de commutation commandé 2 et la charge 3, une cellule de protection et mémorisation 9, reliée
20 (ligne 10) au module 8 de manière à recevoir de celui-ci un éventuel signal de défaut électrique.

La cellule de protection et mémorisation 9 est reliée, d'une part, au microcontrôleur (ligne 11) pour lui transmettre l'information de défaut électrique, d'autre part, au moyen de commutation commandé 2 (ligne 12), pour le bloquer
25 (mise à zéro). La cellule de protection et de mémorisation 8 est également reliée en réception au microcontrôleur (ligne 13) pour recevoir les ordres de dé-validation mémoire.

La figure 2 illustre de façon détaillée un exemple de montage électrique fonctionnellement identique au schéma bloc de la figure 1.

30 On reconnaît sur ce schéma les blocs de la figure 1, avec en particulier l'interface de commande 6, la cellule de protection et mémorisation 9, le module 8 de détection de court circuit.

Le moyen de commutation commandé 2 est ici composé de deux commutateurs Q1, Q2, par exemple de type connu sous le nom IGBT. Ces

commutateurs sont disposés symétriquement par leur émetteur autour du point de référence 14 du montage de puissance (le zéro V de la partie puissance), et sont reliés par leur collecteur pour l'un Q1 à la phase 4, et pour l'autre, Q2 à la phase coupée 5 (vers la charge 3).

5 L'interface de commande 6 comporte un montage également symétrique autour du point de référence 14, chaque "côté" de ce montage comprenant en parallèle entre ce point de référence 14 et la grille du commutateur Q1 (respectivement Q2) une diode D1 (respectivement D2).

Les diodes D1 et D2 ont leur anodes reliées, et alimentées par une
10 résistance R11 elle-même reliée (point C) au microcontrôleur 7 par l'intermédiaire du collecteur d'un transistor Q6 (montage inverseur analogique) et d'une diode U2 (de type opto-transistor) de sortie notée B, également reliée à la cellule de protection et mémorisation 9. On définit pour la suite de la description un point D (respectivement D') entre la diode D1 (respectivement D2) et le commutateur Q1
15 (Q2).

Le module 8 de détection de défaut est organisé autour de deux transistors Q3 et Q4, également placés de façon symétrique autour du point de référence 14, et montés en boucle rapide de lecture par shunt.

Les collecteurs des deux transistors Q3 et Q4 sont reliées ensemble et
20 à la cellule de protection et de mémorisation 9 par la ligne 10, sur laquelle on définit, pour faciliter la description de fonctionnement, un point G.

La cellule de protection et mémorisation 9 comporte une boucle logique comprenant une fonction "OU" câblée formée de deux diodes D4, D5. La diode D4 est alimentée (point E) par la ligne 13 (de dé-validation mémoire) issue du
25 microcontrôleur 7. La porte logique "OU" câblée alimente une entrée (point F) de la porte "ET" (formée d'un composant U5-B), conjointement avec le signal de la ligne 10 (point G).

En sortie de la porte logique "ET" formée du composant U5-B (point H), le signal est envoyé,

30 1/ d'une part, vers la diode D5 de la fonction "OU" câblée,
2/ d'autre part, vers la ligne 11 informant le microcontrôleur 7 d'un défaut électrique constaté, par l'intermédiaire d'un opto-transistor U3,
3/ enfin vers un transistor Q8 (monté en d'inverseur de signal), dont le collecteur noté I, est relié, conjointement avec le signal issu de la résistance R11

(point C) de l'interface de commande 6, à une autre porte logique "ET" formée par un composant U5-C.

Le signal issu de cette porte logique "ET" formée par le composant U5-C (ligne 12 de mise à zéro du moyen de commutation 2, sur laquelle on définit un point J) alimente les bases reliées ensembles de deux composants Q5 et Q7 (transistors de type MOS, permettant un blocage rapide des commutateurs de puissance).

Ces composants sont par ailleurs reliés, d'une part, aux grilles des commutateurs Q1 et Q2 (points D et D') par leur drain, et, d'autre part, au point de référence 14 du montage de puissance par leur source.

La cellule de protection et mémorisation 9 est donc disposée en parallèle avec la ligne de commande 15 reliant le microcontrôleur 7 à l'interface de commande 6 et au moyen de commutation Q1, Q2.

Le microcontrôleur 7 est de type connu de l'homme de l'art (par exemple un microprocesseur) et n'est donc pas détaillé plus avant ici.

De même, les composants spécifiquement utilisés dans le montage sont de type et de valeur classiques dans ce genre de montage pour obtenir un fonctionnement correct.

En résumé, le fonctionnement du dispositif peut être décrit par les valeurs aux points suivants (pour lesquels on donne un signal 1 lorsque un courant passe, et zéro en l'absence de signal passant):

A : sortie de bouton de commande du microcontrôleur 7 (valant 1 lorsque on met le produit en conduction, et zéro autrement)

B : sortie de l'opto-transistor U2 de commande de dé-validation mémoire du microcontrôleur 7 (valant 0 pour dé-valider, 1 autrement),

C : sortie du microcontrôleur 7 vers l'interface de commande 6, valant 1 pour commande de courant dans la charge, et 0 à l'arrêt (inverse du signal B),

D : entrée de commutateur Q1, valant 1 pour que Q1 soit conducteur, 0 lorsque Q1 est bloqué (D' présente une définition analogue pour Q2)

E : signal de dé-validation mémoire sur ligne 12, valant 1 pour un ordre de dé-validation, 0 autrement,

F : signal en entrée de porte "ET" formée par le composant U5-B, signal de mémorisation de défaut électrique, valant 0 tant que le défaut électrique n'est pas pris en charge par le microcontrôleur 7, 1 autrement,

G : signal en sortie de module 8 (collecteurs des transistors Q3, Q4) de détection de défaut électrique, valant 0 en cas de défaut, 1 autrement,

H : sortie de porte "ET" formée par le composant U5-B, valant 0 en cas de défaut électrique constaté, mais non pris en charge par le microcontrôleur 7,

5 I : collecteur du transistor Q8, valant 1 en présence de défaut électrique non encore pris en charge par le microcontrôleur 7 (inverse du signal H),

J : sortie de porte "ET" formée par le composant U5-C, ligne 12 pour mise à zéro du moyen de commutation en cas de défaut électrique, valant 0 pour bloquer Q5 et Q7, 1 pour les rendre conducteurs,

10 K : sortie de l'opto-transistor U3, ligne 11, information de défaut électrique au microcontrôleur 7, valant 0 en cas d'information de défaut, 1 en l'absence de défaut (valeur normale).

Le fonctionnement du dispositif est résumé ci-après. Son principe est que, sur détection d'un défaut électrique par le module 8 de lecture et détection de défaut, la cellule de protection et mémorisation 9 bloque le moyen de commutation commandé 2 (coupure du courant dans la charge 3), et maintient cet état (effet mémoire).

Par ailleurs, elle transmet l'information au microcontrôleur 7, qui traite l'information et la traduit en un signal de blocage après un délai.

20 Le microcontrôleur 7 confirme alors l'état bloqué du moyen de commutation (semi-conducteurs Q1 et Q2) en reprenant la main par rapport à la cellule de protection et mémorisation 9, et renvoie à cette cellule 9 ce signal pour la dé-valider (remise à zéro) avec un certain retard (le retard est nécessaire pour s'assurer que le microcontrôleur 7 reprend la main avant que la cellule de protection et mémorisation 9 ne soit plus active).

A cet instant, le moyen de commutation commandé 2 n'est plus contrôlé que par le microcontrôleur 7. La remise en marche de la charge 3 ne peut être ordonnée que par une action extérieure de l'opérateur via le microcontrôleur 7.

30 Plus précisément, lors d'une mise sous tension avec produit bloqué (mise sous tension du dispositif mais variateur à zéro), avec $F=0$ initialement et $G=1$ (pas de court-circuit détecté), on a $A=0$, $B=1$, d'où en sortie de la porte U5-A un signal $E=1$ et simultanément sur le collecteur de Q6 un signal $C=0$.

Après un délai de temporisation, créé à l'entrée de la boucle de mémorisation par la nature des composants utilisés (si les composants utilisés ne

retardaient pas le signal, on insérerait des composants spécifiques pour créer un retard, qui est nécessaire au dispositif), au point F, on a un signal $F=1$, et puisque $G=1$, la porte "ET" U5-B donne une sortie égale à 1 ($H=1$) qui entraîne $K=1$ (pas d'information de court circuit transmise au microcontrôleur 7) et $I=0$ (collecteur de Q8). En conséquence, en sortie de la porte U5-C, le signal J vaut 0 (blocage de Q5 et Q7). On a alors en sortie des diodes D1 et D2 un signal nul ($D=D'=0$), puisque $C=0$, et les transistors Q1 et Q2 sont bloqués. L'état final est caractérisé par $A=0$, $B=1$, $C=0$, $D=0$, $E=1$, $F=1$, $G=1$, $H=1$, $I=0$, $J=0$, $K=1$.

En cas de commande de passage de courant dans la charge (signal $A=1$), le courant passe dans les commutateurs Q1 (signal $D=1$) ou Q2 suivant le sens de la tension. La charge 3 est alimentée. Il n'y a pas de signal de défaut envoyé au microcontrôleur ($K=1$). L'état final est alors caractérisé par $A=1$, $B=0$, $C=1$, $D=1$, $E=0$, $F=1$, $G=1$, $H=1$, $I=0$, $J=0$, $K=1$.

En cas de court circuit de la charge, entre la phase coupée 5 et le neutre, on a dans le module 8 de détection de défaut électrique le transistor Q3 (ou Q4) conducteur avec donc 1 (courant passant) sur sa base, et 0 sur son collecteur ($G=0$). Par ailleurs, on a un signal $F=1$ (fonctionnement précédemment normal), d'où en sortie de la porte "ET" formée par le composant U5-B absence de signal ($H=0$). Le microcontrôleur continue d'envoyer $E=0$ (pas de dé-validation) et $C=1$ car il n'a pas reçu et donc traité d'information de défaut électrique.

La détection de défaut électrique par le module 8, provoquant $H=0$ entraîne une valeur de signal $K=0$ (opto-transistor U3 conducteur, donc envoi d'une information de défaut électrique au microcontrôleur 7).

En sortie de la porte "ET" formée par le composant U5-C, on a un signal $J=1$ (car le microcontrôleur 7 envoie encore $C=1$, et il y a un défaut constaté $I=1$), qui rend les composants Q5 et Q7 conducteurs, d'où $D=0$. Il n'y alors pas de courant passant dans Q1 et Q2, qui sont bloqués.

De ce fait, le module 8 ne détecte plus de défaut électrique, et on a un signal $G=1$ (le signal de défaut électrique $G=0$ est très fugitif, puisqu'on interrompt très rapidement le courant dans la charge 3, ce qui est bien le but recherché)

Cependant, la porte "ET" formée par le composant U5-B a pour entrées $F=0$ et $G=1$, et sort donc un signal $H=0$. On a bien ici mémorisation de l'état de défaut électrique constaté ($F=0$) aussi longtemps que le microcontrôleur envoie un ordre $E=0$ (pas de dé-validation de la mémoire). Le "zéro" tourne en boucle par

F=0, et le moyen de commutation commandé 2 (Q1, Q2) reste donc bloqué.

L'état final est alors caractérisé par A=1, B=0, C=1, D=0, E=0, F=0, G=1, H=0, I=1, J=1, K=0.

Le microcontrôleur a donc le temps de se bloquer par l'information (K=0) reçue de l'opto-transistor U3. A ce moment, le microcontrôleur 7 a traité l'information de défaut électrique et pris en charge la commande du produit. Cette opération peut avoir pris plusieurs dizaines de microsecondes, alors que la cellule de protection et mémorisation 9 a réagi beaucoup plus rapidement.

La prise en charge du produit se traduit par un signal A=0 (plus de conduction dans la charge), donc B=1. Ce signal entraîne d'une part un signal de dé-validation de mémoire E=1, et d'autre part une commande de fin d'alimentation de charge C=0, qui entraîne D=0, et donc Q1 et Q2 maintenus bloqués.

Après un délai de temporisation, le signal en entrée de la porte "ET" formée par le composant U5-B (signal de mémorisation de défaut) passe à F=1, et puisque on a G=1 (plus de défaut électrique constaté par le module 8 de détection de défaut), on obtient un signal en sortie de porte logique U5-B valant H=1, ce qui désactive de fait la mémoire (F retourne à 1). En fait le microcontrôleur 7 réinitialise la mémoire F au moment où il se bloque (il prend en fait le relais de la mémoire) et bloque le moyen de commutation commandé 2 (Q1Q2).

Il faut alors une action d'un opérateur sur le microcontrôleur 7 pour remettre la charge 3 sous tension.

Un avantage du dispositif selon l'invention est de ne pas avoir à surdimensionner les moyens de commutation.

Il s'agit donc d'un excellent compromis entre fonctionnalité, prix, consommation et puissance.

On comprend que le délai de temporisation créé en entrée de la fonction "OU" câblée D4, D5 se justifie par le fait que la cellule de protection et mémorisation 9 doit être rapide par rapport au microcontrôleur 7 pour bloquer les commutateurs IGBT Q1, Q2 très rapidement en cas de défaut, mais lente par rapport à l'interface de commande 6 pour permettre la revalidation par le microcontrôleur.

Comme on l'a vu, ce délai de temporisation est créé à l'entrée de la boucle de mémorisation dans l'exemple décrit ici par la nature des composants utilisés. Si les composants utilisés ne retardaient pas le signal, on insérerait des

composants spécifiques pour créer un retard, qui est nécessaire au dispositif.

Dans une variante de réalisation de la cellule de protection et de mémorisation 9, illustrée à la figure 3, cette cellule est organisée autour d'un thyristor Q9 qui reçoit l'information de court circuit sur sa gâchette (point L). Les composant Q5 et Q7 sont remplacés par des diodes D6 et D7.

Il n'y a pas de ligne de dé-validation 13 dans cette variante.

Dans cette variante, le fonctionnement du dispositif peut être décrit par les valeurs aux points suivants (pour lesquels on donne un signal 1 lorsque un courant passe, et zéro en l'absence de signal passant):

10 A : sortie de bouton de commande du microcontrôleur 7 (valant 1 lorsque on met le produit en conduction, et zéro autrement)

B : sortie de l'opto-transistor U2 de commande de dé-validation mémoire du microcontrôleur 7 (valant 0 pour dé-valider, 1 autrement),

15 C : sortie du microcontrôleur 7 vers l'interface de commande 6, valant 1 pour commande de courant dans la charge, et 0 à l'arrêt (inverse du signal B),

D : entrée de commutateur Q1, valant 1 pour que Q1 soit conducteur, 0 lorsque Q1 est bloqué (D' présente une définition analogue pour Q2)

G : signal en sortie de module 8 (collecteurs des transistors Q3, Q4) de détection de défaut électrique, valant 0 en cas de défaut, 1 autrement,

20 H : sortie de mémorisation formée par le composant Q9, valant 0 en cas de défaut électrique constaté, mais non pris en charge par le microcontrôleur 7,

K : sortie de l'opto-transistor U3, ligne 11, information de défaut électrique au microcontrôleur 7, valant 0 en cas d'information de défaut, 1 en l'absence de défaut (valeur normale).

L : entrée de gâchette du thyristor Q8.

Le fonctionnement du dispositif est résumé ci-après. Son principe demeure identique à celui exposé plus haut.

30 Plus précisément, lors d'une mise sous tension avec produit bloqué (mise sous tension du dispositif mais variateur à zéro), avec G=1 initialement (pas de court-circuit détecté), on a A=0, B=1, d'où sur le collecteur de Q6 un signal C=0, donc D=0. On a alors en sortie des diodes D1 et D2 un signal nul (D=D'=0), puisque C=0, et les transistors Q1 et Q2 sont bloqués.

Par ailleurs, l'absence de court circuit détecté (G=1) entraîne un signal

de gâchette $L=0$, donc le thyristor Q9 est bloqué, donc $H=0$ et $K=1$ (pas d'information de court circuit transmise au microcontrôleur 7). L'état final est caractérisé par $A=0$, $B=1$, $C=0$, $D=0$, $G=1$, $H=0$, $L=0$, $K=1$.

En cas de commande de passage de courant dans la charge (signal
5 $A=1$), le courant passe dans les commutateurs Q1 (signal $D=1$) ou Q2 suivant le sens de la tension. La charge 3 est alimentée. Il n'y a pas de signal de défaut envoyé au microcontrôleur ($K=1$). Le thyristor Q9 est bloqué. L'état final est alors caractérisé par $A=1$, $B=0$, $C=1$, $D=1$, $G=1$, $H=1$, $L=0$, $K=1$.

En cas de court circuit de la charge, entre la phase coupée 5 et le
10 neutre, on a dans le module 8 de détection de défaut électrique le transistor Q3 (ou Q4) conducteur avec donc $G=0$.

La détection de défaut électrique par le module 8, provoque $L=1$
pendant une impulsion de 100 ms, ce qui, avec $H=1$ initialement, entraîne le passage du thyristor Q9 à l'état conducteur (et le maintien dans cet état, effectuant
15 ainsi une "mémoire" de défaut). On a alors $H=0$ qui entraîne une valeur de signal $K=0$ (opto-transistor U3 conducteur, donc envoi d'une information de défaut électrique au microcontrôleur 7). Le signal au point D est nul. Il n'y a alors pas de courant passant dans Q1 et Q2, qui sont bloqués.

De ce fait, le module 8 ne détecte plus de défaut électrique, et on a un
20 signal $G=1$.

L'état final est alors caractérisé par $A=1$, $B=0$, $C=1$, $D=0$, $G=1$, $H=0$,
 $L=0$.

Le microcontrôleur a donc le temps de se bloquer par l'information
($K=0$) reçue de l'opto-transistor U3. A ce moment, le microcontrôleur 7 a traité
25 l'information de défaut électrique et pris en charge la commande du produit. Cette opération peut avoir pris plusieurs dizaines de microsecondes, alors que la cellule de protection et mémoire 9 a réagi beaucoup plus rapidement.

La prise en charge du produit se traduit par un signal $A=0$ (plus de
conduction dans la charge), donc $B=1$. Ce signal entraîne une commande de fin
30 d'alimentation de charge $C=0$, qui entraîne $D=0$, et donc Q1 et Q2 maintenus bloqués, et également le thyristor Q9 bloqué. Il n'y a ici pas besoin de temporisation, car la dé-validation de la mémoire est réalisée par le signal C qui met tout à zéro.

Il faut alors une action d'un opérateur sur le microcontrôleur 7 pour

remettre la charge 3 sous tension.

Il est clair qu'en variante, il est possible de réagir à un défaut électrique différent d'un court circuit, en modifiant le module 8 de détection de défaut. Par contre, la logique et le principe de la cellule de protection et mémorisation 9 reste
5 alors inchangée.

Il est à noter que dans une autre variante, les composants Q5 et Q7 pourraient être intégrés, sous une forme ou sous une autre, à la cellule de protection et mémorisation 9.

La portée de la présente invention ne se limite pas aux détails des
10 formes de réalisation ci-dessus considérées à titre d'exemple, mais s'étend au contraire aux modifications à la portée de l'homme de l'art.

REVENDEICATIONS

1. Interrupteur électronique (1), comportant un microcontrôleur (7) pilotant un moyen de commutation commandé (2), disposé sur un réseau électrique entre une phase (4) et une charge (3) reliée au neutre (5), caractérisé en ce qu'il comporte un dispositif de protection contre des défauts électriques comprenant : un module (8) de détection d'un défaut électrique dans le courant circulant entre la phase (4) et la charge (3), et une cellule de protection et mémorisation (9), reliée au module (8) de manière à recevoir de celui-ci un éventuel signal de défaut électrique, adaptée à mettre en mémoire un signal de constatation de défaut, à provoquer le blocage du moyen de commutation commandé (2) tant que la constatation d'un défaut reste mémorisée, à envoyer une information de défaut au microcontrôleur (7), et à recevoir du microcontrôleur (7) un signal de fin de mémorisation de défaut.

2. Interrupteur selon la revendication 1, caractérisé en ce que le moyen de commutation commandé (2) est composé de deux commutateurs (Q1, Q2) de type connu sous le nom IGBT, disposés symétriquement par leur émetteur autour d'un point de référence (14) du montage de puissance, et reliés par leur collecteur pour l'un (Q1) à la phase (4), et pour l'autre (Q2), à la charge (3).

3. Interrupteur selon l'une quelconque des revendications 1 à 2, caractérisé en ce que la cellule de protection et mémorisation (9) comporte une boucle logique comprenant une fonction "OU" câblée (D4, D5), alimentée, pour une première entrée (D4), par une ligne (13) amenant un signal (E) de dé-validation mémoire issue du microcontrôleur (7), la ligne transportant le signal (F) résultant de la fonction "OU" câblée alimentant, conjointement avec la ligne (10) transportant le signal (G) de défaut provenant du module (8), une première porte "ET" (UB-5) dont le signal résultant (H) est à son tour transmis :

- 1/ d'une part, vers une seconde entrée (D5) de la fonction "OU" câblée (D4, D5),
- 2/ d'autre part, vers une ligne (11) connectée au microcontrôleur (7) de manière à lui transmettre un signal (K) de défaut électrique constaté,
- 3/ enfin vers une seconde porte "ET" (U5-C) (après inversion du signal), conjointement avec un signal (C) provenant du microcontrôleur (7), le signal (J) issu de cette porte logique "ET"

pilotant un moyen (Q5, Q7) adapté à provoquer le blocage du moyen de commutation commandé (Q1, Q2).

4. Interrupteur selon la revendication 3, caractérisé en ce qu'il comporte un moyen de temporisation disposé avant la fonction "OU" câblée (D4, D5).

5. Procédé de protection rapide d'interrupteur électronique (1) contre des défauts électriques, ledit interrupteur (1) comportant un microcontrôleur (7) pilotant un moyen de commutation commandé (2), et une cellule de protection et mémorisation (9), caractérisé en ce qu'il comporte des étapes :

de surveillance du courant circulant vers une charge (3) alimentée par l'interrupteur (1),

de comparaison avec un critère préalablement choisi caractérisant un défaut électrique de nature prédéterminée,

de détection de défaut lorsque le critère est vérifié, et,

dans ce cas,

1/ de blocage du moyen de commutation commandé (2),

2/ d'envoi d'une information de défaut au microcontrôleur (7),

3/ et de mémorisation de l'état de blocage tant que le microcontrôleur (7) n'émet pas un signal de fin de mémorisation.

6. Procédé selon la revendication 5, caractérisé en ce qu'il comporte par ailleurs des étapes :

de traitement de l'information de défaut par le microcontrôleur (7),

de traduction de cette information en un signal de blocage du moyen de commutation commandé (2),

d'envoi à la cellule de protection et mémorisation (9) d'un signal pour la dé-valider.

7. Procédé selon la revendication 6, caractérisé en ce que l'envoi à la cellule de protection et mémorisation (9) d'un signal pour la dé-valider est effectué après un délai de sécurité prédéterminé.

FIG. 1

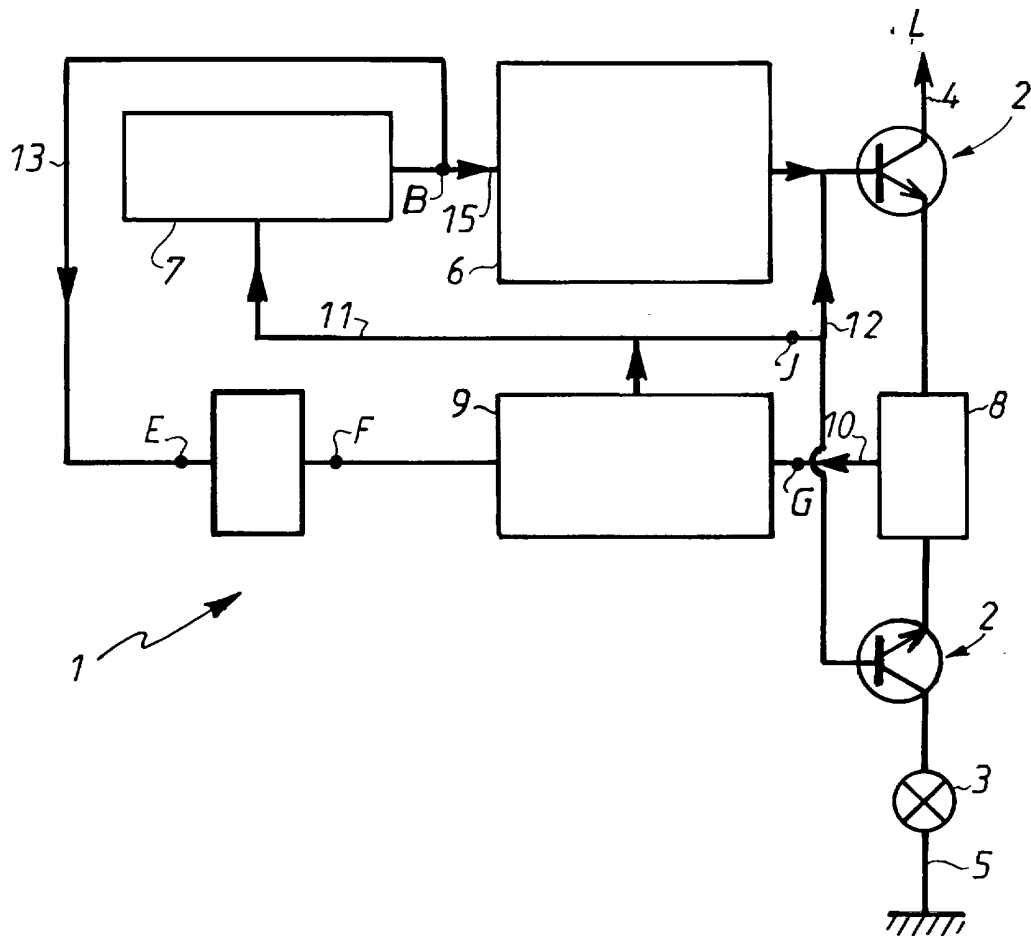
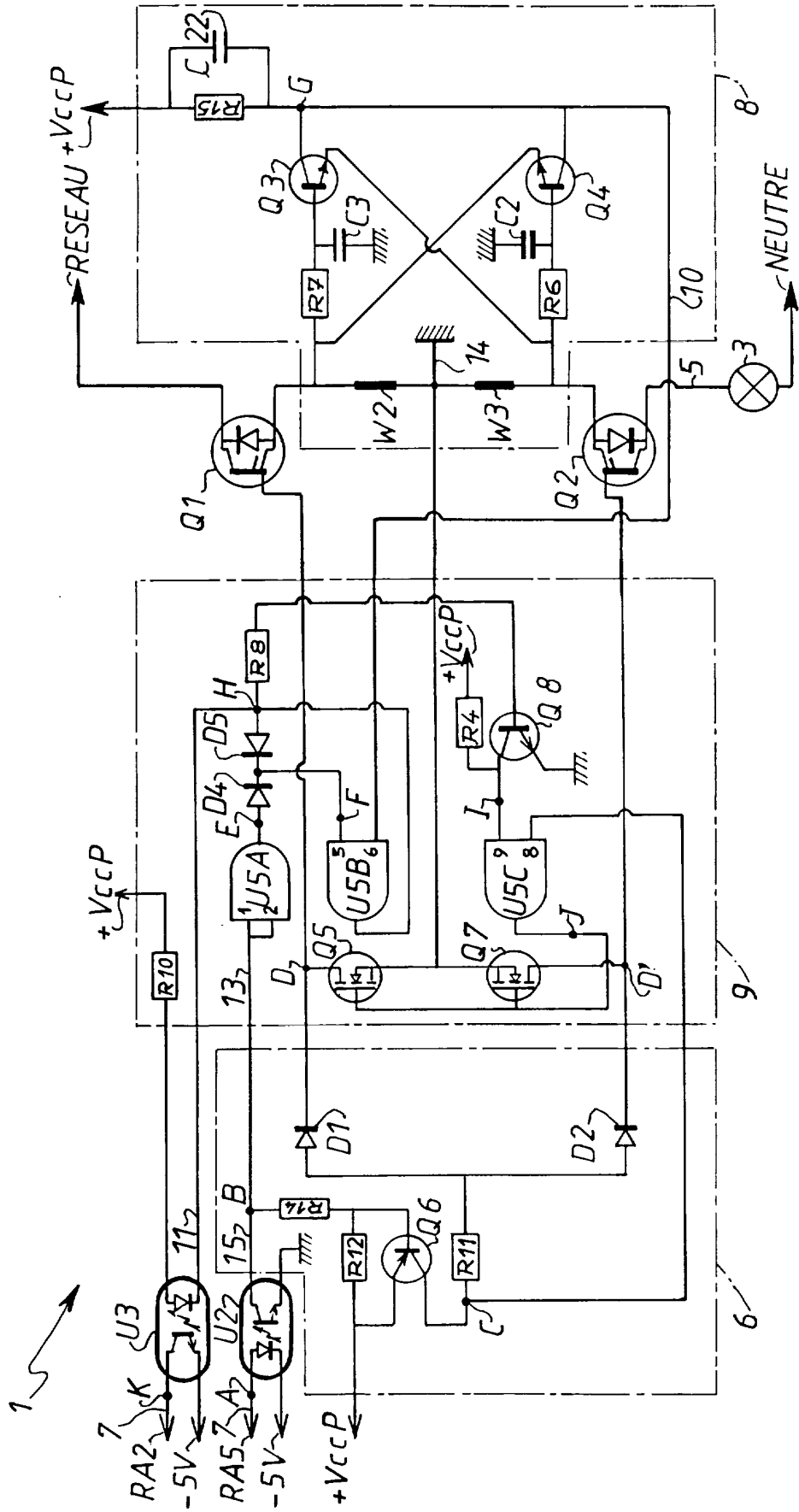


FIG. 2



INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 564600
FR 9814770

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	WO 92 15052 A (BAYVIEW TECH GROUP INC) 3 septembre 1992 (1992-09-03) * page 15, ligne 1 - ligne 14; figures 5,6 * * page 17, ligne 30 - page 19, ligne 3 * * page 21, ligne 18 - page 22, ligne 16 * -----	1,2,5-7
X	EP 0 418 665 A (SIEMENS AG) 27 mars 1991 (1991-03-27) * page 3, ligne 57 - page 5, ligne 38; figures 2,5 * -----	1,5
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		H03K H05B H02H
Date d'achèvement de la recherche		Examineur
17 août 1999		Hijazi, A
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

1

EPO FORM 1503 03.82 (P04C13)