

公告本

發明專利說明書

587329

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92106929

※申請日期：92-3-27

※IPC 分類：H01L27/10

壹、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商松下電器產業股份有限公司

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

代表人：(中文/英文)

中村 邦夫/KUNIO NAKAMURA

住居所或營業所地址：(中文/英文)

日本國大阪府門真市大字門真 1006 番地

1006, OAZA KADOMA, KADOMA-SHI, OSAKA 571-8501, JAPAN

國籍：(中文/英文)

日本 JP

參、發明人：(共 2 人)

姓名：(中文/英文)

1.伊東 豐二/TOYOJI ITO

2.藤井 英治/EIJI FUJII

住居所地址：(中文/英文)

1.日本國滋賀縣大津市湖上丘 29-24

29-24, KOJOGAOKA, OTSU-SHI, SHIGA JAPAN

2.日本國大阪府茨木市白川 3-2-3-808

3-2-3-808, SHIRAKAWA, IBARAKI-SHI, OSAKA JAPAN

國籍：(中文/英文)

均日本/JP

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本 JP 2002/03/28 特願 2002-091298

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 JP 2002/03/28 特願 2002-091298

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

技術領域

本發明係屬於有關電容元件之技術，特別係關於包括使用強鐵電體、或者高鐵電體作為電容絕緣膜之電容元件半導體裝置及其製造方法。

先前技術

強鐵電體或者係高鐵電體，因為由磁滯(hysteresis)特性引起之殘留分極或者係高比介電率，在不易消失之存儲器或者係動態隨機存儲裝置(DRAM)方面，代替用氧化矽或者氮化矽作為電容絕緣膜之電容元件半導體裝置為可能。

以下，參照附圖說明以前之使用強鐵電體或者高鐵電體作為電容絕緣膜之半導體裝置之製造方法。

首先，如圖 19(a)顯示，通過在矽制半導體基板 101 上有選擇地形成元件分離膜 102，劃分出晶體管形成區域 103。其後，在各劃分之晶體管形成區域 103 上形成 MOS 晶體管 104。

接下來，如圖 19(b)顯示，堆積氧化矽之第一層間絕緣膜 105，整平其上表面。其後，在平整後之第一層間絕緣膜 105 上，用噴塗法，堆積白金製成下部電極形成膜，接下來，在下部電極形成膜之上，用旋轉(spin on)法，形成包含鋇(Sr)、鉍(Bi)及鉭(Ta)等之強鐵電體膜。結晶成強鐵電體膜之後，再在強鐵電體膜之上表面，第二次用噴塗法，堆積白金製成上部電極形成膜。其後，對上部電極形成膜，強鐵電體膜及下部電極形成膜依次進行干蝕刻，在層間絕

緣膜 105 之元件分離膜 102 之上側，在下部電極形成膜、強鐵電體膜及上部電極形成膜上形成下部電極 106、電容絕緣膜 107 及上部電極 108 之蝕刻圖案，形成由下部電極 106、電容絕緣膜 107 及上部電極 108 形成之電容元件 19。

接下來，如圖 19(c)顯示，在半導體基板 101 整個表面之上，堆積由氧化矽形成之第二層間絕緣膜 110，在堆積成之第二層間絕緣膜 110 之上形成露出上部電極 108 之第一導電性插塞 110a，露出 MOS 晶體管 104 之擴散區域之第二導電性插塞 110b。

接下來，如圖 19(d)顯示，在第二層間絕緣膜 110 之上包含各導電性插塞 110a、110b 之全表面上，堆積以鋁為主要成分之金屬層，對堆積成之金屬膜進行制圖，由金屬膜形成配線 111。其後，形成其他之配線層及絕緣保護膜等。

(發明要解決之課題)

然而，該從前半導體裝置之製造方法，係在晶體管形成區域 103 相鄰之元件分離膜 102 之上形成電容元件 109。

在此基礎之上，電容元件 109 係沿著半導體基板 101 之主面方向而延伸，亦呈兩維平面形狀(planar)，所以，為確保所規定之電容量，增大電容元件 109 在基板面上之投影面積，其結果，縮小 MOS 晶體管 104 及配線 111 範圍之效果極小。

為此，在具有使用了強鐵電體或者高鐵電體之電容絕緣膜 107 之電容元件 109 之半導體裝置中，每一個電容元件，尤其半導體存儲裝置中無法縮小單位元件之面積。

發明內容

本發明，解決了該從前之難題，其目的為可以做到縮小包含電容元件之半導體裝置單個電容元件之面積。

(解決課題之方法)

為達到該之目的，本發明在導電性插塞上堆積氧化屏障膜、下部電極及電容絕緣膜之同時，使電容絕緣膜具有在導電性插塞之貫通方向彎曲之彎曲部分之構成。

具體而言，本發明之第一半導體裝置，具有：貫通絕緣膜之導電性插塞；在絕緣膜之上與導電性插塞電連接，且以覆蓋導電性插塞之形式而形成之導電性氧化屏障膜；形成在氧化屏障膜上面，併與氧化屏障膜相連之下部電極；在下部電極之上，併沿著下部電極而形成之電容絕緣膜；在電容絕緣膜之上，併沿此個電容絕緣膜形成之上部電極。且，電容絕緣膜具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

如第一半導體裝置之做法，如在基板上形成之晶體管取觸點之導電性插塞之上介於氧化屏障膜形成之下部電極，沿著此個下部電極各自形成了電容絕緣膜及上部電極。亦即因為由下部電極、電容絕緣膜及上部電極形成之電容元件介於導電性插塞形成在晶體管之上方，所以由電容元件和晶體管形成之單元單位面積變小。而且，因為電容絕緣膜具有沿導電性插塞貫通方向彎曲之彎曲部分，所以，電容絕緣膜之一部分成為幾乎與基板垂直之面。因此，由於電容絕緣膜具有一部分與基板垂直之表面，電容絕緣膜向

基板面之投影面積就縮小，所以，單元面積也就進一步縮小。還有，在下部電極和導電性插塞之間介入了氧化屏障膜，所以，不會因為構成電容絕緣膜之氧原子而氧化導電性插塞。

本發明之第二半導體裝置，具有：貫通形成在基板上之第一層間絕緣膜之導電性插塞；在第一層間絕緣膜上與導電性插塞電連接，且以覆蓋導電性插塞之形式形成之導電性氧化屏障膜；形成在第一層間絕緣膜上，有露出氧化屏障膜之開口部分之第二層間絕緣膜；在第二層間絕緣膜上沿開口部分之底面及側面形成之，併與氧化屏障膜相連之下部電極；在下部電極上，沿下部電極形成之電容絕緣膜；在電容絕緣膜上，沿此個電容絕緣膜形成之上部電極。且，電容絕緣膜，位於開口部分壁面上之部分和底面上之部分相互連接，具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

如第二半導體裝置之做法，堆積了導電性插塞、氧化屏障膜和下部電極堆積膜，與氧化屏障膜相連之下部電極，在第二層間絕緣膜上沿著開口部分之底面及壁面形成，還有，因為電容絕緣膜沿著下部電極而形成，所以，在位於開口部分之壁面部分和底面部分之連接部分上，形成了沿導電性插塞貫通方向彎曲之彎曲部分。亦即，電容絕緣膜之一部分幾乎與基板面垂直，所以可以獲得與第一半導體裝置同樣之效果。

第二半導體裝置，較佳者係在開口部分底面之側面和下

部電極之間，再設置對第二層間絕緣膜提高貼緊性之貼緊膜。

還有，第二半導體裝置，較佳者係在開口部分之壁面和下部電極之間，再設置對第二層間絕緣膜提高貼緊性之貼緊膜。

此種情況下，貼緊膜較佳者係由金屬氧化物製成。

本發明之第三半導體裝置，具有：貫通形成在基板上的絕緣膜之導電性插塞；在層間絕緣膜上與導電性插塞電連接，且以覆蓋導電性插塞之形式形成之導電性氧化屏障膜；形成在氧化屏障膜上面，併與氧化屏障膜相連，且以覆蓋此氧化屏障膜之形式而形成膜厚較厚之下部電極；形成在下部電極之上面及側面上之電容絕緣膜；併在電容絕緣膜上，沿此個電容絕緣膜形成之上部電極。電容絕緣膜，位於下部電極上面之部分和側面之部分相連，具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

如第三半導體裝置之做法，堆積了導電性插塞、氧化屏障膜和下部電極之堆積膜，因為電容絕緣膜形成在膜厚較厚之下部電極之上面及側面，所以，位於下部電極上面部分和側面部分之連接部分上形成沿導電性插塞之貫通方向彎曲之彎曲部分。亦即，電容絕緣膜之一部分幾乎與基板面垂直，所以可以獲得與第一半導體裝置同樣之效果。

本發明之第四半導體裝置，具有：貫通形成在基板上的絕緣膜之導電性插塞；在層間絕緣膜上與導電性插塞電連接，且以覆蓋導電性插塞之形式形成之導電性氧化屏障

膜；形成在氧化屏障膜上面，膜厚較厚之底膜；形成在底膜之上表面及側面，其端部與氧化屏障膜相連之下部電極；在下部電極上併沿著該下部電極形成之電容絕緣膜；在電容絕緣膜上，併沿此個電容絕緣膜形成之上部電極。電容絕緣膜，位於下部電極上面之部分和側面上之部分相連，具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

如第四半導體裝置之做法，堆積了導電性插塞、氧化屏障膜和下部電極之堆積膜，端部與氧化屏障膜連接之下部電極形成在膜厚較厚之底膜之上表面及側面。還有，因為電容絕緣膜係沿著下部電極形成，所以，在位於底膜上面部分和側面部分之連接部分上形成了沿導電性插塞之貫通方向彎曲之彎曲部分。亦即，電容絕緣膜之一部分幾乎與基板面垂直，所以可以獲得與第一半導體裝置同樣之效果。

第四半導體裝置，形成在底膜和下部電極之間，較佳者係再設置提高下部電極與底膜貼緊性之貼緊膜。

在此種情況下，較佳者係用金屬氧化物製成貼緊膜。

本發明係關於之第五半導體裝置，具有：貫通形成在基板上之絕緣膜之導電性插塞；在層間絕緣膜上與導電性插塞電連接，且以覆蓋導電性插塞之形式形成之導電性氧化屏障膜；形成在氧化屏障膜上面，與氧化屏障膜連接之有底筒狀形之下部電極；在下部電極上，沿著其底面、內壁面及外壁面形成之電容絕緣膜；在電容絕緣膜上，併沿此電容絕緣膜形成之上部電極。電容絕緣膜，至少在位於下部電極上面之部分和側面之部分相互連接，具有沿該導

電性插塞之貫通方向彎曲之彎曲部分。

如第五半導體裝置之做法，堆積了導電性插塞、氧化屏障膜和下部電極之堆積層，電容絕緣膜，係在連接氧化屏障膜之有底筒狀形下部電極上沿著其底面、內壁面及外壁面形成。因此，電容絕緣膜，至少在位於下部電極底面上部分和內壁面部分之連接部分上，形成了沿導電性插塞之貫通方向彎曲之彎曲部分。亦即，電容絕緣膜之一部分幾乎與基板面垂直，所以可獲得與第一半導體裝置同樣之效果。而且，因為下部電極為有底筒狀之形狀，增大了下部電極和上部電極之相對面積，所以電容明顯增大。

本發明之第六半導體裝置，具有：貫通形成在基板上的絕緣膜之導電性插塞；在層間絕緣膜上與導電性插塞電連接，且以覆蓋導電性插塞之形式形成之導電性氧化屏障膜；形成在氧化屏障膜上之有底筒狀形之定形膜；在定形膜上，沿其底面、內壁面及外壁面形成，其端部與氧化屏障膜相連之下部電極；在下部電極上，沿著此個下部電極形成之電容絕緣膜；在電容絕緣膜上，併沿此電容絕緣膜形成之上部電極。電容絕緣膜，至少在位於定形膜之底面部分和內壁面部分相互連接，具有沿著該導電性插塞之貫通方向彎曲之彎曲部分。

如第六半導體裝置之做法，堆積了導電性插塞、氧化屏障膜和下部電極之堆積層，端部與氧化屏障膜相連之下部電極，沿著在氧化屏障膜上形成之有底筒狀形之定形膜之底面、內壁面及外壁面形成。還有，電容絕緣膜，係沿著

下部電極形成，因此，電容絕緣膜至少在位於定形膜底面上部分和內壁面部分之連接部分上，形成了沿導電性插塞之貫通方向彎曲之彎曲部分。亦即，電容絕緣膜之一部分幾乎與基板面垂直，所以可以獲得與第一半導體裝置同樣之效果。而且，因為使用了有底筒狀形定形膜，所以在增大了電容之同時，下部電極之形狀也可獲得安定。

在此種情況下，較佳者係用金屬氧化物形成定形膜。

還有，第一至第六半導體裝置中，電容絕緣膜較佳者係強鐵電體或者高鐵電體。

本發明之第一半導體裝置之製造方法，包括：在半導體區域上形成第一層間絕緣膜之第一道工序；在第一層間絕緣膜上形成與半導體區域相連之導電性插塞之第二道工序；在第一層間絕緣膜上，以覆蓋導電性插塞之形式形成之導電性氧化屏障膜之第三道工序；在第一層間絕緣膜上，形成有露出氧化屏障膜之開口部分之第二層間絕緣膜之第四道工序；在第二層間絕緣膜之開口部分之底面及側壁面上，形成連接氧化屏障膜形式之下部電極之第五道工序；在下部電極上，併沿著此下部電極形成電容絕緣膜之第六道工序；在電容絕緣膜上，併沿著此電容絕緣膜形成之上部電極之第七道工序。

如第一半導體裝置製造方法之做法，以覆蓋導電性插塞之形式形成導電性氧化屏障膜後，在第二層間絕緣膜上形成露出氧化屏障膜之開口部分。其後，在第二層間絕緣膜之開口部分之底面及側壁面上，以連接氧化屏障膜之形式

形成下部電極，接下去，在下部電極上以沿著此下部電極之形式形成上部電極。由此，因為電容絕緣膜之一部分，第二層間絕緣膜之開口部分之側壁部分幾乎與基板垂直，所以在確保電容量之同時，可縮小電容絕緣膜在基板面上之投影面積。還有，因為下部電極形成在第二層間絕緣膜上之開口部分之底面及側壁面上，所以縮小此下部電極之膜厚就變得容易，確實可以增大下部電極之表面積。還有，因為氧化屏障膜係分離於下部電極獨立形成，可以形成膜厚較厚之氧化屏障膜，在電容絕緣膜上使用強鐵電體或者高鐵電體之情況下，膜厚在進行熱處理結晶強鐵電體等時，不必擔心導電性插塞被氧化。

在第一半導體裝置之製造方法中，第五道工序，較佳者係還包括如用化學機械研磨法或者干蝕刻法除去下部電極中位於第二層間絕緣膜上之部分之工序。

第一半導體裝置之製造方法，較佳者係還有在第四道工序和第五道工序之間，在第二層間絕緣膜之開口部分之底面及側壁面上，與氧化屏障膜相連，形成提高下部電極與第二層間絕緣膜之貼緊性之貼緊膜之工序。

還有，第一半導體裝置之製造方法，較佳者係還有在第四和第五道工序之間，在第二層間絕緣膜之開口部分之側壁面上，形成提高下部電極對第二層間絕緣膜之貼緊性之貼緊膜之工序。

此種情況下，貼緊膜較佳者係用金屬氧化物製成。

本發明之第二半導體裝置之製造方法，包括：在半導

體區域上形成第一層間絕緣膜之第一道工序；在第一層間絕緣膜上，形成與半導體區域相連之導電性插塞之第二道工序；在第一層間絕緣膜上，形成有露出導電性插塞之第一開口部分之第二層間絕緣膜之第三道工序；在第一層間絕緣膜上，以填充之形式形成導電性氧化屏障膜之第四道工序；在第二層間絕緣膜上，形成有露出氧化屏障膜之第二開口部分之第三層間絕緣膜之第五道工序；在第三層間絕緣膜中第二開口部分之底面及壁面上，以連接氧化屏障膜之形式形成下部電極之第六道工序；在下部電極之上，併沿著此下部電極形成電容絕緣膜之第七道工序；在電容絕緣膜上，併沿著此電容絕緣膜形成之上部電極之第八道工序。

如第二半導體裝置製造方法之做法，在獲得與第一半導體裝置同樣效果之基礎上，因為係以在第二絕緣膜之第一開口部分填充之形式形成氧化屏障膜，所以，即便氧化屏障膜係由不易蝕刻之材料形成，氧化屏障膜之形成也會變得容易。而且，因為增厚氧化屏障膜之厚度也變得容易了，所以，確實可以提高屏障特性。

在第二半導體裝置之製造方法中，第六工序，較佳者係包括除去下部電極中位於第三層間絕緣膜上之部分之工序。

第二半導體裝置之製造方法，較佳者還有在第五和第六道工序之間，第三層間絕緣膜之第二開口部分之底面及側壁面上形成連接氧化屏障膜，提高下部電極與第三層間絕

緣膜之貼緊性之貼緊膜之工序。

還有，第二半導體裝置之製造方法，較佳者還有在第五和第六道工序之間，第三層間絕緣膜中第二開口部分之側壁面上形成提高對下部電極之第三層間絕緣膜貼緊性之貼緊膜之工序。

此種情況下，貼緊膜較佳者係用金屬氧化物製成。

本發明之第三半導體裝置之製造方法，包括：在半導體區域上形成第一層間絕緣膜之第一道工序；在第一層間絕緣膜上形成與半導體區域相連之導電性插塞之第二道工序；在第一層間絕緣膜上，形成有覆蓋導電性插塞之導電性氧化屏障膜之第三道工序；在第一層間絕緣膜上，以從第二層間絕緣膜露出氧化屏障膜之形式形成第二層間絕緣膜之第四道工序；在露出之氧化屏障膜上，形成膜厚較厚之下部電極之第五道工序；在下部電極之上面及側面上形成電容絕緣膜之第六道工序；在電容絕緣膜上，併沿此個電容絕緣膜形成上部電極之第七道工序。

如第三半導體裝置製造方法之做法，在露出之氧化屏障膜上，形成膜厚較厚之下部電極。其後，因為在下部電極之上面及側面上形成電容絕緣膜，所以，電容絕緣膜之一部分，下部電極側壁上之部分幾乎與基板垂直，所以在確保電容量之同時，亦可以縮小電容元件向基板之投影面積。還有，因為在氧化屏障膜形成後才形成膜厚較厚之下部電極，與氧化屏障膜和下部電極同時形成之情況相比，加工變得容易。還有，因為係以從第二絕緣膜露出氧化屏

障膜之形式形成第二層間絕緣膜，所以，在下部電極之周圍存在第二層間絕緣膜。其結果，即便為需要大於氧化屏障膜之面積，可以在第二層間絕緣膜上形成突出於第二層間絕緣膜之下部電極，所以合對氧化屏障膜與下部電極之位置就變得容易了。

本發明之第四半導體裝置之製造方法，包括：在半導體區域上形成第一層間絕緣膜之第一道工序；在第一層間絕緣膜上形成與半導體區域相連之導電性插塞之第二道工序；在第一層間絕緣膜上，形成有覆蓋導電性插塞之導電性氧化屏障膜之第三道工序；在第一層間絕緣膜上，以從第二層間絕緣膜露出氧化屏障膜之形式形成第二層間絕緣膜之第四道工序；在露出之氧化屏障膜上，形成膜厚較厚之底膜之第五工序；在底膜之上面及側面上，以端部連接氧化屏障膜之形式形成下部電極之第六道工序；在下部電極上，併沿著此下部電極形成電容絕緣膜之第七道工序；在電容絕緣膜上，併沿著此電容絕緣膜形成之上部電極之第八道工序。

如第四半導體裝置製造方法之做法，在獲得與第三半導體裝置同樣效果之基礎上，取代加厚下部電極自身膜厚之做法，採取了使用厚膜之下部電極底膜之做法，下部電極就可以選用更容易加工之材料，提高了成品率。

第四半導體裝置之製造方法，較佳者係還有在第五和第六道工序之間，在底膜之表面上，形成提高下部電極與底膜之貼緊性之貼緊膜之工序。

本發明之第五半導體裝置之製造方法，包括：在半導體區域上形成第一層間絕緣膜之第一道工序；在第一層間絕緣膜上形成與半導體區域相連之導電性插塞之第二道工序；在第一層間絕緣膜上，形成有覆蓋導電性插塞之導電性氧化屏障膜之第三道工序；在第一層間絕緣膜上，形成包括氧化屏障膜全面之第二層間絕緣膜後，在形成之第二層間絕緣膜上露出氧化屏障膜之開口部分之第四道工序；在第二層間絕緣膜上，通過在開口部分之底面及壁面上堆積導電性膜，形成在此氧化屏障膜上併與其連接之導電性膜形成之有底筒狀形之下部電極之第五道工序；在除去第二層間絕緣膜露出下部電極後，沿著露出之下部電極之內壁面及外壁面形成電容絕緣膜之第六道工序；在電容絕緣膜上，併沿著此電容絕緣膜形成之上部電極之第七道工序。

如第五半導體裝置製造方法之做法，在氧化屏障膜上形成與此氧化屏障膜連接，且由導電性膜形成之有底筒狀形下部電極後，形成了沿著露出之下部電極之內壁面及外壁面之電容絕緣膜，所以，電容絕緣膜之一部分，即下部電極之內壁面及外壁面上之部分幾乎和基板面垂直，如此，在明顯增大電容量之基礎上，也可縮小電容元件在基板面上之投影面積。

本發明之第六半導體裝置之製造方法，包括：在半導體區域上形成第一層間絕緣膜之第一道工序；在第一層間絕緣膜上形成與半導體區域相連之導電性插塞之第二道工序；在第一層間絕緣膜上，形成有覆蓋導電性插塞之導電

性氧化屏障膜之第三道工序；在第一層間絕緣膜上，形成包括氧化屏障膜全表面之第二層間絕緣膜後，在形成之第二層間絕緣膜上露出氧化屏障膜之開口部分之第四道工序；在第二層間絕緣膜之開口部分之底面及壁面上，形成有底筒狀形之定形膜之第五道工序；除去第二層間絕緣膜露出定形膜之外壁面後，沿著露出之定形膜之內壁面和外壁面形成之同時，也使其端部與氧化屏障膜連接之下部電極之第六道工序；在下部電極上，沿著露出之下部電極形成電容絕緣膜之第七道工序；在電容絕緣膜上，併沿著此電容絕緣膜形成之上部電極之第八道工序。

如第六半導體裝置製造方法之做法，在能獲得與第五半導體裝置製造方法相同之效果之基礎上，代替有底筒狀形下部電極，採用了其他材料形成之定形膜，所以，可以防止有底筒狀形體形狀之變化。

在第六半導體裝置製造方法中，定形膜較佳者係用金屬氧化物製成。

在第一至第六之半導體裝置製造方法中，電容絕緣膜較佳者係用強鐵電體或者高鐵電體形成。

實施方式

(第一實施方式)

接下來，參照圖面說明本發明之第一實施方式。

圖 1 係顯示本發明之第一實施方式關於半導體裝置之構成斷面。

如圖 1 顯示，矽(Si)制半導體基板 10 中通過淺溝分離

(STI: Shallow Trench Isolate)膜 11 劃分之元件形成區域之上，形成了 MOS 晶體管 30。且，儘管在此僅僅顯示了一個元件之形成區域，但在半導體基板 10 上包含了複數個元件形成區域。在以下之各個實施方式中亦同樣。

在包含有 MOS 晶體管 30 之半導體基板 10 上，形成有膜厚約 500nm，由氧化矽(SiO_2)形成之第一層間絕緣膜 12。

第一層間絕緣膜 12 之上，形成了由厚度約為 10nm 之鈦(Ti)和厚度約為 20nm 之氮化鈦(TiN)堆積而成之屏障(barrier)層(圖中未示)之下部用鎢(W)形成導電性插塞 13，併使其和 MOS 晶體管 30 之源擴散區域 30a 相連。

在導電性插塞 13 上，形成了與此個導電性插塞 13 電連接，且覆蓋著導電性插塞 13 之導電性氧化屏障膜 14。氧化屏障膜 14，係由從下按順序堆積了各個厚度約為 50nm 之氮鋁化鈦(TiAlN)層、銱(Ir)層和氧化銱(IrO_2)層所構成。

在第一層間絕緣膜 12 上，形成了由膜厚約為 50nm 之氧化矽形成，露出在氧化屏障膜 14 中，且具有開口部分 15a 之第二層間絕緣膜 15。

露出在開口部分 15a 之側壁及底部之氧化屏障膜 14 之上，形成了由厚度約為 50nm 之白金(Pt)形成之下部電極 16。

下部電極 16 上，沿著下部電極 16 形成由在 50nm 中包含有鋇(Sr)、鉍(Bi)、鉭(Ta)及鈮(Nb)之鉍層狀鈣鈦礦(perovskite)型氧化物之強鐵電體形成之電容絕緣膜 17。在電容絕緣膜 17 之上，沿著電容絕緣膜 17 形成厚度約為

50nm 白金(Pt)形成之上部電極 18。

如此，第一實施方式之電容元件 19，由下部電極 16、電容絕緣膜 17 及上部電極 18 組成，設置在 MOS 晶體管 30 之源擴散區域 30a 上之導電性插塞 13 之更上層。由此，可以縮小由電容元件和晶體管組成之單元。

在此基礎上，因為電容絕緣膜 17 係沿著設置在第二層間絕緣膜 15 上露出氧化屏障膜 14 之開口部分 15a 之底面和側壁形成，所以在電容絕緣膜 17 上形成沿導電性插塞 13 之貫通方向彎曲之彎曲部分 17a。由此彎曲部分 17a，電容絕緣膜 17 之一部分具有與基板面垂直之面，在確保所定電容之同時，縮小了向電容絕緣膜 17 之基板之投影面積，亦即可以進一步縮小單元之單位面積。

且，第一層間絕緣膜 12 和第二層間絕緣膜 15，取代氧化矽，使用添加比其介電率小之氟(F)之氧化矽(FSG)等，具有絕緣性之材料即可。

還有，導電性插塞 13 並不僅限於鎢，多晶矽等有導電性之材料即可。

還有，下部電極 16 及上部電極 18，不限於白金，只要在高溫之氧環境下可以維持導電性之材料即可。

還有，電容絕緣膜 17，較佳者係由強鐵電體形成之金屬氧化物或者高鐵電體形成之金屬氧化物。

(第一實施方式之第一製造方法)

下面，參照圖面說明如上所述構成之半導體裝置之第一製造方法。

圖 2(a)~圖 2(d)係顯示第一實施方式之半導體裝置之第一製造方法工序構成斷面。

首先，如圖 2(a)顯示，在半導體基板 10 之主面上，有選擇之形成 STI 膜 11，在主面上劃分出複數個元件形成區域。其後，在各元件形成區域上形成 MOS 晶體管 30，然後在包括所形成之 MOS 晶體管 30 在內之半導體基板 10 上面，用化學氣相堆積(CVD)法堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨(CMP)平整堆積成之第一層間絕緣膜 12 之上表面，併使其厚度成為 500nm。接下來，再使用平板印刷術(lithography)及干蝕刻法(dry etching)，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上側，有選擇地開鑿接觸空穴開口(contact hole)。再下面，用噴塗法(sputter)或者化學氣相堆積法，在包含接觸空穴開口之第一層間絕緣膜 12 上形成由堆積厚度各為 10nm 之鈦和 20 nm 之氮化鈦而成之屏障膜(圖中未示)。接下來，用化學氣相堆積法，在填充屏障膜上之接觸空穴開口之同時堆積厚度為 500nm 之白金膜。其後，用化學機械研磨法，通過除去第一層間絕緣膜 12 上部之屏障膜及金屬膜，在接觸空穴開口內形成由屏障膜和金屬膜形成之導電性插塞 13。

接下來，如圖 2(b)顯示，用噴塗法，在含有導電性插塞 13 之第一層間絕緣膜 12 上，依次堆積厚度均為 50nm 之氮鋁化鈦(TiAlN)層、銱(Ir)層和氧化銱(IrO₂)層，形成氧化屏障形成膜。接下來，對於氧化屏障形成膜，通過平板印刷

術及干蝕刻法，在含有導電性插塞 13 之區域內形成圖案，由氧化屏障形成膜形成氧化屏障膜 14。

接下來，如圖 2(c)顯示，用化學氣相堆積法，在第一層間絕緣膜 12 上包含氧化屏障膜 14 之全表面堆積膜厚約為 1000nm 之由氧化矽形成之第二層間絕緣膜 15。其後，用化學機械研磨法，平整堆積之第二層間絕緣膜 15 之上表面使其厚度成為 500nm。接下去，使用平板印刷術及干蝕刻法，在第二層間絕緣膜 15 形成露出氧化屏障膜 14 之開口部分 15a，其後，用噴塗法或者化學氣相堆積法，在包含開口部分 15a 之第二層間絕緣膜 15 上，堆積膜厚約為 50nm 之白金之下部電極形成膜。接下去，用平板印刷術及干蝕刻法，使堆積成之下部電極形成膜，至少在開口部分 15a 之底部及側壁可以以保留之形式形成圖案，由下部電極形成膜形成下部電極 16。

接下來，如圖 2(d)顯示，用化學氣相堆積法，在包含下部電極 16 之第二層間絕緣膜 15 上，堆積厚度為 50nm 之包含鋁、鈹、鈦和鈳之由強鐵電體形成之電容絕緣膜形成膜。接下去，用噴塗法或化學氣相堆積法，在電容絕緣膜形成膜之上，堆積厚度為 50nm 之白金上部電極形成膜。其後，用平板印刷術及干蝕刻法，對電容絕緣膜形成膜及上部電極形成膜，進行如包含下部電極 16 一樣之形成圖案，由電容絕緣膜形成膜形成電容絕緣膜 17，由上部電極形成膜形成上部電極 18。接下來，在 700℃ 之溫度條件下保持 10 分鐘然後退火，以使構成電容絕緣膜 17 之強鐵電

體之結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定之配線等後，形成保護絕緣膜。

正因如此，由第一實施方式之第一製造方法，因為要在下部電極 16 和導電性插塞 13 之間介入氧化屏障膜 14，所以通過結晶電容絕緣膜 17 時之熱處理，不會因為構成電容絕緣膜 17 之氧原子氧化導電性插塞 13。

在此基礎之上，因為氧化屏障膜 14 和下部電極 16 係由各自不同之工序形成，所以，通過相對做成厚一些之氧化屏障膜 14 之膜厚，在提高此氧化屏障膜 14 之屏障特性之同時，相反通過相對作薄一些下部電極 16 之膜厚，在電容絕緣膜 17 上可以形成基本與基板面垂直之部分，所以可以確實增大電容絕緣膜 17 之表面積。

因此，相對增厚下部電極 16 之膜厚，可以避免一般所說之白金等高熔點金屬不容易蝕刻此一現象。還可以防止由設置電容絕緣膜 17 之彎曲部分 17a 而謀求立體化之第二層間絕緣膜 15 之開口部分 15a 之開口直徑變小，而引起電容絕緣膜 17 之實際有效面積減少之現象。

(第一實施方式之第二製造方法)

下面，參照圖面說明第一實施方式之半導體裝置之第二製造方法。

圖 3(a)~圖 3(d)係顯示第一實施方式之半導體裝置之第二製造方法工序構成斷面。在圖 3 中，與圖 2 顯示相同之構成部分標有相同之符號。

首先，如圖 3(a)顯示，與第一製造方法相同，在包含 MOS 晶體管 30 在內之半導體基板 10 上表面，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上表面使其厚度成為 500nm。接下來，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上側，有選擇地開鑿接觸空穴開口。再下面，在接觸空穴開口內形成由屏障膜和白金形成之導電性插塞 13。其後，用化學氣相堆積法，堆積膜厚約為 150nm 由氧化矽形成之第二層間絕緣膜 20，再用平板印刷術及干蝕刻法，在堆積之第二層間絕緣膜 20 上形成露出導電性插塞 13 之第一開口部分 20a。

接下來，如圖 3(b)顯示，用噴塗法，在含有第一開口部分 20a 之第一層間絕緣膜 12 之整面上，依次堆積厚度均為 50nm 之氮鋁化鈦層、鉍層和氧化鉍層，形成氧化屏障形成膜。接下來，用化學機械研磨法，通過除去氧化屏障形成膜中第二層間絕緣膜 20 上面之部分，在第二層間絕緣膜 20 之第一開口部分 20a 中形成氧化屏障膜 14。

接下來，如圖 3(c)顯示，用化學氣相堆積法，在第二層間絕緣膜 20 上包含氧化屏障膜 14 之全表面上堆積膜厚約為 500nm 之由氧化矽形成之第三層間絕緣膜 21。接下去，使用平板印刷術及干蝕刻法，在第三層間絕緣膜 21 上形成露出氧化屏障膜 14 之第二開口部分 21a，其後，用噴塗法或者化學氣相堆積法，在包含第二開口部分 21a 之第三層間絕緣膜 21 之上，堆積膜厚約為 50nm 之白金下部電極形

成膜。接下去，用平板印刷術及干蝕刻法，對堆積成之下部電極形成膜，使其至少在第二開口部分 21a 之底部及側壁可以保留之形式圖案，由下部電極形成膜形成下部電極 16。

接下來，如圖 3(d)顯示，用化學氣相堆積法，在包含下部電極 16 之第三層間絕緣膜 21 上，堆積厚度為 50nm 之包含鋁、鈹、鈦和鈮之由強鐵電體形成之電容絕緣膜 17。接下去，用噴塗法或者化學氣相堆積法，在電容絕緣膜 17 上，形成上部電極 18。在此，用同一個抗蝕膜圖案化電容絕緣膜 17 及上部電極 18，由此形成由下部電極 16、電容絕緣膜 17 和上部電極 18 形成之電容元件 19。在此也進行在 700°C 之溫度條件下保持 10 分鐘後之退火工序，以使構成電容絕緣膜 17 之強鐵電體結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定之配線等後，形成保護絕緣膜。

正因如此，由第一實施方式之第二製造方法，因為要將氧化屏障膜 14 通過埋入決定此氧化屏障膜 14 之膜厚之第二層間絕緣膜 20 之第一開口部分 20a 中才能形成，所以即便在氧化屏障膜 14 上使用蝕刻困難之材料之情況下，精細加工氧化屏障膜 14 也會變得容易。還有，為提高氧化屏障膜 14 之屏障特性之加厚膜層也變得較為容易。

(第一製造方法之一個變形例)

下面，參照圖面說明第一實施方式之半導體裝置之第一製造方法之一個變形例。

圖 4(a)~圖 4(d)係顯示第一實施方式之半導體裝置之第一製造方法之一個變形例之工序構成斷面。在圖 4 中，與圖 2 顯示相同之構成部分標有相同之符號。

首先，如圖 4(a)顯示，與第一製造方法相同，在包含 MOS 晶體管 30 在內之半導體基板 10 上表面，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上表面使其厚度成為 500nm。接下來，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 之上側，有選擇地開鑿接觸空穴開口。再下來，在接觸空穴開口內形成由屏障膜和白金形成之導電性插塞 13。

接下來，如圖 4(b)顯示，用噴塗法，在含有導電性插塞 13 之第一層間絕緣膜 12 之上，依次堆積厚度均為 50nm 之氮鋁化鈦層、鉍層和氧化鉍層，形成氧化屏障形成膜。接下來，對氧化屏障形成膜用平板印刷術及干蝕刻法，以包含導電性插塞 13 之形式圖案化，由氧化屏障形成膜製成氧化屏障膜 14。

接下來，如圖 4(c)顯示，用化學氣相堆積法，在第一層間絕緣膜 12 上包含氧化屏障膜 14 之全表面上堆積膜厚約為 1000nm 之由氧化矽形成之第二層間絕緣膜 15。其後，用化學機械研磨法，平整堆積之第二層間絕緣膜 15 之上表面使其厚度成為 500nm。接下去，使用平板印刷術及干蝕刻法，在第二層間絕緣膜 15 上形成露出氧化屏障膜 14 之開口部分 15a，其後，用噴塗法或者化學氣相堆積法，在

開口部分 15a 之底面及側面上，堆積膜厚約為 50nm 之白金下部電極形成膜。接下去，用化學機械研磨法或者抗蝕膜蝕刻還原法(Resist Etch Back)，除去堆積了下部電極形成膜之第二層間絕緣膜 15 上表面之部分，由此下部電極形成膜殘留在開口部分 15a 之底面及側壁上，形成了由下部電極形成膜形成之下部電極 16A。

接下來，如圖 4(d)顯示，用化學氣相堆積法，在包含下部電極 16 之第二層間絕緣膜 15 上，堆積厚度為 50nm 之包含鋁、鉍、鉭和銱之由強鐵電體形成之電容絕緣膜 17。接下去，用噴塗法或化學氣相堆積法，在電容絕緣膜 17 上，形成由膜厚約 50nm 之白金形成之上部電極 18。如此形成由下部電極 16、電容絕緣膜 17 和上部電極 18 形成之電容元件 19。在此也進行在 700℃ 之溫度條件下保持 10 分鐘後退火之工序，以使構成電容絕緣膜 17 之強鐵電體結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定之配線等以後，形成保護絕緣膜。

如此，由第一製造方法之此變形例，圖 4(c)顯示之下部電極 16A 之形成工序中，因為係通過化學機械研磨法或者抗蝕膜蝕刻還原法形成之下部電極 16A，所以，合對第二層間絕緣膜 15 之開口部分 15a 和下部電極 16A 之位置之余量之過程就不再需要，就可以進一步減小單元面積。

且，即便在本變形例中，形成氧化屏障膜 14 時，用第二製造方法，亦即在層間絕緣膜之開口部分填充氧化屏障膜

14 之做法亦可。

(第二實施方式)

下面，參照圖面說明本發明之第二實施方式。

圖 5 係顯示第二實施方式之半導體裝置之構成斷面。在圖 5 中，與圖 1 顯示相同之構成部分標有相同之符號併省略其說明。

如圖 5 顯示，第二實施方式之半導體裝置，在第二層間絕緣膜 15 之開口部分 15a 之底面及側面之上，設置了厚度約為 5nm 之由氧化鉍形成之具有導電性之貼緊膜 22。

此貼緊膜 22，係為了提高由氧化矽形成之層間絕緣膜 15 和由白金形成之下部電極 16 之間粘接性，使下部電極 16 不容易從第二層間絕緣膜 15 剝落。

下面，參照圖面說明該構成之半導體裝置之製造方法。

圖 6(a)~圖 6(d)係顯示第二實施方式之半導體裝置之製造方法之工序構成斷面。在圖 6 中，與圖 2 顯示相同之構成部分標有相同之符號。

首先，如圖 6(a)顯示，與第一實施方式之第一製造方法一樣，在包含 MOS 晶體管 30 之半導體基板 10 之整個表面上，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上面，併使其厚度成為 500nm。其後，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上側，有選擇地開鑿接觸空穴開口。接下來，在開鑿之接觸空穴開口內形成由屏障膜和白金膜形成之導電性插塞 13。

接下來，如圖 6(b)顯示，用噴塗法，在含有導電性插塞 13 之第一層間絕緣膜 12 之上，依次堆積厚度均為 50nm 之氮鋁化鈦層、鉍層和氧化鉍層，形成氧化屏障形成膜。接下來，對於氧化屏障形成膜，通過平板印刷術及干蝕刻之法，在含有導電性插塞 13 之區域內形成圖案，由氧化屏障形成膜形成氧化屏障膜 14。

再下來，如圖 6(c)顯示，用化學氣相堆積法，在第一層間絕緣膜 12 之上包含氧化屏障膜 14 之全表面堆積膜厚約為 1000nm 之由氧化矽形成之第二層間絕緣膜 15。接下來，用化學機械研磨法，平整堆積成之第二層間絕緣膜 15 之上表面使其厚度成為 500nm。其後，使用平板印刷術及干蝕刻之法，在第二層間絕緣膜 15 形成露出氧化屏障膜 14 之開口部分 15a，接下來，用噴塗法或者化學氣相堆積法，在包含開口部分 15a 之第二層間絕緣膜 15 之上，依次堆積由膜厚為 5nm 之氧化鉍形成之貼緊膜 22 和膜厚約為 50nm 白金下部電極形成膜。接下去，用平板印刷術及干蝕刻之法，對堆積成之貼緊膜 22 及下部電極形成膜，使其至少在開口部分 15a 之底部及側壁可以保留之形式形成圖案，形成與第二層間絕緣膜 15 之間介入貼緊膜 22 之下部電極 16。

接下來，如圖 6(d)顯示，用化學氣相堆積法，在包含下部電極 16 之第二層間絕緣膜 15 之上，堆積厚度為 50nm 之包含鋁、鉍、鈦和鈳之由強鐵電體形成之電容絕緣膜 17，接下去，用噴塗法或化學氣相堆積法，在電容絕緣膜

17 上，形成由厚度為 50nm 之白金形成之上部電極 18。在此，用同一個抗蝕膜圖案化電容絕緣膜 17 及上部電極 18，由此形成由下部電極 16、電容絕緣膜 17 和上部電極 18 形成之電容元件 19。在此亦進行在 700°C 之溫度條件下保持 10 分鐘後退火之工序，以使構成電容絕緣膜 17 之強鐵電體結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定之配線等後，形成保護絕緣膜。

正因如此，由第二實施方式，因為在第二層間絕緣膜 15 之開口部分 15a 之底面和側面上設置了厚度為 5nm 之氧化鈦貼緊膜 22，在結晶化構成電容絕緣膜 17 之強鐵電體之退火處理時，可以防止下部電極 16 從第二層間絕緣膜 15 剝離。

且，即便在本變形例中，形成氧化屏障膜 14 時，用第一實施方式之第二製造方法，亦即在層間絕緣膜之開口部分填充氧化屏障膜 14 之做法亦可。

還有，在圖 6(c)顯示之工序中，在形成貼緊膜 22 和下部電極 16 之時，取代由平板印刷術及干蝕刻法之製作圖案，採用圖 4(c)顯示之化學機械研磨法形成亦可。

(第二實施方式之一個變形例)

下面，參照圖面說明本發明之第二實施方式之一個變形例。

圖 7 係顯示第二實施方式之一個變形例之半導體裝置之構成斷面。在圖 7 中，與圖 5 顯示相同之構成部分標有相

同之符號併省略其說明。

本變形例之半導體裝置，係以在第二層間絕緣膜 15 之開口部分 15a 之側面之上，設置了厚度約為 10nm 之由氧化鈦(TiO_2)形成之絕緣性貼緊膜 23 為之特徵。

由此貼緊膜 23，係為了提高由氧化矽形成之層間絕緣膜 15 和由白金形成之下部電極 16 之間粘接性，使下部電極 16 不容易從第二層間絕緣膜 15 剝落。還有，因為貼緊膜 23 僅為選擇性地形成在開口部分 15a 之側面上，氧化屏障膜 14 與下部電極 16 直接相接。為此，本變形例與第二實施方式不同，貼緊膜 23 可以使用沒有導電性之材料。其結果，在貼緊膜 23 之材料選擇方面，可選擇貼緊性高之材料、便宜之材料等，範圍很廣。

且，貼緊膜 23，只要為第二層間絕緣膜 15 和下部電極 16 之間粘接性顯著之材料即可。

下面，參照圖面說明該構成之半導體裝置之製造方法。

圖 8(a)~圖 8(d)係顯示第二實施方式之一變形例之半導體裝置之製造方法工序之構成斷面。在圖 8 中，與圖 6 顯示相同之構成部分標有相同之符號。

首先，如圖 8(a)顯示，與第一實施方式之第一製造方法一樣，在包含 MOS 晶體管 30 之半導體基板 10 之整個表面上，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上表面，併使其厚度成為 500nm。其後，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上

側，有選擇地開鑿接觸空穴開口。接下來，在開鑿之接觸空穴開口內形成由屏障膜和白金膜形成之導電性插塞 13。再下來，用噴塗法，在含有導電性插塞 13 之第一層間絕緣膜 12 之上，依次堆積厚度均為 50nm 之氮鋁化鈦層、鉍層和氧化鉍層，形成氧化屏障形成膜。接下來，對氧化屏障膜形成膜用平板印刷術及干蝕刻法，以包含導電性插塞 13 之形式圖案化，由氧化屏障形成膜形成氧化屏障膜 14。

接下來，如圖 8(b)顯示，用化學氣相堆積法，在包含氧化屏障膜 14 之第一層間絕緣膜 12 之整個表面之上，堆積膜厚約為 1000nm 之由氧化矽形成之第二層間絕緣膜 15。接下來，用化學機械研磨法，平整堆積成之第二層間絕緣膜 15 之上表面使其厚度成為 500nm。其後，使用平板印刷術及干蝕刻法，在第二層間絕緣膜 15 形成露出氧化屏障膜 14 之開口部分 15a，接下來，用噴塗法或者化學氣相堆積法，在開口部分 15a 之底面及側壁上堆積膜厚為 5nm 之由鈦(Ti)形成之金屬層。還有，通過對所堆積之金屬層進行溫度為 650℃ 之氧元素環境約 60 分鐘之氧化處理之氧化金屬層，形成由氧化鈦形成之貼緊膜形成層。接下來，對所形成之貼緊膜形成層，進行如用氯氣(Cl₂)異向干蝕刻之蝕刻，形成在第二層間絕緣膜 15 之開口部分 15a 側壁上由貼緊膜形成層形成之貼緊膜 23。

接下來，如圖 8(c)顯示，用噴塗法或者化學氣相堆積法，在包含開口部分 15a 之第二層間絕緣膜 15 上，堆積膜厚約

為 50nm 白金下部電極形成膜。接下去，用平板印刷術及干蝕刻之法，對堆積成之下部電極形成膜，使它至少在開口部分 15a 之底部及側壁上可以保留之形式形成圖案，形成與第二層間絕緣膜 15 之間介入貼緊膜 23 之下部電極 16。

接下來，如圖 8(d)顯示，用化學氣相堆積法，在包含下部電極 16 之第二層間絕緣膜 15 上，堆積厚度為 50nm 之包含鋁、鈹、鈿和銱之由強鐵電體形成之電容絕緣膜 17，接下去，用噴塗法或化學氣相堆積法，在電容絕緣膜 17 之上，形成由厚度為 50nm 之白金形成之上部電極 18。由此形成由下部電極 16、電容絕緣膜 17 和上部電極 18 形成之電容元件 19。在此亦進行在 700℃ 之溫度條件下保持 10 分鐘後退火之工序，以使構成電容絕緣膜 17 之強鐵電體之結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定之配線等之後，再形成保護絕緣膜。

如此，本變形例之做法，因為在第二層間絕緣膜 15 之開口部分 15a 之側面之上設置了厚度為 5nm 之氧化鈦貼緊膜 23，在使構成電容絕緣膜 17 之強鐵電體進行結晶退火處理時，可以防止下部電極 16 從第二層間絕緣膜 15 剝離。

還有，因為貼緊膜 23 係由金屬氧化物形成，因貼緊膜 23 和下部電極 16 之化學反應，提高了下部電極 16 和第二層間絕緣膜 15 之間之貼緊性。在此基礎上，也可以防止在電容絕緣膜 17 之退火處理時，從貼緊膜 23 向電容絕緣膜

17 之金屬擴散。

再有，如圖 8(b)顯示，僅在開口部分 15a 之側壁上形成貼緊膜 23，下部電極 16 可直接與氧化屏障膜 14 相連，所以，亦可以用絕緣材料做貼緊膜 23。

且，即便在本變形例中，形成氧化屏障膜 14 時，用第一實施方式之第二製造方法，亦即在層間絕緣膜之開口部分填充氧化屏障膜 14 之做法亦可。

還有，在圖 6(c)顯示工序之中，在形成下部電極 16 之時，取代由平板印刷術及干蝕刻法之製作圖案，採用圖 4(c)顯示之化學機械研磨法形成之亦可。

(第三實施方式)

下面，參照圖面說明本發明之第三實施方式。

圖 9 係顯示第三實施方式之半導體裝置之斷面構成圖。在圖 9 中，與圖 1 顯示相同之構成部分標有相同之符號併省略其說明。

如圖 9 顯示，第三實施方式之半導體裝置，與第一及第二實施方式一樣，具有導電性插塞 13、氧化屏障膜 14 及電容元件 19 相對於基板面係垂直堆積而成之堆積型(stack)元件構造。

作為第三實施方式之特徵，構成電容元件 19 之下部電極 16B，係由厚度為 300nm 之膜厚為較厚之白金構成。

由膜厚為 50nm 之強鐵電體形成，且形成在下部電極 16B 之表面上之電容絕緣膜 17，由於此下部電極 16B 之上表面和側面所形成之角部分形成了彎曲部分 17a。由於此彎曲

部分 17a，電容絕緣膜 17 之一部分具有了與基板幾乎垂直之面，在確保所定電容值之同時，確實可以縮小電容絕緣膜 17 向基板之投影面積。

下面，參照圖面說明如上所述所構成之半導體裝置之製造方法。

圖 10(a)~圖 10(d)係顯示第三實施方式之半導體裝置之製造方法之工序順序斷面構成圖。在圖 10 中，與圖 2 顯示相同之構成部分標有相同之符號。

首先，如圖 10(a)顯示，與第一實施方式之第一製造方法一樣，在包含 MOS 晶體管 30 之半導體基板 10 之整個表面上，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上表面，併使其厚度成為 500nm。其後，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上側，有選擇地開鑿接觸空穴開口。接下來，在開鑿之接觸空穴開口內形成由屏障膜和白金膜形成之導電性插塞 13。其後，用噴塗法，在包含導電性插塞 13 之第一層間絕緣膜 12 之上，堆積膜厚各約為 50nm 之氮化鈦鋁、鉍及氧化鉍，形成氧化屏障膜形成膜。再其後，再用平板印刷術及干蝕刻法，以包含導電性插塞 13 之形式形成圖案，形成由氧化屏障膜形成層形成之氧化屏障膜 14。

接下來，如圖 10(b)顯示，用化學氣相堆積法，在第一層間絕緣膜 12 上包含氧化屏障膜 14 之全表面堆積膜厚約為 300nm 之由氧化矽形成之第二層間絕緣膜 15。接下來，用

化學機械研磨法，平整堆積成之第二層間絕緣膜 15 之上表面，研磨其至露出氧化屏障膜 14，整平第二層間絕緣膜 15 及氧化屏障膜 14 之上表面。

接下來，如圖 10(c)顯示，用噴塗法，在第二層間絕緣膜 15 上包含氧化屏障膜 14 之全表面堆積膜厚約為 300nm 之白金下部電極形成膜。其後，使用平板印刷術及干蝕刻之法，在包括此氧化屏障膜 14 之上部下部電極形成膜之上形成圖案，形成由此下部電極形成膜形成之下部電極 16B。

接下來，如圖 10(d)顯示，用化學氣相堆積法，用覆蓋下部電極 16B 之方式，堆積厚度為 50nm 之包含鋁、鈹、鉭和銮之由強鐵電體形成之電容絕緣膜 17。接下去，用噴塗法或化學氣相堆積法，以覆蓋電容絕緣膜 17 之形式，形成由厚度為 50nm 之白金形成之上部電極 18。在此，用同一個抗蝕膜圖案化電容絕緣膜 17 及上部電極 18。通過此做法形成由下部電極 16B、電容絕緣膜 17 和上部電極 18 形成之電容元件 19。在此亦進行在 700°C 之溫度條件下保持 10 分鐘後退火之工序，以使構成電容絕緣膜 17 之強鐵電體結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定配線等之後，再形成保護絕緣膜。

正因如此，由第三實施方式，形成氧化屏障膜 14 後，因為形成了比較厚之下部電極 16B，與此下部電極 16B 和氧化屏障膜 14 同時形成之情況相比更容易加工。

還有，第三實施方式之氧化屏障膜 14，因為由第二層間

絕緣膜 15 所圍，所以，可以使下部電極 16B 之底面積大於氧化屏障膜 14。為此，在拼對下部電極 16B 和氧化屏障膜 14 之位置之時，無須擔心會發生位置之偏差。

且，在第三實施方式中，形成氧化屏障膜 14 時，也可以採用第一實施方式之第二製造方法，亦即在第二層間絕緣膜 15 上開鑿之開口部分中進行填充形成氧化屏障膜 14 之方法。

(第四實施方式)

下面，參照圖面說明本發明之第四實施方式。

圖 11 係顯示第四實施方式之半導體裝置之構成斷面。在圖 11 中，與圖 1 顯示相同之構成部分標有相同之符號併省略其說明。

如圖 11 顯示，第四實施方式之半導體裝置，與第一至第三實施方式一樣，具有導電性插塞 13、氧化屏障膜 14 及電容元件 19 相對於基板面係垂直堆積而成之堆積型元件構造。

第四實施方式，象第三實施方式一樣，取代電容元件 19 之下部電極 16 之自身作為膜之厚度，採用由絕緣材料形成之較厚之膜，如圓柱狀之底膜 24 之構成。

由此構成，由膜厚為 50nm 之強鐵電體形成，並且形成在下部電極 16B 之表面上之電容絕緣膜 17，因此底膜 24 之上表面和側面所形成之角部分形成了彎曲部分 17a。因此彎曲部分 17a，電容絕緣膜 17 之一部分具有了與基板幾乎垂直之面，在確保所定電容值之同時，確實可以縮小電

容絕緣膜 17 向基板之投影面積。

在此基礎之上，由於設置了底膜 24，就可以減小下部電極 16 之厚度，下部電極 16 自身之加工就變得容易，相對於基板面垂直方向之尺寸，亦即高度尺寸也就確實並且容易增加。

下面，參照圖面說明該構成之半導體裝置之製造方法。

圖 12(a)~圖 12(d)係顯示第四實施方式之半導體裝置之製造方法工序之構成斷面。在圖 12 中，與圖 2 顯示相同之構成部分標有相同之符號。

首先，如圖 12(a)顯示，與第一實施方式之第一製造方法一樣，在包含 MOS 晶體管 30 之半導體基板 10 之整個表面上，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上表面，併使其厚度成為 500nm。其後，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上側，有選擇地開鑿接觸空穴開口。接下來，在開鑿之接觸空穴開口內形成由屏障膜和白金膜形成之導電性插塞 13。其後，用噴塗法，在包含導電性插塞 13 之第一層間絕緣膜 12 之上，堆積膜厚各約為 50nm 之氮化鈦鋁、鉅及氧化鉅，形成氧化屏障膜形成膜。再其後，對氧化屏障膜形成膜，用平板印刷術及干蝕刻之法，以包含導電性插塞 13 之形式形成圖案，形成由氧化屏障膜形成層形成之氧化屏障膜 14。接下來，用化學氣相堆積法，在第一層間絕緣膜 12 之上包含氧化屏障膜 14 之全表面堆積膜厚約為 300nm

之由氧化矽形成之第二層間絕緣膜 15。接下來，用化學機械研磨法，平整堆積成之第二層間絕緣膜 15 之上表面，研磨其至露出氧化屏障膜 14，整平第二層間絕緣膜 15 及氧化屏障膜 14 之上表面。

接下來，如圖 12(b)顯示，用化學氣相堆積法，在第二層間絕緣膜 15 上包含氧化屏障膜 14 之全表面堆積膜厚約為 500nm 之由氧化矽形成之第二層間底膜形成膜，用平板印刷術及干蝕刻法，在堆積成之底膜形成膜上以在氧化屏障膜 14 上方露出其周圍邊緣部分之形式製作圖案，形成由底膜形成膜形成之底膜 24。

接下來，如圖 12(c)顯示，用噴塗法或化學氣相堆積法，在第二層間絕緣膜 15 上堆積能夠覆蓋底膜 24，膜厚約為 50nm 之白金下部電極形成膜。接下來，使用平板印刷術及干蝕刻法，通過對堆積成之下部電極形成膜形成圖案，從下部電極形成膜形成覆蓋底膜 24 上面及側面之下部電極 16。此時，下部電極 16 之下端與氧化屏障膜 14 之上面之邊緣部分形成電連接。

接下來，如圖 12(d)顯示，用化學氣相堆積法，以覆蓋下部電極 16 之方式，堆積厚度為 50nm 之包含鋁、鉍、鈮和鈮之由強鐵電體形成之電容絕緣膜 17。在此，用同一個抗蝕膜圖案化電容絕緣膜 17 及上部電極 18。通過如此形成由下部電極 16、電容絕緣膜 17 及上部電極 18 形成之電容元件 19。在此亦進行在 700°C 之溫度條件下保持 10 分鐘後退火之工序，以使構成電容絕緣膜 17 之強鐵電體結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定之配線等後，形成保護絕緣膜。

正因如此，由第四實施方式，因作成了在下部電極 16 上包含相對於基板面垂直之部分，亦即在氧化屏障膜 14 上設置了為得到立體化之輔助部件，圓柱狀之底膜 24。為此，也將由白金形成之下部電極 16 自身作為圓柱體，加工性就會更好。

在此基礎之上，因為底膜 24 係以露出氧化屏障膜 14 之上面邊緣之形式形成，確保了氧化屏障膜 14 和下部電極 16 之電連接之獲得，所以，底膜 24 可以選用非導電性材料。

且，底膜 24 不僅限於氧化矽，只要為容易加工之材料即可，也無所謂導電與否。還有，作為底膜 24，若使用導電性之氧化鈦鋁，與由白金形成之下部電極 16 之貼緊性就變得良好。

還有，在第四實施方式中，形成氧化屏障膜 14 之時，也可以採用第一實施方式之第二製造方法，亦即在第二層間絕緣膜 15 上開鑿之開口部分，併在其中填充形成氧化屏障膜 14 之方法。

(第四實施方式之一變形例)

下面，參照圖面說明本發明之第四實施方式之一變形例。

圖 13 係顯示第四實施方式之一變形例之半導體裝置之構成斷面。在圖 13 中，與圖 11 顯示相同之構成部分標有相同之符號併省略其說明。

本變形例之半導體裝置，以在底膜 24 之側面上設置了由厚度約為 5nm 之氧化鈦形成之貼緊膜 25 為之特徵。

由於此貼緊膜 25，提高了由氧化矽形成之底膜 24 和白金下部電極 16 之間之貼緊性，所以，下部電極 16 不容易從底膜 24 剝落。

且，貼緊膜 25 使用絕緣之氧化鈦時有必要設置為露出氧化屏障膜 14 之形式，但，若使用如氧化鋁之類導電材料時，覆蓋氧化屏障膜 14 亦可以。

下面，參照圖面說明如上所述所構成之半導體裝置之製造方法。

圖 14(a)~圖 14(d)係顯示第四實施方式之一變形例之半導體裝置之製造方法工序之構成斷面。在圖 14 中，與圖 12 顯示相同之構成部分標有相同之符號。

首先，如圖 14(a)顯示，與第一實施方式之第一製造方法一樣，在包含 MOS 晶體管 30 之半導體基板 10 之整個表面上，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上表面，併使其厚度成為 500nm。其後，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上側，有選擇地開鑿接觸空穴開口。接下來，在開鑿之接觸空穴開口內形成由屏障膜和白金膜形成之導電性插塞 13。其後，用噴塗法，在包含導電性插塞 13 之第一層間絕緣膜 12 上，堆積膜厚各約為 50nm 之氮化鈦鋁、鋁及氧化鋁，形成氧化屏障膜形成膜。再其後，對氧化屏障膜形成

膜，用平板印刷術及干蝕刻之法，以包含導電性插塞 13 之形式形成圖案，形成由氧化屏障膜形成層形成之氧化屏障膜 14。其後，用化學氣相堆積法，在第一層間絕緣膜 12 上包含氧化屏障膜 14 之全表面堆積膜厚約為 300nm 之由氧化矽形成之第二層間絕緣膜 15。接下來，用化學機械研磨法，平整堆積成之第二層間絕緣膜 15 之上表面，研磨其至露出氧化屏障膜 14，整平第二層間絕緣膜 15 及氧化屏障膜 14 之上表面。

接下來，如圖 14(b)顯示，用化學氣相堆積法，在第二層間絕緣膜 15 上包含氧化屏障膜 14 之全表面堆積膜厚約為 500nm 之由氧化矽形成之第二層間底膜形成膜，用平板印刷術及干蝕刻之法，在堆積成之底膜形成膜上以在氧化屏障膜 14 上方露出其周圍邊緣部分之形式製作圖案，形成由底膜形成膜形成之底膜 24。接下來，用噴塗法或化學氣相堆積法，在第二層間絕緣膜 15 之上堆積能夠覆蓋底膜 24，厚度為 5nm 之鈦金屬層。其後，通過對堆積之金屬層進行在溫度為 650℃ 之氧元素環境中 60 分鐘之氧化處理，形成由氧化鈦形成之貼緊膜 25。

接下來，如圖 14(c)顯示，如通過使用氯氣(Cl₂)之異向蝕刻，進行使貼緊膜 25 保留在底膜 24 之側面上之蝕刻。在此也有露出氧化屏障膜 14 之上表面邊緣部分之必要。

接下來，如圖 14(d)顯示，用噴塗法或化學氣相堆積法，在包含底膜 24 及貼緊膜 25 之第二層間絕緣膜 15 之上，堆積膜厚約為 50nm 之白金下部電極形成膜。接下來，使用

平板印刷術及干蝕刻之法，通過對堆積成之下部電極形成膜形成圖案，由下部電極形成膜形成介於側面之貼緊膜 25 而覆蓋底膜 24 全表面之下部電極 16。此時，下部電極 16 之下端與氧化屏障膜 14 之上表面之邊緣部分形成電連接。接下來，用化學氣相堆積法，以覆蓋下部電極 16 之方式，堆積厚度為 50nm 之包含鋁、鈹、鈦和鈮之由強鐵電體形成之電容絕緣膜 17，接下來，用噴塗法或者化學氣相堆積法，以覆蓋電容絕緣膜 17 之形式，形成由膜厚約為 50nm 之白金層形成之上部電極 18。在此，用同一個抗蝕膜制圖電容絕緣膜 17 和上部電極 18。由此，通過如此形成由下部電極 16、電容絕緣膜 17 及上部電極 18 形成之電容元件 19。在此亦進行在 700°C 之溫度條件下保持 10 分鐘後退火之工序，以使構成電容絕緣膜 17 之強鐵電體結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定之配線等之後，再形成保護絕緣膜。

正因如此，本變形例，因為在底膜 24 之側面上設置了由厚度為 5nm 之氧化鈦形成之貼緊膜 25，在進行退火結晶處理構成電容絕緣膜 17 之強鐵電體時，能夠防止下部電極 16 從底膜 24 剝落。

還有，因為貼緊膜 25 係由金屬氧化物形成，所以，由於貼緊膜 25 和下部電極 16 之化學反應，可提高下部電極 16 和底膜 24 之貼緊性。在此基礎之上，在電容絕緣膜 17 之退火處理時還可以防止從貼緊膜 25 向電容絕緣膜 17 擴散金屬。

再有，如圖 14(c)顯示，貼緊膜 25 係以露出氧化屏障膜 14 之上表面邊緣之形式形成之，如此，下部電極 16 和氧化屏障膜 14 就成為直接連接，所以，就不須顧及貼緊膜 25 導電與否。

且，在本變形例中，形成氧化屏障膜 14 時，也可以採用第一實施方式之第二製造方法，亦即在第二層間絕緣膜 15 上開鑿之開口部分，併在其中填充形成氧化屏障膜 14 之方法。

(第五實施方式)

下面，參照圖面說明本發明之第五實施方式。

圖 15 係顯示第五實施方式之半導體裝置之構成斷面。在圖 15 中，與圖 1 顯示相同之構成部分標有相同之符號併省略其說明。

如圖 15 顯示，第五實施方式之半導體裝置，與第一至第四實施方式一樣，具有導電性插塞 13、氧化屏障膜 14 及電容元件 19 相對於基板面為垂直堆積而成之堆積型元件之構造。

作為第五實施方式之特徵，構成電容元件 19 之下部電極 16，係由厚度約為 5nm、高度約為 500nm 之有底筒狀形白金之構成。還有、構成電容元件 19 之由強鐵電體形成之電容絕緣膜 17 以及其上部之上部電極 18，係沿著下部電極 16 之底面、內壁面及外壁面形成之。

通過如此構成，電容絕緣膜 17，在有底筒狀形下部電極 16 中由於底部和筒狀體之結合部分以及筒狀體上端部分

形成了彎曲部分 17a。由於此彎曲部分 17a，電容絕緣膜 17 之一部分具有了與基板幾乎垂直之面，其存在於筒狀下部電極 16 之內壁面和外壁面，如此，在縮小電容絕緣膜 17 向基板之投影面積之同時，電容量顯著增大。

下面，參照圖面說明如上所述所構成之半導體裝置之製造方法。

圖 16(a)~圖 16(d)係顯示第五實施方式之半導體裝置之製造方法工序之構成斷面。在圖 16 中，與圖 2 顯示相同之構成部分標有相同之符號。

首先，如圖 16(a)顯示，與第一實施方式之第一製造方法一樣，在包含 MOS 晶體管 30 之半導體基板 10 之整個表面上，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上表面，併使其厚度為 500nm。其後，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上側，有選擇地開鑿接觸空穴開口。接下來，在開鑿之接觸空穴開口內形成由屏障膜和白金膜形成之導電性插塞 13。其後，用噴塗法，在包含導電性插塞 13 之第一層間絕緣膜 12 之上，堆積膜厚各約為 50nm 之氮化鈦鋁、鉍及氧化鉍，形成氧化屏障膜形成膜。再其後，對氧化屏障膜形成膜，用平板印刷術及干蝕刻法，以包含導電性插塞 13 之形式形成圖案，形成由氧化屏障膜形成層形成之氧化屏障膜 14。

接下來，如圖 16(b)顯示，用化學氣相堆積法，在第一層間絕緣膜 12 上包含氧化屏障膜 14 之全表面堆積膜厚約為

1000nm 之由氧化矽形成之第二層間絕緣膜 15。接下來，用化學機械研磨法，平整堆積成之第二層間絕緣膜 15 之上表面，使其厚度成為 500nm。其後，用平板印刷術及干蝕刻法，在第二層間絕緣膜 15 上形成露出氧化屏障膜 14 之開口部分 15a，接下去，用噴塗法或者化學氣相堆積法，在含有開口部分 15a 之第二層間絕緣膜 15 之上表面，堆積膜厚約為 50nm 之白金下部電極形成膜。其後，用化學機械研磨法或者抗蝕膜蝕刻還原法，在堆積成之下部電極形成膜上除去第二層間絕緣膜 15 之上側部分，通過將此下部電極形成膜留在開口部分 15a 之底面及壁面之上，形成了由下部電極形成膜形成之有底筒狀形下部電極 16C。

接下來，如圖 16(c)顯示，通過用霧化氟酸之蝕刻，除去到氧化屏障膜 14 之上表面為止之第二層間絕緣膜 15，露出下部電極 16C 之外壁。

接下來，如圖 16(d)顯示，用化學氣相堆積法，在第二層間絕緣膜 15 上，以覆蓋露出之下部電極 16C 之底面、內壁面及外壁面之方式，堆積厚度為 50nm 之包含鋁、鉍、鉭和鈮之由強鐵電體形成之電容絕緣膜 17，接下來，用噴塗法或者化學氣相堆積法，以沿著電容絕緣膜 17 上露出面之方式，形成由膜厚約為 50nm 之白金上部電極 18。在此，用同一個抗蝕膜圖案化電容絕緣膜 17 及上部電極 18。通過如此形成由下部電極 16、電容絕緣膜 17 及上部電極 18 形成之電容元件 19。在此亦進行在 700°C 之溫度條件下保持 10 分鐘後退火之工序，以使構成電容絕緣膜 17 之強鐵

電體結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定配線等之後，再形成保護絕緣膜。

正因如此，由第五實施方式，因為直至氧化屏障膜 14 之上表面為止除去了第二層間絕緣膜 15，所以，可以在下部電極 16C 之外壁面上形成電容絕緣膜 17 及上部電極 18。

(第六實施方式)

下面，參照圖面說明本發明之第六實施方式。

圖 17 係顯示第六實施方式之半導體裝置之構成斷面。在圖 17 中，與圖 1 顯示相同之構成部分標有相同之符號併省略其說明。

如圖 17 顯示，第六實施方式之半導體裝置，與第一至第五實施方式一樣，具有導電性插塞 13、氧化屏障膜 14 及電容元件 19 相對於基板面為垂直堆積而成之堆積型元件構造。

作為第六實施方式之特徵，構成電容元件 19 之下部電極 16，係由沿著厚度約為 20nm、高度約為 500nm 之有底筒狀形氧化鈦形成之定形膜(定型膜)26 之底面、內壁面及外壁面而形成。還有，下部電極 16 之下端部與氧化屏障膜 14 之上邊緣電連接。再有，構成電容元件 19 之由強鐵電體形成之電容絕緣膜 17 以及其上部之上部電極 18，係沿著下部電極 16 形成。

通過如此構成，電容絕緣膜 17，在有底筒狀形之定形膜 26 中因底部和筒狀體之結合部分以及筒狀體上端部分形

成了彎曲部分 17a。此彎曲部分 17a，電容絕緣膜 17 之一部分具有了與基板幾乎垂直之面，其存在於筒狀定形膜 26 之內壁面和外壁面，如此，在縮小電容絕緣膜 17 向基板之投影面積之同時，電容量顯著增大。並且，因為通過下部電極 16 形成有底筒狀形體而擴大了材料選擇之範圍，所以，只要選擇在製作過程中形狀安定之材料，即可以安定有底筒狀形體之形狀。

且，定形膜 26，只需要與氧化屏障膜 14 有良好之貼緊性且硬度大即可，無需要求其導電性。

下面，參照圖面說明該構成之半導體裝置之製造方法。

圖 18(a)~圖 18(d)係顯示第六實施方式之半導體裝置之製造方法工序之構成斷面。在圖 18 中，與圖 2 顯示相同之構成部分標有相同之符號。

首先，如圖 18(a)顯示，與第一實施方式之第一製造方法一樣，在包含 MOS 晶體管 30 之半導體基板 10 之整個表面上，堆積膜厚約為 1000nm，由氧化矽形成之第一層間絕緣膜 12。接下來，用化學機械研磨法平整堆積成之第一層間絕緣膜 12 之上表面，併使其厚度為 500nm。其後，在第一層間絕緣膜 12 之 MOS 晶體管 30 之源擴散區域 30a 上側，有選擇地開鑿接觸空穴開口。接下來，在開鑿之接觸空穴開口內形成由屏障膜和白金膜形成之導電性插塞 13。其後，用噴塗法，在包含導電性插塞 13 之第一層間絕緣膜 12 上，堆積膜厚各約為 50nm 之氮化鈦鋁、鉍及氧化鉍，形成氧化屏障膜形成膜。再其後，對氧化屏障膜形成膜，

用平板印刷術及干蝕刻之法，以包含導電性插塞 13 之形式形成圖案，形成由氧化屏障膜形成層形成之氧化屏障膜 14。

接下來，如圖 18(b)顯示，用化學氣相堆積法，在第一層間絕緣膜 12 上包含氧化屏障膜 14 之全表面堆積膜厚約為 1000nm 之由氧化矽形成之第二層間絕緣膜 15。接下來，用化學機械研磨法，平整堆積成之第二層間絕緣膜 15 之上表面，使其厚度成為 500nm。其後，用平板印刷術及干蝕刻之法，在第二層間絕緣膜 15 上形成露出氧化屏障膜 14 之開口部分 15a，接下去，用噴塗法或者係化學氣相堆積法，在含有開口部分 15a 之第二層間絕緣膜 15 之上表面，堆積膜厚約為 10nm 之鈦金屬膜。還通過對所堆積之金屬層進行溫度為 650°C 之氧元素環境約 60 分鐘之氧化處理，氧化金屬層，形成由氧化鈦形成之定形膜形成膜。其後，用化學機械研磨法或者係抗蝕膜蝕刻還原法，在定形膜形成膜上除去第二層間絕緣膜 15 之上側部分，通過將此定形膜形成膜留在開口部分 15a 之底面及壁面之上，形成了由定形膜形成膜形成之有底筒狀形定形膜 26。

接下來，如圖 18(c)顯示，通過用霧化氟酸之蝕刻，以使氧化屏障膜 14 之上表面周邊露出之形式除去第二層間絕緣膜 15，露出定形膜 26 之外壁面。其後，通過噴塗法或者係化學氣相堆積法，在第二層間絕緣膜 15 之上表面，以覆蓋露出之定形膜 26 之底面、內壁面及外壁面之形式，堆積膜厚約為 50nm 之白金下部電極形成膜。接下來，用平板

印刷術及干蝕刻之法，在包含定形膜 26 之區域制圖堆積之下部電極形成膜，由下部電極形成膜，形成其端部與氧化屏障膜 14 之上表面之邊緣部分連接之下部電極 16。

接下來，如圖 18(d)顯示，用化學氣相堆積法，在第二層間絕緣膜 15 之上，以覆蓋下部電極 16 之露出面之方式，堆積厚度為 50nm 之包含鋁、鉍、鉭和鈮之由強鐵電體形成之電容絕緣膜 17，接下來，用噴塗法或者化學氣相堆積法，以沿著電容絕緣膜 17 上露出面之方式，形成由膜厚約為 50nm 之白金上部電極 18。在此，用同一個抗蝕膜圖案化電容絕緣膜 17 及上部電極 18。通過如此形成由下部電極 16、電容絕緣膜 17 及上部電極 18 形成之電容元件 19。在此亦進行在 700℃ 之溫度條件下保持 10 分鐘後退火之工序，以使構成電容絕緣膜 17 之強鐵電體結晶。

其後，儘管圖中未示，在半導體基板 10 上形成所定配線等之後，再形成保護絕緣膜。

正因如此，第六實施方式，因為直至氧化屏障膜 14 之上表面為止用蝕刻方法除去了第二層間絕緣膜 15，所以，可以在定形膜 26 之外壁面上形成由下部電極 16、電容絕緣膜 17 及上部電極 18 之同時，也可以使下部電極 16 和氧化屏障膜 14 電導通。

還有，因為定形膜 26 係由金屬氧化物形成，通過與下部電極 16 之化學反應，提高了與下部電極 16 之貼緊性。並且，也可以防止電容絕緣膜 17 退火處理時從定形膜 26 向電容絕緣膜 17 之金屬擴散。

且，在第一至第六之各實施方式中，在電容絕緣膜上使用了強鐵電體，但並不只限於強鐵電體，高鐵電體或者係普通鐵電體亦可。

(發明之效果)

由本發明係關於之半導體裝置及其製造方法，因為由下部電極、電容絕緣膜及上部電極形成之電容元件介於導電性插塞形成在晶體管之上方，所以可以縮小由電容元件和晶體管組成之元件單位面積。並且，電容絕緣膜，因為有貫通導電性插塞方向彎曲之彎曲部分，電容絕緣膜向基板之投影面積縮小，所以元件之面積可以進一步縮小。

圖示簡單說明

圖 1 係顯示本發明之第一實施方式之半導體裝置之構成斷面圖。

圖 2(a)~圖 2(d)係顯示第一實施方式之半導體裝置之第一製造方法工序之構成斷面圖。

圖 3(a)~圖 3(d)係顯示第一實施方式之半導體裝置之第二製造方法工序之構成斷面圖。

圖 4(a)~圖 4(d)係顯示第一實施方式之半導體裝置之第一製造方法之一個變形例工序之構成斷面圖。

圖 5 係顯示第二實施方式之半導體裝置之構成斷面圖。

圖 6(a)~圖 6(d)係顯示第二實施方式之半導體裝置之製造方法工序之構成斷面圖。

圖 7 係顯示第二實施方式之一個變形例之半導體裝置之構成斷面圖。

圖 8(a)~圖 8(d)係顯示第二實施方式之一變形例之半導體裝置之製造方法工序之構成斷面圖。

圖 9 係顯示第三實施方式之半導體裝置之構成斷面圖。

圖 10(a)~圖 10(d)係顯示第三實施方式之半導體裝置之製造方法工序之構成斷面圖。

圖 11 係顯示第四實施方式之半導體裝置之構成斷面圖。

圖 12(a)~圖 12(d)係顯示第四實施方式之半導體裝置之製造方法工序之構成斷面圖。

圖 13 係顯示第四實施方式之一變形例之半導體裝置之構成斷面圖。

圖 14(a)~圖 14(d)係顯示第四實施方式之一變形例之半導體裝置之製造方法工序之構成斷面圖。

圖 15 係顯示第五實施方式之半導體裝置之構成斷面圖。

圖 16(a)~圖 16(d)係顯示第五實施方式之半導體裝置之製造方法工序之構成斷面圖。

圖 17 係顯示第六實施方式之半導體裝置之構成斷面圖。

圖 18(a)~圖 18(d)係顯示第六實施方式之半導體裝置之製造方法工序之構成斷面圖。

圖 19(a)~圖 19(d)係顯示以前之半導體裝置之製造方法工序之構成斷面圖。

(符號說明)

- 10 半導體基板
- 11 STI 膜
- 12 第一層間絕緣膜

- 13 導電性插塞
- 14 氧化屏障膜
- 15 第二層間絕緣膜
- 15a 開口部分
- 16 下部電極
- 16A 下部電極
- 16B 下部電極
- 16C 下部電極
- 17 電容絕緣膜
- 17a 彎曲部分
- 18 上部電極
- 19 電容元件
- 20 第二層間絕緣膜
- 20a 第一開口部分
- 21 第三層間絕緣膜
- 21a 第二開口部分
- 22 貼緊膜
- 23 貼緊膜
- 24 底膜
- 25 貼緊膜
- 26 定形膜
- 30 MOS 晶體管
- 30a 源擴散區域

伍、中文發明摘要：

一種半導體裝置及其製造方法，為達到縮小包括電容元件之半導體裝置每一個電容元件面積之目的。還有，由下部電極(16)、電容絕緣膜(17)及上部電極(18)組成之電容元件(19)，設置在 MOS 晶體管(30)之源擴散區域(30a)上之導電性插塞(13)之更上一層。再有，電容絕緣膜(17)係沿著設置在第二層間絕緣膜(15)上露出之氧化屏障膜(14)之開口部分(15a)底面和側壁而形成，其結果，係在電容絕緣膜(17)上形成沿導電性插塞(13)之貫通方向彎曲之彎曲部分(17a)。

陸、英文發明摘要：

A semiconductor device includes: a conductive plug formed through an insulating film; a conductive oxygen barrier film formed on the insulating film so as to be electrically connected to the conductive plug and to cover the conductive plug; a lower electrode formed on the oxygen barrier film and connected to the oxygen barrier film; a capacitive insulating film formed on the lower electrode, following the lower electrode; and an upper electrode formed on the capacitive insulating film, following the capacitive insulating film. The capacitive insulating film has a bent portion that extends along the direction in which the conductive plug penetrates through the insulating film.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

- | | |
|-----|---------|
| 10 | 半導體基板 |
| 11 | STI 膜 |
| 12 | 第一層間絕緣膜 |
| 13 | 導電性插塞 |
| 14 | 氧化屏障膜 |
| 15 | 第二層間絕緣膜 |
| 15a | 開口部分 |
| 16 | 下部電極 |
| 17 | 電容絕緣膜 |
| 17a | 彎曲部分 |
| 18 | 上部電極 |
| 19 | 電容元件 |
| 30 | MOS 晶體管 |
| 30a | 源擴散區域 |

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾壹、圖式：

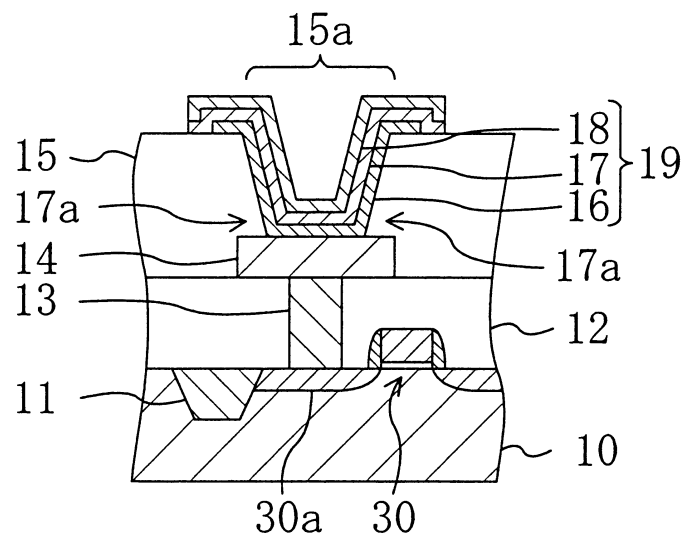


圖 1

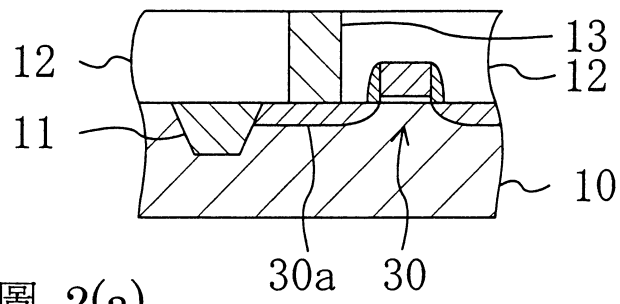


圖 2(a)

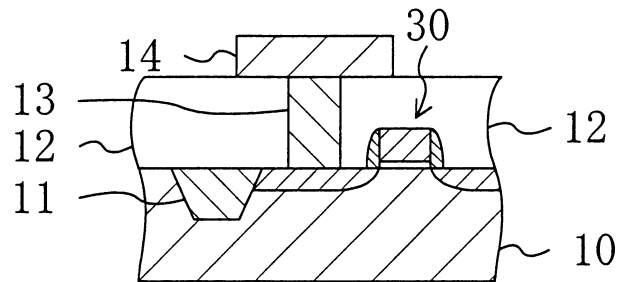


圖 2(b)

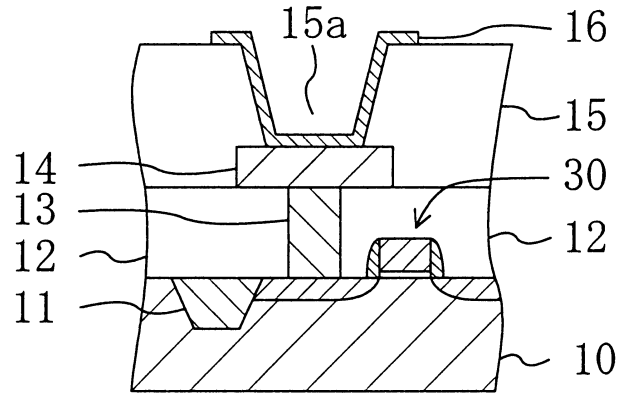


圖 2(c)

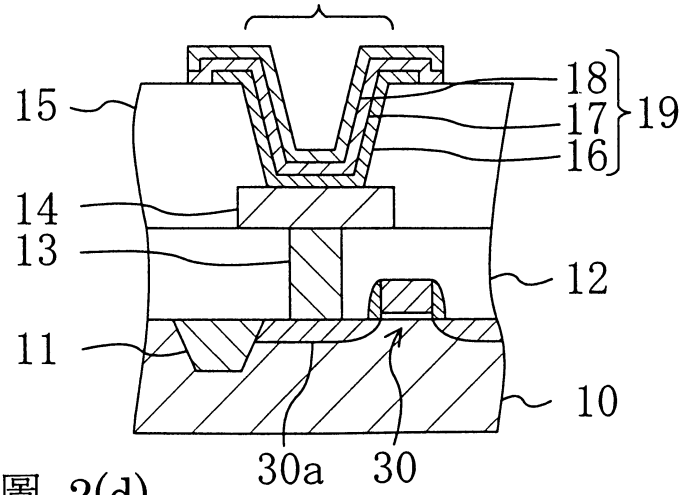


圖 2(d)

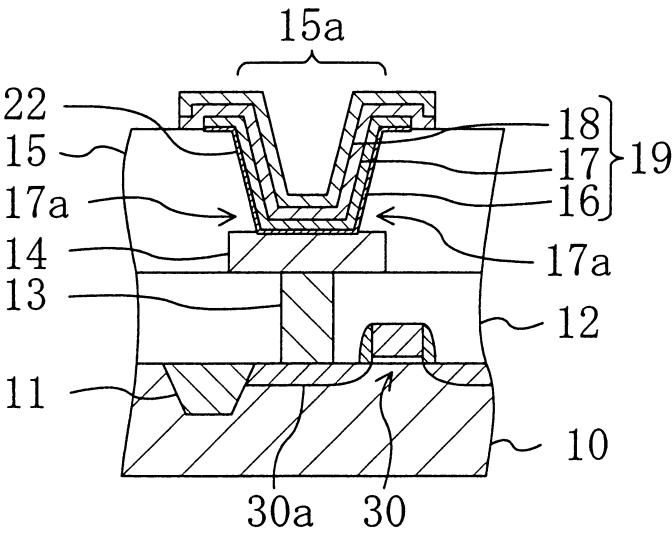


圖 5

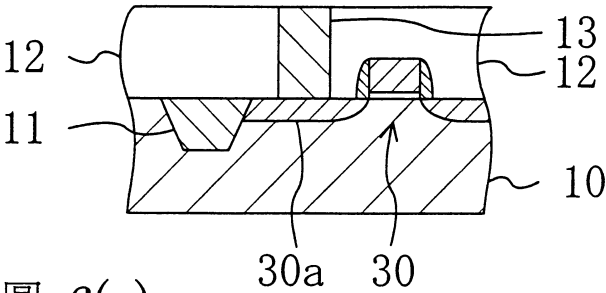


圖 6(a)

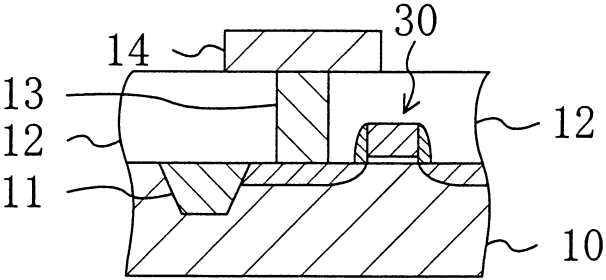


圖 6(b)

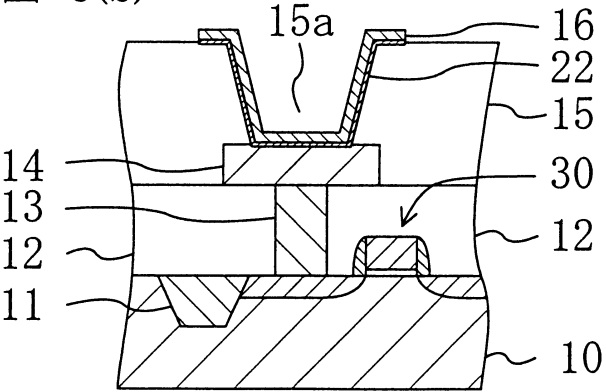


圖 6(c)

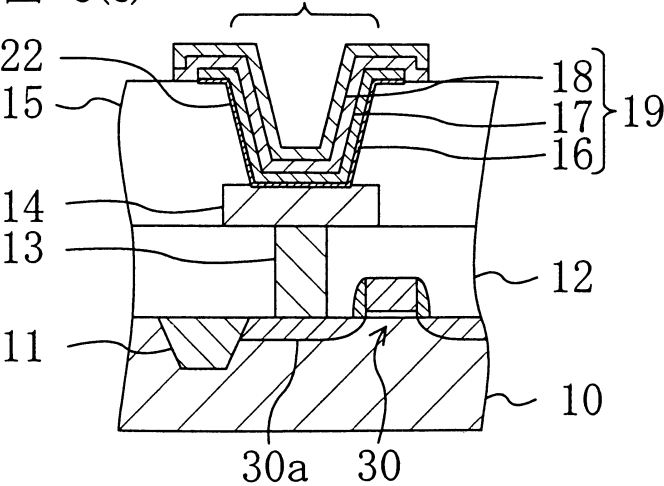


圖 6(d)

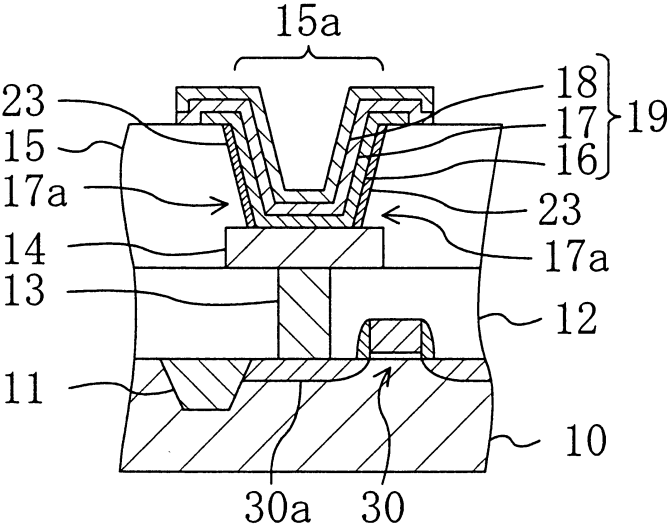


圖 7

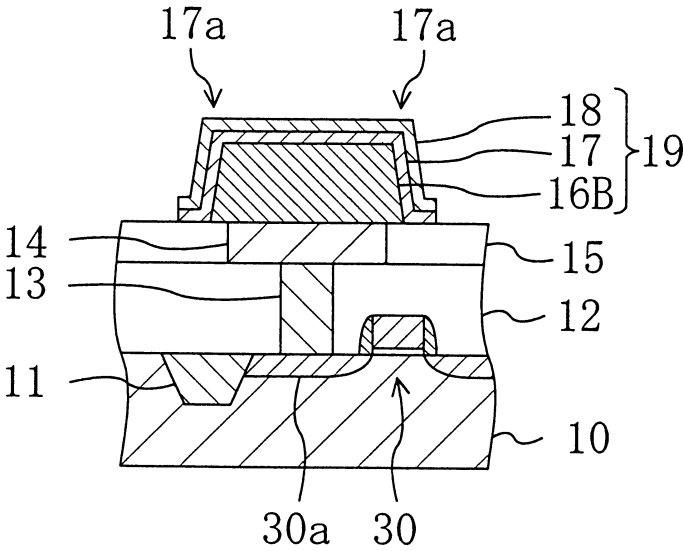


圖 9

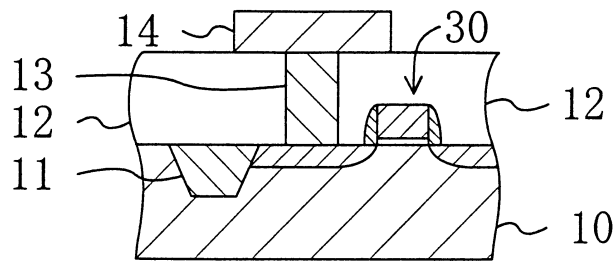


圖 10(a)

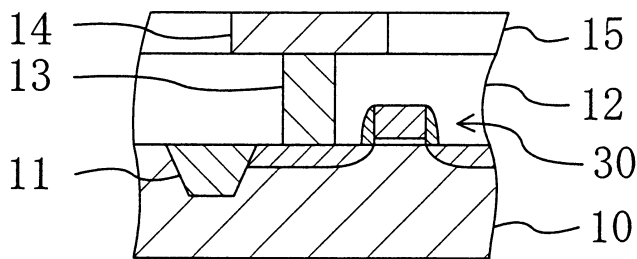


圖 10(b)

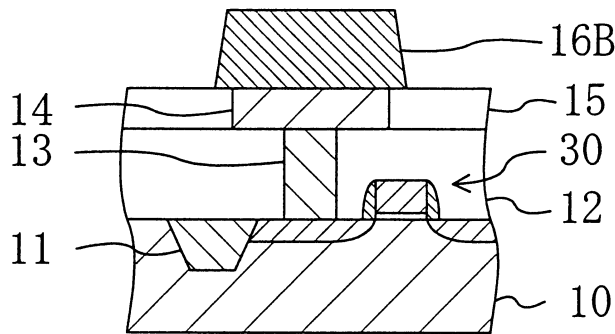


圖 10(c)

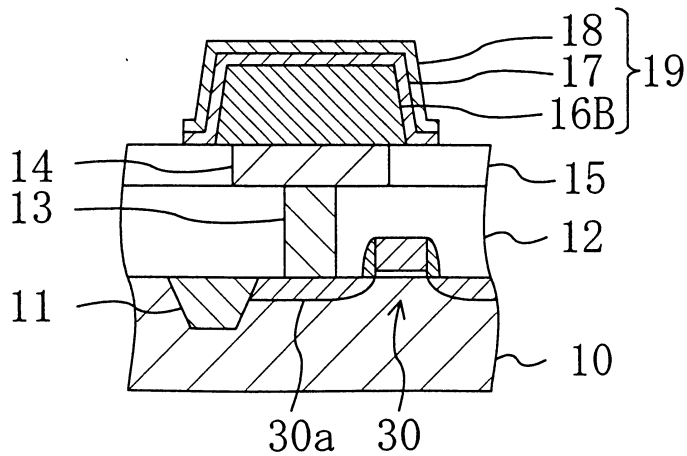


圖 10(d)

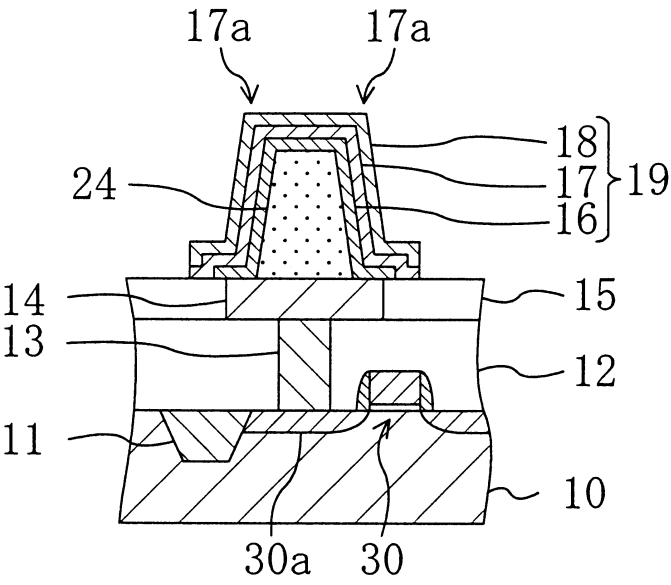


圖 11

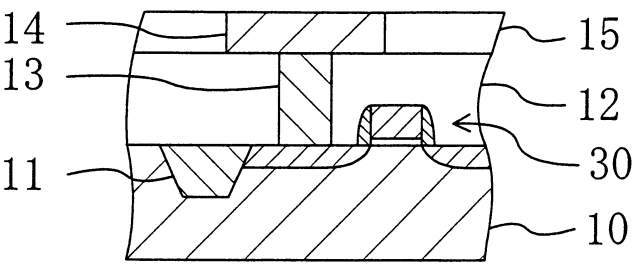


圖 12(a)

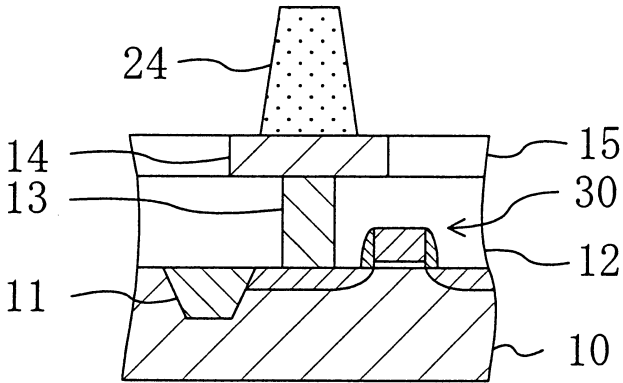


圖 12(b)

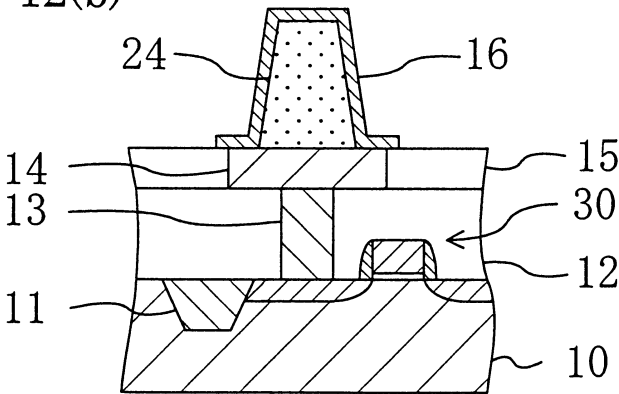


圖 12(c)

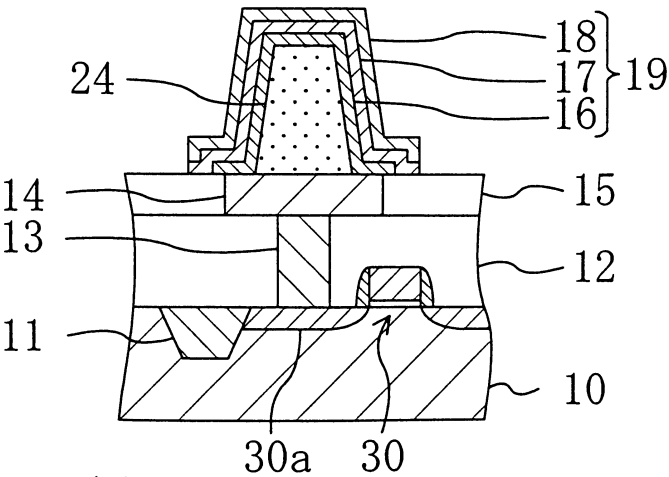


圖 12(d)

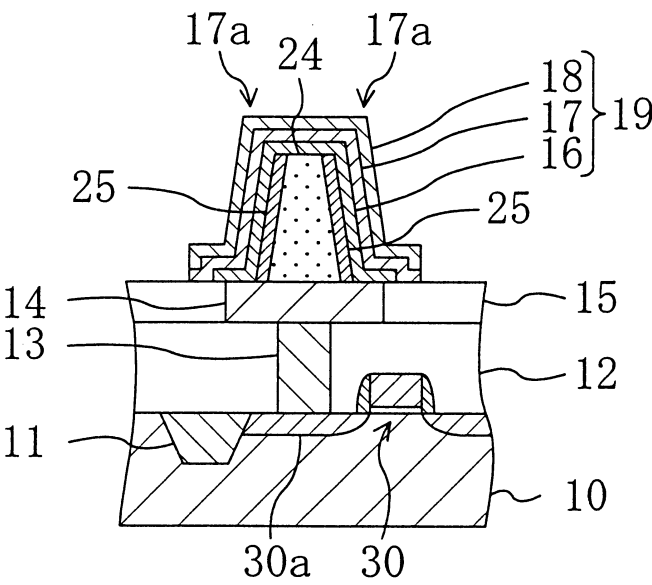


圖 13

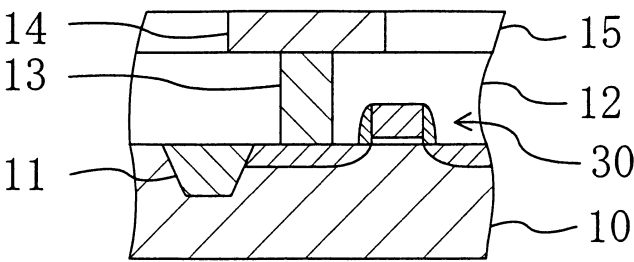


圖 14(a)

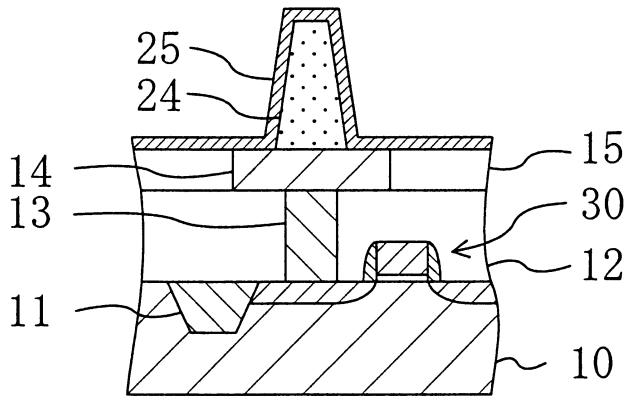


圖 14(b)

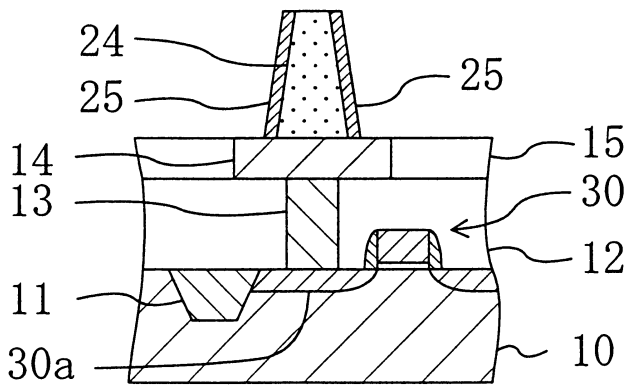


圖 14(c)

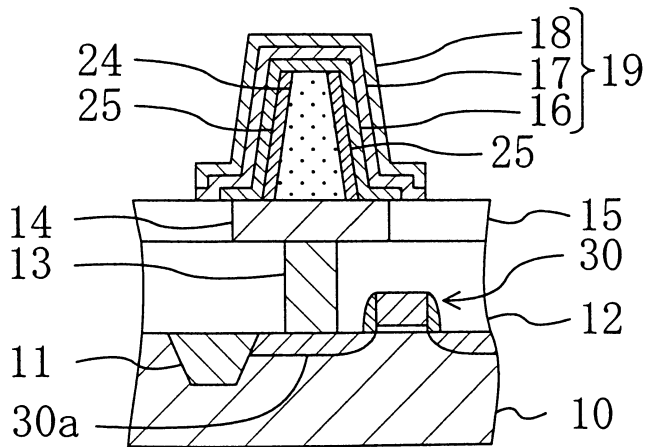


圖 14(d)

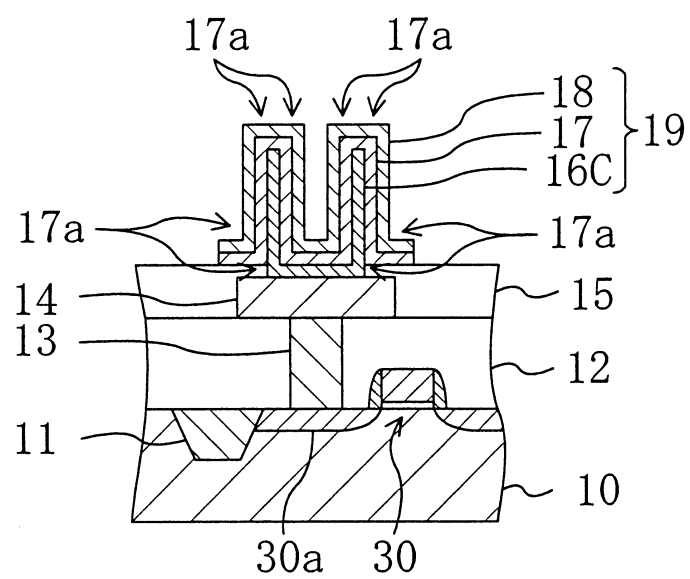


圖 15

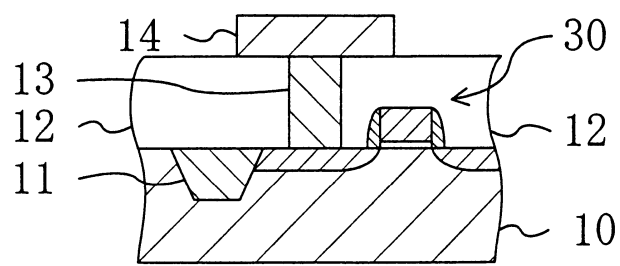


圖 16(a)

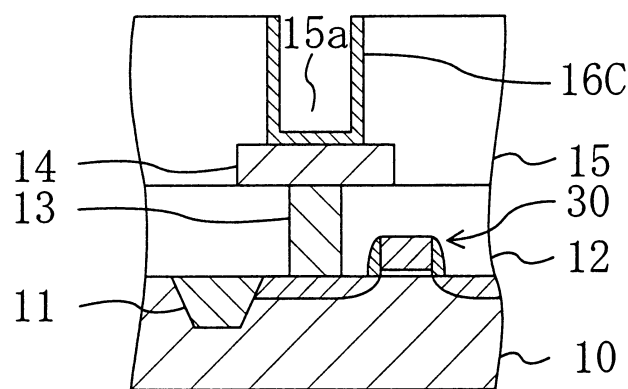


圖 16(b)

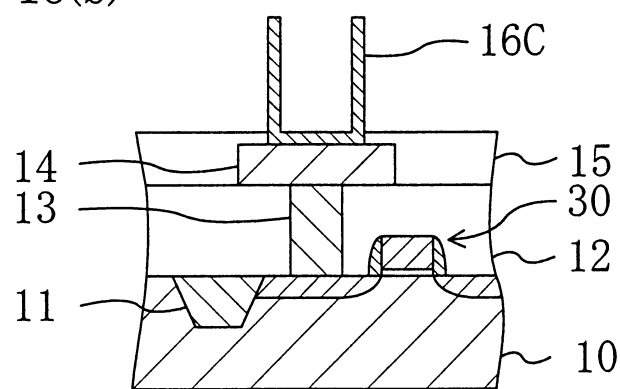


圖 16(c)

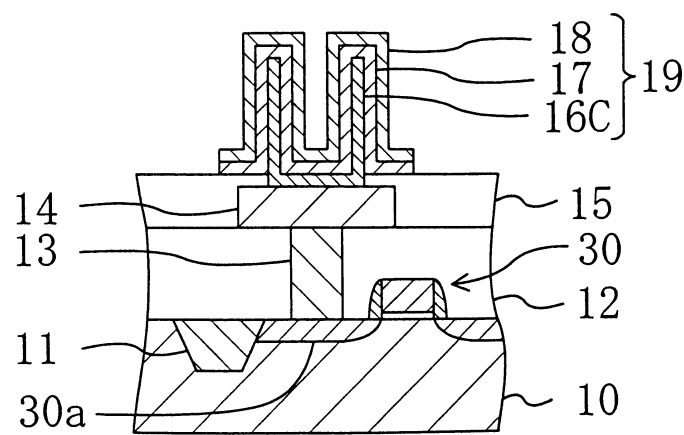


圖 16(d)

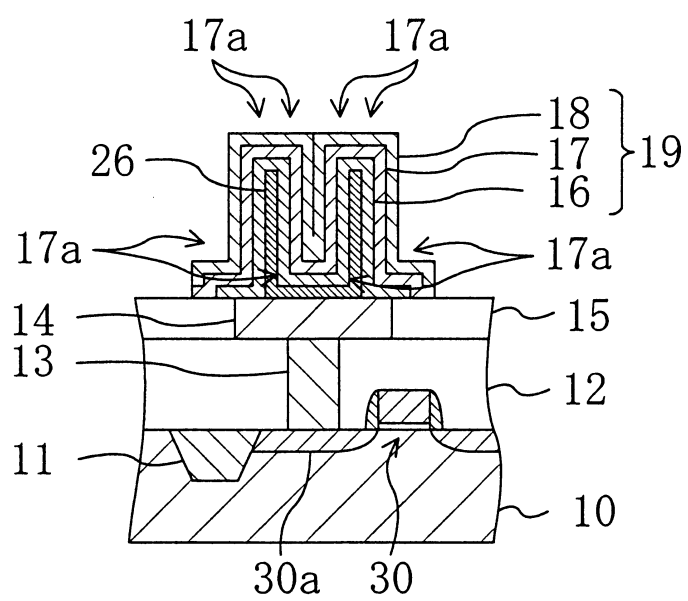


圖 17

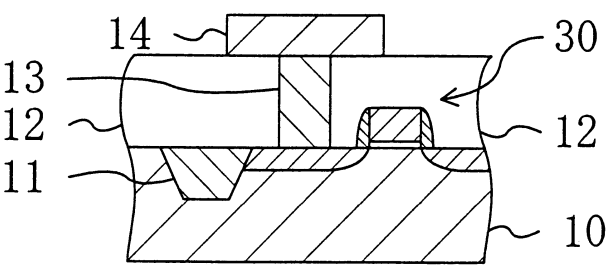


圖 18(a)

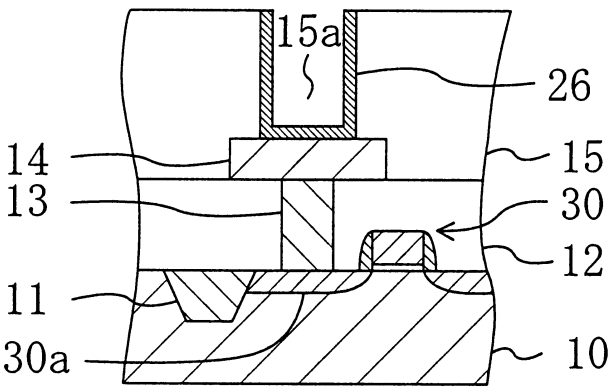


圖 18(b)

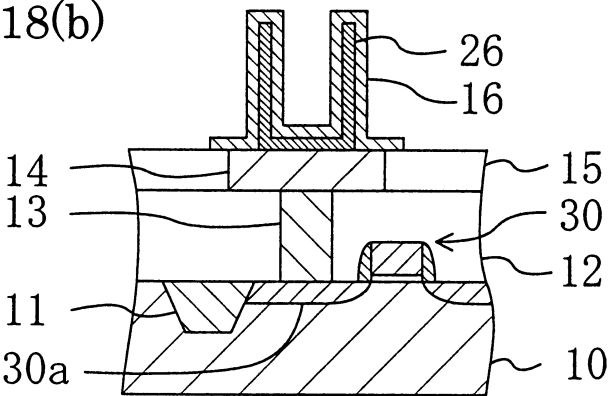


圖 18(c)

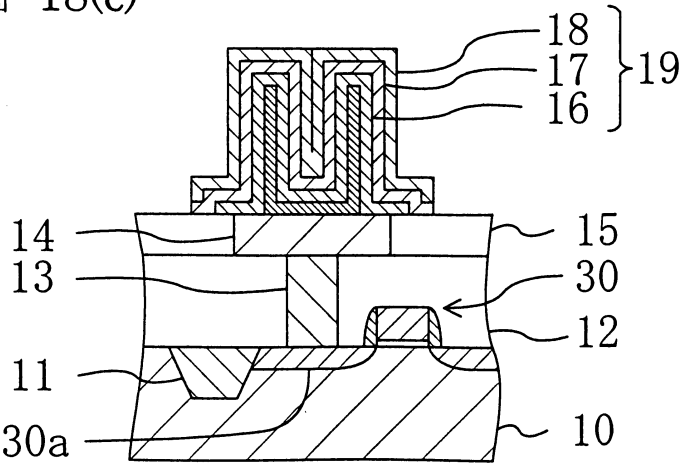


圖 18(d)

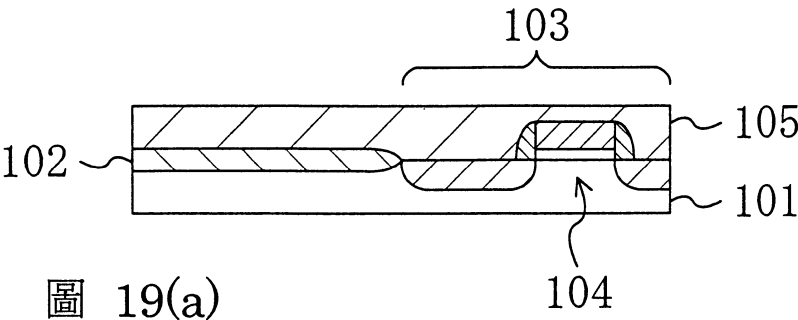


圖 19(a)

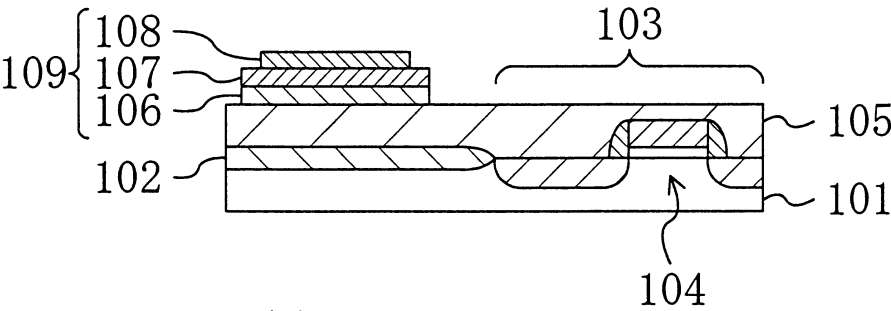


圖 19(b)

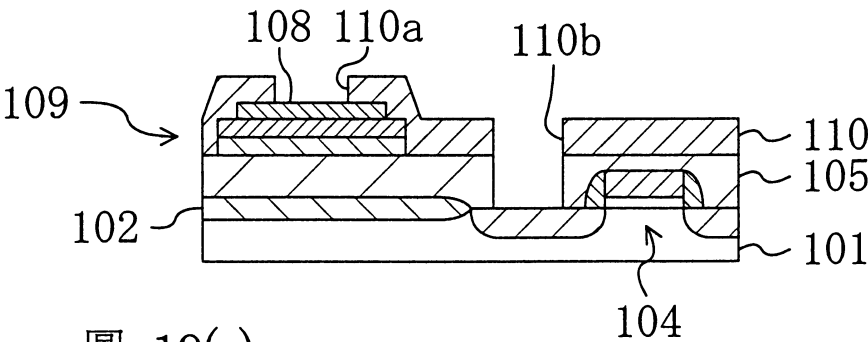


圖 19(c)

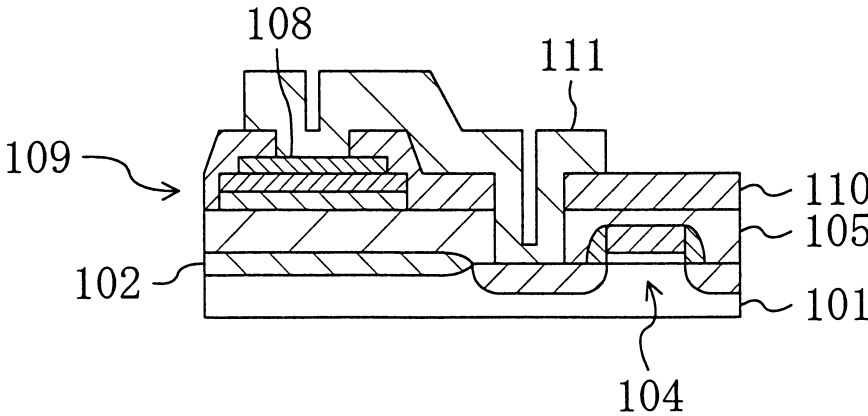


圖 19(d)

93年3月5日修正~~更正~~補充

第 092106929 號專利申請案
中文申請專利範圍替換本(93 年 3 月)

拾、申請專利範圍：

1. 一種半導體裝置，其特徵為：

包括，貫通絕緣膜之導電性插塞；在該絕緣膜上與該導電性插塞電連接且以覆蓋導電性插塞之形式形成之導電性氧化屏障膜；形成在該氧化屏障膜之上表面，併與該氧化屏障膜相連之下部電極；在該下部電極上，併沿此個下部電極形成之電容絕緣膜；在該電容絕緣膜上沿此電容絕緣膜形成之上部電極，該電容絕緣膜具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

2. 一種半導體裝置，其特徵為：

包括，貫通形成在基板之上之第一層間絕緣膜之導電性插塞；在該第一層間絕緣膜之上與該導電性插塞電連接，且以覆蓋該導電性插塞之形式形成之導電性氧化屏障膜；形成在該第一層間絕緣膜之上，有氧化屏障膜露出之開口部分之第二層間絕緣膜；在該第二層間絕緣膜上沿該開口部分之底面及側面形成，併與該氧化屏障膜相連之下部電極；在該下部電極之上，沿此下部電極形成之電容絕緣膜；在該電容絕緣膜之上，沿此電容絕緣膜形成之上部電極；該電容絕緣膜位於該開口部分壁面上之部分和底面上之部分相連，且具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

3. 如申請範圍第 2 項之半導體裝置，其特徵為：

較佳者係在該開口部分之底面及側面和該下部電極之

間，再設置提高該下部電極對該第二層間絕緣膜提高貼緊性之貼緊膜。

4. 如申請範圍第 2 項之半導體裝置，其特徵為：

在該開口部分之壁面和該下部電極之間，再設置對第二層間絕緣膜提高貼緊性之貼緊膜。

5. 如申請範圍第 4 項之半導體裝置，其特徵為：

該貼緊膜係由金屬氧化物製成。

6. 一種半導體裝置，其特徵為：

包括，貫通形成在基板上之層間絕緣膜之導電性插塞；在該層間絕緣膜上與該導電性插塞電連接，且以覆蓋該導電性插塞之形式形成之導電性氧化屏障膜；形成在該氧化屏障膜之上表面，併與此氧化屏障膜相連，且以覆蓋此氧化屏障膜之形式形成，膜厚較厚之下部電極；形成在該下部電極之上表面及側面上之電容絕緣膜；併在該電容絕緣膜之上，沿著此電容絕緣膜形成之上部電極；該電容絕緣膜，位於該下部電極之上表面部分和側面上部分相連，具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

7. 一種半導體裝置，其特徵為：

包括，貫通在基板上形成之層間絕緣膜之導電性插塞；在該層間絕緣膜上與該導電性插塞電連接，且以覆蓋該導電性插塞之形式形成之導電性氧化屏障膜；形成在該氧化屏障膜之上表面膜厚較厚之底膜；形成在該底膜之上表面及側面，其端部與該氧化屏障膜相連之下部電極；在該下部電極之上併沿著該下部電極形成之電容絕緣膜；在該電

容絕緣膜之上，併沿此電容絕緣膜形成之上部電極；該電容絕緣膜，位於該下部電極上表面之部分和側面上之部分相連，具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

8. 如申請範圍第 7 項之半導體裝置，其特徵為：

形成在該底膜和該下部電極之間，提高該下部電極對該底膜貼緊性之貼緊膜。

9. 如申請範圍第 8 項之半導體裝置，其特徵為：

用金屬氧化物製成該貼緊膜。

10. 一種半導體裝置，其特徵為：

包括，貫通形成在基板上之層間絕緣膜之導電性插塞；在該層間絕緣膜上與該導電性插塞電連接，且以覆蓋該導電性插塞之形式形成之導電性氧化屏障膜；形成在該氧化屏障膜上面，與此氧化屏障膜連接之有底筒狀下部電極；在該下部電極之上，沿著此下部電極底面、內壁面及外壁面形成之電容絕緣膜；在該電容絕緣膜上，併沿此電容絕緣膜形成之上部電極；該電容絕緣膜，至少在位於該下部電極底面之部分和內壁面上之部分相互連接，具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

11. 一種半導體裝置，其特徵為：

包括，貫通形成在基板上之層間絕緣膜之導電性插塞；在該層間絕緣膜上與該導電性插塞電連接，且以覆蓋此個導電性插塞之形式形成之導電性氧化屏障膜；形成在該氧化屏障膜上之有底筒狀定形膜；在該定形膜上，沿此個定形膜之底面、內壁面及外壁面形成，端部與氧化屏障膜相

連之下部電極；在該下部電極之上，沿著此下部電極形成之電容絕緣膜；在該電容絕緣膜之上，併沿此電容絕緣膜形成之上部電極；該電容絕緣膜，至少在位於該定形膜之底面部分和內壁面部分相互連接，具有沿該導電性插塞之貫通方向彎曲之彎曲部分。

12. 如申請範圍第 11 項之半導體裝置，其特徵為：

該定形膜係由金屬氧化物製成。

13. 如申請範圍第 1~12 項之任一半導體裝置，其特徵為：

該電容絕緣膜係強鐵電體或者係高鐵電體。

14. 一種半導體裝置之製造方法，其特徵為：

包括，在半導體區域上形成第一層間絕緣膜之第一道工序；在該第一層間絕緣膜之上形成且與該半導體區域相連之導電性插塞之第二道工序；在該第一層間絕緣膜之上，以覆蓋該導電性插塞之形式形成之導電性氧化屏障膜之第三道工序；在該第一層間絕緣膜上，形成有露出該氧化屏障膜之開口部分之第二層間絕緣膜之第四道工序；在該第二層間絕緣膜之該開口部分之底面及側壁面之上，形成連接該氧化屏障膜形式之下部電極之第五道工序；在該下部電極之上，併沿此下部電極形成電容絕緣膜之第六道工序；在該電容絕緣膜之上，併沿此電容絕緣膜形成之上部電極之第七道工序。

15. 如申請範圍第 14 項之半導體裝置之製造方法，其特徵為：

該第五道工序，包括除去該下部電極中位於該第二層間絕緣膜之上部分之工序。

16. 如申請範圍第 14 項之半導體裝置之製造方法，其特徵為：

在該第四道工序和該第五道工序之間，還包括該第二層間絕緣膜中該開口部分之底面及壁面之上形成與該氧化屏障膜連接，提高該下部電極對該第二層間絕緣膜貼緊性之貼緊膜之工序。

17. 如申請範圍第 14 項之半導體裝置之製造方法，其特徵為：

在該第四道工序和該第五道工序之間，該第二層間絕緣膜中該開口部分之側壁面上形成提高對該下部電極之該第二層間絕緣膜貼緊性之貼緊膜道工序。

18. 如申請範圍第 17 項之半導體裝置之製造方法，其特徵為：

該貼緊膜用金屬氧化物製成。

19. 一種半導體裝置之製造方法，其特徵為：

包括，在半導體區域之上形成第一層間絕緣膜之第一道工序；在該第一層間絕緣膜之上形成與該半導體區域相連之導電性插塞之第二道工序；在該第一層間絕緣膜之上，形成有露出該導電性插塞之第一開口部分之第二層間絕緣膜之第三道工序；在該第一層間絕緣膜之上，以填充之形式形成導電性氧化屏障膜之第四道工序；在該第二層間絕緣膜之上，形成有露出該氧化屏障膜之第二開口部分之第三層間絕緣膜之第五道工序；在該第三層間絕緣膜中該第二開口部分之底面及壁面之上，以連接該氧化屏障膜之形式形成下部電極之第六道工序；在該下部電極之上，併沿此下部電極形成電容絕緣膜之第七道工序；在該電容絕緣膜之上，併沿此電容絕緣膜形成上部電極之第八道工

序。

20.如申請範圍第 19 項之半導體裝置之製造方法，其特徵為：

該第六道工序，還包括除去該下部電極中位於該第三層間絕緣膜之上部分之工序。

21.如申請範圍第 19 項之半導體裝置之製造方法，其特徵為：

在該第五道工序和該第六道工序之間，該第三層間絕緣膜中該第二開口部分之底面及壁面之上形成與該氧化屏障膜連接，提高與該第三層間絕緣膜貼緊性之貼緊膜之工序。

22.如申請範圍第 19 項之半導體裝置之製造方法，其特徵為：

在該第五道工序和該第六道工序之間，該第三層間絕緣膜中該第二開口部分之壁面上形成提高對該下部電極之該第三層間絕緣膜貼緊性之貼緊膜之工序。

23.如申請範圍第 22 項之半導體裝置之製造方法，其特徵為：

該貼緊膜用金屬氧化物製成。

24.一種半導體裝置之製造方法，其特徵為：

包括，在半導體區域上形成第一層間絕緣膜之第一道工序；在該第一層間絕緣膜上形成與該半導體區域相連之導電性插塞之第二道工序；在該第一層間絕緣膜之上，形成有覆蓋該導電性插塞之導電性氧化屏障膜之第三道工序；在該第一層間絕緣膜上，以從該第二層間絕緣膜露出該氧化屏障膜之形式形成第二層間絕緣膜之第四道工序；在露出該氧化屏障膜之上，形成膜厚較厚之下部電極之第五道工序；在該下部電極之上表面及側面上形成電容

絕緣膜之第六道工序；在該電容絕緣膜之上，併沿此電容絕緣膜形成上部電極之第七道工序。

25. 一種半導體裝置之製造方法，其特徵為：

包括，在半導體區域之上形成第一層間絕緣膜之第一道工序；在該第一層間絕緣膜上形成與該半導體區域相連之導電性插塞之第二道工序；在該第一層間絕緣膜之上，形成有覆蓋該導電性插塞之導電性氧化屏障膜之第三道工序；在該第一層間絕緣膜之上，以從第二層間絕緣膜露出該氧化屏障膜之形式形成第二層間絕緣膜之第四道工序；在露出該氧化屏障膜之上，形成膜厚較厚之底膜之第五工程；在該底膜之上表面及側面之上，以端部連接該氧化屏障膜之形式形成下部電極之第六道工序；在該下部電極之上，併沿此下部電極形成電容絕緣膜之第七道工序；在該電容絕緣膜之上，併沿此電容絕緣膜形成之上部電極之第八道工序。

26. 如申請範圍第 25 項之半導體裝置之製造方法，其特徵為：

在該第五道工序和該第六道工序之間，還有在該底膜之表面上，形成與該下部電極之該底膜提高貼緊性之貼緊膜之工序。

27. 一種半導體裝置之製造方法，其特徵為：

包括，在半導體區域之上形成第一層間絕緣膜之第一道工序；在該第一層間絕緣膜之上形成與該半導體區域相連之導電性插塞之第二道工序；在該第一層間絕緣膜之上，形成有覆蓋該導電性插塞之導電性氧化屏障膜之第三道

工序；在該第一層間絕緣膜之上，形成包括該氧化屏障膜全表面之第二層間絕緣膜後，在形成之第二層間絕緣膜之上露出該氧化屏障膜之開口部分之第四道工序；在該第二層間絕緣膜之上，通過在該開口部分之底面及壁面上沉積導電性膜，形成在此氧化屏障膜之上併與其連接之由該導電性膜形成之有底筒狀之下部電極之第五道工序；在除去該第二層間絕緣膜露出該下部電極後，沿著露出之該下部電極之內壁面及外壁面形成電容絕緣膜之第六道工序；在該電容絕緣膜之上，併沿此電容絕緣膜形成之上部電極之第七道工序。

28. 一種半導體裝置之製造方法，其特徵為：

包括，在半導體區域之上形成第一層間絕緣膜之第一道工序；在該第一層間絕緣膜之上形成與該半導體區域相連之導電性插塞之第二道工序；在該第一層間絕緣膜之上，形成有覆蓋該導電性插塞之導電性氧化屏障膜之第三道工序；在該第一層間絕緣膜之上，形成包括該氧化屏障膜全表面之第二層間絕緣膜後，在形成之第二層間絕緣膜之上露出該氧化屏障膜之開口部分之第四道工序；在該第二層間絕緣膜之該開口部分之底面及壁面之上，形成有底筒狀之定形膜之第五道工序；除去該第二層間絕緣膜露出定形膜之外壁面後，沿著露出之該定形膜之內壁面和外壁面形成之同時，也使其端部與該氧化屏障膜連接之下部電極之第六道工序；在下部電極之上，沿著露出之該下部電極形成電容絕緣膜之第七道工序；在該電容絕緣膜之上，併

沿此電容絕緣膜形成之上部電極之第八道工序。

29.如申請範圍第 28 項之半導體裝置之製造方法，其特徵為：

該定形膜用金屬氧化物製成。

30.如申請範圍第 14~29 項之任一半導體裝置之製造方法，其特徵為：

該電容絕緣膜用強鐵電體或者高鐵電體製成。