

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年5月8日(2008.5.8)

【公表番号】特表2008-504677(P2008-504677A)

【公表日】平成20年2月14日(2008.2.14)

【年通号数】公開・登録公報2008-006

【出願番号】特願2007-518034(P2007-518034)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/8238 (2006.01)

H 01 L 27/092 (2006.01)

H 01 L 29/786 (2006.01)

【F I】

H 01 L 29/78 3 0 1 B

H 01 L 27/08 3 2 1 B

H 01 L 27/08 3 2 1 E

H 01 L 27/08 3 2 1 A

H 01 L 29/78 3 0 1 S

H 01 L 29/78 3 0 1 N

H 01 L 29/78 6 1 8 B

H 01 L 29/78 6 1 8 E

H 01 L 29/78 6 1 9 A

H 01 L 29/78 6 2 1

H 01 L 29/78 6 1 6 V

H 01 L 29/78 6 1 3 A

【手続補正書】

【提出日】平成20年3月18日(2008.3.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイスであって、

歪み誘発層の上の歪み半導体層を含む基板であって、前記歪み誘発層がシリコンよりも大きい格子定数を有し、前記歪み半導体層において二軸性歪みを生成する、基板と、

前記歪み半導体層のデバイス・チャネル部分の上のゲート導体を含む少なくとも1つのゲート領域であって、前記デバイス・チャネル部分が前記少なくとも1つのゲート導体に隣接したソース領域およびドレイン領域を分離する、ゲート領域と、

少なくとも1つの一軸性歪み誘発手段であって、前記少なくとも1つのゲート領域に隣接すると共に前記少なくとも1つのゲート領域の上に位置する歪み誘発ライナ、前記少なくとも1つのゲート領域に隣接して配置された歪み誘発ウェル、または、前記歪み誘発ライナ及び前記歪み誘発ウェルの組み合わせ、から選択される一軸性歪み誘発手段とを含み

、  
前記一軸性歪み誘発手段の各々が前記少なくとも1つのゲート領域の下にある前記歪み半導体層のデバイス・チャネル部分に対して一軸性歪みを生成する、  
半導体デバイス。

**【請求項 2】**

前記歪み誘発ライナが存在し、前記ライナが、酸化物、ドーピングした酸化物、窒化物、Al<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub>、ZrO<sub>2</sub>、HfSiO、またはそれらの組み合わせを含む、請求項1に記載の半導体デバイス。

**【請求項 3】**

前記歪み誘発層が、原子重量パーセントで5%から50%までの範囲の濃度でGeが存在するSiGeを含み、前記歪み半導体層において引張り力の下で前記二軸性歪みを生成し、前記歪み誘発ライナが引張り力の下にあり、前記歪み誘発ライナが前記歪み誘発層と共に前記デバイス・チャネルに平行な方向に引張り力のもとで前記一軸性歪みを与える、請求項2に記載の半導体デバイス。

**【請求項 4】**

前記歪み誘発層が炭素をドーピングしたシリコンを含み、前記炭素が原子重量パーセントで1%から6%までの範囲の濃度で存在し、前記歪み半導体層において圧縮力の下で前記二軸性歪みを生成し、前記歪み誘発ライナが圧縮力の下にあり、前記歪み誘発ライナが前記歪み誘発層と共に前記デバイス・チャネルに平行な方向に圧縮力のもとで前記一軸性歪みを与える、請求項2に記載の半導体デバイス。

**【請求項 5】**

本質的に引張り性の歪み誘電材料を含む分離領域を更に含み、前記本質的に引張り性の歪み誘電材料が前記歪み半導体層において引張り力の下で前記二軸性歪みを増大させる、請求項3に記載の半導体デバイス。

**【請求項 6】**

本質的に圧縮性の歪み誘電材料を含む分離領域を更に含み、前記本質的に圧縮性の歪み誘電材料が前記歪み半導体層において圧縮力の下で前記二軸性歪みを増大させる、請求項4に記載の半導体デバイス。

**【請求項 7】**

前記歪み誘発ウェルが存在する、請求項1に記載の半導体デバイス。

**【請求項 8】**

前記歪み誘発ライナおよび前記歪み誘発ウェルが双方とも存在する、請求項1に記載の半導体デバイス。

**【請求項 9】**

半導体デバイスであって、

圧縮歪み半導体表面および引張り歪み半導体表面を含む基板であって、前記圧縮歪み半導体表面および引張り歪み半導体表面が、二軸性の歪みがかかっており、シリコンよりも大きい格子定数を有する歪み誘発層の上に配置されている、基板と、

前記基板の前記圧縮歪み半導体層のデバイス・チャネル部分の上のゲート導体を含む、前記二軸性圧縮歪み半導体層の上の少なくとも1つのゲート領域と、

前記基板の前記引張り歪み半導体層のデバイス・チャネル部分の上のゲート導体を含む、前記引張り歪み半導体層の上の少なくとも1つのゲート領域と、

少なくとも1つの圧縮歪み誘発手段であって、前記圧縮歪み半導体表面に配置された前記少なくとも1つのゲート領域に隣接すると共に前記少なくとも1つのゲート領域の上に位置する圧縮歪み誘発ライナ、前記圧縮歪み半導体ウエハの上の前記少なくとも1つのゲート領域に隣接して配置された圧縮歪み誘発ウェル、または、前記圧縮歪み誘発ライナ及び前記圧縮歪み誘発ウェルの組み合わせ、から選択される圧縮歪み誘発手段とを含み、

前記圧縮歪み誘発手段の各々が前記圧縮歪み半導体表面の前記デバイス・チャネル部分に平行な方向に前記圧縮歪み半導体層において圧縮一軸性歪みを生成し、

前記圧縮歪み誘発層が存在する場合、前記引張り歪み半導体層上に配置された前記少なくとも1つのゲート領域の上に引張り歪み誘発ライナが存在するという条件で、前記引張り歪み誘発ライナが前記引張り歪み半導体層の前記デバイス・チャネル部分に平行な方向に前記引張り歪み半導体層において引張り一軸性歪みを生成し、前記圧縮歪み誘発ウェルが存在する場合、前記引張り歪み半導体層上の前記少なくとも1つのゲート領域に隣接し

て引張り歪み誘発ウェルが存在するという条件で、前記引張り歪み誘発ウェルが前記引張り歪み半導体層の引張り一軸性歪みを生成し、前記引張り一軸性歪みが前記引張り歪み半導体層の前記デバイス・チャネル部分に平行な方向である、前記デバイス・チャネル部分に平行な方向に前記引張り歪み半導体層において引張り一軸性歪みを生成する、半導体デバイス。

【請求項 10】

本質的に圧縮性の歪み誘電材料を含む、前記圧縮歪み半導体表面に当接する分離領域であって、前記圧縮歪み半導体表面において圧縮歪みを二軸的に増大させる、前記圧縮歪み半導体表面に当接する分離領域と、

本質的に圧縮性の歪み誘電材料を含む、前記二軸性引張り歪み半導体表面に当接する分離領域であって、二軸性歪みを圧縮力の下で増大させる、前記二軸性引張り歪み半導体表面に当接する分離領域と、

を更に含む、請求項9に記載の半導体デバイス。

【請求項 11】

前記圧縮歪み誘発ウェルが存在し、前記ウェルがSiGeを含み、前記引張り歪み誘発ウェルが炭素をドーピングしたシリコンまたは炭素をドーピングしたシリコン・ゲルマニウムを含む、請求項9に記載の半導体デバイス。

【請求項 12】

本質的に引張り性の歪み誘電材料を含む、前記圧縮歪み半導体表面に当接する分離領域であって、引張り二軸性歪みを引張り力の下で増大させる、前記圧縮歪み半導体表面に当接する分離領域と、

本質的に圧縮性の歪み誘電材料を含む、前記引張り歪み半導体表面に当接する分離領域であって、二軸性歪みを引張り力の下で増大させる、前記引張り歪み半導体表面に当接する分離領域と、

を更に含む、請求項11に記載の半導体デバイス。

【請求項 13】

前記歪み誘発ウェルが存在し、前記歪み誘発ウェルが前記デバイス・チャネルに平行な方向に前記半導体基板に配置されている、請求項9に記載の半導体デバイス。

【請求項 14】

前記半導体基板が、5%から50%までの範囲の濃度でGeが存在するSiGeを含んでいる下に位置する歪み誘発層によって誘発される二軸性引張り歪みを含み、前記歪み誘発ウェルが、炭素をドーピングしたシリコンまたは炭素をドーピングしたシリコン・ゲルマニウムを含み、一軸性歪みが引張り力の下にある、請求項9に記載の半導体デバイス。

【請求項 15】

前記半導体基板が、炭素をドーピングしたシリコンを含んでいる下に位置する歪み誘発ライナによって誘発される二軸性圧縮歪みを含み、前記炭素が1%から6%までの範囲の濃度で存在し、前記歪み誘発ウェルがSiGeを含み、前記一軸性歪みが圧縮力の下にある、請求項9に記載の半導体デバイス。

【請求項 16】

前記半導体基板が、Si、歪みSi、Si<sub>1-y</sub>C<sub>y</sub>、Si<sub>1-x-y</sub>Ge<sub>x</sub>C<sub>y</sub>、Si<sub>1-x</sub>Ge<sub>x</sub>、Si合金、Ge、Ge合金、GaAs、InAs、InP、シリコン・オン・インシュレータ(SOI)、またはSiGeオン・インシュレータ(SGOI)基板を含む緩和結晶構造を有する、請求項15に記載の半導体デバイス。

【請求項 17】

前記歪み誘発ライナおよび前記歪み誘発ウェルが内部引張り歪みを有し、前記歪み誘発ウェルが炭素をドーピングしたシリコンまたは炭素をドーピングしたシリコン・ゲルマニウムを含み、前記歪み誘発ライナが前記歪み誘発ウェルと共に、前記半導体基板の前記デバイス・チャネル部分に平行な引張り一軸性歪みを生成する、請求項9に記載の半導体デバイス。

【請求項 18】

半導体デバイスであって、

二軸性歪み半導体表面を有する第1のデバイス領域および緩和半導体表面を有する第2のデバイス領域を含む基板であって、前記半導体表面がシリコンよりも大きい格子定数を有する歪み誘発層の上に配置されている、基板と、

前記二軸性歪み半導体表面のデバイス・チャネル部分の上のゲート導体を含む、前記二軸性歪み半導体表面の上の少なくとも1つのゲート領域と、

前記緩和半導体表面のデバイス・チャネル部分の上のゲート導体を含む、前記緩和半導体表面の上の少なくとも1つのゲート領域と、

前記緩和半導体表面の上に配置された前記少なくとも1つのゲート領域に隣接すると共に前記少なくとも1つのゲート領域の上にあり、前記二軸性歪み半導体表面の上に配置された前記少なくとも1つのゲート領域の上にある、歪み誘発ライナと、

前記緩和半導体表面の上の前記少なくとも1つのゲート領域に隣接して配置された歪み誘発ウェルであって、前記歪み誘発ウェルが前記歪み誘発ライナと共に、前記第2のデバイス領域において前記緩和半導体表面の前記デバイス・チャネル部分に平行な方向に一軸性歪みを生成し、前記二軸性歪み半導体表面が前記歪み誘発ライナと共に、前記第1のデバイス領域において前記二軸性半導体表面の前記デバイス・チャネル部分に平行な前記方向に一軸性歪みを生成する、歪み誘発ウェルと、

を含む、半導体デバイス。

#### 【請求項19】

前記歪み誘発ウェルが前記第1のデバイス領域および前記第2のデバイス領域に存在する、請求項18に記載の半導体デバイス。

#### 【請求項20】

半導体デバイスであって、

二軸性歪み半導体表面を有する第1のデバイス領域および緩和半導体表面を有する第2のデバイス領域を含む基板であって、前記半導体表面がシリコンよりも大きい格子定数を有する歪み誘発層の上に配置されている、基板と、

前記二軸性歪み半導体表面のデバイス・チャネル部分の上のゲート導体を含む、前記二軸性歪み半導体表面の上の少なくとも1つのゲート領域と、

前記緩和半導体表面のデバイス・チャネル部分の上のゲート導体を含む、前記緩和半導体表面の上の少なくとも1つのゲート領域と、

前記緩和半導体表面の上の前記少なくとも1つのゲート領域に隣接し、更に、前記二軸性歪み半導体表面の上の前記少なくとも1つのゲート領域に隣接した歪み誘発ウェルと、

前記緩和半導体表面の上に配置された前記少なくとも1つのゲート領域に隣接すると共に前記少なくとも1つのゲート領域の上にある歪み誘発ライナであって、前記歪み誘発ライナが前記歪み誘発ウェルと共に、前記第2のデバイス領域において前記緩和半導体表面の前記デバイス・チャネル部分に平行な方向に一軸性歪みを生成し、前記二軸性歪み半導体表面が前記歪み誘発ウェルと共に、前記第1のデバイス領域において前記二軸性半導体表面の前記デバイス・チャネル部分に平行な前記方向に一軸性歪みを生成する、歪み誘発ライナと、

を含む、半導体デバイス。

#### 【請求項21】

半導体構造を設ける方法であって、

少なくとも1つの歪み半導体表面を有する基板を設けるステップであって、前記少なくとも1つの歪み半導体表面が第1の方向および第2の方向に大きさが等しい内部歪みを有し、前記第1の方向が同一平面内にあって前記第2の方向に垂直であり、前記少なくとも1つの歪み半導体表面がシリコンよりも大きい格子定数を有する歪み誘発層の上に配置されている、ステップと、

前記少なくとも1つの歪み半導体表面の上に少なくとも1つの半導体デバイスを生成するステップであって、前記少なくとも1つの半導体デバイスが前記半導体表面のデバイス・チャネル部分の上のゲート導体を含み、前記デバイス・チャネルがソース領域およびド

レイン領域を分離する、ステップと、

少なくとも1つの圧縮歪み誘発手段であって、前記少なくとも1つのゲート領域に隣接すると共に前記少なくとも1つのゲート領域の上に位置する歪み誘発ライナ、前記少なくとも1つのゲート領域に隣接して配置された歪み誘発ウェル、または、前記歪み誘発ライナ及び前記歪み誘発ウェルの組み合わせ、から選択される歪み誘発手段とを含み、

前記歪み誘発手段の各々が前記デバイス・チャネルに平行な方向に前記少なくとも1つの歪み半導体表面において一軸性歪みを生成し、前記第1の方向の前記歪みの大きさが前記第2の方向とは異なる、歪み誘発手段を形成するステップと、

を含む、方法。

#### 【請求項22】

前記少なくとも1つの歪み半導体層を有する前記基板を設けるステップが、SiGe層の上にある引張り歪みエピタキシャル成長半導体層を設けるステップを含み、前記SiGe層が5%から30%までの範囲の濃度で存在するGeを有し、

前記歪み誘発ライナが、圧縮応力または引張り応力を生成する条件の下で化学気相付着を用いて堆積した酸化物、窒化物、ドーピングした酸化物、またはそれらの組み合わせを含む、請求項21に記載の方法。

#### 【請求項23】

前記少なくとも1つの歪み半導体層を有する前記基板を設けるステップが、炭素をドーピングしたシリコン層の上にある圧縮歪みエピタキシャル成長半導体層を設けるステップを含み、炭素を有する前記炭素をドーピングしたシリコン層が0.5%から6%までの範囲の濃度で存在し、

前記歪み誘発ライナが、圧縮応力または引張り応力を生成する条件の下で化学気相付着を用いて堆積した酸化物、窒化物、ドーピングした酸化物、またはそれらの組み合わせを含む、請求項21に記載の方法。

#### 【請求項24】

前記歪み誘発ウェルを形成するステップが、前記歪み成長半導体表面の表面をエッティングしてくぼみを設け、前記くぼみ内に歪み誘発材料を含むシリコンをエピタキシャル成長させるステップを含み、

0.5%から6%までの範囲の濃度で炭素をドーピングした前記くぼみ内のシリコンが、引張り歪み誘発ウェルを提供し、5%から50%までの範囲の濃度でGeが存在する前記くぼみ内のシリコン・ゲルマニウムが圧縮歪み誘発ウェルを提供する、請求項21に記載の方法。

#### 【請求項25】

前記エッティングを形成するステップが、方向性および非方向性エッティングを含むエッティング・プロセスを含み、前記くぼみが前記少なくとも1つのゲート領域に隣接したスペースをアンダーカットする、請求項24に記載の方法。

#### 【請求項26】

半導体構造を設ける方法であって、

第1のデバイス領域および第2のデバイス領域を有する基板を設けるステップであって、前記デバイス領域がシリコンよりも大きい格子定数を有する歪み誘発層の上に配置された少なくとも1つの歪み半導体表面を有する、ステップと、

前記第1のデバイス領域および前記第2のデバイス領域において前記基板のデバイス・チャネル部分の上に少なくとも1つの半導体デバイスを生成するステップと、

前記第1のデバイス領域および第2のデバイス領域において一軸性歪みを生成するステップであって、前記一軸性歪みが前記第1のデバイス領域および前記第2のデバイス領域の前記デバイス・チャネルに平行な方向である、ステップと、  
を含む、方法。

#### 【請求項27】

前記第1のデバイス領域および前記第2のデバイス領域における前記一軸性歪みが引張り性または圧縮性であり、前記第1のデバイス領域における前記一軸性歪みが前記第2の

デバイス領域と同一または異なる、請求項2\_6に記載の方法。

【請求項 2\_8】

前記第1のデバイス領域および前記第2のデバイス領域において一軸性歪みを生成するステップが、更に、

前記第1のデバイス領域および前記第2のデバイス領域を処理して歪み誘発構造の組み合わせを設けるステップであって、この構造が、前記少なくとも1つの半導体デバイスの下にある二軸性歪み半導体表面および前記少なくとも1つの半導体デバイスの上の歪み誘発ライナの第1の組み合わせ、前記少なくとも1つの半導体デバイスの下にある前記二軸性歪み半導体表面および前記少なくとも1つの半導体デバイスに隣接した歪み誘発ウェルを含む第2の組み合わせ、前記少なくとも1つの半導体デバイスの下にある前記二軸性歪み半導体表面、前記少なくとも1つの半導体デバイスの上の歪み誘発ライナ、および、前記少なくとも1つの半導体デバイスに隣接した歪み誘発ウェルを含む第3の組み合わせ、または、前記少なくとも1つの半導体デバイスの下にある緩和基板、緩和表面上の前記少なくとも1つの半導体デバイスの上の前記歪み誘発ライナ、および、前記少なくとも1つの半導体デバイスに隣接した前記歪み誘発ウェルを含む第4の組み合わせを含み、前記第1のデバイス領域における前記歪み誘発構造の組み合わせが前記第2のデバイス領域における前記歪み誘発構造の組み合わせと同一であるかまたは異なる、ステップを含む、請求項2\_7に記載の方法。

【請求項 2\_9】

前記第1のデバイス領域における前記一軸性歪みが引張り力の下にあり、少なくとも1つのnFETを含み、前記第2のデバイス領域が圧縮力の下にあり、少なくとも1つのpFETを含む、請求項2\_6に記載の方法。