



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월11일  
(11) 등록번호 10-2031389  
(24) 등록일자 2019년10월04일

- (51) 국제특허분류(Int. Cl.)  
H05H 1/46 (2006.01) H01L 21/683 (2006.01)
- (21) 출원번호 10-2014-7013875
- (22) 출원일자(국제) 2012년11월23일  
심사청구일자 2017년11월21일
- (85) 번역문제출일자 2014년05월23일
- (65) 공개번호 10-2014-0093244
- (43) 공개일자 2014년07월25일
- (86) 국제출원번호 PCT/US2012/066467
- (87) 국제공개번호 WO 2013/078465  
국제공개일자 2013년05월30일
- (30) 우선권주장  
13/684,065 2012년11월21일 미국(US)  
61/563,526 2011년11월23일 미국(US)
- (56) 선행기술조사문헌  
US06494958 B1\*  
US20060075969 A1\*  
US20100008015 A1\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
램 리썬치 코퍼레이션  
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
- (72) 발명자  
사토 아서  
미국, 캘리포니아 94538-6470, 프레몬트, 쿠싱 파크웨이 4650
- (74) 대리인  
특허법인인벤싱크

전체 청구항 수 : 총 12 항

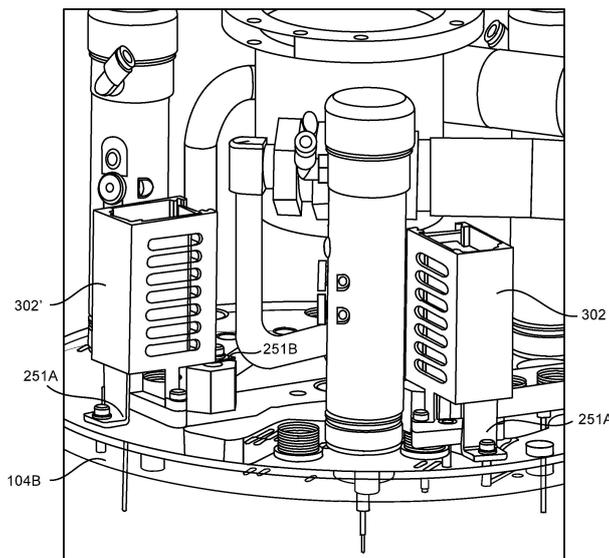
심사관 : 이민형

(54) 발명의 명칭 **중간 주파수 RF 범위 내의 고 전압 바이어스 전력용 바이패스 커패시터들**

(57) 요약

플라즈마 챔버에서 아크 발생 (arching) RF 신호들을 분리하기 위한 시스템이 개시되며, 상기 플라즈마 챔버는 상단 전극; 반도체 웨이퍼를 지지하기 위한 정전 척; 및 상기 정전 척의 표면 내의 복수의 클램핑 전극들 중 적어도 하나와 상기 정전 척의 베이스플레이트 간에 접속된 커패시터를 포함하며, 상기 커패시터는 약 19 나노패럿보다 큰 커패시턴스를 가지며, 상기 커패시터는 상기 정전 척의 내측 공간 내에 배치된다. 플라즈마 챔버에서 아크 발생 (arching) RF 신호들을 분리하기 위한 방법이 또한 개시된다.

대표도 - 도4a



**명세서**

**청구범위**

**청구항 1**

플라즈마 챔버에서 아크 발생 (arching) RF 신호들을 분리하기 위한 시스템으로서,

플라즈마 챔버를 포함하고,

상기 플라즈마 챔버는,

상단 전극;

반도체 웨이퍼를 지지하기 위한 정전 척;

상기 정전 척의 표면 내의 복수의 클램핑 전극들 중 적어도 하나와 상기 정전 척의 베이스플레이트 간에 접속된 커패시터; 및

상기 정전 척의 표면 내의 대응하는 복수의 리프트 핀 홀들 (holes) 내에서 지지되는 복수의 리프트 핀들을 포함하며,

상기 커패시터는 19 나노패럿보다 큰 커패시턴스를 가지며,

상기 커패시터는 상기 정전 척의 내측 공간 내에 배치되고,

상기 복수의 리프트 핀들 각각은 상기 정전 척의 표면 내의 복수의 리프트 핀 홀들 (holes) 중 대응하는 하나 내의 대응하는 측면 간의 0.011 인치 (0.25 mm) 보다 작은 간극 (clearance) 을 갖는, 아크 발생 RF 신호 분리 시스템.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

플라즈마 챔버에서 아크 발생 (arching) RF 신호들을 분리하기 위한 시스템으로서,

플라즈마 챔버를 포함하고,

상기 플라즈마 챔버는,

상단 전극;

반도체 웨이퍼를 지지하기 위한 정전 척;

상기 정전 척의 표면 내의 복수의 클램핑 전극들 중 적어도 하나와 상기 정전 척의 베이스플레이트 간에 접속된 커패시터; 및

상기 정전 척의 표면 내의 대응하는 복수의 리프트 핀 홀들 (holes) 내에서 지지되는 복수의 리프트 핀들을 포함하며,

상기 커패시터는 19 나노패럿보다 큰 커패시턴스를 가지며,

상기 커패시터는 상기 정전 척의 내측 공간 내에 배치되고,

상기 복수의 리프트 핀들 각각은 상기 정전 척의 표면 내의 복수의 리프트 핀 홀들 (holes) 중 대응하는 하나 내의 대응하는 측면 간의 0.005 인치 (0.12 mm) 보다 작은 간극 (clearance) 을 갖는, 아크 발생 RF 신호 분리 시스템.

**청구항 5**

제 1 항에 있어서,

상기 복수의 리프트 핀들 중 적어도 하나는 라운드-팁 리프트 핀 (round-tip lift pin) 인, 아크 발생 RF 신호 분리 시스템.

**청구항 6**

제 1 항에 있어서,

상기 복수의 리프트 핀들 중 적어도 하나는 편평한 팁 리프트 핀 (flat-tip lift pin) 인, 아크 발생 RF 신호 분리 시스템.

**청구항 7**

제 1 항에 있어서,

상기 복수의 리프트 핀들 중 적어도 하나는 리프트 핀의 샤프트의 직경보다 큰 직경의 팁을 가지는 편평한 팁 리프트 핀 (flat tip lift pin) 인, 아크 발생 RF 신호 분리 시스템.

**청구항 8**

제 1 항에 있어서,

상기 커패시터는 19 나노패럿 내지 43 나노패럿의 커패시턴스를 갖는, 아크 발생 RF 신호 분리 시스템.

**청구항 9**

플라즈마 챔버에서 아크 발생 RF 신호들을 분리하는 방법으로서,

플라즈마 챔버 내에서 정전 척의 상단 표면과 상단 전극 간의 영역에서 플라즈마를 생성하는 단계로서, 상기 상단 전극 및 상기 정전 척 모두 또는 어느 하나에 하나 이상의 RF 신호들을 인가하는 단계를 포함하며, 반도체 웨이퍼가 상기 정전 척의 상단 표면 상에서 지지되는, 상기 플라즈마를 생성하는 단계;

상기 정전 척의 상단 표면 내의 복수의 클램핑 전극들과 상기 정전 척의 베이스플레이트 간에 접속된 커패시터를 통해서 상기 하나 이상의 RF 신호들의 일부를 접속 (coupling) 시키는 단계로서, 상기 커패시터는 적어도 19 나노패럿의 커패시턴스를 가지며, 상기 커패시터는 상기 정전 척의 내측 공간 내에 배치되는, 상기 접속시키는 단계; 및

상기 정전 척의 표면 내의 대응하는 복수의 리프트 핀 홀들 (holes) 내에서 지지되는 복수의 리프트 핀들을 제공하는 단계를 포함하고,

상기 복수의 리프트 핀들 각각은 상기 정전 척의 표면 내의 복수의 리프트 핀 홀들 (holes) 중 대응하는 하나 내의 대응하는 측면 간의 0.011 인치 (0.25 mm) 보다 작은 간극 (clearance) 을 갖는, 아크 발생 RF 신호 분리 방법.

**청구항 10**

제 9 항에 있어서,

상기 커패시터는 19 나노패럿 내지 43 나노패럿의 커패시턴스를 갖는, 아크 발생 RF 신호 분리 방법.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

제 9 항에 있어서,

상기 복수의 리프트 핀들 중 적어도 하나는 라운드-팁 리프트 핀 (round-tip lift pin) 인, 아크 발생 RF 신호 분리 방법.

**청구항 15**

제 9 항에 있어서,

상기 복수의 리프트 핀들 중 적어도 하나는 편평한 팁 리프트 핀 (flat-tip lift pin) 인, 아크 발생 RF 신호 분리 방법.

**청구항 16**

제 9 항에 있어서,

상기 복수의 리프트 핀들 중 적어도 하나는 리프트 핀의 샤프트의 직경보다 큰 직경의 팁을 가지는 편평한 팁 리프트 핀 (flat tip lift pin) 인, 아크 발생 RF 신호 분리 방법.

**청구항 17**

플라즈마 챔버에서 아크 발생 (arching) RF 신호들을 분리하기 위한 시스템으로서,

플라즈마 챔버를 포함하고,

상기 플라즈마 챔버는,

상단 전극;

반도체 웨이퍼를 지지하기 위한 정전 척; 및

상기 정전 척의 표면 내의 복수의 클램핑 전극들 중 적어도 하나와 상기 정전 척의 베이스플레이트 간에 접속된 커패시터로서, 상기 커패시터는 19 나노패럿 내지 43 나노패럿의 커패시턴스를 가지며, 상기 커패시터는 상기 정전 척의 내측 공간 내에 배치되는, 상기 커패시터; 및

상기 정전 척의 표면 내의 대응하는 복수의 리프트 핀 홀들 (holes) 내에서 지지되는 복수의 리프트 핀들을 포함하고,

상기 복수의 리프트 핀들 각각은 상기 정전 척의 표면 내의 복수의 리프트 핀 홀들 (holes) 중 대응하는 하나 내의 대응하는 측면 간의 0.005 인치 (0.12 mm) 보다 작은 간극 (clearance) 을 갖는, 아크 발생 RF 신호 분리 시스템.

**청구항 18**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전반적으로 플라즈마 프로세싱 챔버들에 관한 것이며, 특히 정전 척 내의 리프트 핀들 (lift pins) 주위에서의 플라즈마 점화를 방지하기 위한 시스템들, 방법들 및 장치에 관한 것이다.

**배경 기술**

[0002] 플라즈마 프로세싱은 반도체들을 제조할 시에 매우 통상적이다. 플라즈마 프로세싱은 통상적으로 플라즈마에서 생성된 플라즈마 이온들이 기판의 노출된 층과 반응하는 플라즈마 에칭 프로세스이다. 플라즈마 이온들이 기판의 노출된 층 내로 침투할 수 있는 깊이는 플라즈마 이온들의 에너지에 의해서 결정된다. 플라즈마 이온들의 에너지는 적어도 부분적으로는 기판에 인가된 바이어스와 관련된다.

[0003] 반도체 디바이스 크기들이 보다 작아지며 보다 밀하게 패킹 (packed) 됨에 따라서 깊이/폭의 매우 높은 종횡비들이 요구된다. 보다 높은 종횡비들은 증가된 에너지 레벨을 갖는 플라즈마 이온들을 요구한다.

[0004] 플라즈마 이온들의 에너지를 증가시키는 다른 방식은 바이어스 전압을 증가시키는 것이다. 공교롭게도, 바이어스 전압이 증가할 수록, 기판과 프로세싱 챔버 간에서 그리고 전극들과 프로세싱 챔버 구조물들과 리프트 핀들 간에서 아크 (arching) 가 발생한다.

[0005] 리프트 핀들 및 이에 인접하는 구조물들은 바이어스 레벨이 증가함에 따라서 아크에 의해서 손상을 입을 수 있다. 전술한 바를 고려하면, 플라즈마 프로세싱 챔버 내에서 리프트 핀들 상에서 아크 발생을 더욱 방지하는 시스템, 방법 및 장치가 필요하다.

**발명의 내용**

[0006] 일반적으로 말하자면, 본 발명은 플라즈마 챔버 내에서 아크 발생 (arching) RF 신호들을 분리시키기 위한 시스템 및 방법을 제공함으로써 상기의 필요를 채운다. 본 발명은 프로세스, 장치, 시스템, 컴퓨터 판독가능한 매체 또는 디바이스를 포함하여서 다양한 방식으로 구현될 수 있다. 본 발명의 몇몇 창의적 실시예들이 이하에서 기술된다.

[0007] 일 실시예는 플라즈마 챔버에서 아크 발생 (arching) RF 신호들을 분리하기 위한 시스템을 제공하며, 상기 플라즈마 챔버는 상단 전극; 반도체 웨이퍼를 지지하기 위한 정전 척; 및 상기 정전 척의 표면 내의 복수의 클램핑 전극들 중 적어도 하나와 상기 정전 척의 베이스플레이트 간에 접속된 커패시터를 포함하며, 상기 커패시터는 약 19 나노패럿보다 큰 커패시턴스를 가지며, 상기 커패시터는 상기 정전 척의 내측 공간 내에 배치된다.

[0008] 시스템은 상기 정전 척의 표면 내의 대응하는 복수의 리프트 핀 홀들 (holes) 내에서 지지되는 복수의 리프트 핀들을 더 포함할 수 있다. 상기 복수의 리프트 핀들 각각은 상기 정전 척의 표면 내의 복수의 리프트 핀 홀들 (holes) 중 대응하는 하나 내의 대응하는 측면 간의 약 0.011 인치 (0.25 mm) 보다 작은 간극 (clearance) 을 가질 수도 있다. 상기 복수의 리프트 핀들 각각은 상기 정전 척의 표면 내의 복수의 리프트 핀 홀들 (holes) 중 대응하는 하나 내의 대응하는 측면 간의 약 0.005 인치 (0.12 mm) 보다 작은 간극 (clearance) 을 가질 수도 있다. 상기 복수의 리프트 핀들 중 적어도 하나는 라운드-팁 리프트 핀 (round-tip lift pin) 또는 편평한 팁 리프트 핀 (flat-tip lift pin) 또는 폭이 넓은 편평한 팁 리프트 핀 (broadened flat tip lift pin) 일 수 있다. 상기 커패시터는 약 19 나노패럿 내지 약 43 나노패럿의 커패시턴스를 가질 수 있다.

[0009] 다른 실시예는 플라즈마 챔버에서 아크 발생 RF 신호들을 분리하는 방법을 제공하며, 이 방법은 플라즈마 챔버 내에서 정전 척의 상단 표면과 상단 전극 간의 영역에서 플라즈마를 생성하는 단계를 포함하며, 이 단계는 상기 상단 전극 및 상기 정전 척 모두 또는 어느 하나에 하나 이상의 RF 신호들을 인가하는 단계를 포함한다. 반도체 웨이퍼가 정전 척의 상단 표면 상에서 지지된다. 상기 정전 척의 상단 표면 내의 복수의 클램핑 전극들과

상기 정전 척의 베이스플레이트 간에 접속된 커패시터를 통해서 상기 하나 이상의 RF 신호들의 일부가 접속 (coupling) 된다. 상기 커패시터는 약 19 나노패럿보다 큰 커패시턴스를 갖는다. 상기 커패시터는 상기 정전 척의 내측 공간 내에 배치된다.

[0010] 본 발명의 다른 양태들 및 이점들은 본 발명의 원리들을 예시적으로 예시하는, 첨부 도면들과 함께 취해지는, 다음의 상세한 설명으로부터 명백해질 것이다.

### 도면의 간단한 설명

[0011] 본 발명은 첨부 도면들과 함께 다음의 상세한 설명에 의해서 쉽게 이해될 것이다.

도 1a는 본 발명의 실시예들에 따른, 플라즈마 챔버 시스템의 블록도이다.

도 1b는 본 발명의 실시예들에 따른, 플라즈마 챔버 내의 등가 (equivalent) 커패시턴스들의 단순화된 개략도이다.

도 2a는 본 발명의 실시예들에 따른, 정전 척의 단순화된 단면도이다.

도 2b는 본 발명의 실시예들에 따른, 커패시터들의 병렬 어레이의 개략도이다.

도 2c는 본 발명의 실시예들에 따른, 플라즈마 챔버 내의 등가 (equivalent) 커패시턴스들 및 추가 커패시터의 단순화된 개략도이다.

도 3a 및 도 3b는 본 발명의 실시예들에 따른, 캡슐화된 (encapsulated) 커패시터 어레이의 사시도들이다.

도 3c는 본 발명의 실시예들에 따른, 커패시터 어레이의 사시도이다.

도 4a는 본 발명의 실시예들에 따른, 정전 척 (104) 내에서 장착된 다수의 캡슐화된 커패시터 어레이들의 사시도이다.

도 4b는 본 발명의 실시예들에 따른, 정전 척 내에서 장착된 커패시터 어레이의 사시도이다.

도 5a는 본 발명의 실시예들에 따른, 정전 척 내에서 결합된 제 1 전기 단자 레그 (leg) 의 상세한 사시도이다.

도 5b는 본 발명의 실시예들에 따른, 정전 척 내에서 결합된 제 2 전기 단자 레그 (leg) 의 상세한 사시도이다.

도 5c는 본 발명의 실시예들에 따른, 정전 척 내에서 결합된 RF 신호 소스로부터의 RF 입력 접속부의 상세한 사시도이다.

도 6a는 본 발명의 실시예들에 따른, 정전 척에서의 리프트 핀의 상세 부분 도면이다.

도 6b는 본 발명의 실시예들에 따른, 라운드-팁 (round-tip) 리프트 핀의 상세 부분 도면이다.

도 6c는 본 발명의 실시예들에 따른, 폭이 넓은 편평한 (flat) 팁 리프트 핀의 상세 부분 도면이다.

도 6d는 본 발명의 실시예들에 따른, 편평한 팁 리프트 핀의 상세 부분 도면이다.

도 7a는 본 발명의 실시예들에 따른, 예시적인 플라즈마 챔버 (101) 의 작용 구역의 그래프이다.

도 7b는 본 발명의 실시예들에 따른, 추가 커패시터를 사용하여 아크 발생 (점화 (light up)) 이 없는 예시적인 플라즈마 챔버의 그래프이다.

도 7c는 본 발명의 실시예들에 따른, 추가 커패시터를 사용하며 전류 강하를 나타내는 예시적인 플라즈마 챔버의 그래프이다.

도 8은 본 발명의 실시예들에 따른, 반도체 웨이퍼와 정전 척 간의 아크 발생을 저감할 때에 수행되는 방법 동작들을 예시하는 흐름도이다.

도 9는 본 발명에 따른 프로세싱을 수행하기 위한 예시적인 컴퓨터 시스템의 블록도이다.

도 10은 본 발명의 실시예들에 따른, 하나 이상의 플라즈마 챔버 시스템들을 포함하는 통합형 시스템의 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 리프트 핀들 내에서 아크 발생 (arching) 을 보다 잘 방지하기 위한 시스템, 장치 및 방법의 몇몇 예시적인 실시예들이 이제 기술될 것이다. 본 발명은 본 명세서에서 제공된 특정 세부사항들 전부 또는 일부 없이도 실시될 수 있음이 본 기술 분야의 당업자에게 명백할 것이다.
- [0013] 정전 척에서 측정된 400 kHz의 근사 1000 볼트에서, 점화 (light up) 및 아아크 (arc) 가 리프트 핀들 및 정전척 상의 기관 지지부의 후방 측면 상에서 발생한다. 이러한 고전압 방식은 고 산화물 예칭 레이트 애플리케이션에서 유용하다.
- [0014] 정전 척 베이스와 폴들 (poles) 간에 19 나노패럿 (nanofarad) 을 초과하는 추가 커패시턴스를 부가하는 것은 전압을 크게 줄이며 후방 측면 점화 및 아크 발생 없이 고 바이어스 전압 동작을 가능하게 한다.
- [0015] 통상적인 방법들은 유전체 슬리비들로 리프트 핀 홀들을 차폐하고 정전 척 내의 헬륨 홀들을 세라믹으로 막아서 (plugging) 점화를 억제하는 것에 의존한다. 통상적인 방법들은 약 900 볼트보다 큰 전압 동작을 가능하게 하지 않으며 또한 아크 발생을 방지하지 못한다.
- [0016] 정전 척 베이스와 폴들 (poles) 간의 커패시턴스를 최대화시키는 것은 정전 척의 내부 공간 내에 이러한 커패시턴스를 제공하는 것의 한계, 환경상의 문제 및 물리적 크기로 인해서 어렵다. 22 나노패럿 커패시터 어레이가 사용될 수 있다. 이상적으로는, 매우 큰 커패시턴스가 바람직하다. 예를 들어서, 43 나노패럿 커패시터 어레이가 사용될 수 있다.
- [0017] 도 1a는 본 발명의 실시예들에 따른, 플라즈마 챔버 시스템 (100) 의 블록도이다. 플라즈마 챔버 시스템 (100) 은 플라즈마 챔버 (101), 정전 척 (ESC) (104), ESC (104) 의 상단 표면에서의 에지 링 (112) 및 상단 전극 (106) 을 포함한다. 상단 전극 (106) 과 ESC (104) 은 특정 프로세스를 위해서 요구되는 바와 같이 하나 이상의 각각의 RF 신호 소스들 (120) 또는 접지 전위들에 접속될 수 있다. 프로세스 가스 공급부 (140) 가 또한 플라즈마 챔버 (101) 에 연통된다. 정전 척 (104) 은 이하에서 보다 상세하게 기술될 바와 같은 추가 커패시터 (250) 를 포함한다.
- [0018] 제어기 (103) 가 또한 플라즈마 챔버 (101) 및 하나 이상의 각각의 RF 신호 소스들 (120) 및 프로세스 가스 공급부 (140) 에 접속된다. 제어기 (130) 는 목표 레시피 또는 프로세스에 따라서 시스템 (100) 을 모니터링 및 제어하도록 소프트웨어, 메모리 시스템들, 및 입출력 시스템들을 포함한다. 입출력 시스템들은 사용자와 인터페이스하기 위한 사용자 인터페이스 시스템들을 포함한다. 입출력 시스템들은 또한 다른 컴퓨터 시스템들 및 주변부들 (예를 들어서, 디스플레이, 프린터, 원격 저장 디바이스, 다른 입력 디바이스 및 출력 디바이스) 로 데이터를 전송하고 이로부터 데이터를 수신하기 위한 네트워킹 프로토콜들을 포함한다. 제어기 (130) 는 범용 컴퓨터와 같이 표준 컴퓨터이거나 특정 애플리케이션을 위한 적합한 특정화된 컴퓨터일 수 있다.
- [0019] 정전 척 (ESC) (104) 은 표면 (104A) 상에 반도체 웨이퍼 (102) 를 지지 및 고정할 수 있다. 하나 이상의 각각의 RF 신호 소스들 (120) 은 또한 하나 이상의 DC 바이어스 소스들을 포함할 수 있다.
- [0020] 도 1b는 본 발명의 실시예들에 따른, 플라즈마 챔버 (101) 내의 등가 (equivalent) 커패시턴스들 (150A, 150B, 150C) 의 단순화된 개략도이다. 등가 커패시터 (150A) 는 도 2a에서 이하에서 보다 상세하게 도시된 클램핑 전극들 (104G, 104G') 과 반도체 웨이퍼 (102) 간에 형성된다. 등가 커패시터 (150B) 는 반도체 웨이퍼 (102) 와 플라즈마 (110) 간에 형성된다. 등가 커패시터 (150C) 는 상단 전극 (106) 과 플라즈마 (110) 간에 형성된다. 상단 전극 (106) 은 통상적으로 접지된다.
- [0021] 도 2a는 본 발명의 실시예들에 따른, 정전 척 (104) 의 단순화된 단면도이다. 정전 척 (104) 은, 베이스 플레이트 (104B) 로부터 시작하여서 위로 여러층들을 통해서 표면 (104A) 까지 기술하자면, 도전성 베이스 플레이트 (104B), 이 베이스 플레이트 상에 탑재된 절연된 가열기/냉각 층 (104C), 이 절연된 가열기/냉각 층 상에 탑재된 도전성 층 (104D), 이 도전성 층 상에 탑재된 절연층 (104E) 및 세라믹 상단 층 (104F) 을 포함한다. 세라믹 상단 층 (104F) 은 다수의 클램핑 전극들 (104G, 104G') 을 포함한다. 절연된 가열기/냉각 층 (104C) 은 인접하는 층들 (104B, 104D) 으로부터 이 가열기/냉각 층을 절연하기 위해서 절연체 (104C') 를 포함한다.
- [0022] 다수의 클램핑 전극들 중 제 1 부분 (104G') 은 비도전성 표면 층 (104H') 에 의해서 피복될 수 있다. 이와 달리, 다수의 클램핑 전극들 중 제 2 부분 (104G) 또는 다수의 클램핑 전극들 (104G, 104G') 모두가 정전 척 (104) 의 상단 표면 (104A) 상에서 노출될 수도 있다.

- [0023] 동작 시에, 바이어스 전압을 다수의 클램핑 전극들 (104G, 104G') 에 인가하는 것은 정전 척 (104) 의 상단 표면 (104A) 과 반도체 웨이퍼 (102) 간의 정전기 인력을 형성하며, 이로써 정전 척의 상단 표면 상에 반도체 웨이퍼를 그 자리에서 클램핑시킨다.
- [0024] 커패시터 (250) 가 정전 척 (104) 내에 포함된다. 커패시터 (250) 는 정전 척 (104) 의 다수의 클램핑 전극들 (104G, 104G') 의 적어도 일부 또는 전부에 전기적으로 접속되는 제 1 전기 단자 레그 (leg) (251A) 를 갖는다. 커패시터 (250) 의 제 2 전기 단자 레그 (leg) (251B) 는 정전 척 (104) 의 베이스 플레이트 (104B) 및/또는 도전성 층 (104D) 중 적어도 하나에 전기적으로 접속된다.
- [0025] 커패시터 (250) 는 단일 커패시터 또는 다수의 커패시터들의 어레이일 수 있다. 커패시터 (250) 는 상술한 등가 커패시턴스들 (150A, 150B, 150C) 이외에, 약 19 나노패럿 내지 약 43 나노패럿 또는 그 이상의 커패시턴스를 갖는다.
- [0026] 도 2b는 본 발명의 실시예들에 따른, 커패시터들 (250A 내지 250n) 의 병렬 어레이의 개략도이다. 커패시터 (250) 는 도시된 바와 같이 서로 병렬로 접속된 다수의 커패시터들 (250A 내지 250n) 로부터 형성될 수 있다. 커패시터들의 개수는 커패시터들이 상주하는 물리적 공간에 한정된다.
- [0027] 도 2c는 본 발명의 실시예들에 따른, 플라즈마 챔버 (101) 내의 등가 (equivalent) 커패시턴스들 (150A, 150B, 150C) 및 추가 커패시터 (250) 의 단순화된 개략도이다. 추가 커패시터 (250) 는 이하에서 보다 상세하게 기술될 바와 같이 정전 척 (104) 에 병렬로 접속된다. 추가 커패시터 (250) 는 등가 커패시턴스들 (150A, 150B, 150C) 이외에, 플라즈마 챔버 (101) 에 전기 커패시턴스를 부가한다.
- [0028] 도 3a 및 도 3b는 본 발명의 실시예들에 따른, 캡슐화된 (encapsulated) 커패시터 어레이 (302) 의 사시도들이다. 캡슐화된 (encapsulated) 커패시터 어레이 (302) 는 케이스 (304) 및 다수의 커패시터들 (250A 내지 250n) 을 갖는 커패시터 어레이를 포함한다. 커패시터들 (250A 내지 250n) 의 실제 개수는 1에서 케이스 (304) 내에 물리적으로 포함될 커패시터의 개수까지 변할 수 있다. 캡슐화된 (encapsulated) 커패시터 어레이 (302) 는 제 1 전기 단자 레그 (251A) 및 제 2 전기 단자 레그 (251B) 를 포함한다.
- [0029] 도 3c는 본 발명의 실시예들에 따른, 커패시터 어레이 (310) 의 사시도이다. 커패시터 어레이 (310) 는 다수의 커패시터들 (250A 내지 250n) 을 갖는 커패시터 어레이를 포함한다. 커패시터들 (250A 내지 250n) 의 실제 개수는 1에서 케이스 (304) 내에 물리적으로 포함될 커패시터의 개수까지 변할 수 있다. 커패시터 어레이 (310) 는 제 1 전기 단자 레그 (251A) 및 제 2 전기 단자 레그 (251B) 를 포함한다.
- [0030] 도 4a는 본 발명의 실시예들에 따른, 정전 척 (104) 에 장착된 다수의 캡슐화된 커패시터 어레이들 (302) 의 사시도이다. 도 4b는 본 발명의 실시예들에 따른, 정전 척 (104) 에 장착된 커패시터 어레이 (310) 의 사시도이다.
- [0031] 도 5a는 본 발명의 실시예들에 따른, 정전 척 (104) 내에서 결합된 제 1 전기 단자 레그 (leg) (251A) 의 상세한 사시도이다. 도 5b는 본 발명의 실시예들에 따른, 정전 척 (104) 내에서 결합된 제 2 전기 단자 레그 (leg) (251B) 의 상세한 사시도이다. 도 5c는 본 발명의 실시예들에 따른, 정전 척 (104) 내에서 결합된 RF 신호 소스 (120) 로부터의 RF 입력 접속부 (510) 의 상세한 사시도이다.
- [0032] 도 6a는 본 발명의 실시예들에 따른, 정전 척 내의 리프트 핀 (610) 의 상세 부분 도면 (600) 이다. 리프트 핀 (610) 은 반도체 웨이퍼 (102) 를 들어올리도록 방향 (601A) 으로 위로 이동하며 반도체 웨이퍼 (102) 를 정전 척 (104) 의 표면 (104A) 으로 내리도록 방향 (601B) 으로 아래로 이동한다. 헬륨 또는 다른 불활성 냉각 가스가 리프트 핀 홀 (612A) 및 냉각제 홀 (612B) 을 통해서 흐른다. 헬륨은 프로세스 가스가 리프트 핀 홀 (612A) 및 냉각제 홀 (612B) 내로 들어가는 것을 방지한다. 또한, 헬륨은 반도체 웨이퍼와 정전 척 (104) 의 상단 표면 (104A) 간에서 이들을 걸쳐서 흐르면서 반도체 웨이퍼 (102) 를 냉각시킨다.
- [0033] 리프트 핀 (610) 을 걸쳐서 클램프 전극 (104G') 까지 측정된 파잉 전압 전위는 반도체 웨이퍼 (102) 에 손상을 줄 수 있는 아크를 발생시킬 수 있다. 정전 척 (104) 의 베이스 플레이트 (104B) 와 클램프 전극 (104G') 간에 접속된 추가 커패시터 (250) 가 존재한다.
- [0034] 리프트 핀 홀 (612A) 과 리프트 핀 (610) 간의 파잉 간극도 또한 아크를 발생시킬 수 있다. 리프트 핀 홀 (612A) 과 리프트 핀 (610) 간의 간극을 최소화하기 위한 상이한 방식들은 상이한 형상의 리프트 핀들을 사용하는 것을 포함한다. 리프트 핀 (610) 은 임의의 적합한 재료로 형성될 수 있다. 예시적인 적합한 리프트 핀 재료는 다음으로 한정되지 않지만 사파이어 및 니타놀 (nitanol) 을 포함한다.

- [0035] 도 6b는 본 발명의 실시예들에 따른, 라운드-팁 (round-tip) 리프트 핀 (610A)의 상세 부분 도면 (620)이다. 도 6c는 본 발명의 실시예들에 따른, 폭이 넓은 편평한 (flat) 팁 리프트 핀 (610B)의 상세 부분 도면 (630)이다. 도 6d는 본 발명의 실시예들에 따른, 편평한 팁 리프트 핀 (610C)의 상세 부분 도면 (640)이다. 리프트 핀 홀 (612A)은 리프트 핀 (610)의 직경보다 근소하게 큰 직경을 갖는다.
- [0036] 예를 들어서, 도 6b를 참조하면, 라운드-팁 (round-tip) 리프트 핀 (610A)은 약 0.043 인치 (1.0 mm)의 직경을 가지며 리프트 핀 홀 (612A)은 약 0.082 인치 (1.9 mm)의 직경을 갖는다. 이로써, 라운드-팁 (round-tip) 리프트 핀 (610A)의 각 측면과 리프트 핀 홀 (612A)의 대응하는 측면 간의 간극은 약 0.021 인치 (0.5 mm)이다.
- [0037] 도 6d의 편평한 팁 리프트 핀 (610C)은 약 0.060 인치 (1.5 mm)의 직경을 가지며 리프트 핀 홀 (612A)은 약 0.082 인치 (1.9 mm)의 직경을 갖는다. 이로써, 편평한 팁 리프트 핀 (610C)의 각 측면과 리프트 핀 홀 (612A)의 대응하는 측면 간의 간극은 약 0.011 인치 (0.25 mm)이다.
- [0038] 도 6c의 폭이 넓은 편평한 팁 리프트 핀 (610B)은 그의 팁의 직경보다 작은 샤프트 직경을 갖는다. 예를 들어서, 샤프트 직경은 약 0.060 인치 (1.5 mm)의 직경을 가지며 편평한 팁의 직경은 약 0.072 인치 (1.7 mm)의 직경을 가질 수 있다. 리프트 핀 홀 (612A)은 약 0.082 인치 (1.9 mm)의 직경을 갖는다. 이로써, 이 폭이 넓은 편평한 팁 리프트 핀 (610B)의 각 측면과 리프트 핀 홀 (612A)의 대응하는 측면 간의 간극은 약 0.005 인치 (0.12 mm)이다.
- [0039] 도 7a는 본 발명의 실시예들에 따른, 예시적인 플라즈마 챔버 (101)의 작용 구역 (710)의 그래프 (700)이다. 작용 구역 (708)은 추가 커패시터 (250)가 없을 경우의 예시적인 작용 구역이다. 추가 작용 구역들 (710, 712)은 추가 커패시터 (250)가 베이스 플레이트 (104B)와 클램핑 전극들 (104G, 104G')간에 접속되는 경우에 작용 구역 (708)의 확장부들을 예시한다. 불안정한 작용 구역은 십자형 에칭된 구역 (714)에 의해서 표현된다. 추가 커패시터 (250)는 헬름의 압력 및 RF 전류 모두에 있어서 작용 구역을 확장시켰다. 헬름의 압력은 40 Torr에서 약 48 Torr까지 확장될 수 있다. RF 전류도 약 3.9 Vrms에서 약 4.8 Vrms로 확장되었다.
- [0040] 도 7b는 본 발명의 실시예들에 따른, 추가 커패시터 (250)를 사용하여 아크 발생 (점화 (light up))이 없는 예시적인 플라즈마 챔버 (101)의 그래프 (730)이다. 도 7c는 본 발명의 실시예들에 따른, 추가 커패시터 (250)를 사용하여 전류 강하를 나타내는 예시적인 플라즈마 챔버 (101)의 그래프 (750)이다.
- [0041] 도 8은 본 발명의 실시예들에 따른, 반도체 웨이퍼와 정전 척 (104)간의 아크 발생을 저감할 때에 수행되는 방법 동작들 (800)을 예시하는 흐름도이다. 본 명세서에서 예시된 동작들은 오직 예시적이며 몇몇 동작들은 하위-동작들을 가질 수도 있으며 다른 경우들에서 본 명세서에서 기술된 특정 동작들은 예시된 동작들 내에 포함되지 않을 수도 있다. 이를 염두하면서, 이제 방법 동작들 (800)이 설명될 것이다.
- [0042] 동작 (810)에서, RF 소스(들) (120)로부터의 하나 이상의 RF 신호들이 정전 척의 상단 표면 (105)과 상단 전극 (106)간의 영역에서 플라즈마 (110)를 생성하도록 상단 전극 (106) 및 정전 척 (104) 모두 또는 어느 하나에 인가된다. 동작 (820)에서, 정전 척 (104)의 베이스 플레이트 (104B)가 추가 커패시터 (250)를 통해서 클램핑 전극들 (104G, 104G')에 전기적으로 접속된다.
- [0043] 동작 (830)에서, 불활성 냉각 가스가 정전 척 (104)의 표면 (104A)과 반도체 웨이퍼 (102)간에서 흐른다. 불활성 냉각 가스는 헬름 또는 유사한 불활성 냉각 가스일 수 있다. 불활성 냉각 가스는 하나 이상의 리프트 핀 홀들 (612A) 및/또는 하나 이상의 냉각 가스 홀들 (612B)을 통해서 정전 척 (104)의 표면 (104A)과 반도체 웨이퍼 (102)간에 주입될 수도 있다. 하나 이상의 리프트 핀 홀들 (612A) 및/또는 하나 이상의 냉각 가스 홀들 (612B)은 정전 척 내의 냉각 가스 분배 시스템 (예를 들어서, 도관들, 배관들 등)에 유체 연통된다. 냉각 가스 분배 시스템은 냉각 가스 소스에 연통된다.
- [0044] 동작 (840)에서, 플라즈마 프로세스가 정전 척 (104)상의 반도체 웨이퍼 (102)에 대해서 적용된다. 플라즈마 프로세스가 완료되면 방법 동작들이 종료된다.
- [0045] 도 9는 본 발명에 따른 프로세싱을 수행하기 위한 예시적인 컴퓨터 시스템 (900)의 블록도이다. 컴퓨터 시스템 (900)은 상술한 바와 같은 제어기 (103)내에 포함될 수도 있는 예시적인 컴퓨터 시스템이다. 컴퓨터 시스템 (900)은 중앙 처리 유닛 (904), 디스플레이 스크린 (모니터) (918), 프린터 (906), 플로피 디스크/광학/플래시 드라이브 또는 다른 분리식 매체 드라이브 (934), 대용량 저장 디바이스 (914) (예를 들어서, 하드 디스크 드라이브 또는 고체 상태 드라이브들), 네트워크 인터페이스 (930), 및 키보드 (922)를 포함한다.

- [0046] 컴퓨터 (900) 는 메모리 버스 (910), RAM (928), ROM (912), 및 입출력 인터페이스 (920) 를 포함한다. 컴퓨터 (900) 는 개인용 컴퓨터 (IBM 호환가능한 개인용 컴퓨터, 매킨토시 컴퓨터 또는 매킨토시 호환가능한 컴퓨터), 워크스테이션 컴퓨터 (Sun Microsystems 워크스테이션 또는 Hewlett-Packard 워크스테이션), 또는 몇몇 다른 타입의 컴퓨터일 수 있다.
- [0047] CPU (904) 는 컴퓨터 시스템 (900) 의 동작을 제어하는 범용 디지털 프로세서이다. CPU (904) 는 단일-칩 프로세서이거나 다수의 컴포넌트들로 구현될 수 있다. 메모리로부터 수신된 프로그램 인스트럭션들 (908) 을 사용하여, CPU (904) 는 입력 데이터의 수신 및 조작 및 출력 디바이스 상에서의 데이터의 출력 및 디스플레이를 제어한다.
- [0048] 메모리 버스 (910) 는 RAM (928) 및 ROM (912) 을 액세스하도록 CPU (904) 에 의해서 사용된다. RAM (928) 은 일반적인 저장 구역 및 스킵-패드 메모리로서 CPU (904) 에 의해서 사용되며 또한 입력 데이터 및 처리된 데이터를 저장하는데 사용될 수 있다. ROM (912) 은 CPU (904) 가 따르는 인스트럭션들 또는 프로그램 코드 및 다른 데이터를 저장하는데 사용될 수 있다.
- [0049] 입출력 인터페이스 (920) 는 컴퓨터 (900) 에 의해서 사용되는 입력 디바이스, 출력 디바이스 및 저장 디바이스를 액세스하는데 사용된다. 기술된 실시예에서, 이러한 디바이스들은 디스플레이 스크린 (918), 프린터 디바이스 (906), 플로피 디스크/광학/플래시/분리식 매체 드라이브 (922), 및 네트워크 인터페이스 (930) 를 포함한다.
- [0050] 디스플레이 스크린 (918) 은 입출력 인터페이스 (920) 를 통해서 CPU (904) 에 의해서 제공되거나 컴퓨터 시스템 (900) 내의 다른 컴포넌트들에 의해서 제공되는 데이터의 이미지들을 디스플레이하는 출력 디바이스이다. 프린터, 플롯터 (plotter), 타입세터 (typesetter) 등과 같은 다른 출력 디바이스들이 사용될 수 있다.
- [0051] 플로피 디스크/광학/플래시 또는 다른 분리식 매체 드라이브 (934) 및 대용량 저장 디바이스 (914) 는 다양한 타입의 데이터들을 저장하는데 사용될 수 있다. 플로피 디스크/광학/플래시 또는 다른 분리식 매체 드라이브 (934) 는 이러한 데이터를 다른 컴퓨터 시스템들로 전송하는 것을 용이하게 하며, 대용량 저장 디바이스 (914) 는 대량의 저장된 데이터로의 신속한 액세스를 가능하게 한다.
- [0052] 운영 체제와 함께 CPU (904) 는 컴퓨터 프로그램 인스트럭션 또는 코드 (908) 를 실행시키고 데이터를 생성 및 사용하도록 동작한다. 컴퓨터 프로그램 인스트럭션 또는 코드 (908) 는 RAM (928), ROM (912) 또는 대용량 저장 디바이스 (914) 상에 상주할 수도 있다.
- [0053] 또한, 컴퓨터 프로그램 인스트럭션 또는 코드 (908) 는 분리식 프로그램 매체 상에 저장되고 필요할 때에 컴퓨터 시스템 (900) 상에 로딩 또는 설치될 수 있다. 분리식 프로그램 매체는 예를 들어서 CD-ROM, PC-CARD, 플로피 디스크, 플래시 메모리, 광학 매체 및 자기 테이프를 포함한다.
- [0054] 네트워크 인터페이스 (930) 는 다른 컴퓨터 시스템들에 접속된 네트워크를 통해서 데이터를 전송 및 수신하는데 사용된다. CPU (904) 에 의해서 구현되는 인터페이스 카드 또는 유사한 디바이스 및 적합한 소프트웨어가 표준 프로토콜 (예를 들어서, LAN, WAN, 무선, 인터넷 등) 에 따라서 기존의 네트워크로 컴퓨터 시스템 (900) 을 접속시키고 데이터를 전달하는데 사용될 수 있다.
- [0055] 키보드 (918) 는 사용자에게 의해서 컴퓨터 시스템 (900) 으로 명령들 및 다른 인스트럭션들을 입력하는데 사용된다. 다른 타입들의 사용자 입력 디바이스들이 또한 본 발명에서 사용될 수 있다. 예를 들어서, 컴퓨터 마우스, 트랙 볼, 스타일러스, 또는 테블릿과 같은 포인팅 디바이스들이 범용 컴퓨터의 스크린 상에서 포인터를 조작하는데 사용될 수 있다.
- [0056] 도 10은 본 발명의 실시예들에 따른, 하나 이상의 플라즈마 챔버 시스템들 (100) 을 포함하는 통합형 시스템 (1000) 의 블록도이다. 통합형 시스템 (1000) 은 하나 이상의 플라즈마 챔버 시스템들 (100), 및 단일 팩토리 (factory) (1002) 내의 플라즈마 챔버(들) 에 접속된 통합형 시스템 제어기 (1010) 를 포함한다. 통합형 시스템 제어기 (1010) 는 사용자 인터페이스 (1014) 를 포함하거나 (예를 들어서 무선 또는 유선 네트워크 (1012) 를 통해서) 사용자 인터페이스 (1014) 에 접속된다. 사용자 인터페이스 (1014) 는 사용자 관독가능한 출력들 및 표시사항들을 제공하며 사용자 입력을 수신하며 통합형 시스템 제어기 (1010) 로의 사용자 액세스를 제공한다.
- [0057] 통합형 시스템 제어기 (1010) 는 특정 목적용 컴퓨터 또는 범용 컴퓨터를 포함할 수 있다. 통합형 시스템 제어기 (1010) 는 플라즈마 챔버 시스템(들) (100) 에 대한 데이터 (1018) (예를 들어서, 성능 이력, 성능 또는 디

펙트 분석, 오퍼레이터 로그 사항, 및 이력 등) 를 모니터링, 제어, 수집 및 저장하도록 컴퓨터 프로그램 (1016) 을 실행시킬 수 있다. 예를 들어서, 수집된 데이터가 그의 동작에 대한 조절을 지시하면, 통합형 시스템 제어기 (1010) 는 플라즈마 챔버 시스템(들) 및/또는 그 내의 컴포넌트들의 동작들 (예를 들어서, 압력, 플로우 레이트, 바이어스 신호들, 기관 (102) 의 로딩 및 언로딩, 등) 을 조절할 수 있다.

[0058] 상술한 실시예들을 염두하면서, 본 발명은 컴퓨터 시스템들 내에 저장된 데이터를 참여시키는 다양한 컴퓨터-구현된 동작들을 채용할 수 있음이 이해되어야 한다. 이러한 동작들은 물리적 정량의 물리적 조작을 요구하는 것들이다. 통상적으로, 반드시 필수적이지는 않지만, 이러한 정량들은 저장, 전달, 결합, 비교, 및 이와 달리 조작될 수 있는 전기 신호 또는 자기 신호의 형태를 취한다. 또한, 수행되는 조작들은 때로 생성, 식별, 결정 또는 비교와 같은 용어들로 지칭된다.

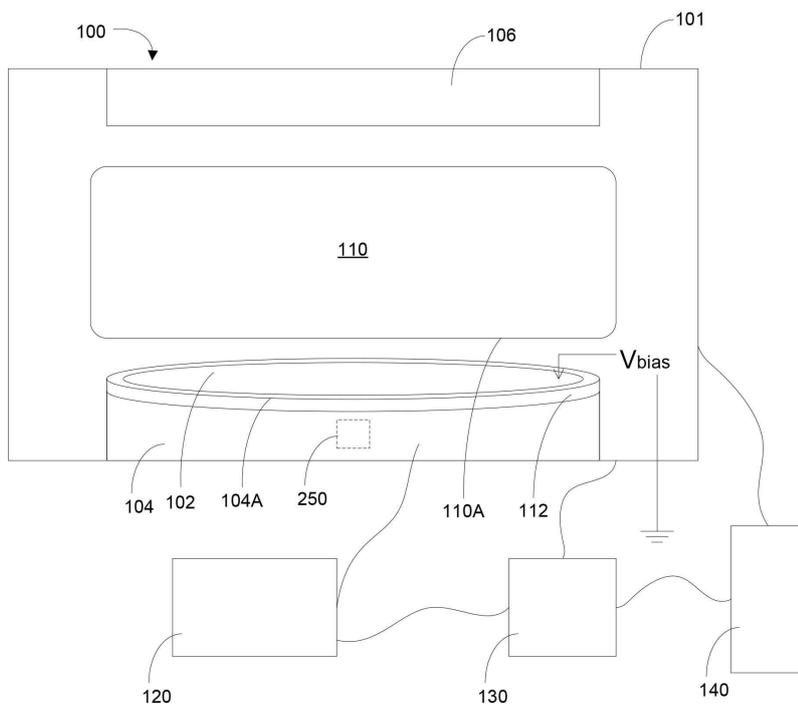
[0059] 본 발명은 또한 컴퓨터 판독가능한 매체 상의 컴퓨터 판독가능한 코드 및/또는 로직으로서 실시될 수도 있다. 컴퓨터 판독가능한 매체는 이후에 컴퓨터 시스템에 의해서 판독될 수 있는 데이터를 저장할 수 있는 임의의 데이터 저장 디바이스이다. 컴퓨터 판독가능 매체의 실례들은 하드 드라이브, NAS (network attached storage), 로직 회로들, ROM, RAM, CD-ROM, CD-RW, 자기 테이프, 및 다른 광학 데이터 저장 디바이스 및 비광학 데이터 저장 디바이스를 포함한다. 컴퓨터 판독가능한 매체는 또한 컴퓨터 판독가능 코드가 배포되는 방식으로 저장 및 실행되도록 네트워크 접속된 컴퓨터 시스템들을 통해서 또한 배포될 수도 있다.

[0060] 위의 도면들에서 동작들에 의해서 표현된 인스트럭션들은 예시된 순서로 수행될 필요는 없으며 동작들에 의해서 표현되는 프로세싱 모두가 본 발명을 실시하는데 필요하지 않을 수 있다는 것이 또한 이해되어야 한다. 또한, 위의 도면들 중 임의의 도면에서 기술된 프로세스들은 또한 RAM, ROM 또는 하드 디스크 드라이브 중 임의의 것 또는 이들의 조합 내에 저장된 소프트웨어로 구현될 수도 있다.

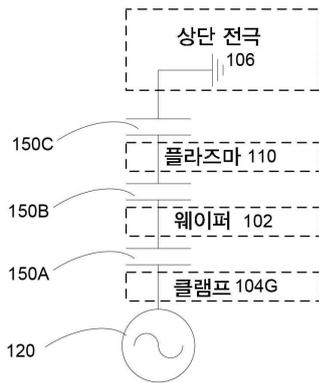
[0061] 전술한 발명은 이해의 명료성을 위해서 어느 정도 세부적으로 기술되었지만, 특정 변경 및 수정이 첨부된 청구 범위 내에서 실시될 수 있음이 명백할 것이다. 따라서, 본 실시예들은 예시적이면서 비한정적으로 해석되어야 하며 본 발명은 본 명세서에서 주어진 세부사항들로 한정되지 않으며 첨부된 청구항의 범위 및 균등 범위 내에서 수정될 수도 있다.

**도면**

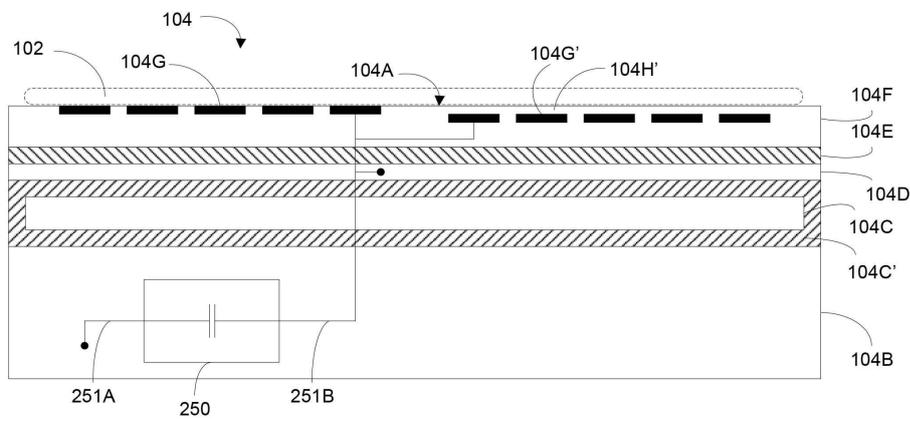
**도면1a**



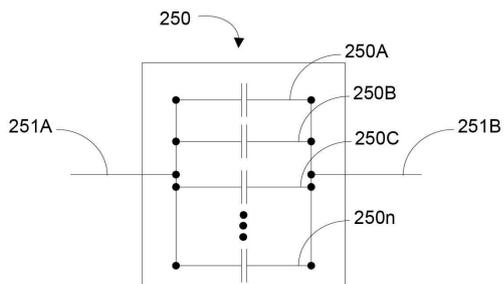
도면1b



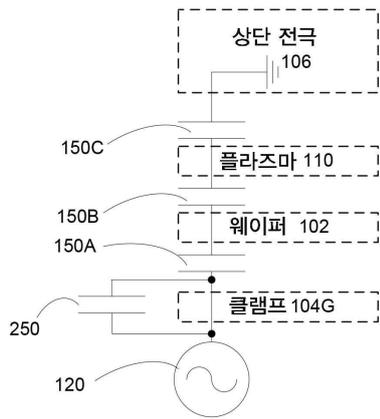
도면2a



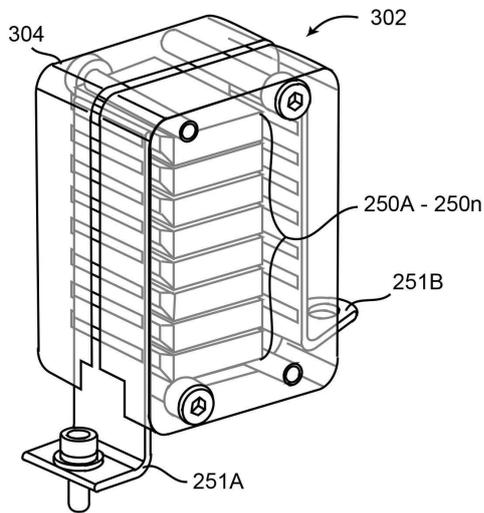
도면2b



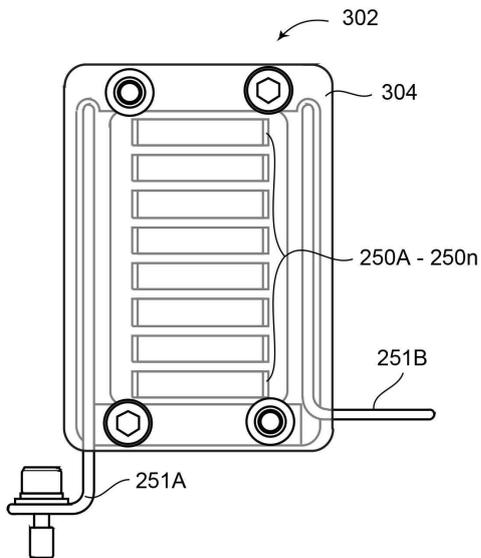
도면2c



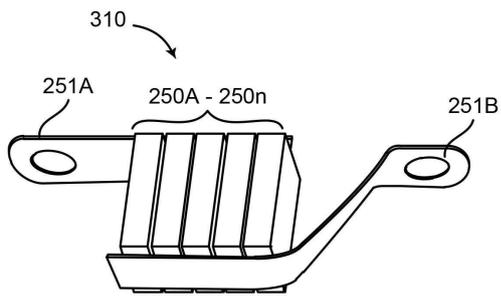
도면3a



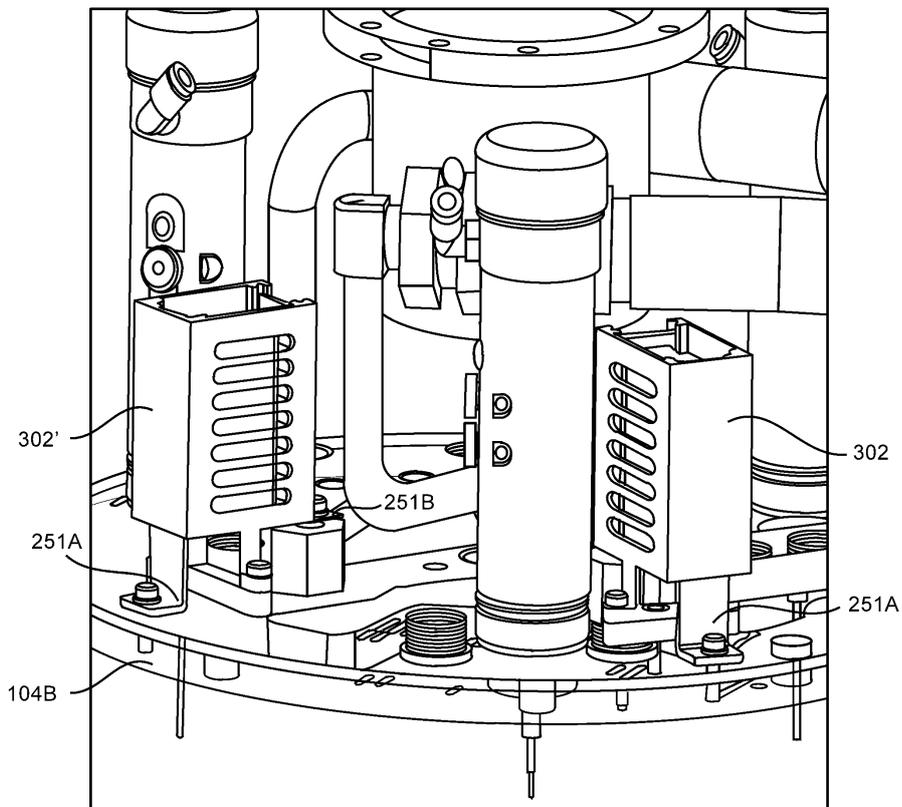
도면3b



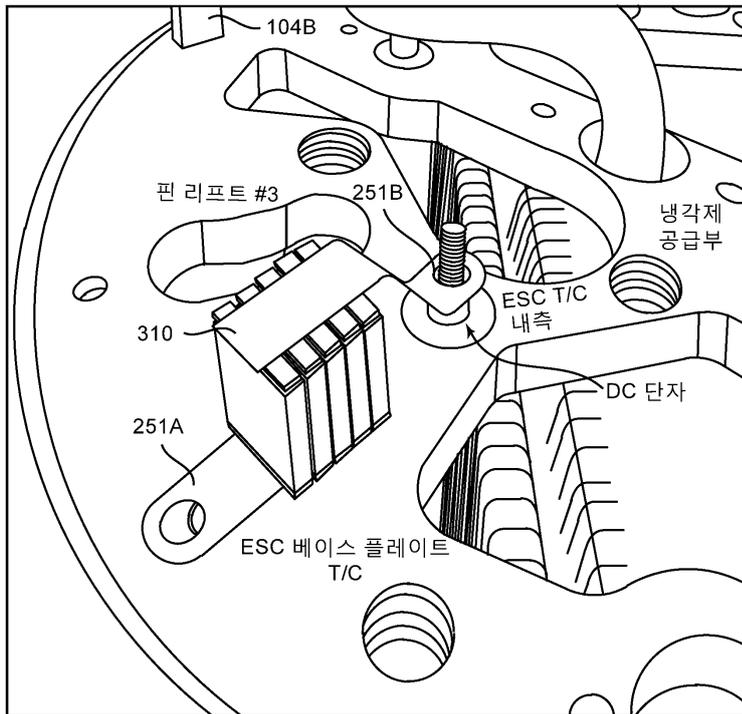
도면3c



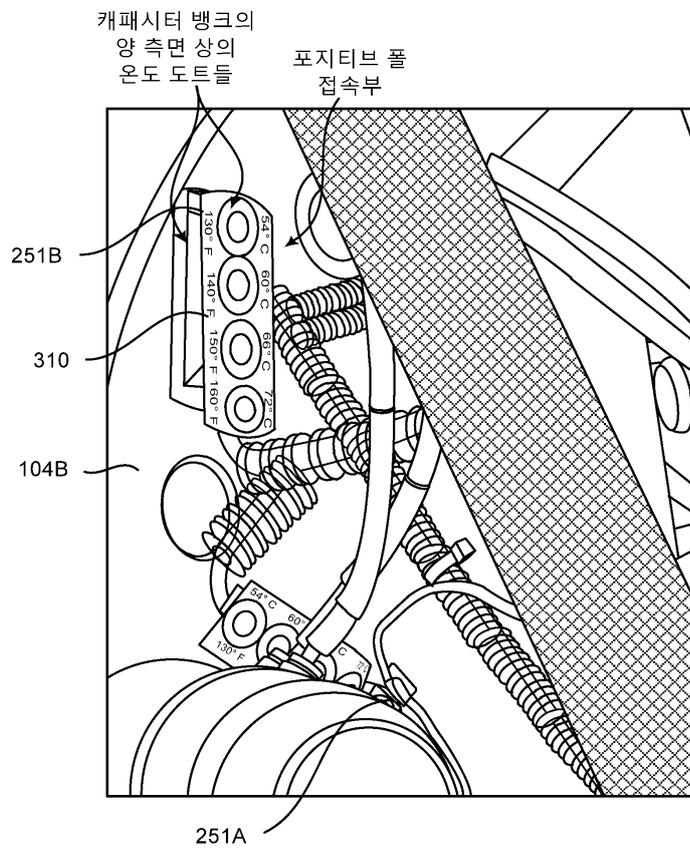
도면4a



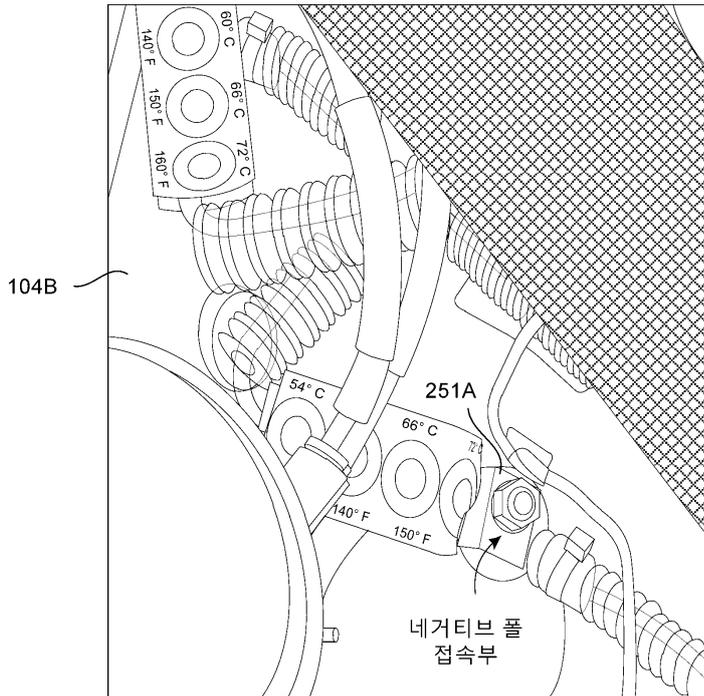
도면4b



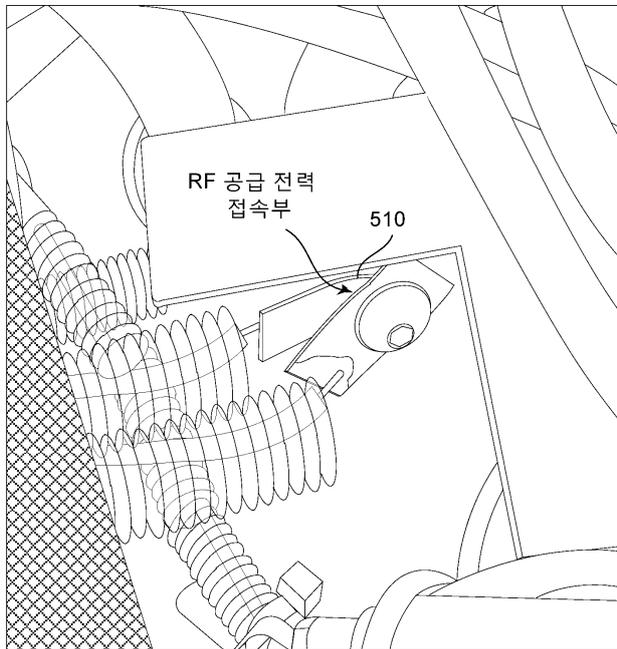
도면5a



도면5b

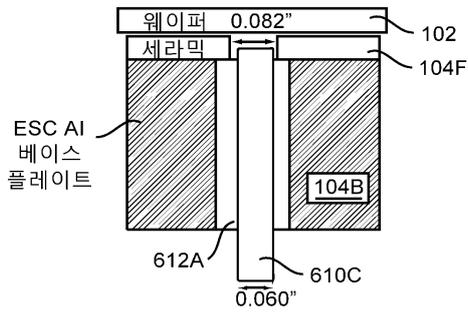


도면5c

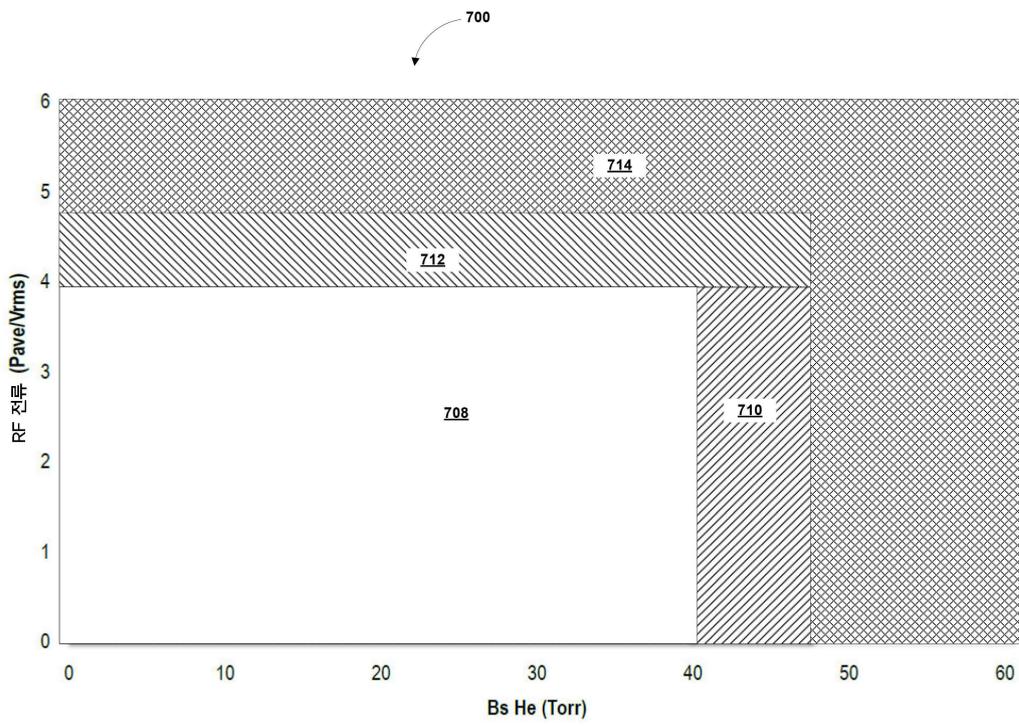




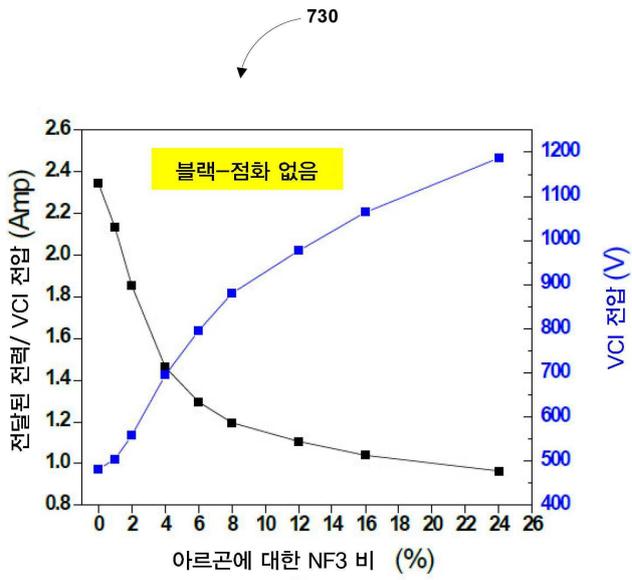
도면6d



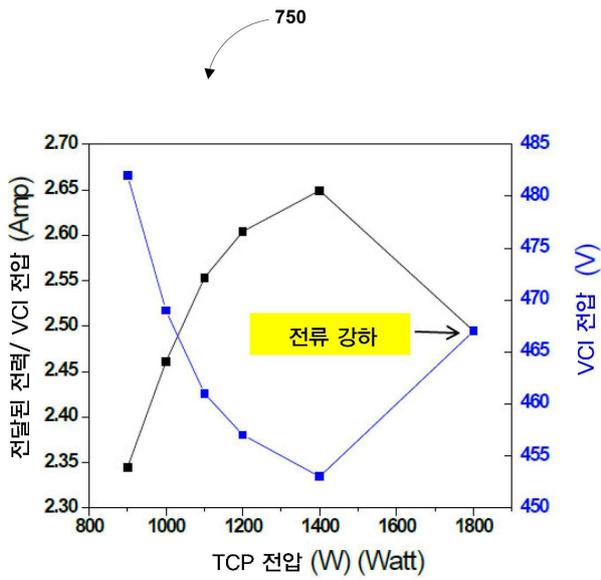
도면7a



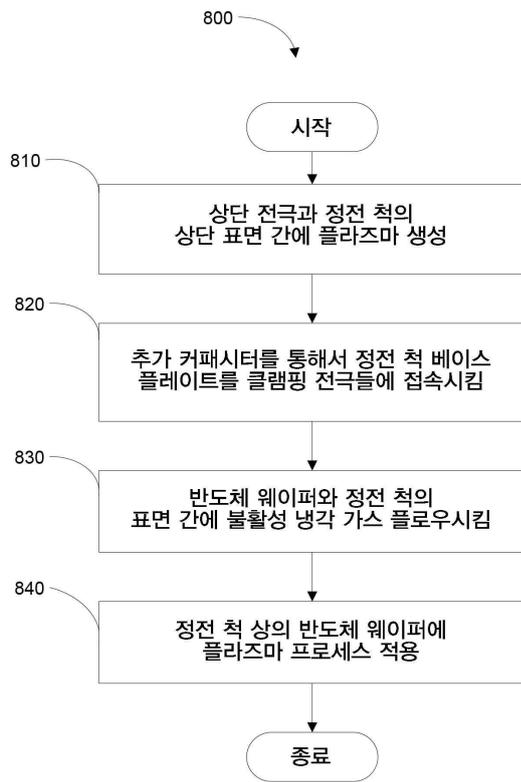
도면7b



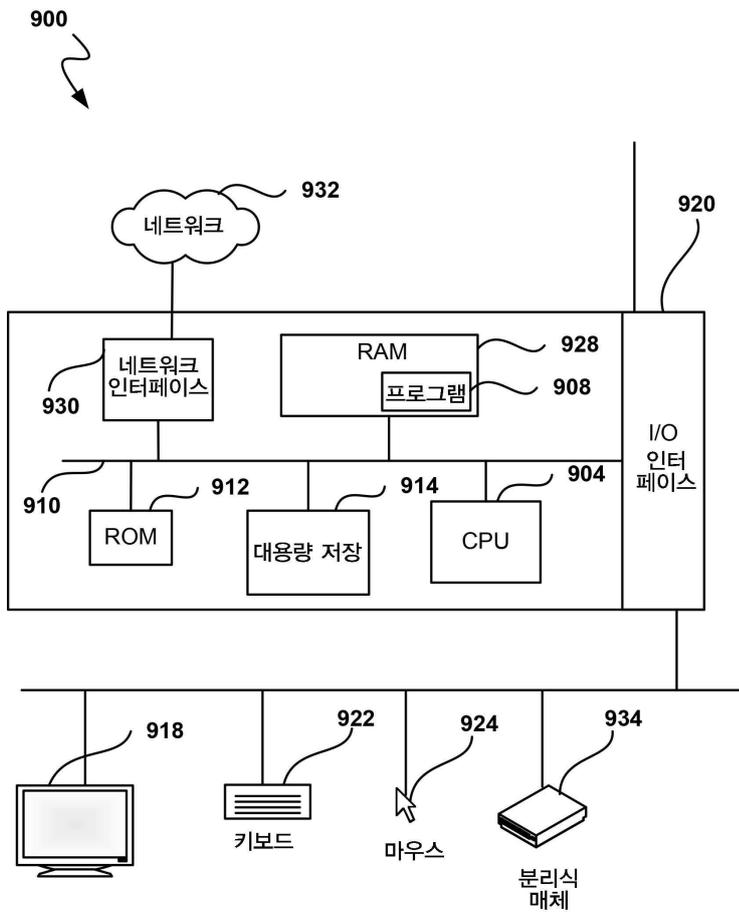
도면7c



도면8



도면9



도면10

