

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成25年2月14日(2013.2.14)

【公表番号】特表2012-516115(P2012-516115A)

【公表日】平成24年7月12日(2012.7.12)

【年通号数】公開・登録公報2012-027

【出願番号】特願2011-548006(P2011-548006)

【国際特許分類】

H 0 4 J 13/18 (2011.01)

【F I】

H 0 4 J 13/00 2 1 0

【手続補正書】

【提出日】平成24年12月20日(2012.12.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

図4の例に示されるように、ユーザデータストリーム203が、エンコーダ213に提供され、詳細には、ビットのシーケンス「11」、「01」、「01」、および「00」が、エンコーダに提供される(それぞれ、要素411、412、413および414)。(ビットは、説明のためにグループ分けされているが、読者は、そのエンコーダが、ビットをデータの連続したストリーム(例えば、「11101000」)で受け取ることができるということを理解するであろう。)例示的な実施形態では、2ビットごとに、シンボルマルチプレクサ216を直接制御するために使用される場合がある。より詳細には、例えば、データ203のストリームのエンコーダ213による処理は、結果として、第1に選択されるシンボル₁₁(「00111100」)と、これに続く、次のシンボル期間の際のシンボル₀₁(「00001111」)と、これに続く、後続のシンボル期間での、やはりシンボル₀₁と、シンボル₀₀(「00110011」)とになる場合がある。他の実施形態では、異なる符号化スキーム213が使用される場合がある。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

データビットが、マルチプレクサ216を直接制御するために使用される、示されたような実施形態では、エンコーダ213は、シリアルデータストリーム203を受け取り、適切なシンボルがクロックアウトされることを可能にするための時間の十分な期間(例えば、シンボル時間)の間、シリアルデータストリーム203の適切な数のビット(例えば、2)を保持するために、シフトレジスタ(図示せず)のような回路を含むことができる。エンコーダ213は、シンボルデータを実際にクロックアウトするチップクロック(図示せず)に同期させられ得る。この状況下では、シンボルデータをクロックアウトするステップは、順に、および一度に1ビットで、シンボル内の各ビット(例えば、ランダムにシャッフルされた行を有するアダマール行列からの列などの、ビットの行列の列内の各ビット)を送信するステップを含むことができる。

【手続補正3】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電子送信機デバイスで、電子受信機デバイスとの通信のために、複数の所定のデータ値の1つに対応する第1のデータ値を受け取るステップと、

その行がランダムに、または疑似ランダムにシャッフルされた $2^N \times 2^N$ アダマール行列の形をとるデータビットの行列から、前記第1のデータ値に関連するデータビットの列を特定するステップと、

データビットの前記行列の前記列の所望のサブセットに基づいてデータビットの前記特定された列を生成するステップであって、前記所望のサブセットにおける前記列のそれぞれは、データビットの前記行列において2の累乗の列インデックスを持ち、前記所望のサブセットは、データビットの前記行列の2つ以上の列を含み、前記所望のサブセットは、データビットの前記特定された列を含まないステップと、

前記電子受信機デバイスに、前記第1のデータ値の代わりに、データビットの前記特定された列を送信するステップと

を含む方法。

【請求項2】

前記電子受信機でデータを受信するステップと、

前記受信データをデータビットの前記特定された列に相関させるステップと、

前記電子受信機によるさらなる処理のために、前記第1のデータ値を提供するステップと
をさらに含む、請求項1に記載の方法。

【請求項3】

前記受信データをデータビットの前記特定された列に相関させるステップは、

前記受信データと、前記所定のデータ値の1つが関連する、データビットの前記行列内の各列との間の相関を計算するステップと、

前記受信データが、データビットの前記特定された列に最も強く相関されていることを判定するステップと

を含む、請求項2に記載の方法。

【請求項4】

計算するステップは、前記相関の符号を計算するステップを含み、判定するステップは、前記計算された符号に基づいて判定するステップを含む、請求項3に記載の方法。

【請求項5】

前記受信データをデータビットの前記特定された列に相関させるステップは、アダマール変換または高速アダマール変換を計算するステップを含む、請求項2に記載の方法。

【請求項6】

前記第1のデータ値が、前記電子受信機により、データビットの前記送信される列から、前記電子送信機デバイスにより送信される他のデータと区別して判定され得るように、前記第1のデータ値をデータビットの前記列に関連付けるステップをさらに含む、請求項1に記載の方法。

【請求項7】

データビットの前記特定された列を生成するステップは、データビットの前記行列からのビットの前記2つ以上の列に論理関数を適用するステップを含む、請求項1に記載の方法。

【請求項8】

前記論理関数を適用するステップは、ビット単位で、排他的OR関数を、前記2つ以上の列に適用するステップを含む、請求項7に記載の方法。

【請求項9】

データビットの前記特定された列を生成するステップは、データビットの前記行列の第 m の列を生成するステップを含み、前記論理関数を適用するステップは、ビット単位で、排他的OR関数を、その第 m の行が第1の所定の値に等しい値を有する、ビットの前記行列内のそれぞれの2の累乗の列に適用するステップを含む、請求項7に記載の方法。

【請求項10】

前記電子送信機デバイスおよび前記電子受信機デバイスのそれぞれに含まれるメモリデバイスに、2の累乗のインデックスを有するデータビットの前記行列の列に対応する $2^N \times N$ 行列を格納するステップをさらに含み、前記メモリデバイスに格納されたデータビットの前記行列の前記列の全ては、データビットの前記行列において2の累乗の列インデックスを持つ列である、請求項7に記載の方法。

【請求項11】

データビットの前記特定された列を送信するステップは、順に、および一度に1ビットで、前記特定された列に含まれる各ビットを送信するステップを含む、請求項1に記載の方法。

【請求項12】

前記所定のデータ値のそれぞれは、一定数の1つまたは複数のデータビットを有する、請求項1に記載の方法。

【請求項13】

電子送信機デバイスで、電子受信機デバイスとの通信のために、複数の所定のデータ値の1つに対応する第1のデータ値を受け取るステップと、

その行がランダムに、または疑似ランダムにシャッフルされた $2^N \times 2^N$ アダマール行列の形をとるデータビットの行列から、前記第1のデータ値に関連するデータビットの第 m の列を特定するステップと、

ビットの前記第 m の列を生成するステップであって、ビット単位で、排他的OR関数を、その第 m の行が第1の所定の値に等しい値を有する、ビットの前記行列からの、2つ以上の2の累乗の列に適用するステップを含むステップと、

前記電子受信機デバイスに、前記第1のデータ値の代わりに、データビットの前記動的に生成された第 m の列を送信するステップとを含む方法。

【請求項14】

データビットの前記 $2^N \times 2^N$ アダマール行列を、圧縮された $2^N \times N$ 行列で格納するステップをさらに含み、2の累乗の列インデックスを有するデータビットの前記行列の列のみが、前記電子送信機デバイスに格納される、請求項13に記載の方法。

【請求項15】

ビットの前記第 m の列を生成するステップは、その第 m の行が前記第1の値に等しい値を有する、前記圧縮された $2^N \times N$ 行列内の1つまたは複数の列を判定するステップと、ビット単位で、排他的OR関数を、前記1つまたは複数の列に適用するステップとを含む、請求項14に記載の方法。

【請求項16】

電子受信機と、

前記電子受信機との通信のために、複数の所定のデータ値の1つに対応する第1のデータ値を受け取る電子送信機とを備えるシステムであって、

前記電子送信機は、

その行がランダムに、または疑似ランダムにシャッフルされた $2^N \times 2^N$ アダマール行列の形をとるデータビットの行列から、前記第1のデータ値に関連するデータビットの列を特定し、

前記行列の前記列の所望のサブセットに基づいてデータビットの前記特定された列を生成し、前記所望のサブセットにおける前記列のそれぞれは、データビットの前記行列において2の累乗の列インデックスを持ち、前記所望のサブセットは、前記行列の2つ以上の

列を含み、前記所望のサブセットは、データビットの前記特定された列を含まず、

前記電子受信機デバイスに、前記第1のデータ値の代わりに、データビットの前記特定された列を送信し、

前記電子受信機は、データを受信し、前記受信データをデータビットの前記特定された列に相関させ、さらなる処理のために、前記電子受信機内の回路に前記第1のデータ値を提供するシステム。

【請求項17】

前記電子送信機は、データビットの前記 $2^N \times 2^N$ アダマール行列を、圧縮された $2^N \times N$ 行列で格納するメモリデバイスを備え、2の累乗の列インデックスを有するデータビットの前記行列の列のみが格納される、請求項16に記載のシステム。

【請求項18】

データビットの前記特定された列は、データビットの前記行列の第 m の列を含み、

前記電子送信機は、ビット単位で、排他的OR関数を、その第 m の行が第1の値を有する、圧縮された $2^N \times N$ 行列内の1つまたは複数の列に適用することにより、前記圧縮された $2^N \times N$ 行列から、第 m の列を生成するための回路をさらに備える、請求項16に記載のシステム。

【請求項19】

前記電子受信機は、前記受信データと、前記複数の所定のデータ値の中のデータ値が関連する、データビットの前記行列の対応する複数の列のそれぞれとの間の相関を計算する、複数の相関器を備える、請求項16に記載のシステム。

【請求項20】

前記電子受信機は、(a)データビットの前記行列からの前記対応する列のどれが、前記受信データとの最も強い計算された相関を有するかを判定し、(b)前記判定された対応する列に関連する、前記複数の所定のデータ値からのデータ値を出力する回路をさらに備える、請求項19に記載のシステム。

【請求項21】

電子受信機と、

前記電子受信機との通信のために、複数の所定のデータ値の1つに対応する第1のデータ値を受け取る電子送信機と
を備えるシステムであって、

前記送信機は、その行がランダムに、または疑似ランダムにシャッフルされた $2^N \times 2^N$ アダマール行列の形を有するデータビットの行列から、前記複数の所定のデータ値の1つに関連するデータビットの列を特定し、データビットの前記特定された列は、 $2^N \times 2^N$ アダマール行列の第 m の列であり、

前記送信機は、ビット単位で、排他的OR関数を、データビットの前記行列から2つ以上の入力列に適用することにより、第 m の列を生成し、前記2つ以上の入力列のそれぞれは、(i)ビットの前記行列において2の累乗の列インデックスと、(ii)第1の所定の値に等しい前記第 m の行における値と、を持ち、

前記送信機は、前記電子受信機デバイスに、前記第1のデータ値の代わりに、および前記第1のデータ値に基づいて、データビットの前記特定された列、または、データビットの前記特定された列の補数を送信し、

前記電子受信機は、データを受信し、前記受信データをデータビットの前記特定された列または前記補数に相関させ、さらなる処理のために、前記電子受信機内の回路に前記第1のデータ値を提供するシステム。

【請求項22】

データビットの前記行列の前記列の所望のサブセットに基づいてデータビットの前記特定された列を生成するステップは、

2の累乗の列を持っていないデータビットの前記行列における如何なる列も使用せずに、2の累乗の列インデックスを持つ列のみを含むデータビットの前記行列の前記列の所望のサブセットに基づいてデータビットの前記特定された列を生成するステップ、

を含む請求項1に記載の方法。

【請求項 2 3】

データビットの前記行列の前記列の所望のサブセットに基づいてデータビットの前記特定された列を生成するステップは、

2の累乗の列インデックスを持たないデータビットの前記行列から所望の列を生成するステップであって、

前記所望の列は、(i)標準アマダール行列における前記対応する列に関してすでにシャッフルされているデータビットの第1列であって、データビットの前記行列における第1の2の累乗の列インデックスを持っているデータビットの前記第1列と、(ii)標準アマダール行列における前記対応する列に関してすでにシャッフルされているデータビットの第2列であって、前記第1の2の累乗の列インデックスとは異なるデータビットの前記行列における第2の2の累乗の列インデックスを持っているデータビットの前記第2列と、を含む、ステップ

を含む請求項1に記載の方法。

【請求項 2 4】

データビットの前記行列の前記列の所望のサブセットに基づいてデータビットの前記特定された列を生成するステップは、

データビットの前記行列の所望の列が生成されるように第1の列インデックスを特定するステップと、

データビットの前記行列における2の累乗の列インデックスを持っているデータビットの前記列の中から、前記第1の列インデックスに等しい行インデックスを持つ行において所望の所定値を持つデータビットの各列を選択するステップと、

ビット単位で、排他的OR関数を、データビットの前記選択された列のそれぞれに、適用するステップと

を含む請求項1に記載の方法。

【請求項 2 5】

2の累乗のインデックスを有するデータビットの前記行列の列に対応する $2^N \times N$ 行列を格納するステップは、データビットの前記行列における2の累乗のインデックスを持つデータビットの前記行列からの列のみを有する $2^N \times N$ 行を格納するステップを含み、前記格納された列は、すでにランダムに、または疑似ランダムにシャッフルされている、請求項10に記載の方法。

【請求項 2 6】

ビットの前記第mの列を生成するステップであって、ビット単位で、排他的OR関数を、その第mの行が第1の所定の値に等しい値を有する、ビットの前記行列からの、2つ以上の2の累乗の列に適用するステップを含むステップは、

ビット単位で、前記排他的OR関数を、前記行列からの2の累乗の列のみを有するオペランドのセットに適用することによって、ビットの前記第m列を生成するステップであって、第mの行が第1の所定値と等しい値を持つように、前記ビットの前記第m列を生成するステップを含む、請求項13に記載の方法。

【手続補正 4】

【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正の内容】

【図 4】

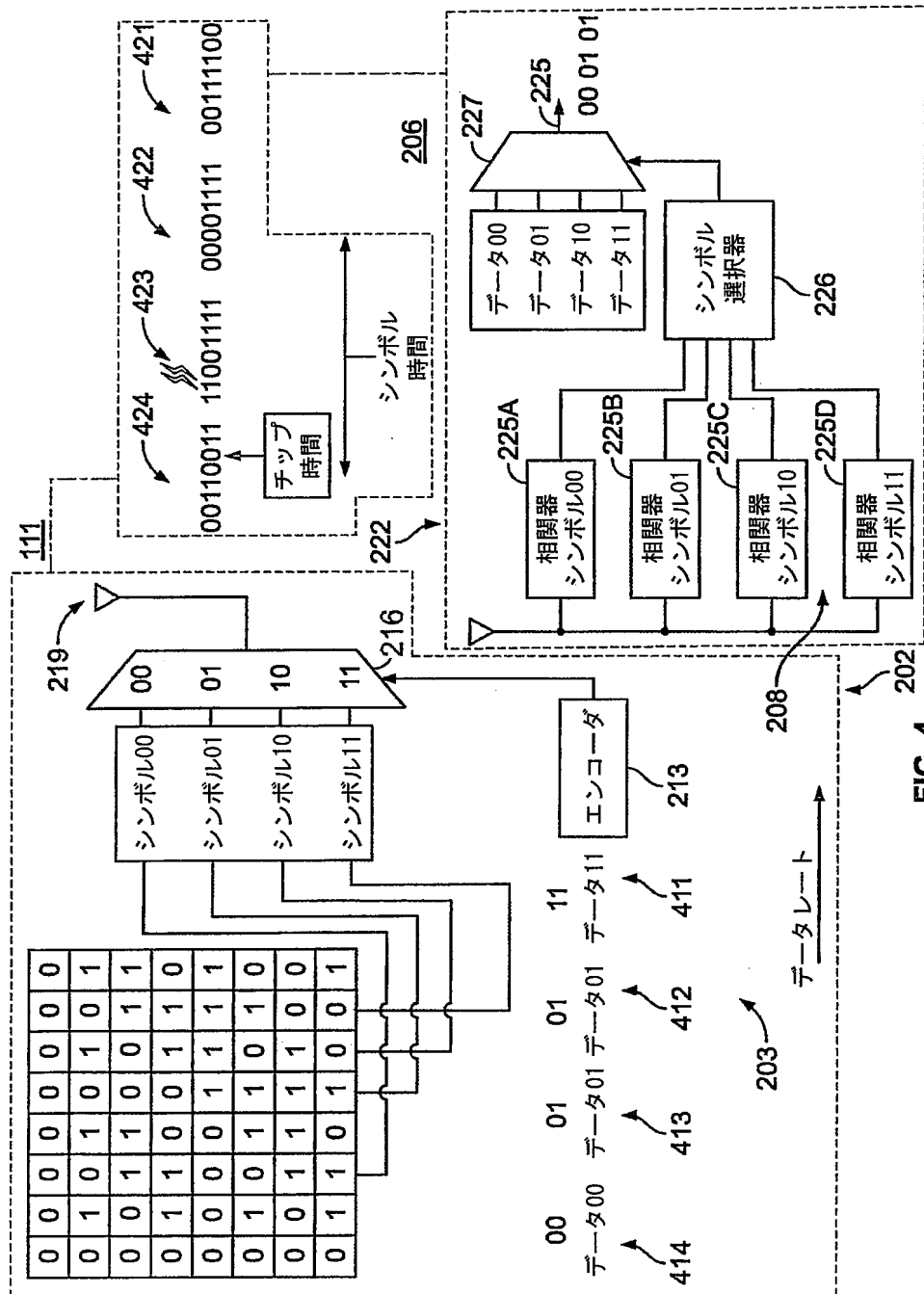


FIG. 4