

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)



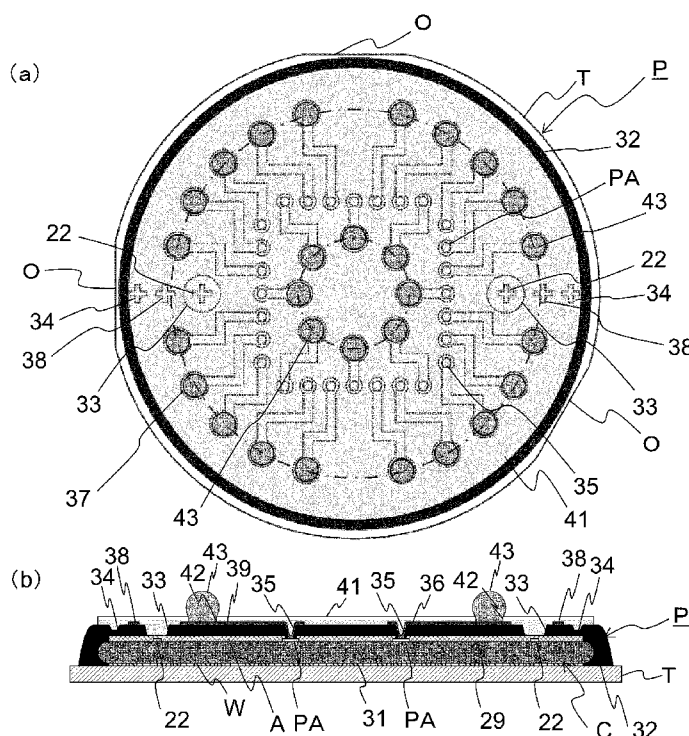
(10) 国際公開番号

WO 2018/181552 A1

- (51) 国際特許分類:
H01L 21/68 (2006.01) H01L 23/12 (2006.01) [JP/JP]; 〒1008921 東京都千代田区霞が関
1丁目3番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2018/012931 (72) 発明者: 原 史朗(HARA Shiro); 〒3058568 茨城
県つくば市梅園1-1-1 中央第2 国立
(22) 国際出願日: 2018年3月28日(28.03.2018) 研究開発法人産業技術総合研究所内 Ibaraki
(JP). クンプアン ソマワン(KHUMPUANG
(25) 国際出願の言語: 日本語 Sommawan); 〒3058568 茨城県つくば市梅園
1-1-1 中央第2 国立研究開発法人産
(26) 国際公開の言語: 日本語 業技術総合研究所内 Ibaraki (JP). 居村 史人
(30) 優先権データ: (IMURA Fumito); 〒3058568 茨城県つくば市
特願 2017-071402 2017年3月31日(31.03.2017) JP 梅園1-1-1 中央第2 国立研究開発法人
(71) 出願人: 国立研究開発法人産業技術総合研 産業技術総合研究所内 Ibaraki (JP).
- (74) 代理人: 特許業務法人 武和国際
特許事務所 (THE PATENT BODY CORPO-

(54) Title: SEMICONDUCTOR PACKAGE PRODUCTION METHOD USING ALIGNMENT MARK ON WAFER

(54) 発明の名称: ウェハ上のアライメントマークを用いる半導体パッケージの製造方法



(57) Abstract: The present invention provides: a semiconductor package production method, with which it is possible to accurately carry out positioning work that takes place until a wafer is mounted on a substrate to make a package; and a semiconductor package. In the present invention, after a wafer W is mounted on a package substrate T using a first alignment mark 22 and a D-cut O as references, a mold resin layer 32 is formed on the wafer W while the first alignment mark 22 is being exposed. A portion of the mold resin layer 32 is removed using the D-cut O that is exposed out of the



RATE TAKEWA INTERNATIONAL PATENT
OFFICE); 〒1050003 東京都港区西新橋
3丁目13番3号 ユニゾ西新橋三
丁目ビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

mold resin layer 32 as a reference so as to make the first alignment mark 22 visible. A second alignment mark 34 is formed on the mold resin layer 32 using the first alignment mark 22 as a reference. Then, using the second alignment mark 34 as a reference, a Cu re-wiring layer 39 conductive to a pad portion P is formed on the mold resin layer 32.

(57) 要約: ウェハを基板上に取り付けてパッケージするまでの位置合わせが精度良くできる半導体パッケージの製造方法および半導体パッケージを提供する。本発明は、第1のアライメントマーク22およびDカットOを基準としてパッケージ基板T上にウェハWを取り付けてから、第1のアライメントマーク22を露出させた状態でウェハW上にモールド樹脂層32を形成する。モールド樹脂層32から露出したDカットOを基準としてモールド樹脂層32の一部を除去して第1のアライメントマーク22を視認可能とする。第1のアライメントマーク22を基準として第2のアライメントマーク34をモールド樹脂層32上に形成する。第2のアライメントマーク34を基準として、パッド部Pに導通するCu再配線層39をモールド樹脂層32上に形成する。

明 細 書

発明の名称：

ウェハ上のアライメントマークを用いる半導体パッケージの製造方法

技術分野

[0001] 本発明は、ウェハを基板に取り付けてパッケージする半導体パッケージの製造方法および半導体パッケージに関する。

背景技術

[0002] 近年、半導体デバイスの製造ラインとして0.5インチサイズ（ハーフィンチサイズ）のウェハに1個のデバイスを作成することを基本とし、そのために製造工程を複数の単位処理装置で構成し、これら複数の単位処理装置をフローシップやジョブショップに再配置することを容易にすることで、超少量生産でかつ多品種生産に適切に対応できるようにしたミニマルファブシステム（minimal fabrication system）が提案されている（例えば、特許文献1参照。）。

[0003] ミニマルファブシステムにおいては、複数の単位処理装置を用いて0.5インチサイズ（外径12.5mmの円盤状）のウェハ上に半導体を製造したものを、同一外形形状を有する単位処理装置を用いて外径13.5mmの円盤状のパッケージ基板上に取り付けてパッケージングする前工程－後工程一体化システムが提案されている（例えば、特許文献2参照。）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2012／029775号

特許文献2：特願2014－240531号

発明の概要

発明が解決しようとする課題

[0005] 上述した特許文献2に記載の技術においては、ウェハ上に半導体を製造して半導体チップとするまでの、いわゆる前工程においては、ウェハ上に形成

したアライメントマークを用いて位置合わせを行っている。ところが、前工程にて製造した半導体チップをパッケージ基板に取り付けて半導体パッケージにするまでの、いわゆる後工程においては、ウェハ上に形成したアライメントマークがモールド樹脂層にて覆われてしまう。このため、半導体チップ上に電極層やはんだボール等を形成する際の位置合わせが容易ではない。

[0006] 本発明は、上述した従来技術における実状からなされたもので、その目的は、ウェハを基板上に取り付けてパッケージするまでの位置合わせが精度良くできる半導体パッケージの製造方法および半導体パッケージを提供することにある。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明は、上面に第1のアライメントマークおよびパッド部が形成されたウェハを、前記ウェハより大きな外形を有し外縁に位置決め用の位置決め部が形成された基板上にパッケージする半導体パッケージの製造方法であって、前記第1のアライメントマークおよび前記位置決め部を基準として、前記基板上に前記ウェハを取り付ける取付工程と、前記位置決め部を露出させた状態で前記ウェハ上に樹脂層を形成する樹脂層形成工程と、前記樹脂層から露出する前記位置決め部を基準として、前記樹脂層の一部を除去することにより、前記第1のアライメントマークを視認可能とする除去工程と、前記第1のアライメントマークを基準として、前記樹脂層上に第2のアライメントマークを形成するマーク形成工程と、前記第2のアライメントマークを基準として、前記パッド部に導通する配線パターンを前記樹脂層上に形成する配線パターン形成工程と、を具備することを特徴とする半導体パッケージの製造方法とした。

[0008] このように構成された本発明によれば、ウェハ上を覆う樹脂層の一部を除去して第1のアライメントマークを視認可能としているため、樹脂層を形成する前の状態でウェハ上に形成されている第1のアライメントマークを基準として、樹脂層上に第2のアライメントマークを精度良く形成することができる。そして、この精度良く形成された第2のアライメントマークを基準と

して、パッド部に導通する配線パターンを樹脂層上に形成することができるので、ウェハを基板上に取り付けてパッケージするまでの位置合わせを精度良く行うことができる。

[0009] また、上記目的を達成するために、本発明は、前記配線パターン形成工程が、前記第1のアライメントマークを基準として、前記パッド部を露出させるコンタクトホールを前記樹脂層に形成してから、前記第2のアライメントマークを基準として、前記コンタクトホールを介して前記パッド部に導通する前記配線パターンを形成することを特徴とする半導体パッケージの製造方法とした。

[0010] このように構成された本発明は、第1のアライメントマークを基準として、パッド部を露出させるコンタクトホールを樹脂層に形成しているため、このコンタクトホールを形成する工程と、第2のアライメントマークを形成する工程とを、同一の第1のアライメントマークを基準として、同一の工程で行うことができる。よって、これらコンタクトホールおよび第2のアライメントマークを形成する工程を簡略化することができる。また、同一の第1のアライメントマークを基準として第2のアライメントマークおよびコンタクトホールのそれぞれを形成することができるため、第2のアライメントマークとコンタクトホールとの位置関係を精度良くできる。

[0011] また、上記目的を達成するために、本発明は、前記マーク形成工程および前記配線パターン形成工程が、レーザ光を用いて前記第2のアライメントマークおよび前記コンタクトホールを形成することを特徴とする半導体パッケージの製造方法とした。

[0012] このように構成された本発明は、第2のアライメントマークおよびコンタクトホールの形成のそれぞれをレーザ光を用いて行なうため、第1のアライメントマークを基準とした樹脂層上を走査する一度のレーザ光の照射工程で、第2のアライメントマークとコンタクトホールとを形成することができる。

[0013] また、上記目的を達成するために、本発明は、前記基板が円盤状で、前記

位置決め部が前記基板の外周の一部を直線状にカットして形成されていることを特徴とする半導体パッケージの製造方法とした。

[0014] このように構成された本発明は、円盤状の基板の外周の一部を直線状にカットして形成した位置決め部としているため、基板上にウェハを取り付ける際に、ウェハより外側に位置決め部が確実に位置するようになる。よって、位置決め部および第１のアライメントマークを基準としたウェハと基板との位置合わせを精度良く行うことができる。

[0015] また、上記目的を達成するために、本発明は、前記ウェハが外径１２．５ｍｍの円盤状で、前記基板が外径１３．５ｍｍの円盤状であることを特徴とする半導体パッケージの製造方法とした。

[0016] このように構成された本発明は、ウェハを外径１２．５ｍｍの円盤状とし、基板を外径１３．５ｍｍの円盤状とすることにより、いわゆるミニマルファブシステムに用いられるウェハおよび基板となる。

[0017] また、上記目的を達成するために、本発明は、上面に第１のアライメントマークおよびパッド部が形成されベース基板上に設置された複数のウェハを、前記ベース基板より大きな外形を有し外縁に位置決め用の位置決め部が形成された基板上にパッケージする半導体パッケージの製造方法であって、前記複数のウェハのうちの少なくともいずれか一つの前記ウェハの第１のアライメントマークおよび前記位置決め部を基準として、前記基板上に前記複数のウェハを取り付ける取付工程と、前記位置決め部を露出させた状態で前記複数のウェハ上に樹脂層を形成する樹脂層形成工程と、前記樹脂層から露出する前記位置決め部を基準として、前記樹脂層の一部を除去することにより、前記複数のウェハのうちの少なくともいずれか一つの前記ウェハの第１のアライメントマークを視認可能とする除去工程と、前記第１のアライメントマークを基準として、前記樹脂層上に第２のアライメントマークを形成するマーク形成工程と、前記第２のアライメントマークを基準として、前記パッド部に導通する配線パターンを前記樹脂層上に形成する配線パターン形成工程と、を具備することを特徴とする半導体パッケージの製造方法とした。

[0018] このように構成された本発明によれば、ベース基板上の少なくともいずれか一つのウェハ上を覆う樹脂層の一部を除去して第1のアライメントマークを視認可能としているため、樹脂層を形成する前の状態でいずれか一つのウェハ上に形成されている第1のアライメントマークのみを基準として、樹脂層上に第2のアライメントマークを精度良く形成することができる。そして、この精度良く形成された第2のアライメントマークを基準として、パッド部に導通する配線パターンを樹脂層上に形成することができるので、複数のウェハを基板上に取り付けてパッケージするまでの位置合わせを精度良く行うことができる。

[0019] また、上記目的を達成するために、本発明は、パッド部を備えたウェハと、前記ウェハの上面に形成された第1のアライメントマークと、位置決め用の位置決め部を外縁に備え、前記ウェハが上面にパッケージされ、前記ウェハより大きな外形の基板と、前記位置決め部が露出し前記第1のアライメントマークを視認可能な状態として前記ウェハ上に形成された樹脂層と、前記樹脂層上に形成された第2のアライメントマークと、前記樹脂層上に形成され前記パッド部に導通する配線パターンと、を具備することを特徴とする半導体パッケージとした。

[0020] このように構成された本発明によれば、第1のアライメントマークを視認可能な状態としてウェハ上に樹脂層が形成されているため、樹脂層を形成する前の状態でウェハ上に形成されている第1のアライメントマークを基準として、樹脂層上に第2のアライメントマークを精度良く形成することができる。そして、この精度良く形成された第2のアライメントマークを基準として、パッド部に導通する配線パターンを樹脂層上に形成することができるので、ウェハを基板上に取り付けてパッケージするまでの位置合わせを精度良く行うことができる。

[0021] また、上記目的を達成するために、本発明は、パッド部を備えたベース基板と、前記ベース基板の上面に形成された第1のアライメントマークと、前記ベース基板上に設置された複数のウェハと、位置決め用の位置決め部を外

縁に備え、前記複数のウェハが上面にパッケージされ、前記ベース基板より大きな外形の基板と、前記位置決め部が露出し前記複数のウェハのうちの少なくともいずれか一つの前記ウェハの前記第1のアライメントマークを視認可能な状態として前記複数のウェハ上に形成された樹脂層と、前記樹脂層上に形成された第2のアライメントマークと、前記樹脂層上に形成され前記パッド部に導通する配線パターンと、を具備することを特徴とする半導体パッケージとした。

[0022] このように構成された本発明によれば、複数のウェハのうちの少なくともいずれか一つのウェハの第1のアライメントマークを視認可能な状態として複数のウェハ上に樹脂層を形成しているため、樹脂層を形成する前の状態でいずれか一つのウェハ上に形成されている第1のアライメントマークのみを基準として、樹脂層上に第2のアライメントマークを精度良く形成することができる。そして、この精度良く形成された第2のアライメントマークを基準として、パッド部に導通する配線パターンを樹脂層上に形成することができるので、複数のウェハを基板上に取り付けてパッケージするまでの位置合わせを精度良く行うことができる。

発明の効果

[0023] 本発明によれば、ウェハ上を覆う樹脂層の一部を除去して第1のアライメントマークを視認可能としているため、ウェハ上の第1のアライメントマークを基準として樹脂層上に第2のアライメントマークを精度良く形成でき、この精度良く形成された第2のアライメントマークを基準として配線パターンを樹脂層上に形成できるので、ウェハを基板上に取り付けてパッケージするまでの位置合わせを精度良くできる。

図面の簡単な説明

[0024] [図1]本発明の第1の実施形態に係る半導体パッケージの製造方法に用いられる単位処理装置の外観図である。

[図2]上記単位処理装置にて行う前工程用および後工程用の単位処理装置を示す模式図である。

[図3]上記半導体パッケージの製造方法に用いられるウェハ上に半導体を製造する製造工程を示す工程図で、（a）はアライメントマーク形成、（b）はソース・ドレイン形成、（c）はゲート酸化膜形成、（d）は電極形成である。

[図4]上記ウェハパッケージ方法に用いられるウェハを示す図で、（a）は断面図、（b）は平面図である。

[図5]上記ウェハパッケージ方法に用いられる基板を示す図で、（a）は断面図、（b）は平面図である。

[図6]上記ウェハパッケージ方法におけるダイボンディング工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図7]上記ウェハパッケージ方法における圧縮モールド成形工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図8]上記ウェハパッケージ方法における第1のレーザアブレーション工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図9]上記ウェハパッケージ方法における第2のレーザアブレーション工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図10]上記ウェハパッケージ方法における第3のレーザアブレーション工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図11]上記ウェハパッケージ方法におけるCuスパッタ工程およびCu電解めっき工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図12]上記ウェハパッケージ方法のフォトリソグラフィ工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図13]上記ウェハパッケージ方法のCuウェットエッチング工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図14]上記ウェハパッケージ方法のソルダレジスト塗布工程およびパターンニング工程後の状態を示す図で、（a）は断面図、（b）は平面図である。

[図15]上記ウェハパッケージ方法のはんだボールを搭載した状態を示す図で、（a）は断面図、（b）は平面図である。

[図16]本発明の第2の実施形態に係るウェハパッケージ方法に用いられるウェハを示す平面図である。

[図17]上記ウェハパッケージ方法における第1のレーザアブレーション工程後の状態を示す平面図である。

[図18]本発明の第3の実施形態に係るウェハパッケージ方法に用いられるウェハを示す平面図である。

[図19]上記ウェハパッケージ方法における第1のレーザアブレーション工程後の状態を示す平面図である。

[図20]本発明の第4の実施形態に係るウェハパッケージ方法における第1のレーザアブレーション工程後の状態を示す平面図である。

発明を実施するための形態

[0025] 以下、本発明の実施形態を図に基づいて説明する。

[0026] [第1の実施形態]

本発明の第1の実施形態に係る半導体パッケージの製造方法に用いる半導体製造システム1は、図2に示すように、ウェハW上に半導体Aを製造するための半導体チップ製造装置3を構成する前工程用の単位処理装置群4と、半導体チップ製造装置3にて製造された半導体チップCをウェハWより大きなパッケージ基板Tに取り付けてパッケージして半導体パッケージPとする半導体パッケージ装置5を構成する後工程用の単位処理装置群6とで構成されている。これら前工程用および後工程の単位処理装置群4、6は、図1および図2に示すように、ミニマルファブ (minimal fabrication) 構想に基づく複数の単位処理装置10にて構成されている。ここで、ミニマルファブ構想とは、多品種少量という半導体製造市場に最適なもので省資源・省エネルギー・省投資・高性能な多様なファブに対応でき、例えば特開2012-54414号公報に記載の生産をミニマル化させるミニマル生産システムを実現させるものである。

[0027] 各単位処理装置10は、予め規格された大きさの筐体2を備えている。筐体2は、図1に示すように、幅(x)0.30m×奥行(y)0.45m×

高さ（ z ）1.44 mの大きさに統一された上下方向に長い略直方体状であって、内部への微粒子およびガス分子のそれぞれの侵入を遮断する構造とされている。また、筐体2は、上側の装置上部2aと下側の装置下部2bとで構成されている。

[0028] 装置上部2aには、図2に示すように、ウェハWを処理するための種々の処理装置本体11が收容されている。処理装置本体11としては、エッチング、露光、現像等のウェハW上に半導体Aを製造するために必要な一つの処理工程を行うことが可能な構造や、半導体チップCをパッケージして半導体パッケージPにするまでに必要な一つの処理工程を行うことが可能な構成とされている。

[0029] 装置上部2aの上下方向の中間部は、この装置上部2aの正面側が凹状に切り欠かれた側面視凹状の形状とされている。装置上部2aの上側の正面側には、操作パネル2cが取り付けられている。装置上部2aの下側の部分は、ウェハWを筐体2内に搬入させる前室2dとされている。前室2dの上面の略中央部には、搬送容器としてのシャトル7、8を設置するためのシャトル收容部としての略円形状のドッキングポート2eが設けられている。

[0030] 前室2dは、筐体2内への微粒子およびガス分子のそれぞれを遮断する構成とされている。すなわち、前室2dには、シャトル7、8内に收容されているウェハW・半導体チップC・パッケージ基板T等を外気に曝す等することなく筐体2内へ出し入れできるようにする搬送装置としてのPLAD（Particle Lock Air-tight Docking）システム9が收容されている。PLADシステム9は、ミニマルファブ構想に適合させたすべての単位処理装置10に共通な機構および形状とされている。

[0031] 装置下部2bには、処理装置本体11での処理に用いられる種々のユニットが收容されている。このユニットは、装置上部2a内の処理装置本体11を制御する制御装置や、処理装置本体11にて用いる薬液タンク、排液タンク等にて構成されている。また、装置下部2bには、筐体2を支持するための支持部mが設けられている。

[0032] <前工程用の単位処理装置群>

前工程用の単位処理装置群4は、ミニマルファブ構想において規格された所定の大きさのウェハWの表面に半導体Aを製造して半導体チップCとするまでの複数の単位処理装置10にて構成されている。また、前工程用の単位処理装置群4は、ウェハWの表面に製造する半導体Aの種類等に応じ、処理工程が異なる複数の単位処理装置10Aにて構成されている。

[0033] これら単位処理装置10Aにて処理するウェハWは、例えば外径12.5mm（ハーフインチサイズ：0.5インチ）の円盤状の平坦な表面を有し、単結晶シリコン（Si）にて構成された厚さ0.25mmの円盤状、例えばn型Si基板である。各ウェハWは、ウェハ搬送用の第1搬送容器であるシャトル7内に一枚ずつ収納される。

[0034] また、各ウェハWは、各単位処理装置10Aのドッキングポート2eにシャトル7を嵌合させて各単位処理装置10Aの処理を開始させることにより、シャトル7内に収容されたウェハWがPLADシステム9にてシャトル7内から取り出され処理装置本体11内の所定位置へ搬入される。各処理装置本体11にて処理が行われた後のウェハWは、PLADシステム9にてシャトル7内へ搬出される。そして、ウェハWは、表面に製造する半導体Aのレシピに従って次工程の単位処理装置10Aまで搬送される。

[0035] <後工程用の単位処理装置群>

後工程用の単位処理装置群6は、前工程用の単位処理装置群4にて製造された半導体チップCをパッケージして半導体パッケージPとするまでの複数の単位処理装置10にて構成されている。そして、後工程用の単位処理装置群6は、半導体チップCの種類およびパッケージの種類等に応じ、処理工程が異なる複数の単位処理装置10Bにて構成されている。

[0036] これら単位処理装置10Bによるパッケージは、例えば外径13.5mmの円盤状のパッケージ基板T上に半導体チップCを取り付けて行う。各パッケージ基板Tは、パッケージ基板Tまたはパッケージ基板Tが取り付けられた半導体チップCを搬送するための後工程用の第2搬送容器であるシャトル

8内に一枚ずつ収納される。

[0037] また、パッケージ基板Tは、後工程用の各単位処理装置10Bのドッキングポート2eにシャトルを嵌合させて各単位処理装置10Bの処理を開始させることにより、このシャトル8内に収容されたパッケージ基板Tがシャトル8内から取り出されPLADシステム9により処理装置本体11内の所定位置へ搬入される。各処理装置本体11にて処理が行われた後のパッケージ基板Tは、PLADシステム9によりシャトル8内へ搬出される。半導体チップCおよびパッケージ基板Tは、半導体チップCをパッケージして半導体パッケージPとするまでのレシピに従って次工程の単位処理装置10Bまで搬送される。

[0038] さらに、後工程用の各単位処理装置10Bは、その処理に応じて処理装置本体11が異なるものの、その他の筐体2、操作パネル2c、ドッキングポート2eおよびPLADシステム9等は、前工程用の単位処理装置10Aと同一に構成されている。

[0039] <前工程での半導体チップ製造>

次に、前工程用の単位処理装置群4による半導体チップCの製造方法について、図2および図3を参照して説明する。

[0040] (ウェハ初期洗浄)

まず、図2に示すように、前工程用の単位処理装置群4のうちの所定の単位処理装置10Aを用いてウェハWをSPM洗浄してから、この単位処理装置10Aに隣接して設置されている他の単位処理装置10AにてRCA洗浄を行う。

[0041] このとき、ウェハWは、前工程用のシャトル7内に収納した状態で、所定の単位処理装置10Aのドッキングポート2eに嵌合させて位置決め保持される。そして、この単位処理装置10Aによる処理を開始することによって、シャトル7内からPLADシステム9内へ搬入される。この後、ウェハWは、PLADシステム9にて処理装置本体11の所定位置へ搬送される。この単位処理装置10Aによる所定の処理が行われた後、処理装置本体11の

所定位置に設置されたウェハWは、PLADシステム9によってシャトル7内へ搬送されて保持される。そして、ドッキングポート2eからシャトル7を取り外すことによって、所定の処理が行われた後のウェハWをシャトル7に収納した状態で単位処理装置10Aから取り出すことができる。さらに、このシャトル7を次工程の単位処理装置10Aのドッキングポート2eに嵌合させ、この単位処理装置10Aによる次工程を行う。

[0042] (アライメントマーク形成)

RCA洗浄した後のウェハWは、その上面である表面にドライエッチング用のレジスト液を塗布してから露光する。その後、図3(a)に示すように、ウェハWを現像してフォトリソ21を形成してパターニングしてからSiドライエッチングを行い、第1のアライメントマーク22をウェハWの表面に形成する。この後、ウェハW上のフォトリソ21の除去を行う。

[0043] (ソース・ドレイン不純物拡散領域形成)

第1のアライメントマーク22を形成したウェハWは、洗浄してからドライ酸化する。その後、ウェハWの表面にウェットエッチング用のレジスト液を塗布してから露光した後に現像して、このウェハWの表面に所定のレジストパターンを形成する。次いで、図3(b)に示すように、このウェハWを熱酸化膜ウェットエッチングしてSiO₂層23を形成する。この後、ウェハW上のレジストを除去してから洗浄した後に不純物拡散剤24を塗布する。そして、不純物拡散剤24を塗布したウェハWを加熱処理して不純物拡散を行いソース・ドレイン不純物拡散領域となる拡散領域p+25を形成してからウェットエッチングを行い不純物拡散剤24の除去を行う。

[0044] (ゲート酸化膜形成)

次いで、ソース・ドレイン不純物拡散領域を形成したウェハWを洗浄してからドライ酸化して、図3(c)に示すように、ウェハWの表面にSiO₂からなるゲート酸化膜26を形成する。

[0045] (ゲート、ソース・ドレインコンタクト形成)

ゲート酸化膜26を形成したウェハWの表面にウェットエッチング用のレ

ジスト液を塗布してから露光した後に現像して、このウェハWの表面にレジストパターンを形成してから熱酸化膜ウェットエッチングを行う。この後、図3（d）に示すように、ウェハW上のレジストを除去しゲートおよびソースまたはドレイン間のコンタクトホール27を形成する。

[0046] （A1電極形成）

コンタクトホール27を形成したウェハWは、洗浄してからアルミニウム（A1）をスパッタリングして、例えば1 μ m以下の膜厚のA1層28をウェハWの表面に成膜する。その後、ウェハWの表面に、ウェットエッチング用のレジスト液を塗布してから露光した後に現像して、A1層28の表面に所定のレジストパターンを形成する。次いで、A1ウェットエッチングを行い、ゲート電極G、ソース電極Sおよびドレイン電極Dを形成してから、ウェハW上のレジストをO₂プラズマアッシングにて除去する。その後、これらゲート電極G、ソース電極Sおよびドレイン電極Dを形成したウェハWをH₂にて焼成処理してH₂シンタリングする。このとき、これらゲート電極G、ソース電極Sおよびドレイン電極Dとともに、A1層28のパターニングによって第1のアライメントマーク22が視認可能となる。

[0047] （パッシベーション膜形成）

この後、図4（a）および図4（b）に示すように、例えばSiN等の保護膜であるパッシベーション膜29をゲート酸化膜26上に形成することによって、ウェハWの表面に半導体Aを形成した外径ハーフィンチサイズの半導体チップCとなる。パッシベーション膜29は、ゲート電極G、ソース電極Sおよびドレイン電極Dの一部が露出するようにゲート酸化膜26上に設けられている。そして、パッシベーション膜29から露出しているゲート電極G、ソース電極Sおよびドレイン電極Dの一部がパッド部PAとなる。各パッド部PAは、図4（b）に示すように、半導体チップCの上面において略正形状となるように等間隔に離間されて配置されている。なお、第1のアライメントマーク22は、図3（d）に示すように、ウェハWに凹状に形成しているが、図4（b）においては、模式的にウェハ上に図示している。

[0048] <後工程での半導体パッケージ製造>

次に、後工程用の単位処理装置群6による半導体パッケージの製造方法（ウェハパッケージ方法）について、図2、図5～図14を参照して説明する。

[0049] （パッケージ基板）

パッケージ基板Tは、図5（a）および図5（b）に示すように、ウェハWより大きな外形、例えば外径13.5mm、厚さ0.2mmの円盤状の鉄ニッケル合金（42アロイ）製である。パッケージ基板Tの外縁である外周には、位置決め用の位置決め部としてのDカットOが3か所ほど形成されている。これらDカットOは、パッケージ基板Tの外周の一部を直線状にカットしたオリフラ（オリエンテーション・フラット：orientation flat）である。また、これらDカットOは、パッケージ基板Tの表面と裏面とを識別することができるように、パッケージ基板Tの中心位置を基準として90°の角度を成した位置のそれぞれと、これらいずれか一方のDカットOの中心位置からパッケージ基板Tの中心位置を基準として120°の角度を成した位置とに形成されている。

[0050] （ダイアタッチ：ダイボンド）

そして、図2に示すように、後工程用の単位処理装置10のうちの所定の単位処理装置10Bを用い、図6（b）に示すように、パッケージ基板Tの表面に、接着する手段としてAgペースト31を塗布する。この状態で、半導体チップCの半導体Aを形成した側を上側に向けた状態とし、この半導体チップCの下面をAgペースト31上に載置して貼り合わせる。このとき、図6（a）に示すように、パッケージ基板TのDカットOと、半導体チップCの第1のアライメントマーク22とを基準として、これらパッケージ基板Tと半導体チップCとのX、Y、θ方向における位置合わせを行う。その後、貼り合せたパッケージ基板Tおよび半導体チップCを加熱してAgペースト31を硬化してパッケージ基板T上に半導体チップCを接合する（取付工程）。

[0051] このとき、半導体チップCは、図2に示すように、前工程用のシャトル7内に収納した状態で、所定の後工程用の単位処理装置10Bのドッキングポート2eに嵌合させる。この状態で、この単位処理装置10Bによる処理を開始することによって、シャトル7内から半導体チップCが取り出され、この単位処理装置10Bの処理装置本体11の所定位置へ搬送される。この後、この単位処理装置10Bのドッキングポート2eに、パッケージ基板Tを収容した後工程用のシャトル8を嵌合させ、この単位処理装置10Bによる処理を開始することによって、シャトル8内からパッケージ基板Tが取り出され、すでに半導体チップCが搬送されている単位処理装置10Bの処理装置本体11の所定位置へパッケージ基板Tが搬送される。

[0052] そして、この単位処理装置10Bにおいて、半導体チップCを表面に接着したパッケージ基板Tは、この単位処理装置10Bの処理装置本体11の所定位置からPLADシステム9にて搬出され、ドッキングポート2eに嵌合させたシャトル8内に収容される。その後、この単位処理装置10Bのドッキングポート2eからシャトル8を取り外してから、このシャトル8を次工程の単位処理装置10Bのドッキングポート2eに嵌合させる。なお、以降の後工程においては、各単位処理装置10Bにて処理した後のパッケージ基板Tを後工程用のシャトル8を用いて次工程の単位処理装置10Bへ受け渡していく。

[0053] (圧縮モールド成形)

パッケージ基板T上に接合した半導体チップCを取り囲み、かつ各DカットOが露出するように、半導体チップCの表面にモールド樹脂を滴下して塗布した後、このモールド樹脂を塗布したパッケージ基板Tおよび半導体チップCを、図示しない金型内に入れて加圧しつつ加熱してモールド樹脂を硬化して、図7(a)および図7(b)に示すように、例えば外径12.8mm、膜厚0.1mmのモールド樹脂層32を形成する(樹脂層形成工程)。モールド樹脂層32は、半導体チップCの側面や半導体チップCの表面に露出しているパッド部PAのそれぞれを完全に覆っている。また、モールド樹脂

層 3 2 は、各 D カット O を露出させているものの、半導体チップ C の表面に視認可能に形成した第 1 のアライメントマーク 2 2 上やパッド部 P A 上を覆っており、これら第 1 のアライメントマーク 2 2 およびパッド部 P A を視認できない状態としている。

[0054] (第 1 のレーザアブレーション：レーザビア)

モールド樹脂層 3 2 から露出している D カット O を基準として、予め作成した C A D データとの X, Y, θ 方向における位置合わせ (アライメント) を行い、半導体チップ C の表面のモールド樹脂層 3 2 のうちの第 1 のアライメントマーク 2 2 付近上を覆うモールド樹脂層 3 2 を除去するレーザアブレーションを行う (除去工程)。このとき、図 8 (a) および図 8 (b) に示すように、半導体チップ C の表面の各第 1 のアライメントマーク 2 2 が確実に視認可能となるように、各第 1 のアライメントマーク 2 2 の外形よりもある程度広い範囲のモールド樹脂層 3 2 の一部を除去するパターニングとする。すると、半導体チップ C の表面の第 1 のアライメントマーク 2 2 上を覆うモールド樹脂層 3 2 を除去したスルーホール 3 3 が形成され、これらスルーホール 3 3 によって半導体チップ C の表面側から第 1 のアライメントマーク 2 2 が視認可能な状態となる。

[0055] (第 2 のレーザアブレーション：レーザビア)

次いで、視認可能となった第 1 のアライメントマーク 2 2 を基準として、予め作成した C A D データとの X, Y, θ 方向における位置合わせを行い、図 9 (a) および図 9 (b) に示すように、半導体チップ C の表面のモールド樹脂層 3 2 に第 2 のアライメントマーク 3 4 を形成するためのレーザアブレーションを行う (マーク形成工程)。第 2 のアライメントマーク 3 4 は、第 1 のアライメントマーク 2 2 を基準として位置合わせを行っているため、D カット O を基準に位置合わせを行なう場合に比べ、精度良く形成することができる。

[0056] また、第 2 のアライメントマーク 3 4 は、半導体チップ C の中心位置を基準として第 1 のアライメントマーク 2 2 よりも半導体チップ C の外側の位置

に形成されている。なお、第1のアライメントマーク22は、モールド樹脂層32の一部を除去して視認可能としているため、本工程以降のプロセス、例えば成膜工程やエッチング工程等において視認できなくなる可能性がある。しかしながら、第2のアライメントマーク34は、モールド樹脂層32の一部を除去してモールド樹脂層32自体に形成しているため、本工程以降のプロセスにおいて、視認できなくなる可能性が低い。

[0057] (第3のレーザアブレーション：レーザビア)

視認可能となった第1のアライメントマーク22を基準として、予め作成したCADデータとのX, Y, θ 方向における位置合わせを行い、図10(a)および図10(b)に示すように、半導体チップCの表面のモールド樹脂層32のうちのパッド部PA上の一部のモールド樹脂層32を除去して露出するレーザアブレーションを行う。この結果、半導体チップCの表面の各パッド部PAは、モールド樹脂層32の一部を除去して形成したコンタクトホール35によって、半導体チップCの表面側に露出した状態となる。また、コンタクトホール35は、図10(b)に示すように、平面視略正形状となるように所定の間隔を空けて形成されている(コンタクトホール形成工程)。

[0058] ここで、第2および第3のレーザアブレーションは、それぞれ第1のアライメントマーク22を基準に位置合わせを行うため、一度のレーザビア加工で同時に行っても良く、第3のレーザアブレーションの後に第2のレーザアブレーションを行っても良い。

[0059] (デスマリア処理)

次いで、各コンタクトホール35によってパッド部PAの一部を露出した半導体チップCの表面を、CCPドライエッチングしてプラズマ清浄(デスマリア加工)を行う。

[0060] (銅めっきシード層形成)

この後、半導体チップCの表面に銅(Cu)をスパッタリングし半導体チップCの表面全体を覆う、例えば0.1 μm の膜厚のCuスパッタ膜を形成

する。このCuスパッタ膜は、半導体チップC上の第1および第2のアライメントマーク22、34の側面、スルーホール33にて視認可能な第1のアライメントマーク22上、コンタクトホール35にて露出したパッド部PA上、および第2のアライメントマーク34上のそれぞれを覆っている。よって、Cuスパッタ膜は、コンタクトホール35を介して各パッド部PAに電氣的に導通している。

[0061] (銅電解めっき)

さらに、Cuスパッタ膜を形成した半導体チップCの表面をCu電解めっきして、図11(a)および図11(b)に示すように、例えば3 μ mの膜厚の導電膜であるCu膜36をモールド樹脂層32上に形成する。このとき、Cu膜36によって第1のアライメントマーク22が視認できなくなるとともに、第1のアライメントマーク22の膜厚が1 μ m以下でCu膜36の膜厚が3 μ mであることから、第1のアライメントマーク22を視認可能とするために形成したスルーホール33による段差も視認できなくなる。ただし、第2のアライメントマーク34は、モールド樹脂層32自体に形成しているため、第2のアライメントマーク34の段差は視認可能な状態となっている。

[0062] (フォトリソグラフィ)

Cu膜36を形成した半導体チップCの表面にフォトレジスト用のレジスト液を塗布して、例えば1.0 μ mの膜厚のレジスト膜を形成する。次いで、レジスト膜を形成した半導体チップCをマスクレス露光してから現像して、図12(a)および図12(b)に示すように、Cu膜36上に所定のパターンのフォトレジスト37を形成する。このフォトレジスト37は、スルーホール33および第2のアライメントマーク34の部分のレジスト膜を除去している。また、フォトレジスト37は、各スルーホール33と第2のアライメントマーク34との間のそれぞれのCu膜36上のレジスト膜の一部が残され、この残したレジスト膜にて覆うCu膜36が、後述の第3のアライメントマーク38となる。さらに、フォトレジスト37を形成する際のマ

スクレス露光は、レジスト膜を介して第2のアライメントマーク34の段差が視認可能であることから、この第2のアライメントマーク34の段差を基準として、予め作成したCADデータとのX、Y、 θ 方向における位置合わせを行い、半導体チップC上のレジスト膜をパターニングして行う（パターン形成工程）。

[0063] （エッチング）

次いで、フォトレジスト37を用い半導体チップCの表面をCuエッチングしてCu膜36をパターニングしてからCCPドライエッチングしてフォトレジスト37を除去し、電極層であるCu再配線層39を形成する。このとき、図13（a）および図13（b）に示すように、スルーホール33および第2のアライメントマーク34を覆うCu膜36を除去したフォトレジスト37としているため、追って、第1および第2のアライメントマーク22，34が視認可能となる。また、これら第1および第2のアライメントマーク22，34間に形成したCu再配線層39の一部が、次工程用の位置合わせ部としての第3のアライメントマーク38となる（配線パターン形成工程）。

[0064] （ソルダレジスト塗布）

さらに、第3のアライメントマーク38を基準として、予め作成したCADデータとのX、Y、 θ 方向における位置合わせを行い、図14（a）および図14（b）に示すように、Cu再配線層39を配線パターンとして形成した半導体チップCの表面にインクジェットプリンタにて、例えば $30\mu\text{m}$ の膜厚のソルダレジスト層41を所定パターンに印刷してから紫外線（UV）硬化して、Cu再配線層39に連通したコンタクトホール42をソルダレジスト層41に形成する。このとき、第2のアライメントマーク34を基準として半導体チップCとCADデータとのX、Y、 θ 方向における位置合わせを行なってもよい。

[0065] （はんだボール搭載：ボールマウント）

その後、半導体チップCの表面にフラックス（図示せず）を塗布してから

ソルダレジスト層41に形成したコンタクトホール42のパターン、すなわちホールパターンを基準として、はんだボール43が通過するマスクとのX, Y, θ 方向における位置合わせを行う。次いで、図15(a)および図15(b)に示すように、半導体チップCの表面のソルダレジスト層41の各コンタクトホール42に、例えば直径0.4mmのはんだボール43を搭載した後に加熱処理して各はんだボール43の一部を溶融し半導体チップC上のCu再配線層39に電氣的に接続する。この結果、外径ハーフィンチサイズの半導体チップCを、外径13.5mmのパッケージ基板T上にパッケージしたダイアタッチ方式のBGA (Ball grid array) タイプの半導体パッケージPとなる。

[0066] <作用効果>

ミニマルファブ構想に適用させた外径12.5mmのウェハWや外径13.5mmのパッケージ基板Tは、それぞれが比較的小さな寸法である。このため、半導体Aを形成したウェハWを精度良くパッケージ基板T上に取り付けてパッケージするためには、これらウェハWおよびパッケージ基板Tの厚さや大きさを均一にする必要がある。しかしながら、これらウェハWやパッケージ基板Tを製造する上で、これらウェハWおよびパッケージ基板Tの厚さや大きさを均一にすることは非常に難しく実際には個々のウェハW間やパッケージ基板T間にばらつきが生じてしまうおそれがある。

[0067] そして、パッケージ基板T上にウェハWを取り付ける工程においては、パッケージ基板Tの外縁に形成されているDカットOとウェハW上の第1のアライメントマーク22とを基準にして位置合わせすることにより、パッケージ基板T上にウェハWを精度良く取り付けることができる。しかしながら、パッケージ基板T上に取り付けたウェハWをパッケージしていく工程においては、パッケージ基板T上のウェハWを覆うようにモールド樹脂層32を形成することによって、第1のアライメントマーク22がモールド樹脂層32にて覆われ視認できない状態になってしまう。

[0068] この場合に、例えばパッケージ基板TのDカットOを基準として位置合

せを行い、ウェハW上のモールド樹脂層32にコンタクトホール35を形成することも可能であるが、上述のように、パッケージ基板Tは厚さや大きさにばらつきがあるおそれがある。このため、ウェハW上の第1のアライメントマーク22ではなく、パッケージ基板TのDカットOを基準としてモールド樹脂層32にコンタクトホール35を形成した場合には、パッケージ基板Tの厚さや大きさのばらつきによってコンタクトホール35が精度良く形成できないおそれがある。

[0069] そこで、上記第1の実施形態に係る半導体パッケージの製造方法においては、パッケージ基板T上にウェハWを取り付け、このウェハW上にモールド樹脂層32を形成して第1のアライメントマーク22を視認できない状態になった後に、この第1のアライメントマーク22上のモールド樹脂層32の一部を除去して、第1のアライメントマーク22を視認可能とする。さらに、この視認可能とした第1のアライメントマーク22を基準として本工程後のプロセスを行なう際に基準となる第2のアライメントマーク34をモールド樹脂層32に形成する。

[0070] よって、このモールド樹脂層32を形成する前に視認可能な第1のアライメントマーク22を基準として、モールド樹脂層32上に第2のアライメントマーク34を形成することができる。この結果、第2のアライメントマーク34を精度良く形成できる。

[0071] さらに、モールド樹脂層32にコンタクトホール35を形成する工程においては、視認可能となった第1のアライメントマーク22を基準として位置合わせできるから、これらコンタクトホール35を精度良く形成できる。また、モールド樹脂層32上に形成したCu膜36をパターニングしてCu再配線層39を形成する工程においては、この状態においても視認可能な第2のアライメントマーク34の段差を基準として位置合わせできるので、Cu再配線層39を精度良く形成できる。

[0072] また、Cu膜36をパターニングしてCu再配線層39を形成する際に、第2のアライメントマーク34を基準としてCu膜36をパターニングして

第3のアライメントマーク38を形成している。この結果、これらCu再配線層39および第1ないし第3のアライメントマーク22, 34, 38を覆うようにソルダレジスト層41を形成した状態であっても、第2または第3のアライメントマーク34, 38を基準としてCu再配線層39に導通するコンタクトホール42をソルダレジスト層41に形成できる。よって、これらコンタクトホール42を精度良く形成できる。

[0073] 以上により、第1のアライメントマーク22を基準として精度良く形成した第2のアライメントマーク34を基準として、パッド部PAに導通するCu再配線層39のパターンをウェハW上に形成できる。よって、ウェハWをパッケージ基板T上に取り付けてパッケージするまでの位置合わせを精度良くできる。

[0074] さらに、パッケージ基板Tに取り付けたウェハW上にモールド樹脂層32を形成し、このモールド樹脂層32の一部を除去して第1のアライメントマーク22が視認可能な状態においては、この第1のアライメントマーク22を基準としてモールド樹脂層32にコンタクトホール35を形成する。この結果、第2のアライメントマーク34を基準としてコンタクトホール35を形成する場合に比べ、元々ウェハW上に形成されている第1のアライメントマーク22を基準としているため、より精度良くコンタクトホール35を形成することができる。

[0075] また、モールド樹脂層32上にCu膜36を被覆し第1のアライメントマーク22が視認できない状態においては、モールド樹脂層32に形成した第2のアライメントマーク34を基準としてCu膜36をパターニングしてCu再配線層39や第3のアライメントマーク38を形成する。この結果、大きさや厚さにばらつきのおそれがあるパッケージ基板TのDカットOを基準として、これらCu再配線層39および第3のアライメントマーク38を形成する場合に比べ、これらCu再配線層39および第3のアライメントマーク38を精度良く形成できる。

[0076] さらに、第1のアライメントマーク22を基準として第2のアライメント

マーク 3 4 およびコンタクトホール 3 5 のそれぞれを、モールド樹脂層 3 2 上を走査する一度のレーザ光の照射工程、すなわち一度のレーザビア加工で形成でき、これら第 2 のアライメントマーク 3 4 およびコンタクトホール 3 5 を同一工程で形成することができる。この結果、レーザアブレーション工程を一つ少なくでき、第 2 のアライメントマーク 3 4 およびコンタクトホール 3 5 を形成する工程を簡略化できる。また、2 度のレーザアブレーションで第 2 のアライメントマーク 3 4 とコンタクトホール 3 5 とを別個に形成する場合に比べ、これら第 2 のアライメントマーク 3 4 とコンタクトホール 3 5 との位置関係をより精度良くできる。

[0077] また、円盤状のパッケージ基板 T の外周の一部を直線状にカットして形成した D カット O を位置合わせ用のオリフラとしている。このため、パッケージ基板 T がウェハ W より大きいことから、パッケージ基板 T 上にウェハ W を取り付ける際に、このウェハ W より外側の位置に D カット O が確実に位置するようになる。よって、これら D カット O および第 1 のアライメントマーク 2 2 を基準とした、ウェハ W とパッケージ基板 T との位置合わせを精度良く確実にできる。さらに、外径 1 2. 5 mm の円盤状のウェハ W とし、外径 1 3. 5 mm の円盤状のパッケージ基板 T とすることにより、いわゆるミニマルファブシステムに用いられるウェハ W およびパッケージ基板 T となる。

[0078] [第 2 の実施形態]

次に、本発明に係る第 2 の実施形態について、図 1 6 および図 1 7 を参照して説明する。

[0079] 本第 2 の実施形態に係る半導体チップ C は、図 1 6 に示すように、複数、例えば 3 つの外形が円形状のウェハ W, W 1, W 2 が一つの金属製のベース基板 5 1 上の所定位置に設置されており、これら複数のウェハ W, W 1, W のそれぞれの第 1 のアライメントマーク 2 2 の位置情報が、予めコンピュータ等に記憶されている。

[0080] この結果、少なくともいずれか一つのウェハ W 上を覆うモールド樹脂層 3 2 の一部を除去して第 1 のアライメントマーク 2 2 を視認可能とするだけで

、図 17 に示すように、モールド樹脂層 32 を形成する前の状態でいずれか一つのウェハ W 上に形成されている第 1 のアライメントマーク 22 を基準として、モールド樹脂層 32 上に第 2 のアライメントマーク 34 を形成することができる。

[0081] そして、これら複数のウェハ W, W1, W2 それぞれの第 1 のアライメントマーク 22 の位置情報が正確に記憶されていることにより、ウェハ W 上に形成した第 2 のアライメントマーク 34 のみを基準として、これら各ウェハ W, W1, W2 それぞれ用の Cu 再配線層 39 をモールド樹脂層 32 上に形成することができる。よって、これらウェハ W, W1, W2 のうちの少なくともいずれか一つのウェハ W の第 1 のアライメントマーク 22 を使用するだけで、これら複数のウェハ W, W1, W2 のそれぞれをパッケージ基板 T 上に取り付けてパッケージするまでの位置合わせを精度良く行うことができる。

[0082] [第 3 の実施形態]

次に、本発明に係る第 3 の実施形態について、図 18 および図 19 を参照して説明する。

[0083] 本第 3 の実施形態に係る半導体チップ C は、上記第 2 の実施形態に係る半導体チップ C とは異なり、図 18 に示すように、ベース基板 51 上の所定位置に複数、例えば 3 つの外形が四角形状のウェハ W, W1, W2 が設置されたものであり、これら複数のウェハ W, W1, W のそれぞれの第 1 のアライメントマーク 22 の位置情報が、予めコンピュータ等に記憶されている。

[0084] この結果、上記第 2 の実施形態と同様に、少なくともいずれか一つのウェハ W 上を覆うモールド樹脂層 32 の一部を除去して第 1 のアライメントマーク 22 を視認可能とすることによって、図 19 に示すように、モールド樹脂層 32 を形成する前の状態でいずれか一つのウェハ W 上に形成されている第 1 のアライメントマーク 22 を基準として、モールド樹脂層 32 上に第 2 のアライメントマーク 34 を形成することができる。

[0085] [第 4 の実施形態]

また、上記第3の実施形態とは異なり、図20に示す第4の実施形態のように、各ウェハW、W1、W2上を覆うモールド樹脂層32の一部をそれぞれ除去して第1のアライメントマーク22を視認可能とし、モールド樹脂層32を形成する前の状態で各ウェハW、W1、W2上に形成されている第1のアライメントマーク22を基準として、各ウェハW、W1、W2のモールド樹脂層32上に第2のアライメントマーク34をそれぞれ形成してもよい。

[0086] <その他>

なお、上記各実施形態では、ミニマルファブ構想に適合したハーフィンチサイズ（径12.5mm）のウェハWと、このウェハWを取り付ける外径13.5mmのパッケージ基板Tとを用いた半導体パッケージの製造方法としている。しかしながら、本発明はこれに限定されることはなく、例えば1インチのウェハを用いたり、外径13.5mm以外の大きさのパッケージ基板を用いたりする半導体パッケージの製造方法であっても対応して用いることができる。また、ハーフィンチサイズの半導体チップCを外径13.5mmのパッケージ基板T上にパッケージしたダイアタッチ方式のBGAタイプの半導体パッケージPに限らず、例えばフリップチップ方式のBGAタイプ等の他のパッケージ構造の半導体パッケージであっても対応して用いることができる。

[0087] また、上記第2の実施形態においては、ベース基板51上に外形が円形状の複数のウェハW、W1、W2を設置した半導体チップCとし、上記第3および第4の実施形態においては、ベース基板51上に外形が四角形状の複数のウェハW、W1、W2を設置した半導体チップCとしているが、ベース基板51上に設置するウェハW、W1、W2の外形は、円形状や四角形状とは限らず、任意の形状であってもよい。

符号の説明

- [0088] 1 半導体製造システム
 2 筐体

- 2 a 装置上部
- 2 b 装置下部
- 2 c 操作パネル
- 2 d 前室
- 2 e ドッキングポート
- 3 半導体チップ製造装置
- 4 単位処理装置群（前工程）
- 5 半導体パッケージ装置
- 6 単位処理装置群（後工程）
- 7 シャトル（前工程用）
- 8 シャトル（後工程用）
- 9 P L A D システム
- 1 0 単位処理装置
- 1 0 A 単位処理装置（前工程用）
- 1 0 B 単位処理装置（後工程用）
- 1 1 処理装置本体
- 2 1 フォトレジスト
- 2 2 第 1 のアライメントマーク
- 2 3 S i O 2 層
- 2 4 不純物拡散剤
- 2 5 拡散領域 p +
- 2 6 ゲート酸化膜
- 2 7 コンタクトホール
- 2 8 A l 層
- 2 9 パッシベーション膜
- 3 1 A g ペースト
- 3 2 モールド樹脂層
- 3 3 スルーホール

- 3 4 第2のアライメントマーク
- 3 5 コンタクトホール
- 3 6 Cu膜
- 3 7 フォトレジスト
- 3 8 第3のアライメントマーク
- 3 9 Cu再配線層（配線パターン）
- 4 1 ソルダレジスト層
- 4 2 コンタクトホール
- 4 3 はんだボール
- 5 1 ベース基板
- W, W 1, W 2 ウェハ
- A 半導体
- C 半導体チップ
- T パッケージ基板（基板）
- P 半導体パッケージ
- m 支持部
- G ゲート電極
- S ソース電極
- D ドレイン電極
- P A パッド部
- O Dカット（位置決め部）

請求の範囲

[請求項1]

上面に第1のアライメントマークおよびパッド部が形成されたウェハを、前記ウェハより大きな外形を有し外縁に位置決め用の位置決め部が形成された基板上にパッケージする半導体パッケージの製造方法であって、

前記第1のアライメントマークおよび前記位置決め部を基準として、前記基板上に前記ウェハを取り付ける取付工程と、

前記位置決め部を露出させた状態で前記ウェハ上に樹脂層を形成する樹脂層形成工程と、

前記樹脂層から露出する前記位置決め部を基準として、前記樹脂層の一部を除去することにより、前記第1のアライメントマークを視認可能とする除去工程と、

前記第1のアライメントマークを基準として、前記樹脂層上に第2のアライメントマークを形成するマーク形成工程と、

前記第2のアライメントマークを基準として、前記パッド部に導通する配線パターンを前記樹脂層上に形成する配線パターン形成工程と、

を具備することを特徴とする半導体パッケージの製造方法。

[請求項2]

請求項1記載の半導体パッケージの製造方法において、

前記配線パターン形成工程は、前記第1のアライメントマークを基準として、前記パッド部を露出させるコンタクトホールを前記樹脂層に形成してから、前記第2のアライメントマークを基準として、前記コンタクトホールを介して前記パッド部に導通する前記配線パターンを形成する

ことを特徴とする半導体パッケージの製造方法。

[請求項3]

請求項2記載の半導体パッケージの製造方法において、

前記マーク形成工程および前記配線パターン形成工程は、レーザ光を用いて前記第2のアライメントマークおよび前記コンタクトホール

を形成する

ことを特徴とする半導体パッケージの製造方法。

[請求項4] 請求項1ないし3のいずれか一項に記載の半導体パッケージの製造方法において、

前記基板は円盤状で、

前記位置決め部は前記基板の外周の一部を直線状にカットして形成されている

ことを特徴とする半導体パッケージの製造方法。

[請求項5] 請求項1ないし4のいずれか一項に記載の半導体パッケージの製造方法において、

前記ウェハは外径12.5mmの円盤状で、

前記基板は外径13.5mmの円盤状である

ことを特徴とする半導体パッケージの製造方法。

[請求項6] 上面に第1のアライメントマークおよびパッド部が形成されベース基板上に設置された複数のウェハを、前記ベース基板より大きな外形を有し外縁に位置決め用の位置決め部が形成された基板上にパッケージする半導体パッケージの製造方法であって、

前記複数のウェハのうちの少なくともいずれか一つの前記ウェハの第1のアライメントマークおよび前記位置決め部を基準として、前記基板上に前記複数のウェハを取り付ける取付工程と、

前記位置決め部を露出させた状態で前記複数のウェハ上に樹脂層を形成する樹脂層形成工程と、

前記樹脂層から露出する前記位置決め部を基準として、前記樹脂層の一部を除去することにより、前記複数のウェハのうちの少なくともいずれか一つの前記ウェハの第1のアライメントマークを視認可能とする除去工程と、

前記第1のアライメントマークを基準として、前記樹脂層上に第2のアライメントマークを形成するマーク形成工程と、

前記第2のアライメントマークを基準として、前記パッド部に導通する配線パターンを前記樹脂層上に形成する配線パターン形成工程と

、
を具備することを特徴とする半導体パッケージの製造方法。

[請求項7]

パッド部を備えたウェハと、

前記ウェハの上面に形成された第1のアライメントマークと、

位置決め用の位置決め部を外縁に備え、前記ウェハが上面にパッケージされ、前記ウェハより大きな外形の基板と、

前記位置決め部が露出し前記第1のアライメントマークを視認可能な状態として前記ウェハ上に形成された樹脂層と、

前記樹脂層上に形成された第2のアライメントマークと、

前記樹脂層上に形成され前記パッド部に導通する配線パターンと、

を具備することを特徴とする半導体パッケージ。

[請求項8]

パッド部を備えたベース基板と、

前記ベース基板の上面に形成された第1のアライメントマークと、

前記ベース基板上に設置された複数のウェハと、

位置決め用の位置決め部を外縁に備え、前記複数のウェハが上面にパッケージされ、前記ベース基板より大きな外形の基板と、

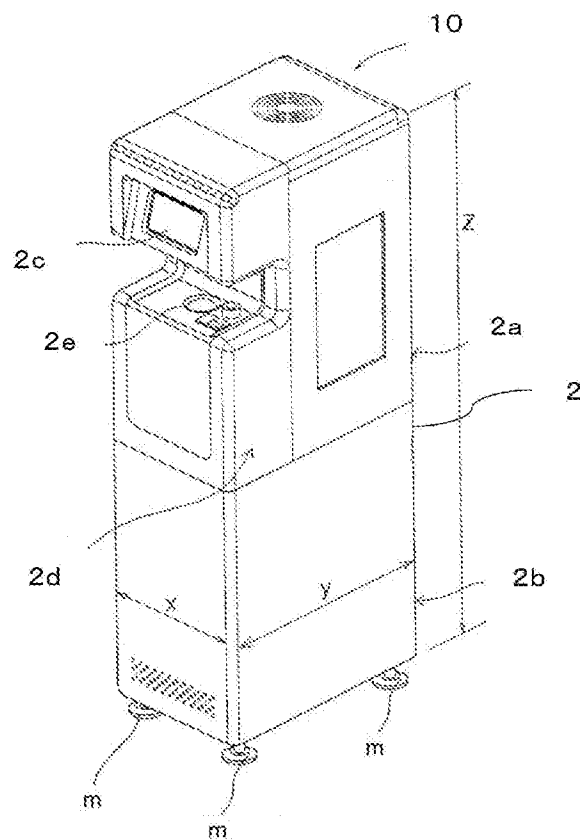
前記位置決め部が露出し前記複数のウェハのうちの少なくともいずれか一つの前記ウェハの前記第1のアライメントマークを視認可能な状態として前記複数のウェハ上に形成された樹脂層と、

前記樹脂層上に形成された第2のアライメントマークと、

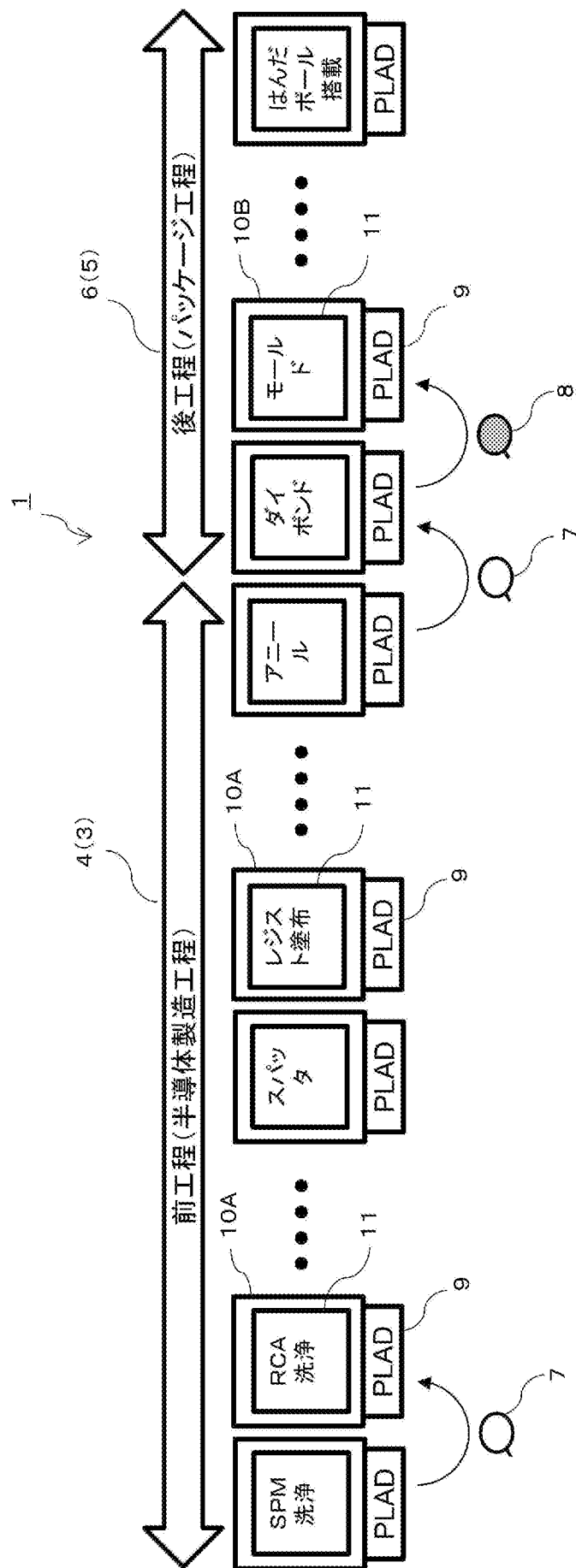
前記樹脂層上に形成され前記パッド部に導通する配線パターンと、

を具備することを特徴とする半導体パッケージ。

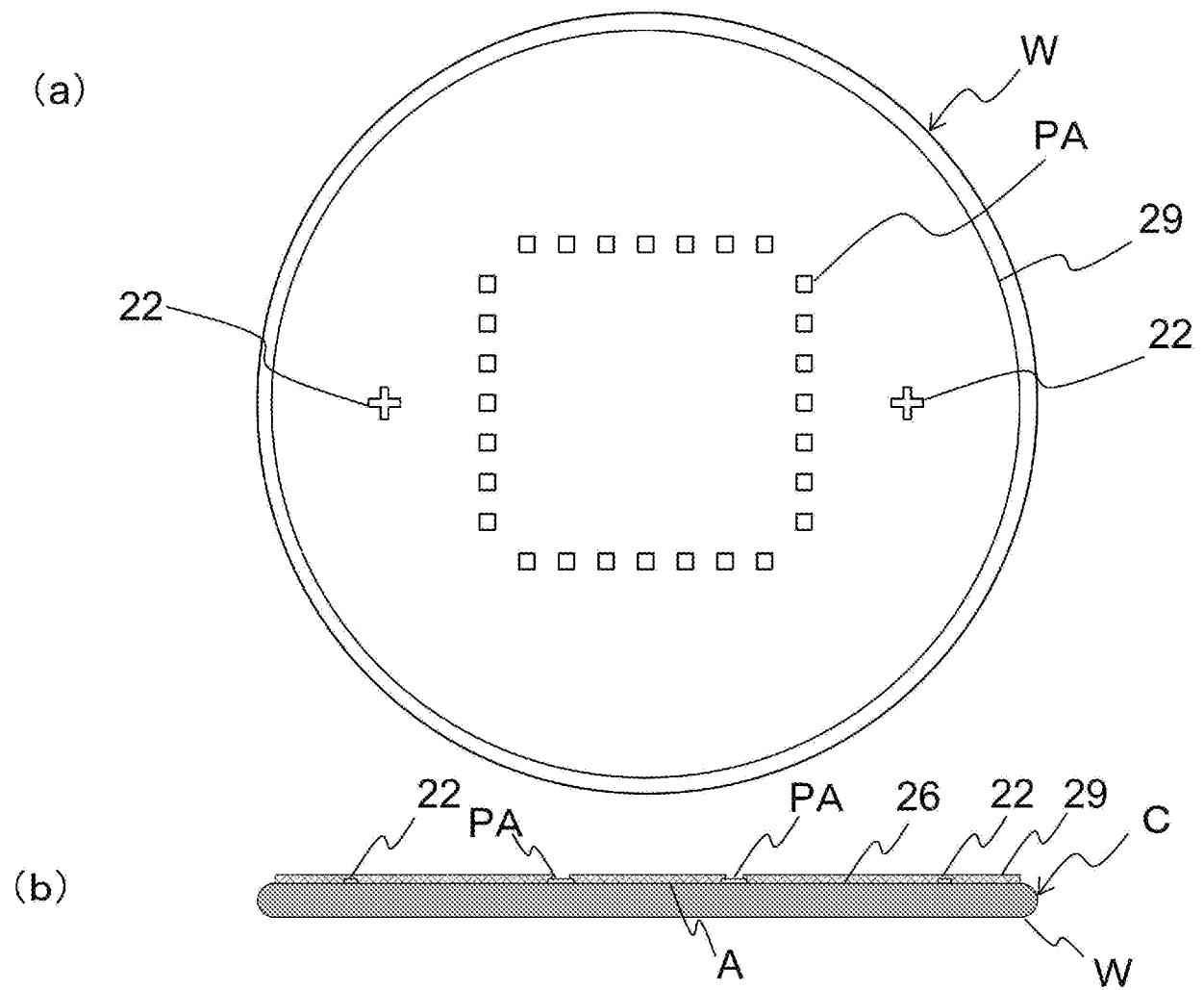
[図1]



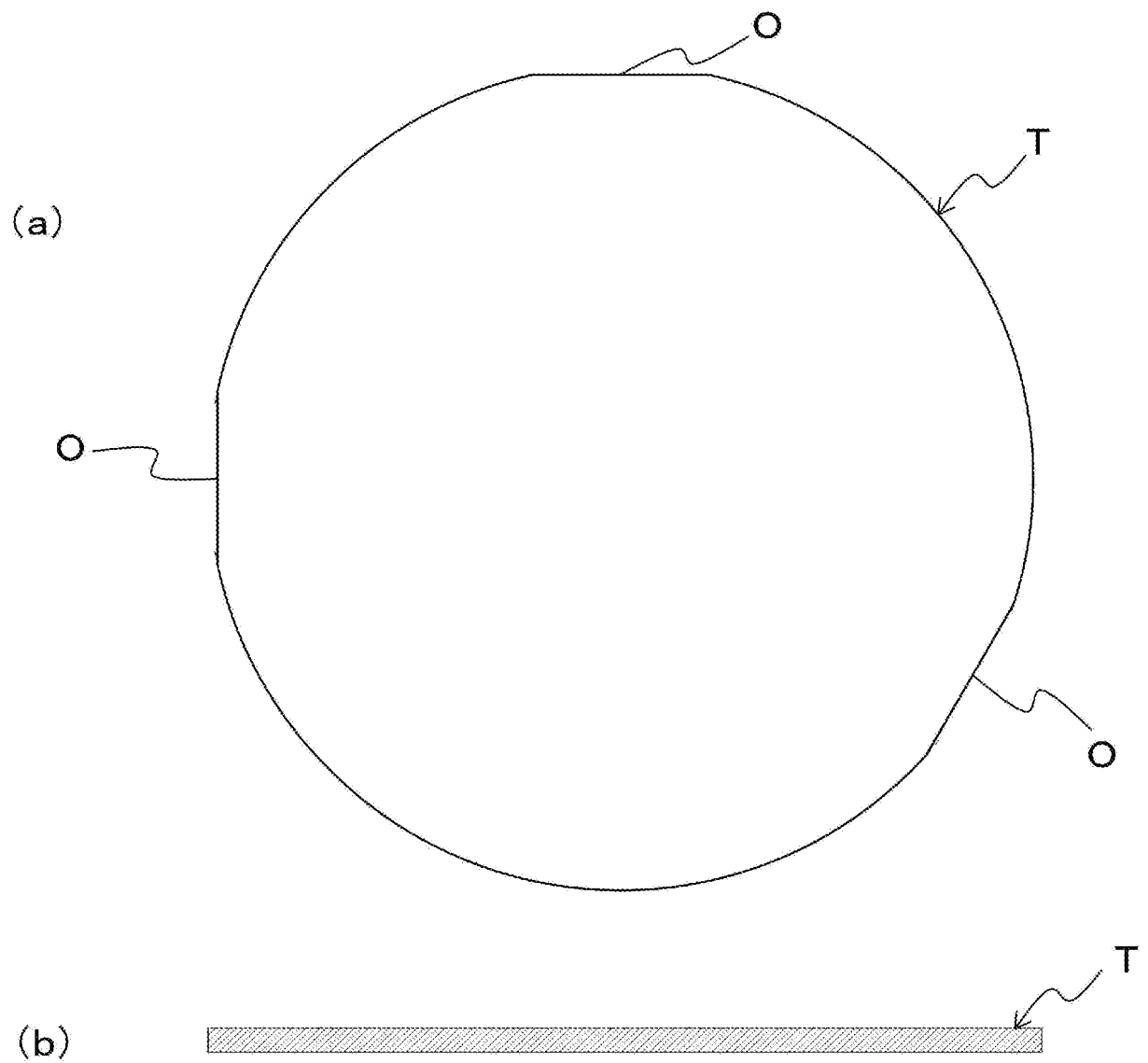
[図2]



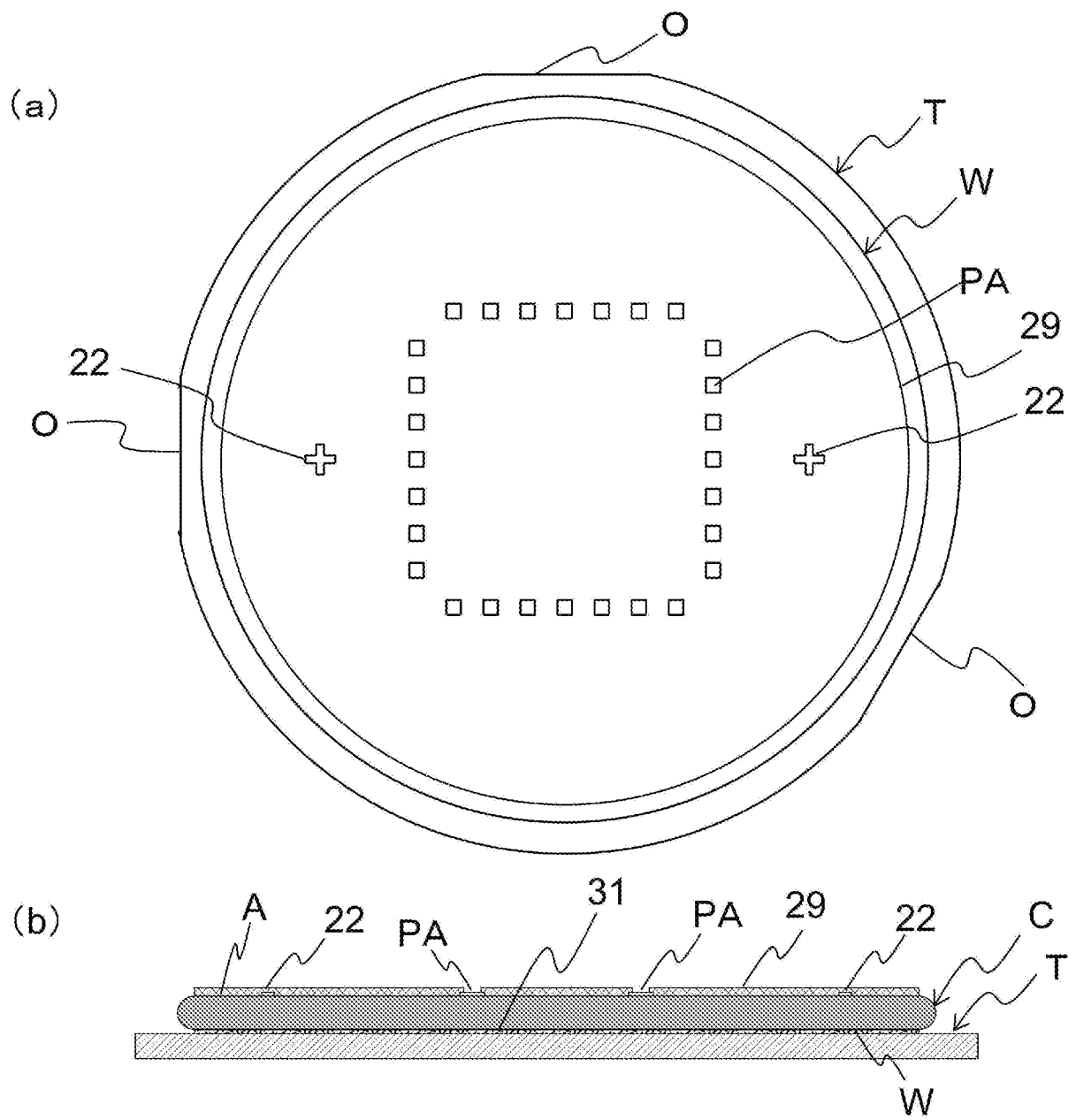
[図4]



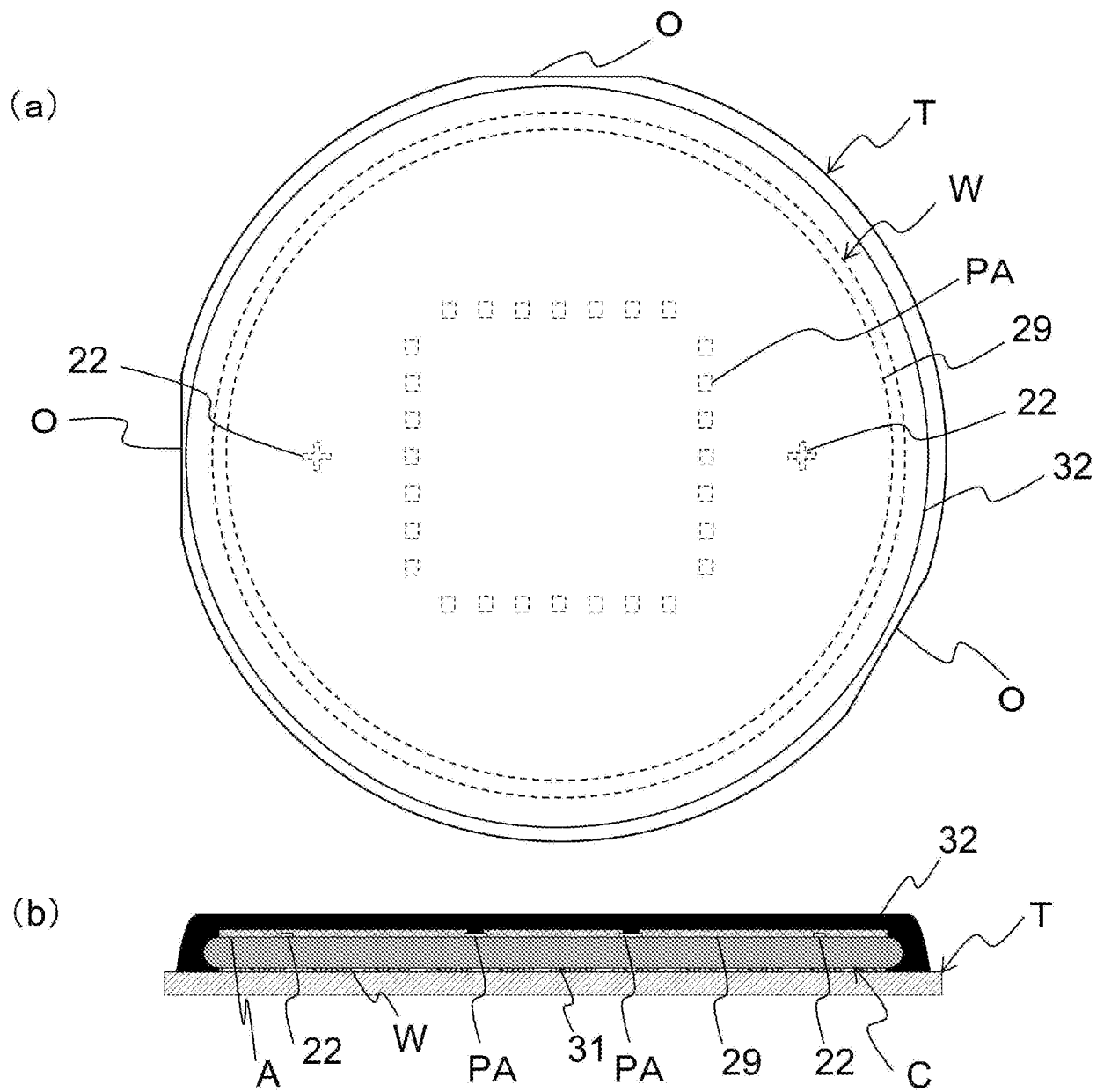
[図5]



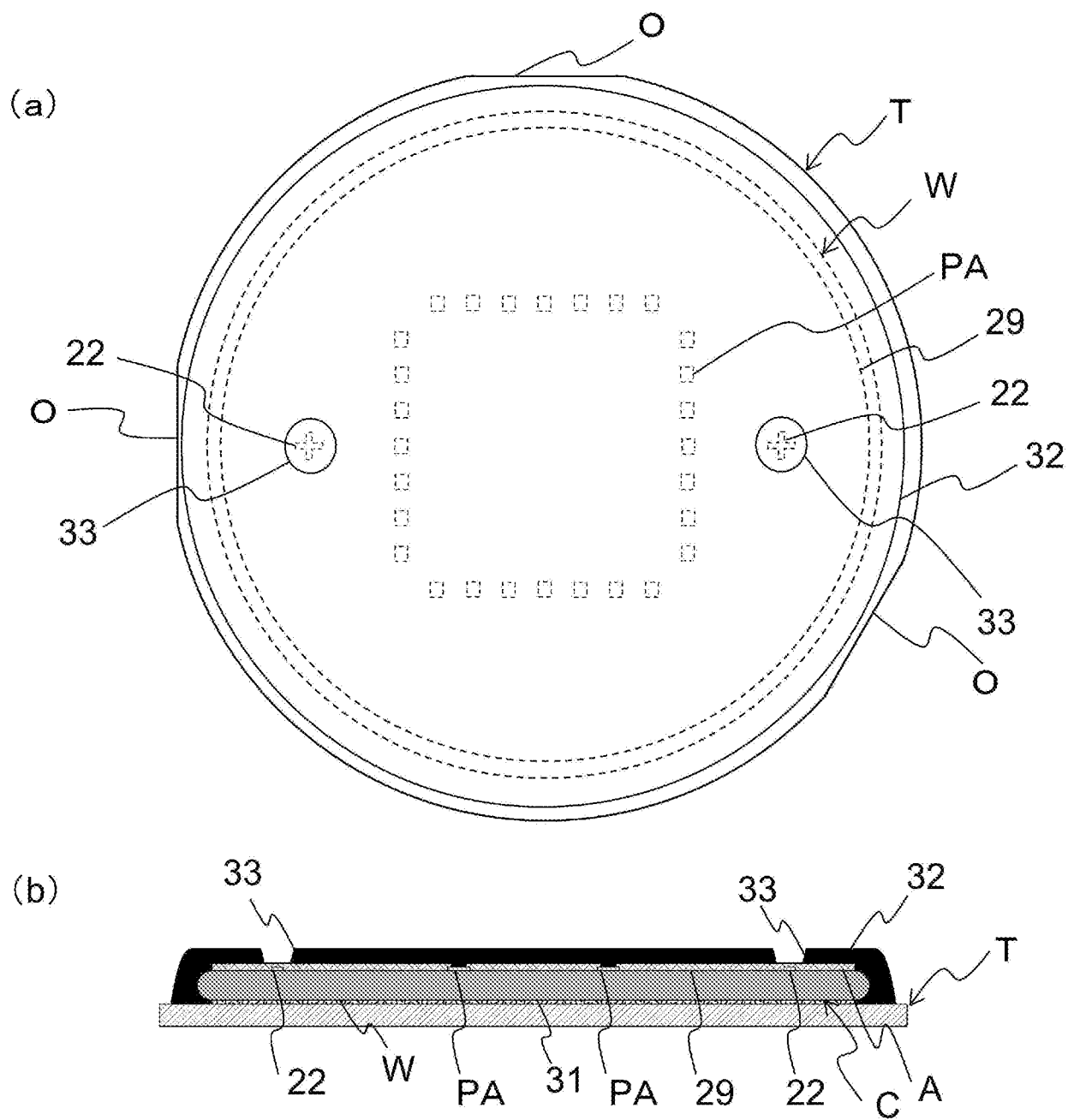
[図6]



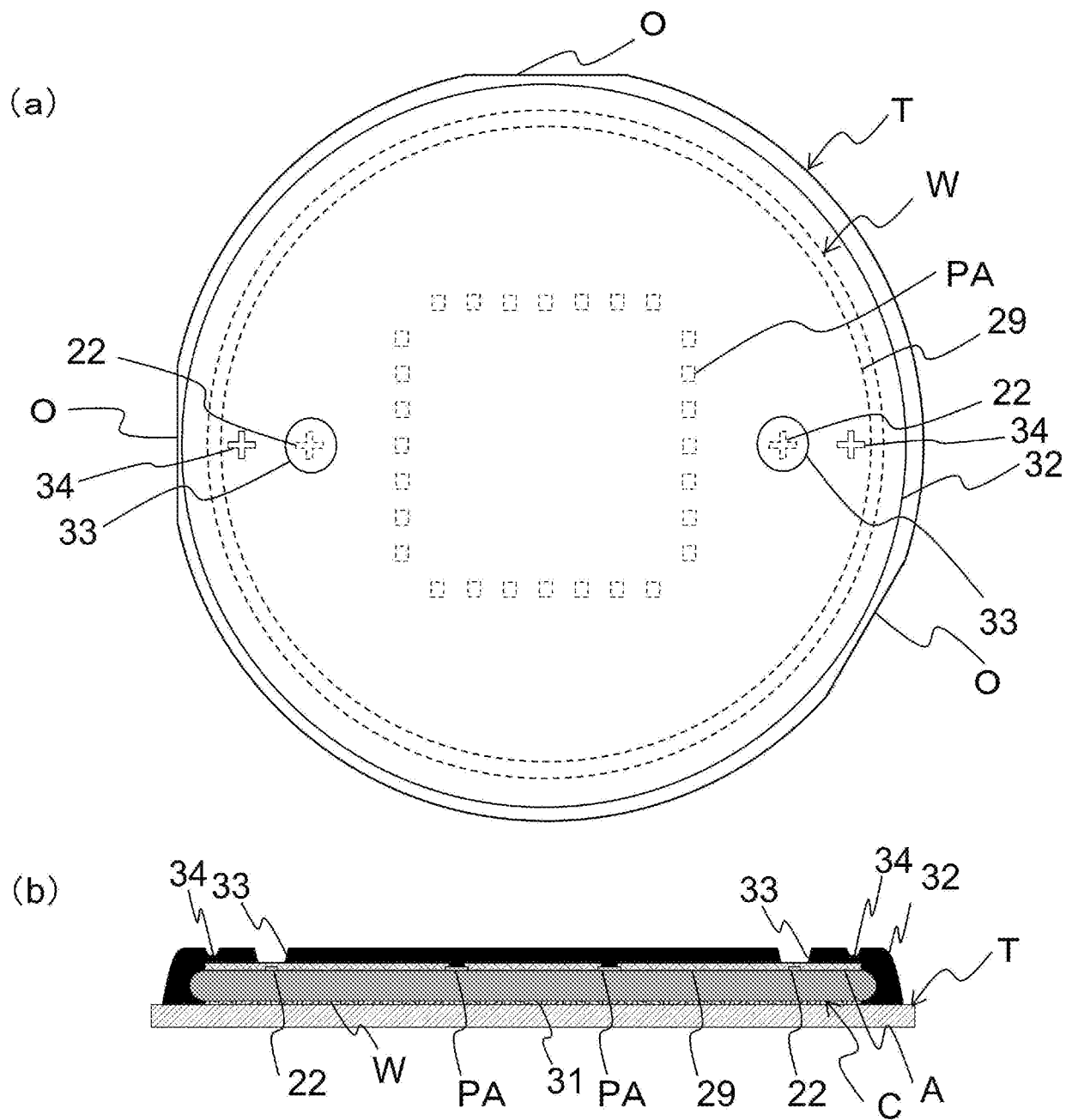
[図7]



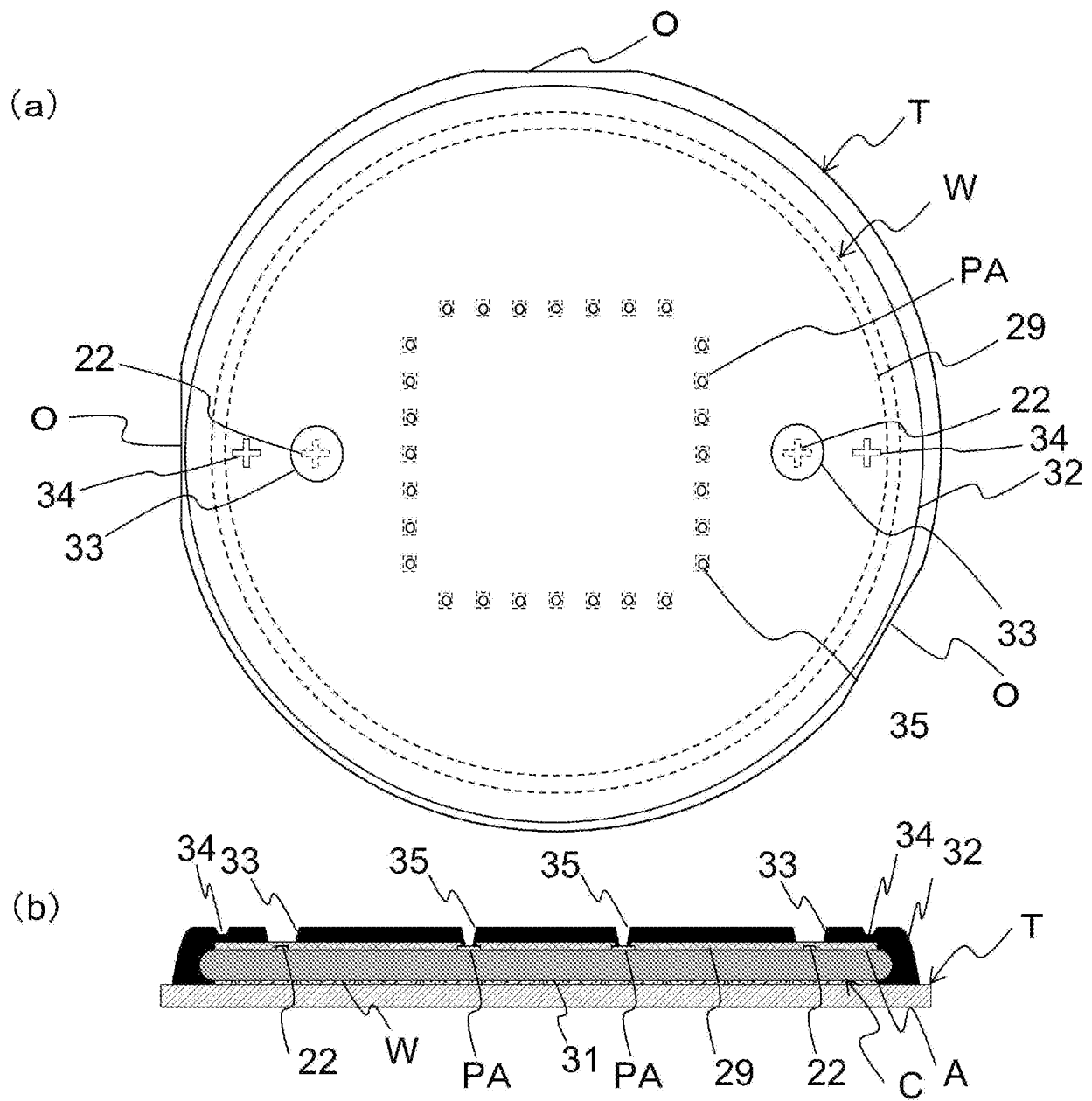
[図8]



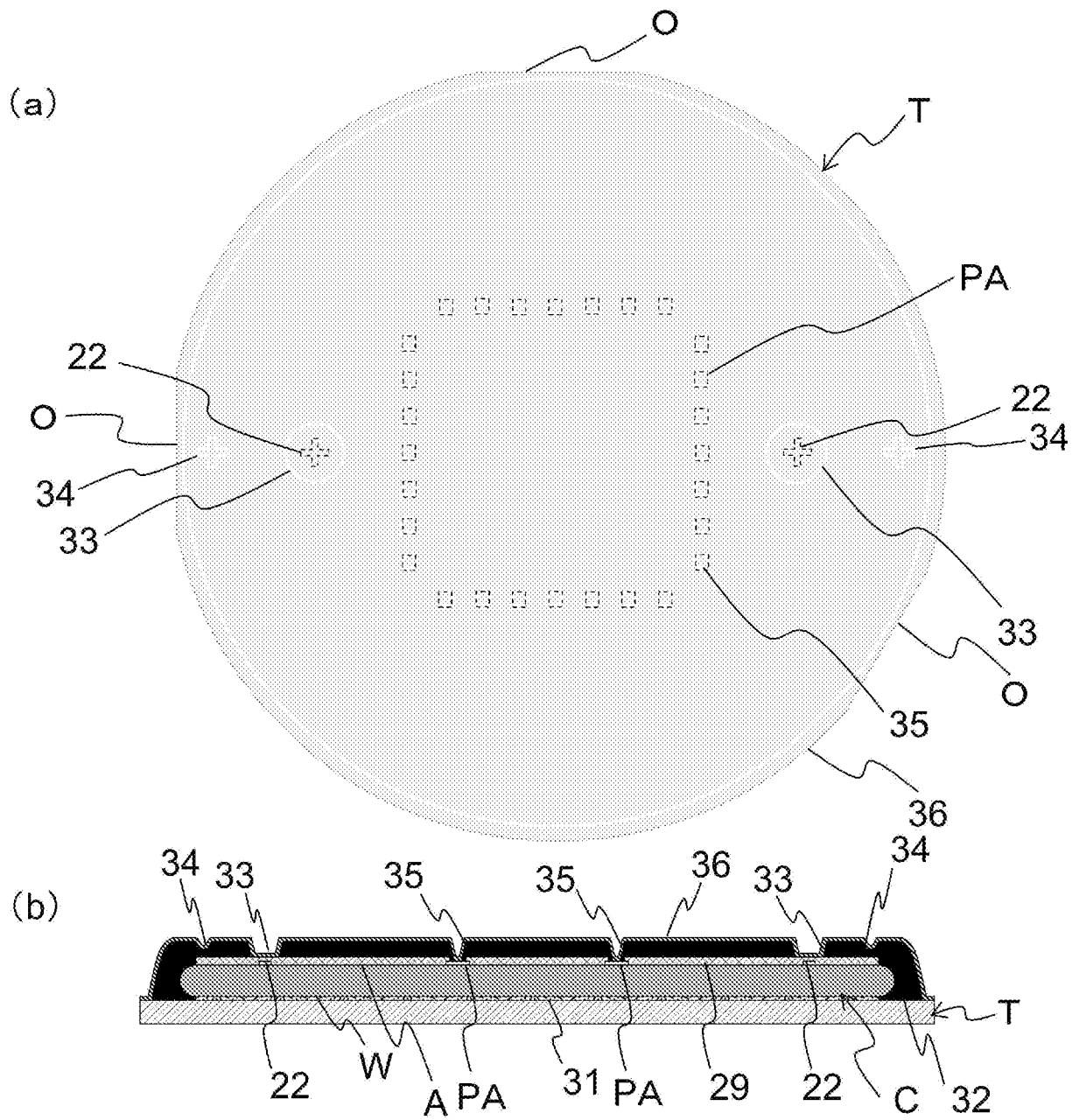
[図9]



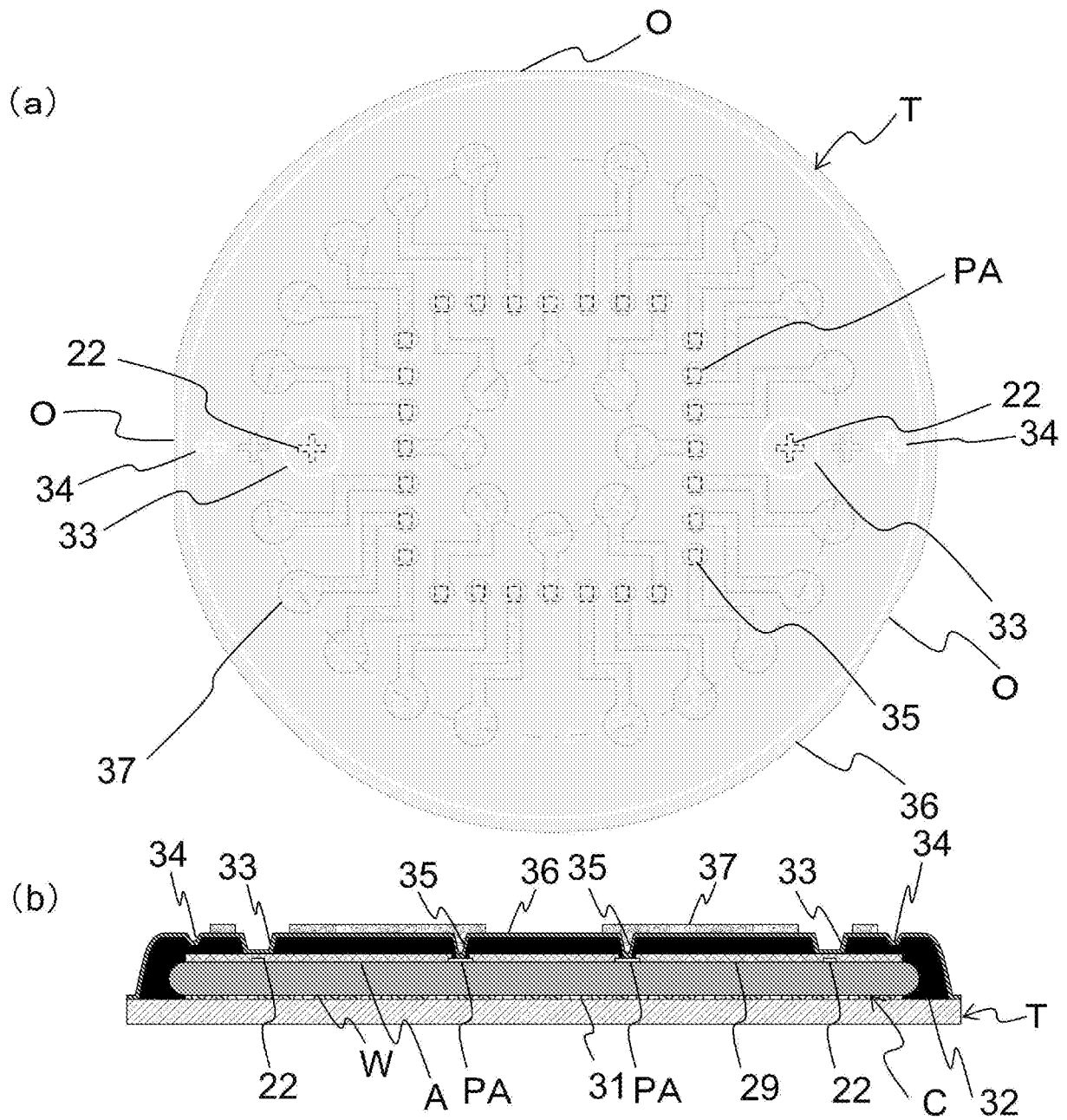
[図10]



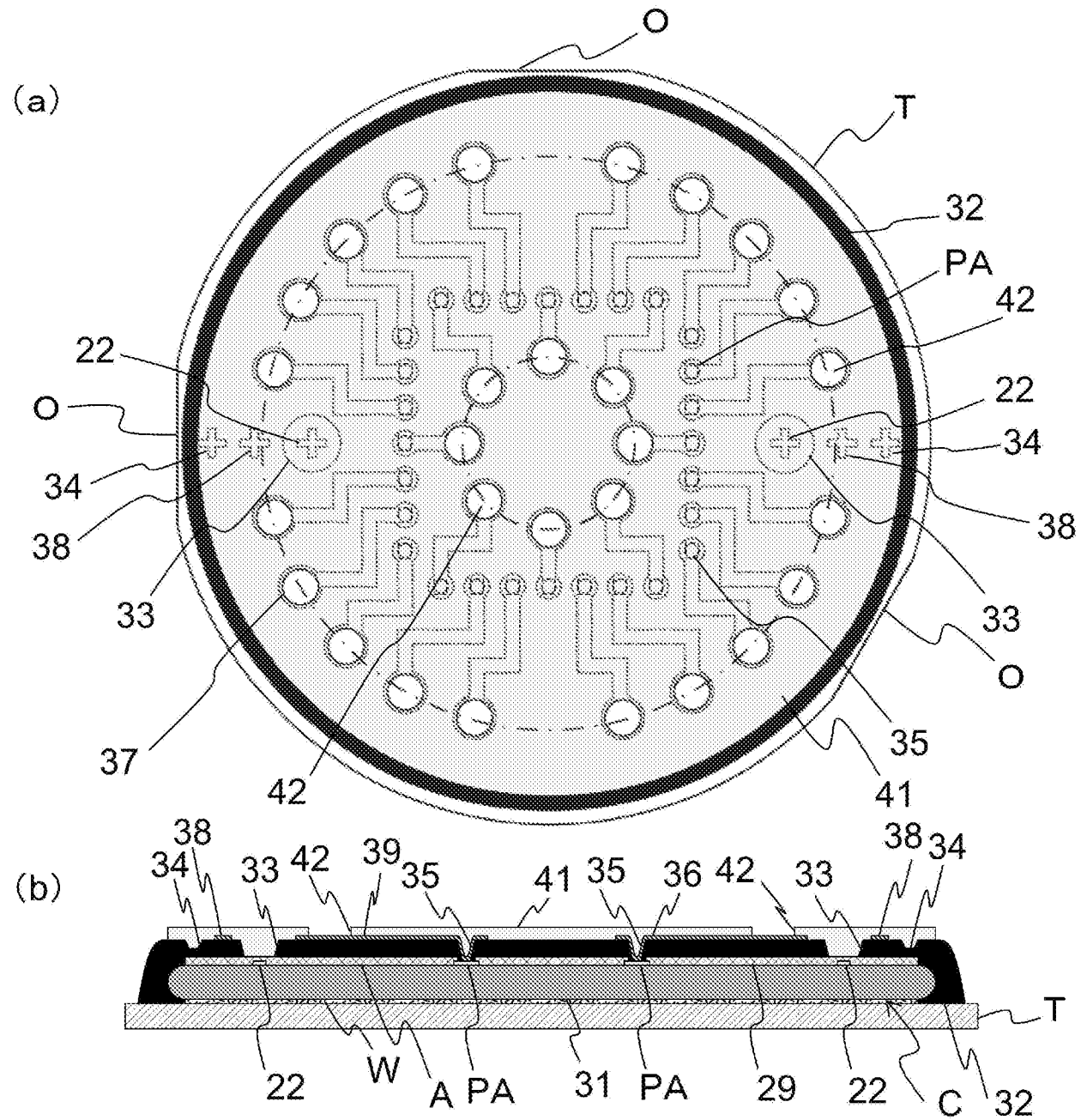
[図11]



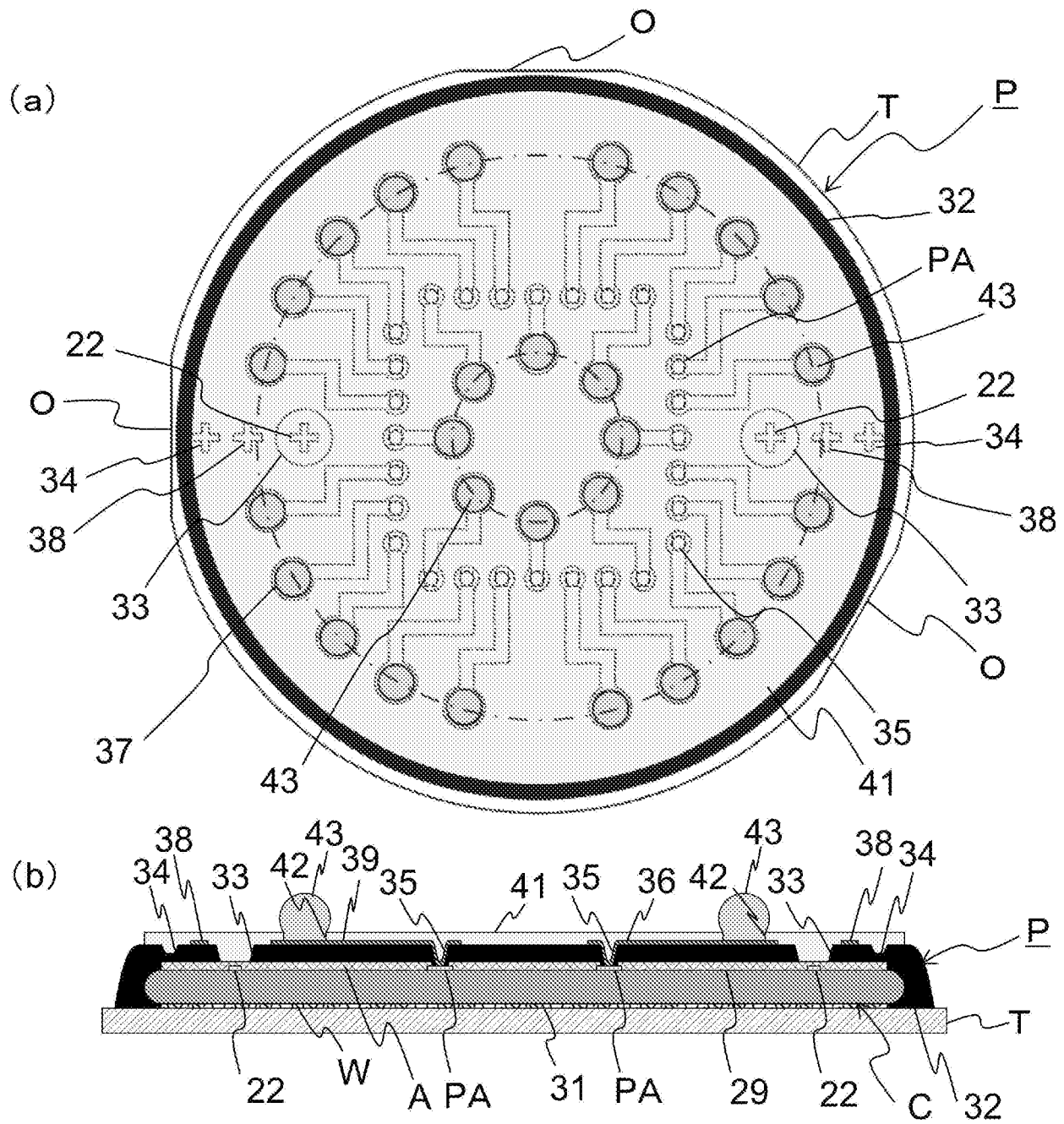
[図12]



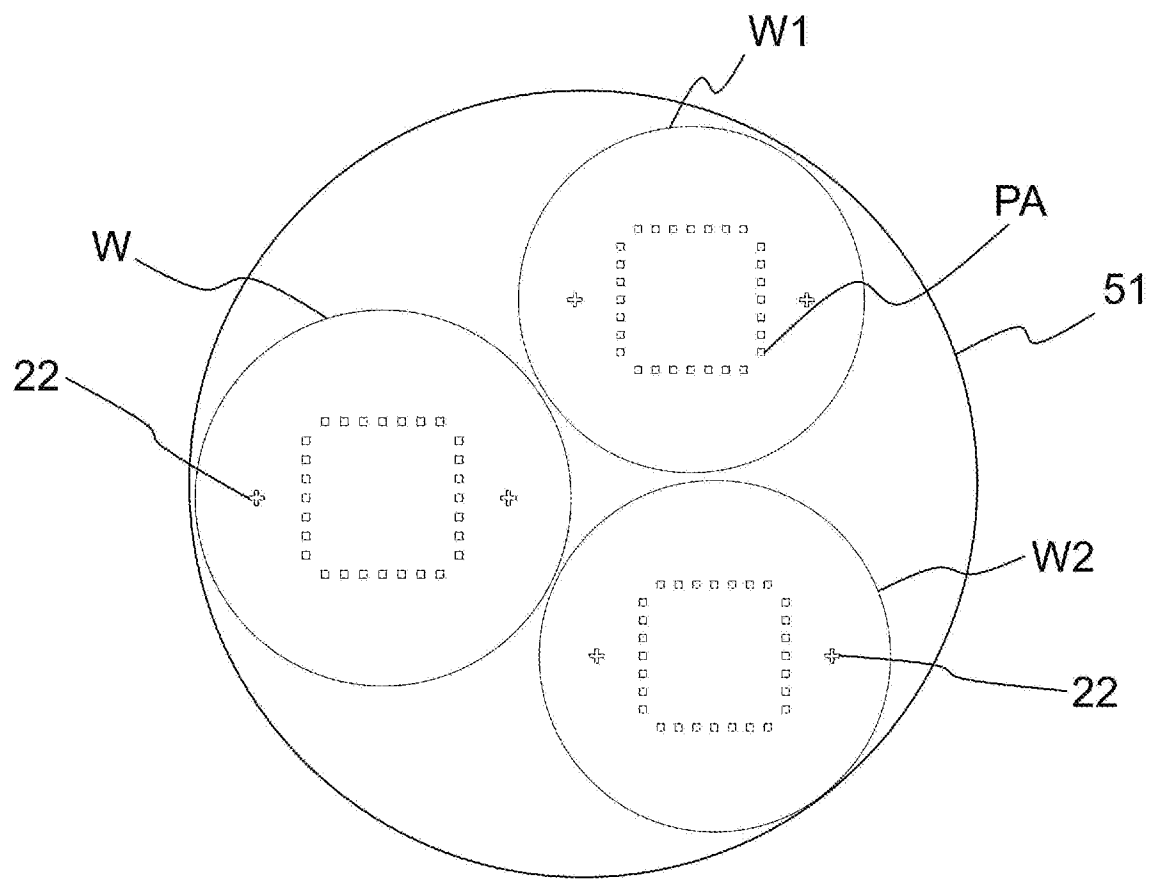
[図14]

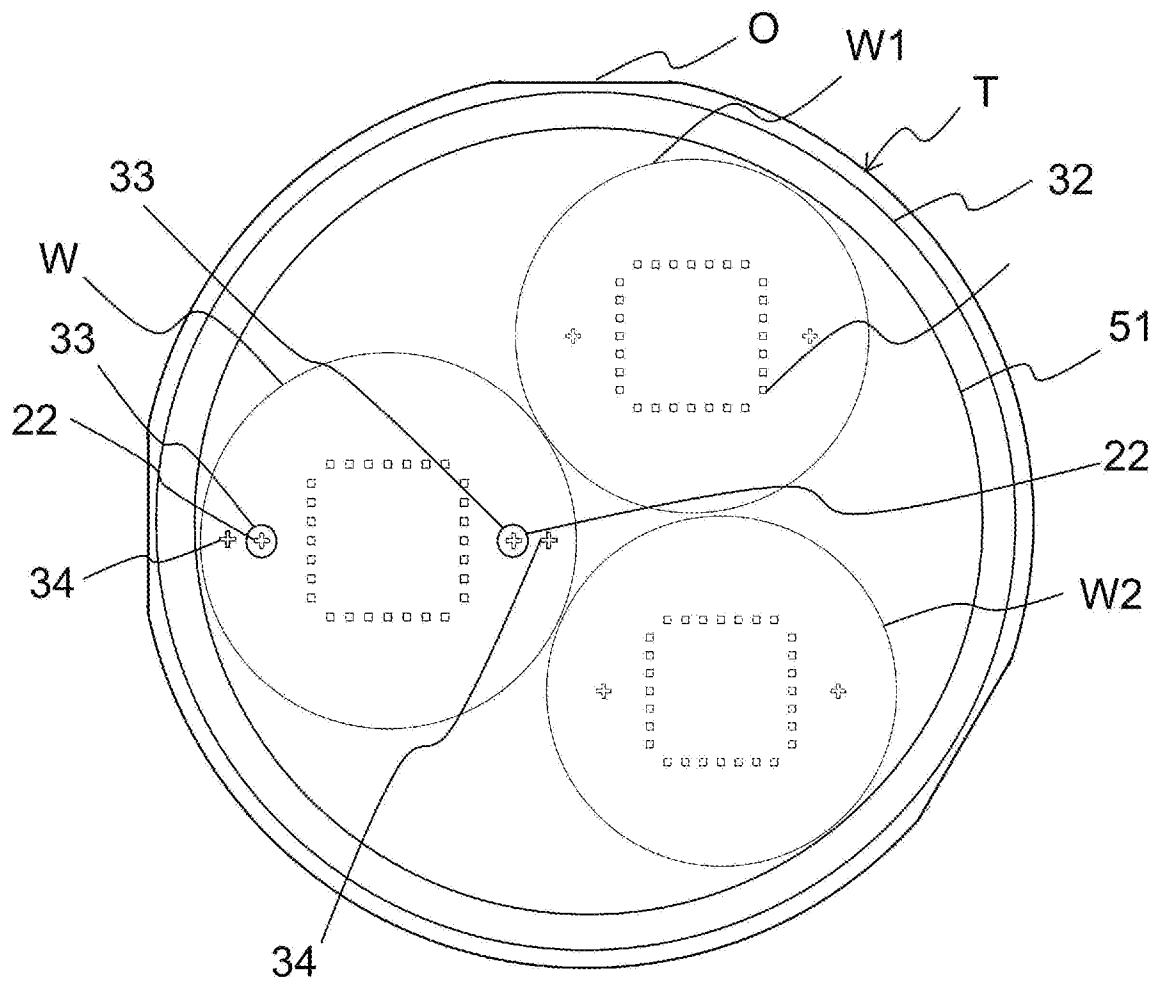


[図15]

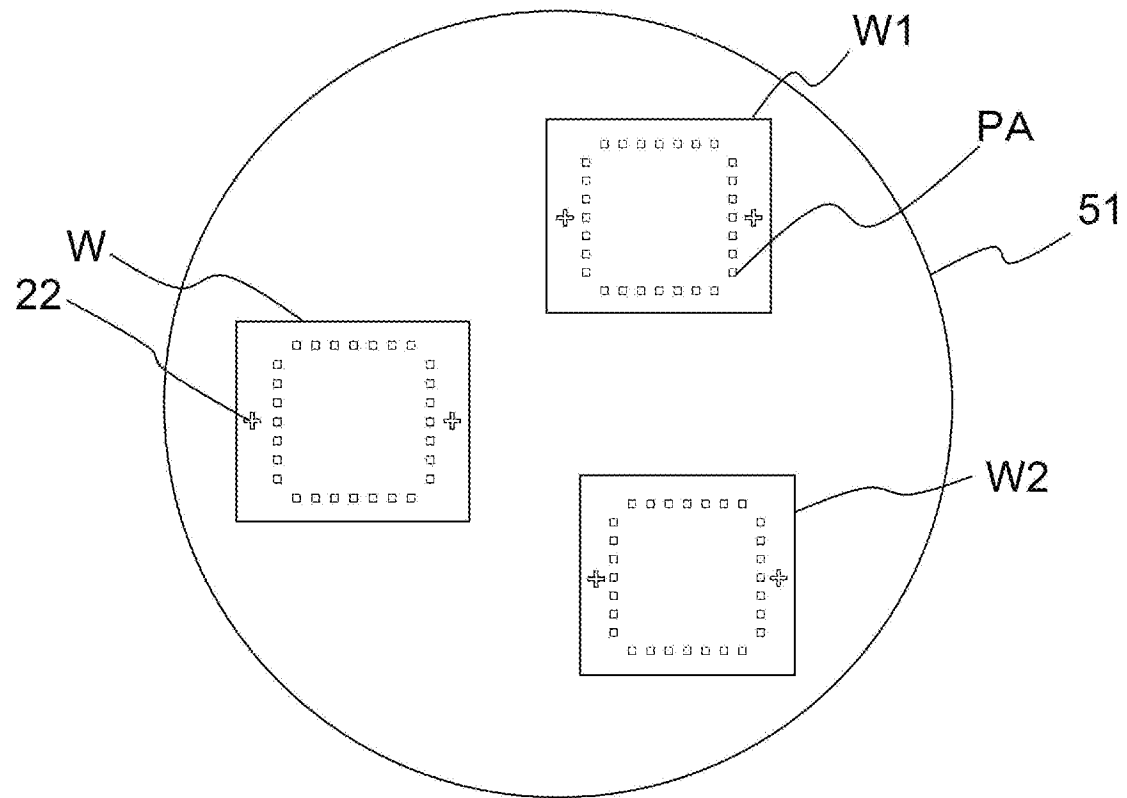


[図16]





[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/012931

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/68 (2006.01) i, H01L23/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/68, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-32720 A (NEC CORP.) 12 February 2009, entire text, all drawings & US 2009/0026636 A1, entire text; all drawings & CN 101355064 A	1-8
A	JP 3-68126 A (MITSUBISHI ELECTRIC CORP.) 25 March 1991, entire text, all drawings (Family: none)	1-8
A	JP 2001-332863 A (IBIDEN CO., LTD.) 30 November 2001, entire text, all drawings & US 2003/0015342 A1, entire text; all drawings & EP 1259103 A1 & TW 582192 B & CN 1406455 A & KR 10-2003-0007438 A	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 June 2018 (14.06.2018)

Date of mailing of the international search report
26 June 2018 (26.06.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/012931

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-260768 A (CASIO COMPUTER CO., LTD.) 24 September 1999, entire text, all drawings (Family: none)	1-8
A	JP 2012-104757 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 31 May 2012, entire text, all drawings (Family: none)	1-8
A	JP 2001-144197 A (FUJITSU LTD.) 25 May 2001, entire text, all drawings & US 2006/0279003 A1, entire text; all drawings & TW 452963 B & KR 10-2001-0049480 A	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/68(2006.01)i, H01L23/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/68, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-32720 A (日本電気株式会社) 2009.02.12, 全文, 全図 & US 2009/0026636 A1, entire text; all drawings & CN 101355064 A	1-8
A	JP 3-68126 A (三菱電機株式会社) 1991.03.25, 全文, 全図 (ファミリーなし)	1-8
A	JP 2001-332863 A (イビデン株式会社) 2001.11.30, 全文, 全図 & US 2003/0015342 A1, entire text; all drawings & EP 1259103 A1 & TW 582192 B & CN 1406455 A & KR 10-2003-0007438 A	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

14.06.2018

国際調査報告の発送日

26.06.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中田 剛史

50

2951

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-260768 A (カシオ計算機株式会社) 1999. 09. 24, 全文, 全図 (ファミリーなし)	1-8
A	JP 2012-104757 A (新光電気工業株式会社) 2012. 05. 31, 全文, 全 図 (ファミリーなし)	1-8
A	JP 2001-144197 A (富士通株式会社) 2001. 05. 25, 全文, 全図 & US 2006/0279003 A1, entire text; all drawings & TW 452963 B & KR 10-2001-0049480 A	1-8