

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-14338

(P2004-14338A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO1B 1/22	HO1B 1/22	5E070
HO1F 17/00	HO1F 17/00	5G301

審査請求 有 請求項の数 2 O L (全 10 頁)

(21) 出願番号	特願2002-167102 (P2002-167102)	(71) 出願人	000006231 株式会社村田製作所 京都府長岡京市天神二丁目26番10号
(22) 出願日	平成14年6月7日(2002.6.7)	(74) 代理人	100092071 弁理士 西澤 均
		(72) 発明者	穴太 公治 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内
		Fターム(参考)	5E070 AA01 CB03 CB13 5G301 DA03 DA42

(54) 【発明の名称】 導電性ペースト

(57) 【要約】

【課題】 デラミネーションやクラックなどの構造欠陥のない積層セラミック電子部品を効率よく製造することが可能な導電性ペーストを提供する。

【解決手段】 積層セラミック電子部品の内部電極形成用の導電性ペーストにおいて、レーザー回折・散乱法による測定装置により測定した平均粒径及び平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が、平均粒径： $1.5 \sim 3.5 \mu\text{m}$ 、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積：40%以下の条件を満たすAg粉末又はAgを主成分とする金属粉末を導電成分として用い、これと有機ビヒクルを配合して導電性ペーストとする。

そして、この導電性ペーストを積層型インダクタの内部電極の形成に用いる。

【選択図】 なし

【特許請求の範囲】**【請求項 1】**

積層セラミック電子部品の内部電極形成用の導電性ペーストであって、

(a) A g 粉末又は A g を主成分とする金属粉末であって、レーザー回折・散乱法による測定装置により測定した平均粒径及び平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が、

平均粒径： $1.5 \sim 3.5 \mu\text{m}$

平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積： 40 % 以下

の条件を満たす A g 粉末又は A g を主成分とする金属粉末と、

(b) 有機ビヒクルと

を含有することを特徴とする導電性ペースト。

10

【請求項 2】

前記積層セラミック電子部品が積層型インダクタであることを特徴とする請求項 1 記載の導電性ペースト。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は導電性ペーストに関し、詳しくは、積層型インダクタ、積層セラミックコンデンサ、多層セラミック基板などの積層セラミック電子部品の内部電極の形成に使用される導電性ペーストに関する。

【0002】

20

【従来の技術】

従来より、積層型インダクタは低抵抗であることが必要となるため、内部電極形成用の導電性ペーストとしては、主として A g 粉末を主たる導電成分とする A g ペーストが使用されている。

この A g ペーストは、A g 粉末と、エチルセルロースをテルピネオールやブチルカルピトールなどの溶剤に溶解させた有機ビヒクルとを所定の割合で配合して混練することにより製造されている。

【0003】

図 3 (a) は、このような A g ペーストを用いて形成される積層型インダクタを示す斜視図、図 3 (b) はその構成及び製造方法を説明する分解斜視図である。

30

この積層型インダクタは、図 3 (a) に示すように、内部に積層型のコイル 5 2 が配設された素子 (チップ状素子) 5 1 に、コイル 5 2 の両端部と導通する一対の外部電極 5 3 a , 5 3 b が配設された構造を有している。

【0004】

そして、この積層型インダクタは、図 3 (b) に示すように、A g ペーストをスクリーン印刷などの方法で磁性体グリーンシートの表面に印刷してコイルパターン (内部電極) 5 2 a を形成した磁性体グリーンシート 5 4 を複数枚積層するとともに、その上下両面側にコイルパターンの形成されていない磁性体グリーンシート (外層用シート) 5 4 a を積層した後、圧着し、各コイルパターン 5 2 a をビアホール 5 5 により接続してコイル 5 2 を形成し、積層体 (未焼成の素子) を焼成した後、素子 5 1 の両端部に導電ペーストを塗布、焼付けして、外部電極 5 3 a , 5 3 b (図 3 (a)) を形成することにより製造されている。

40

【0005】

なお、実際の製造工程では、多数個のコイルパターンを形成したマザーシートを積層、圧着することにより形成したマザー積層体を、所定のチップサイズにカットし、焼成した後、外部電極の形成を行うことにより、一度に多数個の積層型インダクタを製造する多数個取りの方法が一般的に用いられている。

【0006】**【発明が解決しようとする課題】**

しかしながら、このような方法で製造される積層型インダクタにおいては、セラミック層

50

間の剥離（デラミネーション）や、微小で検出が困難なクラックの発生などの問題点がある。特に粒度分布が均一で分散性のよいAg粉末やAgを主成分とする金属粉末を導電成分とする導電性ペーストを用いた場合には、印刷性が良好である反面、上述のデラミネーションやクラックなどの構造欠陥が発生しやすく、十分な信頼性を確保することが容易ではないという問題点がある。

【0007】

なお、粒度分布が均一で分散性のよいAg粉末やAgを主成分とする金属粉末などを導電成分とする導電性ペーストを用いた場合に構造欠陥が発生しやすいのは、主として、粒度分布がシャープであるため、焼成工程において内部電極が400前後で急収縮するため、内部電極を介して対向するセラミック層間にデラミネーションや微小なクラックが発生しやすくなることによる。なお、急収縮する温度は、Ag粉末の粒径、配合する有機ビヒクルを構成する樹脂の種類などにより異なるが、一般的に、350～500くらいの温度範囲で急収縮が生じる。

10

【0008】

なお、上記問題点は、積層型インダクタの場合に限らず、積層セラミックコンデンサ、多層セラミック基板などの他の積層セラミック電子部品にも当てはまるものである。

【0009】

本発明は、上記問題点を解決するものであり、デラミネーションやクラックなどの構造欠陥のない積層セラミック電子部品を効率よく製造することが可能な導電性ペーストを提供することを目的とする。

20

【0010】

【課題を解決するための手段】

上記目的を達成するため、本発明の導電性ペーストは、

積層セラミック電子部品の内部電極形成用の導電性ペーストであって、

(a) Ag粉末又はAgを主成分とする金属粉末であって、レーザー回折・散乱法による測定装置により測定した平均粒径及び平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が、

平均粒径：1.5～3.5 μm

平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積：40%以下

の条件を満たすAg粉末又はAgを主成分とする金属粉末と、

(b) 有機ビヒクルと

を含有することを特徴としている。

30

【0011】

Ag粉末又はAgを主成分とする金属粉末であって、レーザー回折・散乱法による粒度分布測定において、平均粒径が1.5～3.5 μm 、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が40%以下であるAg粉末又はAgを主成分とする金属粉末を用いることにより、印刷性をそれほど低下させることなく、該導電性ペーストを用いて製造される積層セラミック電子部品にデラミネーションやクラックなどの構造欠陥が発生することを抑制、防止して、所望の特性を備えた、信頼性の高い積層セラミック電子部品を効率よく製造することが可能になる。

すなわち、導電成分として、粒度分布に幅を持たせたAg粉末又はAgを主成分とする金属粉末を用いることにより、焼成工程における内部電極の急収縮を抑制、防止して、緩やかに収縮させることが可能になり、その結果として、デラミネーションや微小なクラックなどの構造欠陥の発生を効率よく防止することが可能になる。

40

なお、本発明の導電性ペーストにおいては、上記金属粉末として、平均粒径が2.0～3.0 μm のものを用いることがより好ましく、また、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が36%以下のものを用いることがより好ましい。

【0012】

なお、本発明において、Agを主成分とする金属粉末としては、Ag-Pd合金や、Ag粉末とPdを混合した混合粉末などが例示されるが、これらの他にも、AgとPd以外の金属との合金や、Ag粉末とPd以外の金属粉末との混合粉末を用いることも可能である

50

。

【0013】

また、本発明においては、A g 粉末又はA g を主成分とする金属粉末として、平均粒径が1.5 ~ 3.5 μ mの範囲にあるものを用いることが望ましい。これは、金属粉末の平均粒径が3.5 μ mより大きくなると印刷直線性が悪くなり、ファインライン印刷に適さなくなること、また、平均粒径が1.5 μ mより小さくなると、導電性ペーストを印刷したグリーンシートを積層、圧着し、焼成した後の積層素子の端面への内部電極の露出が不十分になり、内部電極と外部電極の接続信頼性が低下することによる。

【0014】

また、請求項2の導電性ペーストは、前記積層セラミック電子部品が積層型インダクタであることを特徴としている。 10

【0015】

積層型インダクタにおいては、低抵抗であることが必要となるため、内部電極形成用の導電性ペーストとして、A g 粉末又はA g を主成分とする金属粉末を導電成分とする導電性ペーストが一般的に用いられることから、積層型インダクタの内部電極の形成に用いられる導電性ペーストに本発明を適用することにより、デラミネーションやクラックなどの構造欠陥のない積層型インダクタを効率よく製造することが可能になる。

【0016】

【発明の実施の形態】

導電成分であるA g 粉末と、有機バインダーであるエチルセルロースと溶媒であるテルピネオールを配合した有機ビヒクルを、 20

銀粉末 : 77.5重量%

有機ビヒクル : 22.5重量%

の割合で配合して配合して、攪拌、混合し、導電性ペーストを作製する。

【0017】

このとき、A g 粉末として、平均粒径が1.5 ~ 3.5 μ m、平均粒径 \pm 0.5 μ mの粒度分布累積が40%以下のA g 粉末を用いる。

なお、粒度分布及び平均粒径の測定は、レーザー回折・散乱型粒度分布測定装置であるマイクロトラックHRA粒度分布計(リーズ&ノースラップ社製 モデル9320-X100)を用いて行う。 30

【0018】

この内部電極ペーストを、フェライトセラミック材料をシート状に成形したフェライトグリーンシートにスクリーン印刷してコイルパターン(内部電極パターン)を形成する。そして、このフェライトグリーンシートを積み重ねるとともに、さらにその上下両面側にコイルパターンの配設されていない外層用のフェライトグリーンシートを積み重ね、圧着した後、所定のチップサイズにカットし、脱バインダー処理及び焼成を行い、外部電極を形成して積層型インダクタを作製する。

【0019】

【実施例】

以下、本発明の実施例を示して、本発明をさらに具体的に説明する。 40

【0020】

[実施例1の積層型インダクタの作製]

(1)以下の組成となるように各成分を配合して、本発明の実施例にかかる導電性ペーストを作製した。

A g 粉末 : 77.5重量%

エチルセルロース : 2.2重量%

テルピネオール : 20.3重量%

A g 粉末としては、表 1 の実施例 1 の欄に示した粒度分布を有し、平均粒径が $2.0 \mu\text{m}$ 、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が 33.6% の A g 粉末を用いた。

(2) また、フェライト粉末に、バインダーとしてのブチラール樹脂、可塑剤、及び分散剤などを加えてスラリー化し、ドクターブレード法によりシート化して、焼成前の厚みが $45 \mu\text{m}$ のフェライトグリーンシートを作製した。

(3) それから、図 1 (a), (b), (c), (d), (e), (f) に示すように、フェライトグリーンシート 1 に、上記 (1) で作製した導電性ペーストをスクリーン印刷することにより、所定のコイルパターン (内部電極パターン) 2 を形成した。なお、コイルパターン 2 は、蛍光 X 線法による測定厚みが $9.5 \mu\text{m}$ となるように印刷した。なお、図 1 のフェライトグリーンシートのうち、最上層のフェライトグリーンシート 1 (1 a) , 最下層のフェライトグリーンシート 1 (1 b) には、コイルパターン 2 と引出し電極 2 a が配設されている。

10

(4) そして、図 1 (a), (b), (c), (d), (e), (f) に示す各フェライトグリーンシート 1 を積み重ねるとともに、さらにその上下両面側にコイルパターンの配設されていない外層用のフェライトグリーンシート (図示せず) を積み重ね、圧着して各コイルパターン 2 をビアホール 3 により接続して積層型コイル 4 (図 2) を形成した後、脱バインダー処理及び焼成を行った。

(5) それから、図 2 に示すように、得られたチップ状素子 (焼結体) 1 1 に、外部電極 1 2 a, 1 2 b を形成することにより、内部に積層型コイル 4 が配設された素子 (チップ状素子) 1 1 に、積層型コイル 4 の両端部と導通する外部電極 1 2 a, 1 2 b が配設された構造を有する実施例 1 の積層型インダクタ (図 2) を得た。なお、この積層型インダクタの寸法は、長さ (L) : 1.6mm , 幅 (W) : 0.8mm , 厚み (T) : 0.8mm である。

20

【0021】

[実施例 2 の積層型インダクタの作製]

上記実施例 1 の場合と同様にして、表 1 の実施例 2 の欄に示した粒度分布を有し、平均粒径が $2.5 \mu\text{m}$ 、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が 35.3% の A g 粉末を用いて実施例 2 の積層型インダクタを作製した。

【0022】

[実施例 3 の積層型インダクタの作製]

上記実施例 1 の場合と同様にして、表 1 の実施例 3 の欄に示した粒度分布を有し、平均粒径が $3.0 \mu\text{m}$ 、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が 31.7% の A g 粉末を用いて実施例 3 の積層型インダクタを作製した。

30

【0023】

[比較例 1 の積層型インダクタの作製]

平均粒径が $2.0 \mu\text{m}$ と上記実施例 1 の場合と同じであるが、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が 47.6% とシャープな A g 粉末を用いて導電性ペーストを作製し、この導電性ペーストを用いて比較例 1 の積層型インダクタを作製した。

【0024】

[比較例 2 の積層型インダクタの作製]

平均粒径が $2.5 \mu\text{m}$ と上記実施例 2 の場合と同じであるが、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が 52.4% とシャープな A g 粉末を用いて導電性ペーストを作製し、この導電性ペーストを用いて比較例 2 の積層型インダクタを作製した。

40

【0025】

[比較例 3 の積層型インダクタの作製]

平均粒径が $3.0 \mu\text{m}$ と上記実施例 3 の場合と同じであるが、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が 47.9% とシャープな A g 粉末を用いて導電性ペーストを作製し、この導電性ペーストを用いて比較例 3 の積層型インダクタを作製した。

【0026】

[実施例 1, 2 及び 3 の積層型インダクタの評価]

50

実施例 1, 2, 3、及び比較例 1, 2, 3 の積層型インダクタについて、デラミネーション及び微小なクラックの発生の有無を調べた。その結果を表 1 併せて示す。

【 0 0 2 7 】

【 表 1 】

	平均 粒径 μm	A g 粉末の分布 (%)									粒度分布 累積 (%) *1	構造欠陥 発生率 (%) *2	
		0.5 以下 (μm)	0.5を 超えて 1.0 以下 (μm)	1.0を 超えて 1.5 以下 (μm)	1.5を 超えて 2.0 以下 (μm)	2.0を 超えて 2.5 以下 (μm)	2.5を 超えて 3.0 以下 (μm)	3.0を 超えて 3.5 以下 (μm)	3.5を 超えて 4.0 以下 (μm)	4.0を 超えて 4.5 以下 (μm)			4.5 以上 (μm)
実施例1	2.0	0.4	13.6	17.0	18.9	14.7	12.3	10.1	6.4	2.6	4.0	33.6	0
実施例2	2.5	0.7	6.3	12.1	13.3	17.6	17.7	14.7	8.0	4.4	5.2	35.3	0
実施例3	3.0	0.0	2.5	9.0	10.6	13.0	14.9	16.8	15.6	10.5	7.1	31.7	0
比較例1	2.0	0.0	6.8	18.8	24.4	23.2	14.1	6.7	3.2	1.3	1.5	47.6	68
比較例2	2.5	0.0	2.5	6.9	12.6	28.0	24.4	14.0	5.2	2.8	3.6	52.4	75
比較例3	3.0	0.0	2.3	3.5	6.5	12.8	24.9	23.0	12.1	8.9	6.0	47.9	86

*1) 平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積

*2) デラミネーション、クラックの発生率、調査数100個

10

20

30

40

50

【 0 0 2 8 】

表 1 に示すように、実施例 1 , 2 及び 3 の積層型インダクタにおいては、デラミネーションや微小なクラックなどの構造欠陥の発生は全く認められなかった。

【 0 0 2 9 】

これに対し、平均粒径は 2 . 0 μm と上記実施例 1 の場合と同じであるが、平均粒径 $\pm 0 . 5 \mu\text{m}$ の粒度分布累積が 4 7 . 6 % とシャープな Ag 粉末を導電成分とする導電性ペーストを用いた比較例 1 の積層型インダクタにおいては、デラミネーションや微小なクラックなどの構造欠陥の発生率が 6 8 % と高い値となった。

【 0 0 3 0 】

また、平均粒径が 2 . 5 μm と上記実施例 2 の場合と同じであるが、平均粒径 $\pm 0 . 5 \mu\text{m}$ の粒度分布累積が 5 2 . 4 % とシャープな Ag 粉末を導電成分とする導電性ペーストを用いた比較例 2 の積層型インダクタにおいても、デラミネーションや微小なクラックなどの構造欠陥の発生率が 7 5 % と高い値になっている。

10

【 0 0 3 1 】

さらに、平均粒径は 3 . 0 μm と上記実施例 3 の場合と同じであるが、平均粒径 $\pm 0 . 5 \mu\text{m}$ の粒度分布累積が 4 7 . 9 % とシャープな Ag 粉末を導電成分とする導電性ペーストを用いた比較例 3 の積層型インダクタにおいては、デラミネーションや微小なクラックなどの構造欠陥の発生率が 8 6 % とさらに高い値になっている。

【 0 0 3 2 】

このように、レーザー回折・散乱法による測定装置により測定した平均粒径及び平均粒径 $\pm 0 . 5 \mu\text{m}$ の粒度分布累積が、平均粒径： 1 . 5 ~ 3 . 5 μm (より好ましくは、 2 . 0 ~ 3 . 0 μm)、平均粒径 $\pm 0 . 5 \mu\text{m}$ の粒度分布累積： 4 0 % 以下 (より好ましくは 3 6 % 以下) の条件を満たす Ag 粉末を導電成分とする導電性ペーストを用いることにより、デラミネーションや微小なクラックなどの構造欠陥の発生を著しく低減できることがわかる。

20

【 0 0 3 3 】

[焼成工程における収縮率]

また、上記実施例 1 ~ 3 の導電性ペースト及び比較例 1 ~ 3 の導電性ペーストの焼成工程における収縮率の挙動を調べるため、すなわち、(1) 8 5 0 で焼成した場合の収縮率 (室温から 8 5 0 の焼成工程全体での収縮率) と、(2) 3 5 0 ~ 5 0 0 の急激に収縮する温度範囲における 5 0 当たりの収縮率を測定した。その結果を表 2 に示す。

30

【 0 0 3 4 】

【 表 2 】

	平均粒径 (μm)	平均粒径 $\pm 0.5\mu\text{m}$ の 粒度分布 累積 (%)	850°Cで 焼成した 場合の 収縮率 (%)	350~500°Cで の50°C当 たりの収縮率 (%)	構造欠陥 発生率 (%) *1)
実施例1	2.0	33.6	14.7	3.0以下	0
実施例2	2.5	35.3	15.2	3.0以下	0
実施例3	3.0	31.7	15.5	3.0以下	0
比較例1	2.0	47.6	15.3	8.3	68
比較例2	2.5	52.4	16.5	8.7	75
比較例3	3.0	47.9	17.0	9.8	86

*1) デラミネーション、クラックの発生率 (調査数100個)

10

20

30

40

50

【0035】

なお、収縮率(%)は、焼成により収縮した電極厚みをAとし、焼成前の電極厚みをBとした場合に、下記の式により求められる値である。

$$\text{収縮率}(\%) = \{ (B - A) / B \} \times 100$$

測定試料は、導電性ペーストを乾燥させて粉末状にし、金型にて約98MPaの圧力をかけて成型することにより成形体を作製し、熱機械分析装置(TMA)にて測定した。

【0036】

表2に示すように、850°Cで焼成した場合の収縮率(室温から850°Cの焼成工程全体での収縮率)は、実施例1~3と、比較例1~3とで大きな差はないが、350~500°Cの温度範囲における50°C当たりの収縮率は、実施例1~3では3.0%以下と小さいのに対して、比較例1~3では、8%以上と大きくなっており、実施例1~3では、この急収縮率が小さいため、デラミネーション及びクラックの発生が抑制、防止されているものと考えられる。

【0037】

なお、上記実施形態及び実施例では、金属粉末としてAg粉末を用いた場合を例にとって説明したが、本発明において、金属粉末はAg粉末に限られるものではなく、Ag-Pd合金粉末や、Ag粉末とPdを混合した混合粉末など、Agを主成分とする種々の金属粉末を用いることが可能である。

【0038】

なお、上記実施形態及び実施例では、エチルセルロースとテルピネオールを配合した有機ビヒクルを用いた場合について説明したが、有機ビヒクルはこれに限られるものではなく、他の有機ビヒクルを用いる場合にも本発明を適用することが可能である。

【0039】

また、上記実施形態及び実施例では、積層型インダクタを例にとって説明したが、本発明は積層セラミックコンデンサ、多層セラミック基板などの他の積層セラミック電子部品にも適用することも可能であり、その場合にも、上記実施形態及び実施例の場合と同様に、デラミネーションやクラックの発生を抑制、防止して、信頼性の高い製品を得ることができる。

【0040】

なお、本発明は、その他の点においても上記実施形態及び実施例に限定されるものではなく、発明の要旨の範囲内において、種々の応用、変形を加えることが可能である。

【0041】

【発明の効果】

上述のように、本発明（請求項1）の導電性ペーストは、Ag粉末又はAgを主成分とする金属粉末であって、レーザー回折・散乱法による粒度分布測定において、平均粒径が $1.5 \sim 3.5 \mu\text{m}$ 、平均粒径 $\pm 0.5 \mu\text{m}$ の粒度分布累積が40%以下であるAg粉末又はAgを主成分とする金属粉末を用いているので、印刷性をそれほど低下させることなく、該導電性ペーストを用いて製造される積層セラミック電子部品にデラミネーションやクラックなどの構造欠陥が発生することを抑制、防止して、所望の特性を備えた、信頼性の高い積層セラミック電子部品を効率よく製造することができる。

すなわち、本発明においては、導電成分として、粒度分布に幅を持たせたAg粉末又はAgを主成分とする金属粉末を用いているので、焼成工程における内部電極の急収縮を抑制、防止して、緩やかに収縮させることが可能になり、その結果として、デラミネーションや微小なクラックなどの構造欠陥の発生を効率よく防止することができるようになる。

【0042】

また、積層型インダクタにおいては、低抵抗であることが必要となるため、内部電極形成用の導電性ペーストとして、Ag粉末又はAgを主成分とする金属粉末を導電成分とする導電性ペーストが一般的に用いられることから、請求項2のように、積層型インダクタの内部電極の形成に用いられる導電性ペーストに本発明を適用することにより、デラミネーションやクラックなどの構造欠陥のない積層型インダクタを効率よく製造することが可能になり、有意義である。

【図面の簡単な説明】

【図1】(a)～(f)は本発明の一実施形態にかかる導電性ペーストを用いてコイルパターン（内部電極パターン）を形成したフェライトグリーンシートを示す図である。

【図2】本発明の導電性ペーストを用いて製造した積層型インダクタを示す斜視図である。

【図3】従来の積層型インダクタを示す図であり、(a)は斜視図、(b)はその構成及び製造方法を説明する内部構造を示す分解斜視図である。

【符号の説明】

1	フェライトグリーンシート
1 a	最上層のフェライトグリーンシート
1 b	最下層のフェライトグリーンシート
2	コイルパターン（内部電極パターン）
2 a	引出し電極
3	ピアホール
4	積層型コイル
1 1	チップ状素子
1 2 a , 1 2 b	外部電極
L	積層型インダクタの長さ
T	積層型インダクタの厚み
W	積層型インダクタの幅

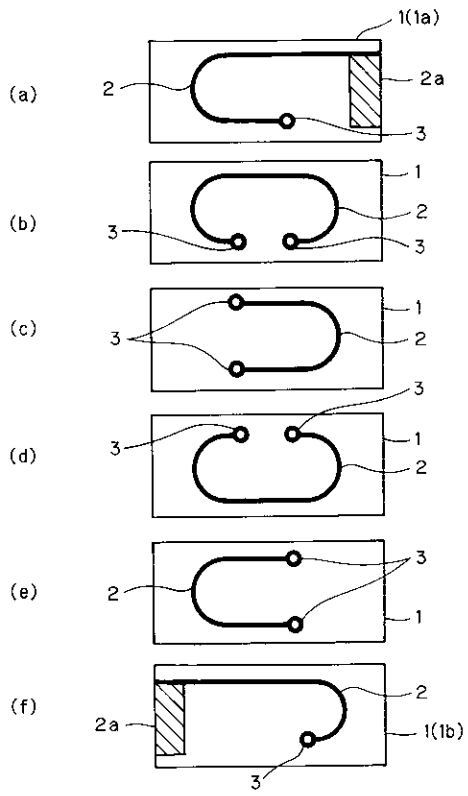
10

20

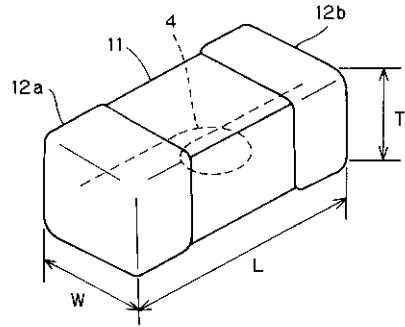
30

40

【 図 1 】



【 図 2 】



【 図 3 】

