



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I731256 B

(45)公告日：中華民國 110 (2021) 年 06 月 21 日

(21)申請案號：107128113

(22)申請日：中華民國 107 (2018) 年 08 月 13 日

(51)Int. Cl. : G11C16/26 (2006.01)

G11C16/30 (2006.01)

(30)優先權：2017/08/29 美國

15/689,747

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：莫斯 阿斯托斯 MALSHE, ASHUTOSH (US)；穆榭爾拉 奇修爾 估瑪
 MUCHHERLA, KISHORE KUMAR (IN)；辛吉帝 哈里斯 瑞迪 SINGIDI,
 HARISH REDDY (IN)；費利 彼特 西恩 FEELEY, PETER SEAN (US)；瑞特南
 山帕斯 RATNAM, SAMPATH (IN)；譚佩羅吉 庫拉齊特 TANPAIROJ,
 KULACHET (US)；羅婷 LUO, TING (CN)

(74)代理人：陳長文

(56)參考文獻：

TW I447733

TW 201324512

US 2011/0007563A1

US 2014/0233322A1

US 2016/0148702A1

US 2016/0197623A1

US 2017/0068479A1

US 2017/0148510A1

審查人員：劉聖尉

申請專利範圍項數：31 項 圖式數：8 共 74 頁

(54)名稱

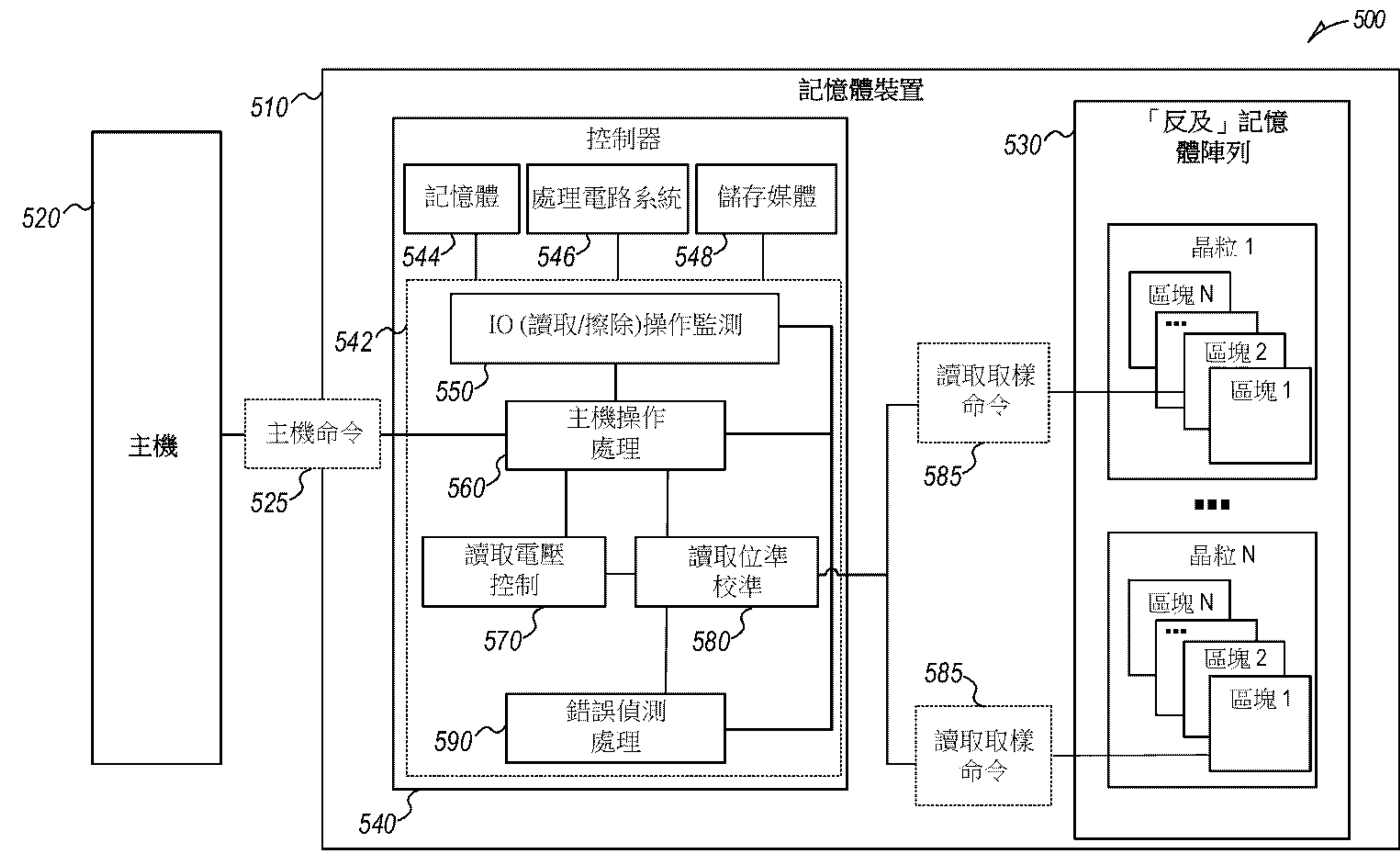
基於主機輸入輸出操作之讀取電壓校準

(57)摘要

本發明揭示用於基於主機輸入輸出操作之一基於快閃之儲存系統之讀取電壓校準之裝置及技術。在一實例中，一種記憶體裝置包含：一「反及」記憶體陣列，其具有記憶體胞元之多個區塊之群組；及一記憶體控制器，其用於最佳化該記憶體陣列之讀取電壓校準。在一實例中，最佳化技術包含：監測針對一各自區塊發生之讀取操作；基於該等讀取操作來識別用於觸發一讀取位準校準之一條件；及對該各自區塊或包含該各自區塊之一記憶體組件執行該讀取位準校準。在另一實例中，基於用於讀取該各自區塊之一臨限電壓來執行該校準，可在由該讀取位準校準執行之一取樣操作內評估用於讀取該各自區塊之該臨限電壓時考量用於讀取該各自區塊之該臨限電壓。

Devices and techniques for read voltage calibration of a flash-based storage system based on host IO operations are disclosed. In an example, a memory device includes a NAND memory array having groups of multiple blocks of memory cells, and a memory controller to optimize voltage calibration for reads of the memory array. In an example, the optimization technique includes monitoring read operations occurring to a respective block, identifying a condition to trigger a read level calibration based on the read operations, and performing the read level calibration for the respective block or a memory component that includes the respective block. In a further example, the calibration is performed based on a threshold voltage to read the respective block, which may be considered when the threshold voltage to read the respective block is evaluated within a sampling operation performed by the read level calibration.

指定代表圖：



【圖5】

符號簡單說明：

- 500 . . . 系統
- 510 . . . 記憶體裝置
- 520 . . . 主機
- 525 . . . 主機命令
- 530 . . . 「反及」記憶體陣列
- 540 . . . 控制器
- 542 . . . 控制操作
- 544 . . . 記憶體
- 546 . . . 處理電路系統
- 548 . . . 儲存媒體
- 550 . . . 輸入輸出 (IO)操作監測
- 560 . . . 主機操作處理
- 570 . . . 讀取電壓控制
- 580 . . . 讀取位準校準
- 585 . . . 取樣命令
- 590 . . . 錯誤偵測處理



公告本

I731256

【發明摘要】

【中文發明名稱】

基於主機輸入輸出操作之讀取電壓校準

【英文發明名稱】

READ VOLTAGE CALIBRATION BASED ON HOST IO

OPERATIONS

【中文】

本發明揭示用於基於主機輸入輸出操作之一基於快閃之儲存系統之讀取電壓校準之裝置及技術。在一實例中，一種記憶體裝置包含：一「反及」記憶體陣列，其具有記憶體胞元之多個區塊之群組；及一記憶體控制器，其用於最佳化該記憶體陣列之讀取電壓校準。在一實例中，最佳化技術包含：監測針對一各自區塊發生之讀取操作；基於該等讀取操作來識別用於觸發一讀取位準校準之一條件；及對該各自區塊或包含該各自區塊之一記憶體組件執行該讀取位準校準。在另一實例中，基於用於讀取該各自區塊之一臨限電壓來執行該校準，可在由該讀取位準校準執行之一取樣操作內評估用於讀取該各自區塊之該臨限電壓時考量用於讀取該各自區塊之該臨限電壓。

【英文】

Devices and techniques for read voltage calibration of a flash-based storage system based on host IO operations are disclosed. In an example, a memory device includes a NAND memory array having groups of multiple blocks of memory cells, and a memory controller to optimize voltage calibration for reads of the memory array. In an example, the

optimization technique includes monitoring read operations occurring to a respective block, identifying a condition to trigger a read level calibration based on the read operations, and performing the read level calibration for the respective block or a memory component that includes the respective block. In a further example, the calibration is performed based on a threshold voltage to read the respective block, which may be considered when the threshold voltage to read the respective block is evaluated within a sampling operation performed by the read level calibration.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

500	系統
510	記憶體裝置
520	主機
525	主機命令
530	「反及」記憶體陣列
540	控制器
542	控制操作
544	記憶體
546	處理電路系統
548	儲存媒體
550	輸入輸出(IO)操作監測

560	主機操作處理
570	讀取電壓控制
580	讀取位準校準
585	取樣命令
590	錯誤偵測處理

【發明說明書】

【中文發明名稱】

基於主機輸入輸出操作之讀取電壓校準

【英文發明名稱】

READ VOLTAGE CALIBRATION BASED ON HOST IO
OPERATIONS

【技術領域】

【先前技術】

【0001】 記憶體裝置通常作為內部半導體積體電路提供於電腦或其他電子裝置中。存在諸多不同類型之記憶體，其包含揮發性及非揮發性記憶體。

【0002】 揮發性記憶體需要電力來保存其資料，且尤其包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)或同步動態隨機存取記憶體(SDRAM)。

【0003】 非揮發性記憶體可在未被供電時保存儲存資料，且尤其包含快閃記憶體、唯讀記憶體(ROM)、電可擦除可程式化ROM(EEPROM)、靜態RAM (SRAM)、可擦除可程式化ROM (EPROM)、電阻可變記憶體(諸如相變隨機存取記憶體(PCRAM))、電阻隨機存取記憶體(RRAM)、磁阻隨機存取記憶體(MRAM)或3D XPoint™記憶體。

【0004】 快閃記憶體用作為各種電子應用之非揮發性記憶體。快閃記憶體裝置通常包含允許高記憶體密度、高可靠性及低電力消耗之單電晶體、浮動閘極或電荷捕捉記憶體胞元之一或多個群組。

【0005】 兩種常見類型之快閃記憶體陣列架構包含以其中配置各架

構之基本記憶體胞元組態之邏輯形式命名之「反及」及「反或」架構。記憶體陣列之記憶體胞元通常配置成一矩陣。在一實例中，陣列之一列中之各浮動閘極記憶體胞元之間極耦合至一存取線(例如一字線)。在一「反或」架構中，陣列之一行中之各記憶體胞元之汲極耦合至一資料線(例如一位元線)。在一「反及」架構中，陣列之一串中之各記憶體胞元之汲極一起源極至汲極地串聯耦合於一源極線與一位元線之間。

【0006】 「反或」及「反及」兩種架構之半導體記憶體陣列透過解碼器存取，解碼器藉由選擇耦合至記憶體胞元閘極之字線來啟動特定記憶體胞元。在一「反或」架構半導體記憶體陣列中，選定記憶體胞元一旦被啟動，則將其資料值放置於位元線上以引起不同電流根據程式化一特定胞元之狀態來流動。在一「反及」架構半導體記憶體陣列中，將一高偏壓電壓施加於一汲極側選擇閘極(SGD)線。耦合至各群組之未選定記憶體胞元之閘極之字線由一指定導通電壓(例如V_{pass})驅動以將各群組之未選定記憶體胞元操作為導通電晶體(例如用於依不受其儲存資料值限制之一方式傳遞電流)。接著，電流自源極線通過各串聯耦合群組而流動至位元線(僅受各群組之選定記憶體胞元限制)以將選定記憶體胞元之當前編碼資料值放置於位元線上。

【0007】 一「反或」或「反及」架構半導體記憶體陣列中之各快閃記憶體胞元可被個別或共同程式化為一或若干程式化狀態。例如，一單位階胞元(SLC)可表示兩個程式化狀態(例如1或0)之一者以表示單位元資料。

【0008】 然而，快閃記憶體胞元亦可表示兩個以上程式化狀態之一者以允許在不增加記憶體胞元之數目之情況下製造較高密度記憶體，因為

各胞元可表示一個以上二進位數位(例如一個以上位元)。此等胞元可指稱多狀態記憶體胞元、多數位胞元或多位階胞元(MLC)。在特定實例中，MLC可係指可每胞元儲存兩個位元之資料(例如四個程式化狀態之一者)之一記憶體胞元，一三位階胞元(TLC)可係指可每胞元儲存三個位元之資料(例如八個程式化狀態之一者)之一記憶體胞元，且一四位階胞元(QLC)可每胞元儲存四個位元之資料。本文中之MLC用於其更廣背景中以可係指可每胞元儲存一個以上位元之資料(即，可表示兩個以上程式化狀態)之任何記憶體胞元。

【0009】 傳統記憶體陣列係配置於一半導體基板之一表面上之二維(2D)結構。為增加一給定面積之記憶體容量且減少成本，已減小個別記憶體胞元之大小。然而，減小個別記憶體胞元之大小存在一技術限制，且2D記憶體陣列之記憶體密度因此存在一技術限制。作為回應，正在開發諸如三維(3D)「反及」架構半導體記憶體裝置之3D記憶體結構以進一步提高記憶體密度及降低記憶體成本。

【0010】 此等3D「反及」裝置通常包含串聯耦合(例如汲極至源極)於接近一源極之一或多個源極側選擇閘極(SGS)與接近一位元線之一或多個汲極側選擇閘極(SGD)之間的儲存胞元串。在一實例中，SGS或SGD可包含一或多個場效電晶體(FET)或金屬氧化物半導體(MOS)結構裝置等等。在一些實例中，串將垂直延伸穿過含有各自字線之多個垂直間隔層。一半導體結構(例如一多晶矽結構)可相鄰於一串儲存胞元延伸以形成儲存胞元串之一通道。在一垂直串之實例中，多晶矽結構可呈一垂直延伸柱之形式。在一些實例中，串可「摺疊」且因此相對於一U形柱配置。在其他實例中，多個垂直結構可彼此上下堆疊以形成儲存胞元串之堆疊陣列。

【0011】 記憶體陣列或裝置可經組合在一起以形成諸如一固態硬碟(SSD)、一通用快閃儲存(UFS™)裝置、一多媒體卡(MMC)固體儲存裝置、一嵌入式MMC裝置(eMMC™)等等之一記憶體系統之一儲存容量。一SSD可尤其用作為一電腦之主儲存裝置，其移動部分具有相較於傳統硬碟之(例如)效能、大小、重量、堅固性、操作溫度範圍及電力消耗優點。例如，SSD可減少尋找時間、延時或與磁碟機(例如機電等等)相關聯之其他延遲。SSD使用諸如快閃記憶體胞元之非揮發性記憶體胞元來消除內部電池供應需求以因此允許硬碟使用更廣及小型化。

【0012】 一SSD可包含若干記憶體裝置(其包含若干晶粒或邏輯單元(例如邏輯單元號碼或LUN))，且可包含執行操作記憶體裝置或與外部系統介接所需之邏輯功能之一或多個處理器或其他控制器。此等SSD可包含一或多個快閃記憶體晶粒，其包含若干記憶體陣列及其上之周邊電路系統。快閃記憶體陣列可包含組織成若干實體頁面之若干記憶體胞元區塊。在諸多實例中，SSD亦將包含DRAM或SRAM (或其他形式之記憶體晶粒或其他記憶體結構)。SSD可自一主機接收與記憶體操作(諸如用於在記憶體裝置與主機之間轉移資料(例如使用者資料及相關聯之完整性資料，諸如錯誤資料及位址資料等等)之讀取或寫入操作或用於自記憶體裝置擦除資料之擦除操作)相關聯之命令。

【0013】 在基於「反及」快閃之儲存系統中，成功執行讀取操作所需之讀取電壓臨限值(V_t)會時常經受移位。此等移位可由「反及」快閃記憶體上之熟知應力(諸如讀取干擾、資料保存、交叉溫度效應及其他制約)所致。此外，一記憶體陣列內之不同「反及」區塊會經歷誘發一變化電荷損失或電荷增益量之一變化應力量；同樣地，一陣列之不同「反及」區塊

通常在不同溫度處被寫入及讀取。因此，「反及」 V_t 與由一儲存系統實際使用之讀取電壓之間的一失配會發生於諸多情境中。用於讀取電壓校準之各種技術由諸多「反及」儲存系統用於根據「反及」 V_t 調整讀取電壓。然而，用於發起及利用讀取電壓校準之既有方法通常無法完全解決已發生於被讀取之記憶體之一特定區域中之電壓臨限值移位以導致來自被請求及執行之讀取操作、額外校準及調整操作之無用資料錯誤及儲存系統之延遲及效能降低。

【發明內容】

【0014】 一種記憶體裝置包括：一「反及」記憶體陣列，其具有記憶體胞元之多個區塊之群組；及一記憶體控制器，其可操作地耦合至該記憶體陣列，該記憶體控制器用於執行包括以下各者之操作：監測針對該記憶體陣列之一各自區塊發生之讀取操作；至少部分基於針對該各自區塊發生之該等讀取操作來識別用於觸發一讀取位準校準之一條件；及回應於該識別條件而基於收容該各自區塊之多個區塊之一各自群組之一臨限電壓位準來執行該讀取位準校準，其中至少部分基於用於讀取該各自區塊之一臨限電壓來執行該讀取位準校準。

【0015】 一種方法係針對最佳化一記憶體裝置中之電壓讀取位準校準。該方法包括由一「反及」記憶體陣列之一記憶體控制器執行之複數個操作，且該記憶體陣列具有記憶體胞元之多個區塊之群組，其中該等操作包括：監測向該記憶體陣列之一各自區塊發出之讀取命令；至少部分基於向該各自區塊發出之該等讀取命令來識別用於觸發一讀取位準校準之一條件；及回應於該識別條件而基於收容該各自區塊之多個區塊之一各自群組之一臨限電壓位準來執行該讀取位準校準，其中至少部分基於用於讀取該

各自區塊之一臨限電壓來執行該讀取位準校準；其中該讀取位準校準更新用於在針對該各自區塊之一頁面之後續讀取操作中讀取該各自區塊之該頁面之一讀取電壓位準。

【0016】 一種裝置可讀儲存媒體提供在由一記憶體裝置之一控制器執行時最佳化該記憶體裝置中之電壓讀取位準校準之指令，其中該等指令引起該控制器執行包括以下各者之操作：監測針對該記憶體裝置之一「反及」記憶體陣列之一各自區塊發生之讀取操作，該「反及」記憶體陣列具有記憶體胞元之多個區塊之群組；至少部分基於針對該各自區塊發生之該等讀取操作來識別用於觸發一讀取位準校準之一條件；及回應於該識別條件而基於收容該各自區塊之多個區塊之一各自群組之一臨限電壓位準來執行該讀取位準校準；其中至少部分基於用於讀取該各自區塊之一臨限電壓來執行該讀取位準校準，且其中在由該讀取位準校準執行於該記憶體陣列中之一取樣操作內評估該各自區塊之該臨限電壓。

【圖式簡單說明】

【0017】 在未必按比例繪製之圖式中，相同元件符號可描述不同視圖中之類似組件。具有不同字母下標之相同元件符號可表示類似組件之不同例項。圖式大體上依舉例而非限制之方式繪示本發明中所討論之各種實施例。

【0018】 圖1繪示包含一記憶體裝置之一環境之一實例。

【0019】 圖2至圖3繪示一3D「反及」架構半導體記憶體陣列之一實例之示意圖。

【0020】 圖4繪示一記憶體模組之一實例性方塊圖。

【0021】 圖5繪示包含適合於實施用於讀取電壓校準之一最佳化技

術之一記憶體裝置之一實例性系統之一方塊圖。

【0022】 圖6繪示適合於執行用於讀取電壓校準之一最佳化技術之一實例性記憶體裝置組態之一操作序列圖。

【0023】 圖7繪示適合於執行用於讀取電壓校準之一最佳化技術之一組實例性操作之一流程圖。

【0024】 圖8係繪示可對其實施一或多個實施例之一機器之一實例的一方塊圖。

【實施方式】

【0025】 本文所討論之系統、程序及組態係關於用於觸發及執行一「反及」記憶體裝置之讀取電壓校準之最佳化技術。具體而言，揭示將主機讀取IO之實體覆蓋區即時用於待由一電壓位準校準取樣之一記憶體陣列之選擇區塊或其他區域之實例性技術。讀取電壓之校準可基於最頻繁讀取資料位置以因此降低觸發率且校準目標基準應力條件之 V_t 移動。此外，揭示實現智慧及自適應區塊取樣準則之實例性技術，該智慧及自適應區塊取樣準則促成一記憶體陣列之主動區域(例如由主機IO最頻繁存取之各自區塊及區塊群組)校準當前及未來操作中之儘可能最佳讀取效能之「反及」讀取電壓。此外，揭示識別用於觸發讀取電壓校準之條件及追蹤主機IO操作(其包含針對各自區塊及區塊群組之讀取及擦除活動)所涉及之一記憶體陣列之區域之狀態之實例性技術。

【0026】 電子裝置(諸如行動電子裝置(例如智慧型電話、平板電腦等等)、用於汽車應用中之電子裝置(例如汽車感測器、控制單元、駕駛輔助系統、乘客安全或舒適系統等等)及網際網路連接設備或裝置(例如物聯網(IoT)裝置等等))具有尤其取決於電子裝置之類型、使用環境、效能預期

等等之不同儲存需求。

【0027】 電子裝置可分成若干主組件：一處理器(例如一中央處理單元(CPU)或其他主處理器)、記憶體(例如一或多個揮發性或非揮發性隨機存取記憶體(RAM)記憶體裝置，諸如動態RAM (DRAM)、行動或低功率雙倍資料速率同步DRAM (DDR SDRAM)等等)及一儲存裝置(例如非揮發性記憶體(NVM)裝置，諸如快閃記憶體、唯讀記憶體(ROM)、SSD、MMC或其他記憶卡結構或總成等等)。在特定實例中，電子裝置可包含一使用者介面(例如一顯示器、觸控螢幕、鍵盤、一或多個按鈕等等)、一圖形處理單元(GPU)、一電力管理單元、一基頻處理器或一或多個收發器電路等等。

【0028】 圖1繪示包含經組態以經由一通信介面通信之一主機裝置105及一記憶體裝置110之一環境100之一實例。主機裝置105或記憶體裝置110可包含於各種產品150中，諸如用於支援產品150之處理、通信或控制之物聯網(IoT)裝置(例如一冰箱或其他電器、感測器、馬達或致動器、行動通信裝置、汽車、無人機等等)。

【0029】 記憶體裝置110包含一記憶體控制器115及一記憶體陣列120，記憶體陣列120包含(例如)若干個別記憶體晶粒(例如三維(3D)「反及」晶粒之一堆疊)。在3D架構半導體記憶體技術中，堆疊垂直結構以增加層、實體頁面之數目且因此提高一記憶體裝置(例如一儲存裝置)之密度。在一實例中，記憶體裝置110可為主機裝置105之一離散記憶體或儲存裝置組件。在其他實例中，記憶體裝置110可為一積體電路(例如單晶片系統(SOC)等等)之一部分，堆疊或否則包含於主機裝置105之一或多個其他組件上。

【0030】 一或多個通信介面可用於在記憶體裝置110與主機裝置105之一或多個其他組件(諸如一串列進階技術附件(SATA)介面、一快速周邊組件互連(PCIe)介面、一通用串列匯流排(USB)介面、一通用快閃儲存(UFS)介面、一eMMC™介面或一或多個其他連接器或介面)之間轉移資料。主機裝置105可包含一主機系統、一電子裝置、一處理器、一記憶卡讀取器或記憶體裝置110外之一或多個其他電子裝置。在一些實例中，主機105可為具有參考圖8之機器800所討論之組件之某部分或全部之一機器。

【0031】 記憶體控制器115可自主機105接收指令，且可與記憶體陣列通信以(諸如)轉移至(例如寫入或擦除)或來自(例如讀取)記憶體陣列之記憶體胞元、平面、子區塊、區塊或頁面之一或多者之資料。記憶體控制器115可尤其包含電路系統或韌體，其包含一或多個組件或積體電路。例如，記憶體控制器115可包含經組態以控制跨記憶體陣列120之存取及提供主機105與記憶體裝置110之間的一轉譯層之一或多個記憶體控制單元、電路或組件。記憶體控制器115可包含一或多個輸入/輸出(I/O)電路、線或介面來轉移至或來自記憶體陣列120之資料。記憶體控制器115可包含一記憶體管理器125及一陣列控制器135。

【0032】 記憶體管理器125可尤其包含諸如與各種記憶體管理功能相關聯之若干組件或積體電路之電路系統或韌體。為了本發明，將在「反及」記憶體之背景中描述實例性記憶體操作及管理功能。熟習技術者將認識到，其他形式之非揮發性記憶體可具有類比記憶體操作或管理功能。此等「反及」管理功能包含損耗平衡(例如廢棄項目收集或回收)、錯誤偵測或校正、區塊報廢或一或多個其他記憶體管理功能。記憶體管理器125可

將主機命令(例如自一主機接收之命令)剖析或格式化成裝置命令(例如與一記憶體陣列之操作相關聯之命令等等)或產生記憶體裝置110之陣列控制器135或一或多個其他組件之裝置命令(例如用於完成各種記憶體管理功能)。

【0033】 記憶體管理器125可包含經組態以保存與記憶體裝置110之一或多個組件相關聯之各種資訊(例如與耦合至記憶體控制器115之一記憶體陣列或一或多個記憶體胞元相關聯之各種資訊)之一組管理表130。例如，管理表130可包含關於耦合至記憶體控制器115之記憶體胞元之一或多個區塊之區塊年齡、區塊擦除計數、錯誤歷史或一或多個錯誤計數(例如一寫入操作錯誤計數、一讀取位元錯誤計數、一讀取操作錯誤計數、一擦除錯誤計數等等)之資訊。在特定實例中，若錯誤計數之一或多者之偵測錯誤之數目高於一臨限值，則位元錯誤可指稱一不可校正位元錯誤。管理表130可尤其保存可校正或不可校正位元錯誤之一計數。

【0034】 陣列控制器135可尤其包含經組態以控制與將資料寫入至耦合至記憶體控制器115之記憶體裝置110之一或多個記憶體胞元、自該一或多個記憶體胞元讀取資料或擦除該一或多個記憶體胞元相關聯之記憶體操作之電路系統或組件。記憶體操作可基於(例如)自主機105接收或由記憶體管理器125內部產生之主機命令(例如與損耗平衡、錯誤偵測或校正等等相關聯)。

【0035】 陣列控制器135可包含一錯誤校正碼(ECC)組件140，其可尤其包含一ECC引擎或經組態以偵測或校正與將資料寫入至耦合至記憶體控制器115之記憶體裝置110之一或多個記憶體胞元或自該一或多個記憶體胞元讀取資料相關聯之錯誤之其他電路系統。記憶體控制器115可經組

態以主動偵測與資料之各種操作或儲存相關聯之錯誤事件(位元錯誤、操作錯誤等等)且自該等錯誤事件恢復，同時維持轉移於主機105與記憶體裝置110之間的資料之完整性或維持儲存資料(例如使用冗餘RAID儲存等等)之完整性，且可移除(例如報廢)失效記憶體資源(例如記憶體胞元、記憶體陣列、頁面、區塊等等)以防止未來錯誤。

【0036】 記憶體陣列120可包含配置於(例如)若干裝置、平面、子區塊、區塊或頁面中之若干記憶體胞元。作為一實例，一48 GB TLC「反及」記憶體裝置可包含每頁面18,592個位元組(B)之資料((16,384+2208)個位元組)、每區塊1536個頁面、每平面548個區塊及每裝置4個或4個以上平面。作為另一實例，一32 GB MLC記憶體裝置(其每胞元儲存2個位元之資料(即，4個可程式化狀態))可包含每頁面18,592個位元組(B)之資料((16,384+2208)個位元組)、每區塊1024個頁面、每平面548個區塊及每裝置4個平面，但具有一對應TLC記憶體裝置之一半所需寫入時間及兩倍程式化/擦除(P/E)循環。其他實例可包含其他數目或配置。在一些實例中，一記憶體裝置或其之一部分可選擇性地在SLC模式或一所要MLC模式(諸如TLC、QLC等等)中操作。

【0037】 在操作中，資料通常寫入至或讀取自頁面中之「反及」記憶體裝置110且擦除於區塊中。然而，可視需要對記憶體胞元之較大或較小群組執行一或多個記憶體操作(例如讀取、寫入、擦除等等)。一「反及」記憶體裝置110之資料轉移大小通常指稱一頁面，而一主機之資料轉移大小通常指稱一區段。

【0038】 儘管一頁面之資料可包含若干位元組之使用者資料(例如包含若干區段之資料之一資料酬載)及其對應元資料，但頁面之大小通常僅

係指用於儲存使用者資料之若干位元組。作為一實例，具有4 KB之一頁面大小之一資料頁面可包含4 KB之使用者資料(例如呈現512 B之一區段大小之8個區段)以及對應於使用者資料之若干位元組(例如32 B、54 B、224 B等等)之元資料，諸如完整性資料(例如錯誤偵測或校正碼資料)、位址資料(例如邏輯位址資料等等)或與使用者資料相關聯之其他元資料。

【0039】 不同類型之記憶體胞元或記憶體陣列120可提供不同頁面大小，或需要與不同頁面大小相關聯之不同元資料量。例如，不同記憶體裝置類型可具有不同位元錯誤率，其可導致確保資料頁面之完整性所需之不同元資料量(例如，具有一較高位元錯誤率之一記憶體裝置需要比具有一較低位元錯誤率之一記憶體裝置多之錯誤校正碼資料位元組)。作為一實例，一多位階胞元(MLC)「反及」快閃裝置可具有比一對應單位階胞元(SLC)「反及」快閃裝置高之一位元錯誤率。因而，MLC裝置需要比對應SLC裝置多之錯誤資料之元資料位元組。

【0040】 圖2繪示包含組織成區塊(例如區塊A 201A、區塊B 201B等等)及子區塊(例如子區塊A₀ 201A₀、子區塊A_n 201A_n、子區塊B₀ 201B₀、子區塊B_n 201B_n等等)之若干串記憶體胞元(例如第一A₀記憶體串205A₀至第三A₀記憶體串207A₀、第一A_n記憶體串205A_n至第三A_n記憶體串207A_n、第一B₀記憶體串205B₀至第三B₀記憶體串207B₀、第一B_n記憶體串205B_n至第三B_n記憶體串207B_n等等)之一3D「反及」架構半導體記憶體陣列200之一實例性示意圖。記憶體陣列200表示常見於一記憶體裝置之一區塊、裝置或其他單元中之更多類似結構之一部分。

【0041】 各串記憶體胞元包含在Z方向上源極至汲極地堆疊於一源極線(SRC) 235或一源極側選擇閘極(SGS)(例如第一A₀ SGS 231A₀至第三

A_0 SGS 233 A_0 、第一 A_n SGS 231 A_n 至第三 A_n SGS 233 A_n 、第一 B_0 SGS 231 B_0 至第三 B_0 SGS 233 B_0 、第一 B_n SGS 231 B_n 至第三 B_n SGS 233 B_n)與一汲極側選擇閘極(SGD)(例如第一 A_0 SGD 226 A_0 至第三 A_0 SGD 228 A_0 、第一 A_n SGD 226 A_n 至第三 A_n SGD 228 A_n 、第一 B_0 SGD 226 B_0 至第三 B_0 SGD 228 B_0 、第一 B_n SGD 226 B_n 至第三 B_n SGD 228 B_n 等等)之間的電荷儲存電晶體(例如浮動閘極電晶體、電荷捕捉結構等等)之若干層。3D記憶體陣列中之各串記憶體胞元可沿X方向配置為資料線(例如位元線(BL) BL0 220至BL2 222)及沿Y方向配置為實體頁面。

【0042】 在一實體頁面內，各層表示一列記憶體胞元，且各串記憶體胞元表示一行。一子區塊可包含一或多個實體頁面。一區塊可包含若干(例如128個、256個、384個等等)子區塊(或實體頁面)。儘管在本文中繪示為具有兩個區塊，各區塊具有兩個子區塊，各子區塊具有一單一實體頁面，各實體頁面具有三串記憶體胞元，且各串具有8層記憶體胞元，但在其他實例中，記憶體陣列200可包含更多或更少區塊、子區塊、實體頁面、記憶體胞元串、記憶體胞元或層。例如，各串記憶體胞元可視需要包含更多或更少(例如16個、32個、64個、128個等等)層以及電荷儲存電晶體(例如選擇閘極、資料線等等)上方或下方之一或多個額外半導體材料層。作為一實例，一48 GB TLC「反及」記憶體裝置可包含每頁面18,592個位元組(B)之資料((16,384+2208)個位元組)、每區塊1536個頁面、每平面548個區塊及每裝置4個或4個以上平面。

【0043】 記憶體陣列200中之各記憶體胞元包含耦合至(例如電或否則操作性地連接至)一存取線(例如字線(WL) WL0₀ 210A至WL7₀ 217A、WL0₁ 210B至WL7₁ 217B等等)之一控制閘極(CG)，該存取線視需要共同

耦合跨一特定層或一層之一部分之控制閘極(CG)。可使用各自存取線來存取或控制3D記憶體陣列中之特定層且因此存取或控制一串中之特定記憶體胞元。可使用各種選擇線來存取選擇閘極之群組。例如，可使用一 A_0 SGD線SGDA₀ 225A₀來存取第一 A_0 SGD 226A₀至第三 A_0 SGD 228A₀，可使用一 A_n SGD線SGDA_n 225A_n來存取第一 A_n SGD 226A_n至第三 A_n SGD 228A_n，可使用一 B_0 SGD線SGDB₀ 225B₀來存取第一 B_0 SGD 226B₀至第三 B_0 SGD 228B₀，且可使用一 B_n SGD線SGDB_n 225B_n來存取第一 B_n SGD 226B_n至第三 B_n SGD 228B_n。可使用一閘極選擇線SGS₀ 230A來存取第一 A_0 SGS 231A₀至第三 A_0 SGS 233A₀及第一 A_n SGS 231A_n至第三 A_n SGS 233A_n，且可使用一閘極選擇線SGS₁ 230B來存取第一 B_0 SGS 231B₀至第三 B_0 SGS 233B₀及第一 B_n SGS 231B_n至第三 B_n SGS 233B_n。

【0044】 在一實例中，記憶體陣列200可包含半導體材料(例如多晶矽等等)之若干級，其等經組態以耦合各記憶體胞元之控制閘極(CG)或陣列之一各自層之選擇閘極(或CG或選擇閘極之一部分)。可使用位元線(BL)及選擇閘極之一組合等等來存取、選擇或控制陣列中之特定串之記憶體胞元且可使用一或多個存取線(例如字線)來存取、選擇或控制特定串中之一或多個層處之特定記憶體胞元。

【0045】 圖3繪示包含複數個記憶體胞元302及感測放大器或裝置360之一「反及」架構半導體記憶體陣列300之一部分之一實例性示意圖，複數個記憶體胞元302配置成串(例如第一串305至第三串307)及層(例如繪示為各自字線(WL) WL0 310至WL7 317、一汲極側選擇閘極(SGD)線325、一源極側選擇閘極(SGS)線330等等)之二維陣列。例如，記憶體陣列300可繪示諸如圖2中所繪示之一3D「反及」架構半導體記憶體裝置

之記憶體胞元之一個實體頁面之一部分之一實例性示意圖。

【0046】 各串記憶體胞元使用一各自源極側選擇閘極(SGS)(例如第一SGS 331至第三SGS 333)來耦合至一源極線(SRC) 335及使用一各自汲極側選擇閘極(SGD)(例如第一SGD 326至第三SGD 328)來耦合至一各自資料線(例如第一位元線(BL) BL0 320至第三位元線BL2 322)。儘管在圖3之實例中繪示8層(例如使用字線(WL) WL0 310至WL7 317)及3個資料線(BL0 326至BL2 328)，但其他實例可視需要包含具有更多或更少層或資料線之記憶體胞元串。

【0047】 在諸如實例性記憶體陣列300之一「反及」架構半導體記憶體陣列中，可藉由感測與含有一選定記憶體胞元之一特定資料線相關聯之一電流或電壓變動來存取選定記憶體胞元302之狀態。可使用一或多個驅動器來存取(例如藉由一控制電路、一或多個處理器、數位邏輯等等)記憶體陣列300。在一實例中，一或多個驅動器可藉由根據期望對一特定記憶體胞元或記憶體胞元組執行之操作之類型驅動一特定電位至一或多個資料線(例如位元線BL0至BL2)、存取線(例如字線WL0至WL7)或選擇閘極來啟動特定記憶體胞元或記憶體胞元組。

【0048】 為程式化或寫入資料至一記憶體胞元，可將一程式化電壓(V_{pgm})(例如一或多個程式化脈衝等等)施加於選定字線(例如WL4)且因此施加於耦合至選定字線之各記憶體胞元之一控制閘極(例如耦合至WL4之記憶體胞元之第一控制閘極(CG) 341至第三CG 343)。程式化脈衝可在或大致在(例如) 15 V處開始且在特定實例中，可在各程式化脈衝施加期間增大振幅。當將程式化電壓施加於選定字線時，可將諸如一接地電位(例如V_{ss})之一電位施加於以程式化為目標之記憶體胞元之資料線(例如位元

線)及基板(及因此源極與汲極之間的通道)以導致自通道至目標記憶體胞元之浮動閘極之一電荷轉移(例如直接注入或福勒-諾德海姆(Fowler-Nordheim (FN))穿隧等等)。

【0049】 相比而言，可將一導通電壓(V_{pass})施加於具有不以程式化為目標之記憶體胞元之一或多個字線，或可將一抑制電壓(例如 V_{cc})施加於具有不以程式化為目標之記憶體胞元之資料線(例如位元線)以(例如)抑制電荷自通道轉移至此等非目標記憶體胞元之浮動閘極。導通電壓可取決於(例如)所施加之導通電壓與以程式化為目標之一字線之接近性而變動。抑制電壓可包含相對於一接地電位(例如 V_{ss})之一供應電壓(V_{cc})，諸如來自一外部電源或供應器(例如一電池、一交直流轉換器等等)之一電壓。

【0050】 作為一實例，若將一程式化電壓(例如15 V或15 V以上)施加於諸如WL4之一特定字線，則可將10 V之一導通電壓施加於諸如WL3、WL5等等之一或多個其他字線以抑制非目標記憶體胞元之程式化或保存儲存於不以程式化為目標之此等記憶體胞元上之值。可隨著一施加程式化電壓與非目標記憶體胞元之間的距離增大而減小抑制程式化非目標記憶體胞元所需之導通電壓。例如，當將15 V之一程式化電壓施加於WL4時，可將10 V之一導通電壓施加於WL3及WL5，可將8 V之一導通電壓施加於WL2及WL6，可將7 V之一導通電壓施加於WL1及WL7，等等。在其他實例中，導通電壓或字線之數目等等可更高或更低或更多或更少。

【0051】 耦合至資料線(例如第一位元線BL0 320、第二位元線BL1 321或第三位元線BL2 322)之一或多者之感測放大器360可藉由感測一特定資料線上之一電壓或電流來偵測各自資料線中之各記憶體胞元之狀態。

【0052】 在施加一或多個程式化脈衝(例如 V_{pgm})之間，可執行一驗

證操作以判定一選定記憶體胞元是否已達到其預期程式化狀態。若選定記憶體胞元已達到其預期程式化狀態，則可抑制其進一步程式化。若選定記憶體胞元未達到其預期程式化狀態，則可施加額外程式化脈衝。若在特定數目個(例如最大數目個)程式化脈衝之後選定記憶體胞元未到達其預期程式化狀態，則可將選定記憶體胞元或與此選定記憶體胞元之一串、區塊或頁面標記為有缺陷的。

【0053】 為擦除一記憶體胞元或一記憶體胞元群組(例如，通常在區塊或子區塊中執行擦除)，可將一擦除電壓(V_{ers})(例如通常為 V_{pgm})施加於以擦除為目標之記憶體胞元之基板(及因此源極與汲極之間的通道)(例如使用一或多個位元線、選擇閘極等等)，同時使目標記憶體胞元之字線保持諸如一接地電位(例如 V_{ss})之一電位以導致自目標記憶體胞元之浮動閘極至通道之一電荷轉移(例如直接注入或福勒-諾德海姆(FN))穿隧等等)。

【0054】 圖4繪示一記憶體裝置400之一實例性方塊圖，記憶體裝置400包含：一記憶體陣列402，其具有複數個記憶體胞元404；及一或多個電路或組件，其等用於提供與記憶體陣列402之通信或對記憶體陣列402執行一或多個記憶體操作。記憶體裝置400可包含一列解碼器412、一行解碼器414、感測放大器420、一頁面緩衝器422、一選擇器424、一輸入/輸出(I/O)電路426及一記憶體控制單元430。

【0055】 記憶體陣列402之記憶體胞元404可配置成諸如第一區塊402A及第二區塊402B之區塊。各區塊可包含子區塊。例如，第一區塊402A可包含第一子區塊402A₀及第二子區塊402A_n且第二區塊402B可包含第一子區塊402B₀及第二子區塊402B_n。各子區塊可包含若干實體頁面，

各頁面包含若干記憶體胞元404。儘管在本文中繪示為具有兩個區塊，各區塊具有兩個子區塊，且各子區塊具有若干記憶體胞元404，但在其他實例中，記憶體陣列402可包含更多或更少區塊、子區塊、記憶體胞元等等。在其他實例中，記憶體胞元404可配置成若干列、行、頁面、子區塊、區塊等等且使用(例如)存取線406、第一資料線410或一或多個選擇閘極、源極線等等來存取。

【0056】 記憶體控制單元430可根據控制線432上所接收之一或多個信號或指令(其包含(例如)指示一所要操作(例如寫入、讀取、擦除等等)之一或多個時脈信號或控制信號)或一或多個位址線416上所接收之位址信號(A0至AX)來控制記憶體裝置400之記憶體操作。記憶體裝置400外之一或多個裝置可控制控制線432上之控制信號或位址線416上之位址信號之值。記憶體裝置400外之裝置之實例可包含(但不限於)圖4中未繪示之一主機、一記憶體控制器、一處理器或一或多個電路或組件。

【0057】 記憶體裝置400可使用存取線406及第一資料線410來轉移至(例如寫入或擦除)或來自(例如讀取)記憶體胞元404之一或多者之資料。列解碼器412及行解碼器414可自位址線416接收及解碼位址信號(A0至AX)，可判定將存取哪個記憶體胞元404，且可提供信號至存取線406之一或多者(例如複數個字線(WL0至WLm)之一或多者)或第一資料線410之一或多者(例如複數個位元線(BL0至BLn)之一或多者)，諸如上文所描述。

【0058】 記憶體裝置400可包含經組態以使用第一資料線410來判定記憶體胞元404上之資料之值(例如讀取)或判定待寫入至記憶體胞元404之資料之值之感測電路系統，諸如感測放大器420。例如，在記憶體胞元404之一選定串中，感測放大器420之一或多者可回應於一讀取電流在記

記憶體陣列402中流動通過選定串而至資料線410而讀取選定記憶體胞元404中之一邏輯位準。

【0059】 記憶體裝置400外之一或多個裝置可使用I/O線(DQ0至DQN) 408、位址線416 (A0至AX)或控制線432來與記憶體裝置400通信。輸入/輸出(I/O)電路426可根據(例如)控制線432及位址線416使用I/O線408來將資料之值轉移入或轉移出記憶體裝置400，諸如轉移入或轉移出頁面緩衝器422或記憶體陣列402。頁面緩衝器422可在將資料程式化至記憶體陣列402之相關部分中之前儲存自記憶體裝置400外之一或多個裝置接收之資料或可在將資料傳輸至記憶體裝置400外之一或多個裝置之前儲存自記憶體陣列402讀取之資料。

【0060】 行解碼器414可接收位址信號(A0至AX)且將其解碼為一或多個行選擇信號(CSEL1至CSELn)。選擇器424 (例如一選擇電路)可接收行選擇信號(CSEL1至CSELn)且選擇表示自記憶體胞元404讀取或程式化至記憶體胞元404中之資料之值之頁面緩衝器422中之資料。可使用第二資料線418來使選定資料轉移於頁面緩衝器422與I/O電路426之間。

【0061】 記憶體控制單元430可自一外部電源或供應器(例如一內部或外部電池、一交直流轉換器等等)接收諸如一供應電壓(Vcc) 434及一負壓電源(Vss) 436 (例如一接地電位)之正及負供應信號。在特定實例中，記憶體控制單元430可包含一調節器428以內部提供正或負供應信號。

【0062】 本文所討論之以下技術及組態提供針對讀取電壓校準之態樣實施於一「反及」記憶體裝置內之技術。本文所討論之技術及組態可尤其適用於一基於3D「反及」快閃之儲存系統，諸如體現上文所討論之3D「反及」架構特徵之一系統。然而，應明白，所揭示之讀取電壓校準技術

及組態亦可應用於其他形式之「反及」快閃裝置，其包含應用於其他外型尺寸或配置中之「反及」快閃裝置之組件。

【0063】 在基於「反及」快閃之儲存系統中，一「反及」記憶體陣列包含經歷不同電荷損失及電荷增益量之各種區塊及在不同溫度處程式化(寫入)之各種區塊。因此，用於讀取記憶體陣列之任何特定區塊或區域之 V_t 可不同於記憶體陣列之另一區塊或另一區域。此外，用於記憶體之一特定區塊或區域之 V_t 時常歸因於應力而經受移位且 V_t 因此可在任一方向上移位。

【0064】 讀取干擾係針對一「反及」快閃裝置發生之一影響 V_t 應力之一實例。當一主機或應用程式自快閃裝置擷取特定資料時，讀取干擾應力會在主機利用一特別高讀取速率或資料之讀取密集應用(取決於如何在快閃裝置內散佈資料)時累積。例如，若一邏輯區塊位址(LBA)映射至一「反及」區塊之一特定實體位置，則可由於區塊內之偏壓條件而在未選定字線上誘發應力且記憶體胞元可變得彼此偏壓。

【0065】 交叉溫度效應係針對一「反及」快閃裝置發生之一影響 V_t 應力之另一實例。由於寫入時間與讀取時間之間的一溫度差，交叉溫度效應引起「反及」區塊中之胞元 V_t 之一移位(正或負 V_t 移位)。例如，當將資料寫入至一「反及」快閃裝置(例如一SSD硬碟或SD/MMC卡)時，讀取資料所需之 V_t 係基於寫入資料時之周圍溫度。然而，因為資料可保持長時間駐存於快閃裝置上，所以快閃裝置不可能在相同溫度處被讀取。

【0066】 用於讀取一區塊之一讀取電壓與一特定區塊之 V_t 之間的一失配會導致資料錯誤。資料錯誤之一表示(失效位元計數)可在一「反及」儲存系統中量測為一「原始位元錯誤率(RBER)」。因此，RBER隨讀取電

壓與 V_t 之間的失配而變化。因此，在基於「反及」快閃之諸多既有儲存系統之操作中，**RBER**提供用於判定讀取電壓是否不正確及是否應進行電壓校準之一量測。

【0067】可藉由透過使用讀取電壓校準根據 V_t 調整讀取電壓來最小化**RBER**。可使用一反應性或前瞻性方法來引發讀取電壓校準。使用一反應性方法，回應於在主機讀取IO期間發生之一讀取錯誤而執行讀取電壓校準。反應性方法使用一目標準則來回應於讀取錯誤而直接校準讀取電壓。相比而言，讀取電壓校準之一前瞻性方法使用一取樣方法來週期性追蹤平均 V_t 移位且在發生重大錯誤之前發起校準。用於前瞻性執行讀取位準校準之既有方法涉及在不同讀取電壓處取樣**RBER**且選擇最佳讀取電壓來最佳化(例如減小) **RBER**。例如，儲存裝置韌體可藉由以下操作來校準「反及」讀取電壓：掃描一「反及」記憶體陣列中之各種位置中之多個頁面，在各種讀取電壓處執行多個頁面處之讀取，量測所得**RBER**，且使用一最小錯誤率來選擇一讀取電壓。

【0068】因此，讀取電壓校準之一主要目的係最小化將在主機讀取IO期間發生之系統之錯誤處置觸發率。使用前瞻性讀取電壓校準程序來取樣記憶體裝置之各種區塊以判定平均臨限電壓且週期性追蹤記憶體裝置之各種區塊之平均 V_t 移位。用於一讀取電壓校準中之區塊取樣準則(例如藉由取樣一快閃裝置之大多數區塊)影響一所得讀取電壓設定之準確度。例如，諸多讀取電壓校準技術利用隨機區塊取樣或基於資料齡期之取樣，其趨向於使電壓校準與快閃裝置之多數狀態相關。然而，快閃裝置之多數狀態未必對應於在一特定時間由主機讀取IO存取之快閃裝置上之大多數區塊。因此，用於前瞻性讀取電壓校準之基於多數狀態之取樣準則之既有方

法無法完全有效減小一錯誤處置觸發率或RBER。

【0069】 取樣無效原因之一簡單闡釋係對應於主機讀取IO之位置之 V_t 未必與自取樣儲存裝置之一多數狀態判定之一電壓設定對準。例如，考量其中一SSD硬碟儲存很少由主機存取之歸檔媒體檔案(其佔據高達70%之總硬碟空間)之一情境。然而，主機相對頻繁地存取剩餘30%之硬碟空間上之其他檔案。在此情境中，基於區塊之隨機取樣來校準讀取電壓將不是最佳的，因為所得校準將趨向於過度補償歸檔媒體檔案之存在。因此，基於取樣硬碟之多數狀態來校準讀取電壓無法準確調整臨限電壓且因此無法減少與主機IO及主機資料之最頻繁存取部分相關聯之錯誤處置觸發。

【0070】 本文所討論之技術包含即時使用主機讀取IO之實體覆蓋區來選擇用於讀取電壓校準之取樣區塊。在基於主機IO之取樣中，一記憶體裝置之一控制器追蹤一頁面、字線或實體區塊級處之主機IO覆蓋區且使用此追蹤資訊來識別讀取電壓校準區塊取樣候選者。控制器基於最頻繁讀取資料來校準讀取電壓以因此減小觸發率。在一實例中，此追蹤技術可涉及追蹤用於後續取樣之主機IO操作中之讀取位置及讀取頻率及監測針對此等位置發生之錯誤率。亦在一實例中，此追蹤技術可涉及追蹤針對記憶體之一特定單元(例如一頁面、一區塊、一晶粒等等)之若干讀取或擦除。

【0071】 由於使用主機IO之實體覆蓋區，所以一記憶體裝置可操作以更有效偵測及校準讀取密集應用之「反及」 V_t 移動以及目標基準應力條件。此外，記憶體裝置可利用一較智慧區塊取樣準則來促成由主機IO最常存取之記憶體之區塊或其他實體單元校準用於儘可能最佳讀取效能之「反及」讀取電壓。

【0072】 因此，本文所討論之技術藉由使「反及」 V_t 移位與一實體

級處之主機讀取IO覆蓋區對準來改良錯誤處置觸發率。技術亦相對於既有校準方法達成目標基準之改良讀取效能/延時，且對正常使用者工作負荷產生最小影響或無影響。另外，歸因於目標基準及使用者工作負荷，技術有助於減輕「反及」觸發率要求，其有助於消除否則會導致「反及」耐久性 or 效能損失之「反及」過度設計。

【0073】圖5提供包含適合於實施本文所討論之讀取電壓校準最佳化之一記憶體裝置510（例如一SSD儲存裝置、一SD/MMC卡等等）之一實例性系統500之一方塊圖。如圖中所展示，記憶體裝置510包含具有多個晶粒(晶粒1至N)之一「反及」記憶體陣列530，其中各晶粒包含一或多個區塊(區塊1至N)。一或多個區塊之各者可包含諸如每區塊之一或多個頁面(圖中未展示)之進一步劃分部分；一或多個頁面之各者可進一步分成每頁面之一或多個字線(圖中未展示)；字線之各者可分成一或多個記憶體胞元(圖中未展示)。

【0074】在一實例中，記憶體陣列530之記憶體胞元之區塊包含以下之至少一者之群組：單位階胞元(SLC)、多層胞元(MLC)、三層胞元(TLC)或四層胞元(QLC)「反及」記憶體胞元。另外，在一實例中，記憶體陣列530配置成三維(3D)「反及」晶粒之一堆疊，使得收容一各自區塊之多個區塊之各自群組係由3D「反及」晶粒之堆疊中之一各自晶粒提供之一區塊群組之一成員。為簡單起見，圖5中未繪示記憶體陣列530之此等組態及進一步詳細組件。然而，記憶體陣列530可併入上文參考3D「反及」架構裝置或其他形式之「反及」儲存裝置之特徵所描述之此等或任何特徵。

【0075】記憶體裝置510展示為經由一控制器540可操作地耦合至一

主機520。控制器540經調適以接收及處理諸如讀取操作、寫入操作、擦除操作及其類似者之主機命令525以在記憶體陣列530內讀取、寫入、擦除及類似操作。為簡單起見，亦未描繪記憶體裝置510之各種其他組件(諸如一記憶體管理器及其他電路系統或操作組件)及控制器540。

【0076】 控制器540描繪為包含一記憶體544 (例如揮發性記憶體)、處理電路系統546 (例如一微處理器)及一儲存媒體548 (例如非揮發性記憶體)，其等用於執行指令(例如由儲存媒體548收容、載入至記憶體544中及由處理電路系統546執行之指令)以執行用於管理及使用記憶體陣列530之控制操作542。由控制器540執行或促成之控制操作542可由各種類型之硬體、韌體及軟體功能(例如實施於硬體、特別程式化模組等等中之邏輯)提供。

【0077】 由控制操作542提供之功能可包含IO操作監測550 (例如用於監測源自主機命令之讀取及擦除操作)、主機操作處理560 (例如用於解譯及處理主機命令525，及發出進一步命令至記憶體陣列530以執行各自讀取、寫入、擦除或其他主機引發操作)、讀取電壓控制器570 (例如用於建立、設定及利用一讀取電壓位準來讀取記憶體陣列530之一特定部分)、讀取位準校準580 (例如用於操作一校準程序以識別記憶體陣列530之一或若干特定部分之一新讀取電壓位準)及錯誤偵測處理590 (例如用於識別及校正來自讀取操作中所獲得之資料之錯誤，識別一特定讀取操作或操作組之一或多個RBER，等等)。

【0078】 在一實例中，IO操作監測550操作以追蹤針對記憶體陣列之讀取及寫入且亦追蹤與電壓位準及校準有關之伴隨讀取操作及寫入操作。此外，IO操作監測550可識別記憶體陣列530內之各種區塊及區塊操

作之特性，且識別經受頻繁讀取或擦除操作之區塊(例如比其他區塊更頻繁地被讀取之區塊或已比其他區塊更多次地被擦除之區塊)。如下圖6中所討論之實例中所進一步詳述，此可包含使用針對IO操作所建立、建立於一頁面、區塊或晶粒級處之計數值，諸如用於量測針對一各自區塊或晶粒發生之讀取次數之一讀取計數值或用於量測針對一各自區塊發生之擦除次數之一擦除計數值。此等計數值可用作為用於校準之觸發器、校準中所執行之取樣操作之資料輸入，如下圖6之實例中所討論。

【0079】 在一實例中，讀取電壓控制570用於建立、改變及提供用於讀取記憶體之一特定區域(諸如記憶體陣列530中之一各自區塊)之一電壓值。例如，讀取電壓控制570可實施各種正或負偏移以讀取各自記憶體胞元及包含各自記憶體胞元之記憶體位置(例如頁面、區塊、晶粒)。

【0080】 在一實例中，讀取位準校準580用於建立(例如改變、更新、重設等等)由讀取電壓控制570實施之讀取電壓之值。讀取位準校準580可透過對記憶體陣列530執行之多個取樣命令585 (諸如在不同電壓處發出至記憶體陣列之多個區域之取樣命令)實施，取樣命令585試圖判定針對該等區域之 V_t 所最佳化之一讀取電壓。讀取位準校準580可結合主機操作處理560或錯誤偵測處理590之特徵操作。例如，主機操作處理560可基於針對用於取樣之記憶體位置之IO讀取操作來識別該等位置；亦例如，錯誤偵測處理590可回應於錯誤之特定條件或讀取資料之一錯誤率超過一特定臨限值而觸發讀取位準校準580。

【0081】 在一實例中，基於每晶粒對此一晶粒內之所有記憶體位置(例如區塊、頁面、胞元)執行讀取位準校準580。在另一實例中，透過一或多個校準操作(例如一系列校準操作)對記憶體陣列之多個區域(例如多

個晶粒)執行讀取位準校準580。亦在一實例中，錯誤偵測處理590可偵測一RBER、一不可恢復位元錯誤率(UBER)或一記憶體胞元、一胞元群組或記憶體陣列之較大區域(例如來自一區塊、區塊群組、晶粒、晶粒群組等等之平均數或取樣)之其他量測或錯誤條件。亦在一實例中，錯誤偵測處理590可操作以有助於觸發使用讀取位準校準580之一校準操作或使用IO操作監測550之一追蹤操作。

【0082】 在一實例中，透過IO操作監測550所判定之資料用於改變由讀取位準校準580執行之一電壓校準操作之特性。例如，由IO操作監測550追蹤之特定記憶體位置(例如被頻繁讀取之追蹤區塊)可用作為讀取位準校準580內之取樣位置。亦例如，自由IO操作監測550追蹤之記憶體位置(例如被重複讀取之各自區塊、依高錯誤率讀取之各自區塊、被重複擦除之各自區塊)之讀取判定之條件亦可提供一觸發、控制或其他輸入至讀取位準校準580。

【0083】 在另一實例中，由IO操作監測550追蹤之特定記憶體位置或由IO操作監測550追蹤之記憶體位置之條件可由錯誤偵測處理590用於判定讀取電壓偏離一錯誤校準記憶體位置之一可能性。因此，IO操作監測550、主機操作處理560及錯誤偵測處理590之特徵可共同操作以觸發一讀取位準校準操作且識別讀取位準校準操作之特性(諸如取樣位置)。

【0084】 如本文所討論，讀取位準校準580基於源自一主機IO讀取操作覆蓋區之資料型樣及資料活動來執行操作。此覆蓋區利用針對來自一LBA位址之記憶體位置之實體映射之邏輯，因為實體映射可在記憶體之鄰接、不同或甚至隨機區塊中擴展。本文所討論之技術可追蹤不在一LBA位址(邏輯)級處而是在一記憶體胞元、頁面或區塊(實體)級處之讀取操作。

因此，電壓校準可基於針對跨越多個區塊及晶粒之一LBA位址之記憶體位置之讀取操作來發生。

【0085】 另外，本文所討論之技術可利用來自條件區塊取樣之主機IO之實體覆蓋區來校準後續及當前讀取操作。此方法可用於一客戶意欲針對特定基準、使用者型樣、讀取存取模式來最佳化讀取電壓時。本文所討論之技術可提供各自記憶體位置之讀取電壓位準及多個記憶體位置中之資料塊之粒狀追蹤以因此允許一校準技術依一更有效率及更有針對性方式致力於相關區域。

【0086】 除本文所討論之技術之外，各種既有校準方法亦可與讀取位準校準580整合及一起使用。例如，除取樣IO操作所涉及之特定記憶體位置之外，讀取位準校準580亦可基於以下各自來另外獲得取樣位置：隨機取樣記憶體陣列中之其他區塊、基於資料齡期來取樣記憶體陣列中之其他區塊或基於對應於其他區塊之原始位元錯誤率(RBER)來取樣記憶體陣列中之其他區塊。

【0087】 圖6繪示適合於執行用於讀取電壓校準之一最佳化技術之一實例性記憶體裝置組態之一操作序列圖600。如圖中所展示，主機520透過控制邏輯630之操作可操作地耦合至「反及」記憶體陣列530。在一實例中，控制器邏輯630 (諸如)藉由對「反及」記憶體陣列530執行讀取及寫入命令來實施一主體記憶體之管理、控制及存取命令。

【0088】 作為一實例，自主機520接收之讀取或寫入命令由控制器邏輯630解譯以識別用於讀取或寫入命令之記憶體陣列中之記憶體位置，讀取或寫入命令接著導致記憶體陣列530之經識別記憶體位置上之各自讀取及寫入操作。同樣地，以控制器操作640之部分(諸如來自FW掃描、廢

棄項目收集及其類似者)引發之快閃轉譯層(FTL)讀取及寫入命令亦導致記憶體陣列530之記憶體位置中之各自讀取及寫入操作。此外，以讀取位準校準580之部分引發之系統讀取位準校準命令(諸如使用本文所討論之電壓位準校準技術)導致記憶體陣列530之記憶體位置中之各種讀取操作。為簡單起見，圖式600中未繪示若干其他記憶體裝置管理操作及命令。

【0089】 在一實例中，結合讀取位準校準580來追蹤讀取操作及擦除操作(例如經由重寫記憶體之區域之寫入操作所實施之擦除操作)。所追蹤之讀取操作及擦除操作可由讀取位準校準580用於偵測記憶體之一特定區域已發生或可能會發生自 V_t 之顯著偏離。例如，已被重複讀取之一區塊可能會遭遇讀取干擾應力。同樣地，已重複擦除之一區塊可能會遭遇一較高位準之損耗且因此經歷一較高失效位元計數。因此，可追蹤針對記憶體之一特定區塊或其他區域發生之讀取次數及擦除次數且將其用作為一觸發或一促成輸入或條件以使用讀取位準校準580來執行電壓位準調整操作。

【0090】 在一實例中，一「反及」擦除計數值610用於追蹤記憶體陣列530之一特定記憶體位置(或額外多個記憶體位置)之擦除計數。例如，擦除計數值610可追蹤一區塊級或其中實施擦除操作之記憶體陣列530中之另一級處之擦除操作。回應於一各自區塊之一擦除計數超過一判定臨限值(臨限值E)(判定615)，可引發對各自區塊執行讀取位準校準580之操作。

【0091】 同樣地，在一實例中，一「反及」讀取計數值620用於追蹤記憶體陣列530之一特定記憶體位置(或額外多個記憶體位置)之讀取計數。例如，讀取計數值620可追蹤一區塊級或其中實施讀取操作之記憶體陣列(例如每晶粒)中之另一級處之讀取操作。在另一實例中，每晶粒執行

讀取位準校準580，且因此使用「反及」區塊讀取計數值620來合計一各自晶粒內之所有區塊之一讀取量測。在一實例中，將讀取計數值620及擦除計數值610儲存於儲存裝置之DRAM（例如記憶體544）中。回應於一各自區塊或晶粒之一讀取計數超過一判定臨限值(臨限值R)(判定625)，可引發對各自區塊或晶粒執行讀取位準校準580之操作。

【0092】 在一實例中，讀取計數值620可作為一權重提供至讀取位準校準580以識別一特定區塊或晶粒是否可能歸因於讀取使用而經歷電壓移位(且因此更可能需要讀取電壓校準)。亦在一實例中，擦除計數值610與讀取計數值620一起用作為讀取位準校準580之一輔助度量以提供一特定區塊是否可能經歷電壓移位之一額外權重。然而，在其他實例中，讀取計數值620及擦除計數值610用作為導致藉由讀取位準校準580之電壓調整之觸發臨限值。

【0093】 在進一步實例中，記憶體陣列530中之讀取或擦除操作之追蹤粒度或追蹤頻率可經調整以減少用於追蹤個別區塊或區塊(晶粒)群組之耗用(例如處理器及記憶體操作)。例如，可在一晶粒級而非一個別區塊或頁面級處追蹤個別讀取操作；或可分析及追蹤一區塊群組中之每個第x區塊而非每個區塊；或可分析及追蹤每個第n讀取操作而非每個讀取操作。

【0094】 在一實例中，讀取位準校準580執行記憶體陣列中之若干經識別位置之一臨限電壓之取樣以判定用於存取經識別位置(及適當存取記憶體陣列之其他位置)之一電壓位準。在此情境中，超過一特定記憶體位置之擦除臨限值(例如來自判定615)或超過一特定記憶體位置之讀取臨限值(例如來自判定625)無法直接觸發或啟動讀取位準校準580；相反地，

可將特定記憶體位置加至由讀取位準校準580使用之一組取樣位置650，其中由另一條件(例如一RBER率超過一判定臨限值)觸發或啟動校準。可使用各種技術(其包含基於而頻率、錯誤率或其類似者來優先考量特定記憶體位置之技術)來實施取樣位置650之追蹤。

【0095】 在另一實例中，可識別記憶體陣列中之其他位置(例如未識別為超過讀取臨限值(來自判定625)或超過擦除臨限值(來自判定615)之位置)且將其加至取樣位置組650。此等可包含基於以下之一或多者所判定之一或多個位置：發生於一特定位置處之讀取操作之原始位元錯誤率(RBER)、資料齡期或隨機取樣。

【0096】 在進一步實例中，由讀取位準校準580執行之取樣操作可允許諸如來自以下之一規格(例如一判定設定或計算)之組態：所取樣之資料(例如對應於一頁面、區塊、區塊群組、晶粒之資料)之一大小、所取樣之頁面之一總數、所取樣之一區塊內之頁面之一數目、取樣或不取樣特定胞元、頁面、區塊、晶粒或特定類型之此等胞元、頁面、區塊、晶粒及其類似者。同樣地，可根據特定基準、使用者型樣、讀取存取模式或其他特性來調整由讀取位準校準580執行之取樣以匹配儲存裝置之真實實際或預期用途。

【0097】 亦在另一實例中，計數值610、620可由於控制器內之管理操作(例如控制器操作640)而衰減或重設。例如，一特定區塊之摺疊將導致廢棄項目收集、合併及區塊擦除以導致一特定區塊之擦除計數值610遞增及讀取計數值620重設。特定言之，讀取計數值620之重設可發生之原因為：當擦除一區塊且一記憶體胞元恢復至其原生狀態時，讀取干擾、資料保存及交叉溫度效應一般會被消除。用於強調或不再強調主機IO所涉及

之特定記憶體位置之讀取或擦除之技術亦可與計數值610、620、取樣位置650及讀取位準校準580一起利用。

【0098】 圖7繪示適合於執行用於讀取電壓校準之一最佳化技術之一組實例性操作之一流程圖700。在一實例中，流程圖700之操作可由一儲存裝置之一控制器(例如控制器115、540)透過軟體、韌體或經組態硬體中之執行操作之一組合實施。然而，以下技術之一些或所有態樣可由其他組件(例如由一主機啟動)結合其他命令、控制及編制(orchestration)形式來實施。

【0099】 在一實例中，可在一記憶體裝置中實施流程圖700之操作，該記憶體裝置包括具有記憶體胞元之多個區塊之群組之一「反及」記憶體陣列及可操作地耦合至該記憶體陣列之一記憶體控制器，其中該記憶體控制器經調適(例如組態、配置、程式化)以執行各自操作。在另一實例中，可在由或對一「反及」記憶體陣列之一記憶體控制器執行之一方法中實施流程圖700之操作，該記憶體陣列具有記憶體胞元之多個區塊之群組。在一實例中，可在一裝置可讀儲存媒體中實施流程圖700之操作，該裝置可讀儲存媒體提供在被執行時(例如在由一記憶體裝置之一控制器執行時)執行各自操作之指令。

【0100】 流程圖700展示為開始於IO操作(諸如針對一特定記憶體位址發生之讀取及擦除操作)之監測(操作710)。在此監測之後識別對應於讀取或擦除操作之記憶體位址(例如LBA)之記憶體陣列中之一特定位置(例如一各自區塊)(操作720)。例如，讀取及擦除操作之監測可判定是否已針對記憶體陣列之一各自區塊發生一讀取，其中基於包含對應於識別位置(例如LBA映射至之記憶體陣列中之一位置)之一頁面之一區塊來識別此各

自區塊。

【0101】 流程圖700接著追蹤針對記憶體中之特定位置(例如各自區塊或一區塊群組)發生之IO操作之計數。如圖中所描繪，追蹤可包含使用一讀取計數值來追蹤一記憶體位置之讀取計數(操作730)及使用一擦除計數值來追蹤一記憶體位置之擦除計數(操作740)。此等計數可分別實施於一讀取計數值及擦除計數值中，如上文針對圖6所指示。例如，可以保存於可由記憶體控制器存取之一記憶體中之一第一計數值追蹤針對記憶體位置之讀取次數，且可以保存於可由記憶體控制器存取之記憶體中之一第二計數值追蹤針對記憶體位置之擦除次數。在一實例中，在一各自區塊級處追蹤讀取計數之追蹤，且在一各自區塊級處追蹤擦除計數之追蹤。在另一實例中，在一晶粒級(例如針對包含複數個區塊之一晶粒)處追蹤讀取計數之追蹤。亦在一實例中，針對記憶體位置發生之一擦除(例如各自區塊之一擦除)使擦除計數值遞增，同時重設讀取計數值(例如重設為零)。在進一步實例中，未實施或利用擦除計數值以允許追蹤擦除計數(在操作740中)為一選用操作。

【0102】 流程圖700接著識別用於觸發一讀取位準校準之一條件(操作750)。在一實例中，用於觸發讀取位置校準之條件可基於以下之一或多者：針對一各自區塊發生之一讀取操作、一讀取計數值之一狀態或一擦除計數值之一狀態。作為一實例，用於觸發讀取位準校準之條件可由監測針對記憶體陣列之一各自區塊之多個讀取操作所致。在另一實例中，基於針對各自區塊發生之讀取之次數超過一判定讀取次數來識別條件。亦作為一實例，可基於針對各自區塊之擦除之次數超過一判定擦除次數來識別用於觸發讀取位準校準之條件。

【0103】 在一額外實例中，可基於多個區塊之群組而非一各自區塊之評估來發生用於觸發讀取位準校準之條件，諸如追蹤針對多個區塊之一群組(收容各自區塊之群組)發生之讀取之次數以當讀取超過一判定讀取次數時識別條件。亦在一額外實例中，可部分基於針對記憶體陣列之至少各自區塊發生之讀取操作之一原始位元錯誤率(RBER)來發生用於觸發讀取位準校準之條件。

【0104】 回應於所識別之條件(來自操作750)，可對記憶體裝置執行一讀取位準校準操作(操作760)。在一實例中，讀取位準電壓校準操作包含執行一記憶體陣列之各種區域之一取樣以取樣臨限電壓值且判定一讀取電壓位準。在一實例中，此取樣包含自監測讀取操作識別之各自區塊之一臨限電壓位準之取樣。在另一實例中，此取樣包含收容各自區塊之多個區塊之一各自群組之一臨限電壓位準之取樣。

【0105】 讀取位準校準操作判定更準確地反映各自區塊之(若干)臨限電壓之讀取電壓之一或多個值；接著，使用此值來更新用於讀取各自區塊之一或多個頁面之(若干)讀取電壓位準(操作770)。接著，可在用於讀取具有各自區塊之一或多個頁面之後續讀取操作中利用(若干)經更新之讀取電壓位準(操作780)。在另一實例中，基於一區塊群組(例如針對一各自晶粒)來更新及利用(若干)讀取電壓位準；在又一實例中，基於各自區塊之一子集(例如針對一區塊內之一各自頁面或其他記憶體胞元組)來追蹤、更新及利用讀取電壓位準。

【0106】 基於上文所討論之技術，可基於主機IO狀態而非一總體不精確記憶體陣列狀態來觸發、識別及追蹤讀取電壓。因此，應瞭解，本文所討論之技術可經最佳化以追蹤發生於一實體級處之讀取之模式以提高任

何所得電壓調整之準確度。此外，用於取樣及觸發電壓校準之技術可經修改以與既有校準方法整合使用以提供相較於習知取樣之一最小或甚至零影響。

【0107】 圖8繪示本文所討論之技術(例如方法)之任何一或多者可對其執行之一實例性機器800之一方塊圖。在替代實施例中，機器800可操作為一獨立裝置或可連接(例如網路連接)至其他機器。在一網路部署中，機器800可充當一伺服器機器、一用戶端機器或在伺服器-用戶端網路環境中操作。在一實例中，機器800可充當同級間(P2P)(或其他分佈式)網路環境中之一同級機器。機器800可為一個人電腦(PC)、一平板PC、一視訊轉換器(STB)、一個人數位助理(PDA)、一行動電話、一網站設備、一IoT裝置、汽車系統或能夠執行指令(依序或其他)(其指定由該機器採取之動作)之任何機器。此外，儘管圖中僅繪示一單一機器，但術語「機器」亦應被視為包含個別或共同執行一組(或多組)指令以執行本文所討論之方法之任何一或多者(諸如雲端運算、軟體即服務(SaaS)、其他電腦叢集組態)之任何機器集合。

【0108】 本文所描述之實例可包含邏輯、組件、裝置、封裝或機構或可由邏輯、組件、裝置、封裝或機構操作。電路系統係實施於包含硬體之有形實體(例如簡單電路、閘極、邏輯等等)中之一電路集合(例如電路組)。電路系統成員資格可隨時間靈活變化及具潛在硬體可變性。電路系統包含可在操作時單獨或組合執行特定任務之成員。在一實例中，電路系統之硬體可經不變設計以實施一特定操作(例如固線式)。在一實例中，電路系統之硬體可包含可變地連接之實體組件(例如執行單元、電晶體、簡單電路等等)，其包含經實體修改(例如質量不變粒子等等之磁性、電性、

可移動放置)以編碼特定操作之指令之一電腦可讀媒體。在連接實體組件時，一硬體組成之潛在電性質(例如)自一絕緣體改變為一導體，或反之亦然。指令使參與硬體(例如執行單元或一負載機構)能夠經由可變連接來以硬體創建電路系統之成員以在處於操作中時實施特定任務之部分。因此，當裝置操作時，電腦可讀媒體通信地耦合至電路系統之其他組件。在一實例中，實體組件之任何者可用於一個以上電路系統之一個以上成員中。例如，在操作中，執行單元可在一時間點用於一第一電路系統之一第一電路中且在一不同時間由該第一電路系統中之一第二電路或一第二電路系統中之一第三電路重新使用。

【0109】 機器(例如電腦系統) 800 (例如主機裝置105、記憶體裝置110等等)可包含一硬體處理器802 (例如一中央處理單元(CPU)、一圖形處理單元(GPU)、一硬體處理器核心或其等之任何組合，諸如記憶體控制器115等等)、一主記憶體804及一靜態記憶體806，其等之一些或所有可經由一互連(例如匯流排) 808彼此通信。機器800可進一步包含一顯示單元810、一文數字輸入裝置812 (例如一鍵盤)及一使用者介面(UI)導覽裝置814 (例如一滑鼠)。在一實例中，顯示單元810、輸入裝置812及UI導覽裝置814可為一觸控螢幕顯示器。另外，機器800可包含一儲存裝置(例如硬碟單元) 821、一信號產生裝置818 (例如一揚聲器)、一網路介面裝置820及一或多個感測器816 (諸如一全球定位系統(GPS)感測器、羅盤、加速度計或其他感測器)。機器800可包含諸如一串列(例如通用串列匯流排(USB))、並列或其他有線或無線(例如紅外線(IR)、近場通信(NFC)等等)連接之一輸出控制器828以通信或控制一或多個周邊裝置(例如一印表機、讀卡器等等)。

【0110】儲存裝置821可包含一機器可讀媒體822，體現本文所描述之技術或功能之任何一或多者或由本文所描述之技術或功能之任何一或多者利用之一或多組資料結構或指令824（例如軟體）儲存於機器可讀媒體822上。指令824亦可在由機器800執行期間完全或至少部分駐留於主記憶體804、靜態記憶體806或硬體處理器802內。在一實例中，硬體處理器802、主記憶體804、靜態記憶體806或儲存裝置821之一或任何組合可構成機器可讀媒體822。

【0111】儘管機器可讀媒體822繪示為一單一媒體，但術語「機器可讀媒體」可包含一單一媒體或經組態以儲存一或多個指令824之多個媒體（例如一集中式或分佈式資料庫或相關聯之快取記憶體及伺服器）。

【0112】術語「機器可讀媒體」可包含能夠儲存、編碼或攜載由機器800執行之指令且引起機器800執行本發明之技術之任何一或多者或能夠儲存、編碼或攜載由此等指令使用或與此等指令相關聯之資料結構之任何媒體。非限制性機器可讀媒體實例可包含固態記憶體及光學及磁性媒體。在一實例中，一大容量機器可讀媒體包括具有複數個不變（例如靜止）質量粒子之一機器可讀媒體。因此，大容量機器可讀媒體不是暫時傳播信號。大容量裝置可讀媒體之特定實例可包含：非揮發性記憶體，諸如半導體記憶體裝置（例如電可程式化唯讀記憶體（EPROM）、電可擦除可程式化唯讀記憶體（EEPROM））及快閃記憶體裝置；磁碟，諸如內部硬碟及可抽換磁碟；磁光碟；及CD-ROM及DVD-ROM磁碟。

【0113】指令824（例如軟體、程式、一作業系統（OS）等等）或其他資料儲存於儲存裝置821上，可由記憶體804存取以供處理器802使用。記憶體804（例如DRAM）通常較快但為揮發性的，且因此為不同於儲存裝置

821之一儲存器類型(例如一SSD)，其適合於長期儲存(包含在處於一「切斷」條件中時)。由一使用者或機器800使用之指令824或資料通常載入記憶體804中以供處理器802使用。當記憶體804滿載時，可分配來自儲存裝置821之虛擬空間來補充記憶體804；然而，因為儲存裝置821通常比記憶體804慢且寫入速度通常比讀取速度慢至少一倍，所以使用虛擬記憶體會因儲存裝置延時(與記憶體804 (例如DRAM)相比)而大幅減慢使用者體驗。此外，使用儲存裝置821用於虛擬記憶體會大幅縮短儲存裝置821之可用壽命。

【0114】 與虛擬記憶體相比，虛擬記憶體壓縮(例如Linux[®]核心特徵「ZRAM」)使用記憶體之部分作為壓縮區塊儲存器以避免調頁至儲存裝置821。調頁發生於壓縮區塊中，直至需要將此資料寫入至儲存裝置821。虛擬記憶體壓縮增大記憶體804之可用大小，同時減少儲存裝置821上之損耗。

【0115】 針對行動電子裝置所最佳化之儲存裝置或行動儲存器通常包含MMC固態儲存裝置(例如微型安全數位(microSD[™])卡等等)。MMC裝置包含與一主機裝置之若干並行介面(例如一8位元並行介面)且通常為可自主機裝置移除及與主機裝置分離之組件。相比而言，eMMC[™]裝置附接至一電路板且被視為主機裝置之一組件，其讀取速度與基於串列ATA[™] (串列AT (進階技術)附件或SATA)之SSD裝置相當。然而，行動裝置效能需求不斷提高以(諸如)完全實現虛擬或擴增實境裝置、利用加快網路速度等等。回應於此需求，儲存裝置已自並行通信介面變換至串列通信介面。包含控制器及韌體之通用快閃儲存(UFS)裝置使用與專用讀取/寫入路徑之一低電壓微動發信(LVDS)串列介面來與一主機裝置通信以進一步促成

更大讀取/寫入速度。

【0116】 利用若干傳送協定(例如訊框中繼、網際網路協定(IP)、傳輸控制協定(TCP)、使用者資料包協定(UDP)、超文字傳送協定(HTTP)等等)之任一者，可使用經由網路介面裝置820之一傳輸媒體來通過一通信網路826進一步傳輸或接收指令824。實例性通信網路可尤其包含一區域網路(LAN)、一廣域網路(WAN)、一封包資料網路(例如網際網路)、行動電話網路(例如蜂巢式網路)、簡易老式電話系統(POTS)網路及無線資料網路(例如稱為Wi-Fi[®]之美國電機電子工程師學會(IEEE) 802.11家族標準、稱為WiMax[®]之IEEE 802.16家族標準)、IEEE 802.15.4家族標準、同級間(P2P)網路。在一實例中，網路介面裝置820可包含一或多個實體插孔(例如乙太網路、同軸或電話插孔)或一或多個天線以連接至通信網路826。在一實例中，網路介面裝置820可包含複數個天線以使用單輸入多輸出(SIMO)技術、多輸入多輸出(MIMO)技術或多輸入單輸出(MISO)技術之至少一者來無線通信。術語「傳輸媒體」應被視為包含能夠儲存、編碼或攜載由機器800執行之指令之任何無形媒體，且包含數位或類比通信信號或促進此軟體通信之其他無形媒體。

【0117】 以上詳細描述包含參考構成[實施方式]之一部分之附圖。圖式依繪示之方式展示其中可實踐本發明之特定實施例。此等實施例在本文中亦指稱「實例」。此等實例可包含除所展示或描述之元件之外之元件。然而，本發明者亦考量其中僅提供所展示或描述之該等元件之實例。再者，本發明者亦考量相對於一特定實例(或其之一或多個態樣)或相對於本文所展示或描述之其他實例(或其之一或多個態樣)使用所展示或描述之該等元件(或其等之一或多個態樣)之任何組合或排列之實例。

【0118】 在各種實例中，本文所描述之組件、控制器、處理器、單元、引擎或表可尤其包含儲存於一實體裝置上之實體電路系統或韌體。如本文所使用，「處理器」意謂任何類型之運算電路，諸如(但不限於)一微處理器、一微控制器、一圖形處理器、一數位信號處理器(DSP)或任何其他類型之處理器或處理電路(其包含處理器或多核心裝置之一群組)。

【0119】 如本發明中所使用，術語「水平」界定為平行於一基板之習知平面或表面之一平面(諸如一晶圓或晶粒下面之平面)，不管基板在任何時間點之實際定向如何。術語「垂直」係指垂直於上文所界定之水平之一方向。諸如「在...上」、「在...上方」及「在...下方」之介詞相對於基板之頂面或暴露表面上之習知平面或表面而界定，不管基板之定向如何；同時，「在...上」意欲暗示一結構相對於另一結構(該結構位於該另一結構「上」)直接接觸(若無一明確相反指示)；術語「在...上方」及「在...下方」明確意欲識別結構(或層、特徵等等)之一相對放置，除非明確如此識別，否則其明確包含(但不限於)所識別之結構之間的直接接觸。類似地，術語「在...上方」及「在...下方」不受限於水平定向，因為若一結構在某一時間點係討論中之建構之一最外部分，則其可位於一參考結構「上方」，即使此結構相對於參考結構垂直延伸，而非呈一水平定向。

【0120】 術語「晶圓」及「基板」在本文中一般用於係指積體電路形成於其上之任何結構及積體電路製造之各種階段期間之此等結構。因此，以下詳細描述被應被視為意在限制，且各種實施例之範疇僅由隨附申請專利範圍以及此申請專利範圍有權要求之等效物之全範疇界定。

【0121】 根據本發明及本文所描述之各種實施例包含利用記憶體胞元之一垂直結構(例如記憶體胞元之「反及」串)之記憶體。如本文所描

述，方向形容詞將被視為相對於記憶體胞元形成於其上之一基板之一表面(即，一垂直結構將被視為遠離基板表面延伸，該垂直結構之一底端將被視為最靠近基板表面之端且該垂直結構之一頂端將被視為最遠離基板表面之端)。

【0122】 如本文所使用，諸如水平、垂直、正交、平行等等之方向形容詞可係指相對定向，且除非另有說明，否則不意欲要求嚴格依附於特定幾何性質。例如，如本文所使用，一垂直結構無需嚴格垂直於一基板之一表面，而是可大體上垂直於該基板之該表面，且可與該基板之該表面形成一銳角(例如介於60度至120度之間等等)。

【0123】 在本文所描述之一些實施例中，不同摻雜組態可應用於一源極側選擇閘極(SGS)、一控制閘極(CG)及一汲極側選擇閘極(SGD)，在此實例中，其等之各者可由多晶矽形成或至少包含多晶矽，因此使得此等層(例如多晶矽等等)可在暴露於一蝕刻溶液時具有不同蝕刻速率。例如，在形成一3D半導體裝置中之一單體柱之一程序中，SGS及CG可形成凹槽，而SGD可保持較少凹入或甚至不凹入。因此，此等摻雜組態可藉由使用一蝕刻溶液(例如氫氧化四甲銨(TMCH))來實現選擇性蝕刻至3D半導體裝置中之不同層(例如SGS、CG及SGD)中。

【0124】 如本文所使用，操作一記憶體胞元包含自記憶體胞元讀取、寫入至記憶體胞元或擦除記憶體胞元。使一記憶體胞元處於一預期狀態之操作在本文中指稱「程式化」且可包含寫入至記憶體胞元或自記憶體胞元擦除兩者(例如，可將記憶體胞元程式化為一擦除狀態)。

【0125】 根據本發明之一或多個實施例，位於一記憶體裝置內或一記憶體裝置外之一記憶體控制器(例如一處理器、控制器、韌體等等)能夠

判定(例如選擇、設定、調整、運算、改變、清除、通信、調適、導出、界定、利用、修改、應用等等)損耗循環之一數量或一損耗狀態(例如記錄損耗循環、在記憶體裝置之操作發生時計數記憶體裝置之操作、追蹤記憶體裝置引發之操作、評估對應於一損耗狀態之記憶體裝置特性等等)。

【0126】 根據本發明之一或多個實施例，一記憶體存取裝置可經組態以使用各記憶體操作來提供損耗循環資訊至記憶體裝置。記憶體裝置控制電路系統(例如控制邏輯)可經程式化以補償對應於損耗循環資訊之記憶體裝置效能改變。記憶體裝置可接收損耗循環資訊且回應於損耗循環資訊而判定一或多個操作參數(例如一值、特性)。

【0127】 應瞭解，當一元件被指為「在另一元件上」、「連接至」另一元件或「與另一元件耦合」時，其可直接在另一元件上、直接連接至另一元件或直接與另一元件耦合或可存在介入元件。相比而言，當一元件被指為「直接在另一元件上」、「直接連接至」另一元件或「直接與另一元件耦合」時，不存在介入元件或層。若兩個元件在圖式中展示為具有連接其等之一線，則除非另有指示，否則兩個元件可耦合或直接耦合。

【0128】 本文所描述之方法實例可為至少部分機器或電腦實施的。一些實例可包含使用指令編碼之一電腦可讀媒體或機器可讀媒體，指令可操作以組態一電子裝置執行上述實例中所描述之方法。此等方法之一實施方案可包含諸如微碼、組合語言碼、一較高階語言碼或其類似者之編碼。此編碼可包含用於執行各種方法之電腦可讀指令。編碼可形成電腦程式產品之部分。此外，編碼可諸如在執行期間或其他時間有形地儲存於一或多個揮發性或非揮發性有形電腦可讀媒體上。此等有形電腦可讀媒體之實例可包含(但不限於)硬碟、可抽換磁碟、可抽換光碟(例如光碟及數位光

碟)、卡式磁帶、記憶卡或記憶條、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、固態硬碟(SSD)、通用快閃儲存(UFS)裝置、嵌入式MMC(eMMC)裝置及其類似者。

【0129】 根據以上所描述及以下實例及請求項中所指定之結構及技術來提出本發明所描述之實施例之額外實例。

【0130】 實例1係一種記憶體裝置，其包括：一「反及」記憶體陣列，其具有記憶體胞元之多個區塊之群組；及一記憶體控制器，其可操作地耦合至該記憶體陣列，該記憶體控制器用於執行包括以下各者之操作：監測針對該記憶體陣列之一各自區塊發生之讀取操作；至少部分基於針對該各自區塊發生之該等讀取操作來識別用於觸發一讀取位準校準之一條件；及回應於該識別條件而基於收容該各自區塊之多個區塊之一各自群組之一臨限電壓位準來執行該讀取位準校準，其中至少部分基於用於讀取該各自區塊之一臨限電壓來執行該讀取位準校準。

【0131】 在實例2中，實例1之標的包含藉由追蹤針對該各自區塊之讀取之一次數來監測該等讀取操作，且其中至少部分基於針對該各自區塊發生之讀取之該次數超過一判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【0132】 在實例3中，實例2之標的包含該記憶體控制器之該等操作，該等操作進一步包括監測針對該各自區塊發生之擦除操作，其中基於針對該各自區塊之擦除之一次數超過一判定擦除次數來進一步識別用於觸發該讀取位準校準之該條件。

【0133】 在實例4中，實例3之標的包含以保存於可由該記憶體控制器存取之一記憶體中之一第一計數值追蹤針對該各自區塊之讀取之該次

數，其中以保存於可由該記憶體控制器存取之該記憶體中之一第二計數值追蹤針對該各自區塊之擦除之該次數，且其中針對該各自區塊發生之一擦除重設該第一計數值。

【0134】 在實例5中，實例1至4之標的包含藉由追蹤針對收容該各自區塊之多個區塊之該各自群組之讀取之一次數來監測該等讀取操作，其中至少部分基於針對多個區塊之該各自群組發生之讀取之該次數超過一判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【0135】 在實例6中，實例1至5之標的包含用於觸發該讀取位準校準之該條件係進一步部分基於針對該記憶體陣列之至少該各自區塊發生之讀取操作之一原始位元錯誤率(RBER)。

【0136】 在實例7中，實例1至6之標的包含藉由執行用於讀取該各自區塊之該臨限電壓及用於讀取位於該記憶體陣列中之多個區塊之該等群組中之其他區塊之臨限電壓之一取樣來執行該讀取位準校準。

【0137】 在實例8中，實例7之標的包含基於該等其他區塊之各自區塊中所執行之讀取操作之一次數來在該記憶體陣列內識別包含於該取樣中之該記憶體陣列中之該等其他區塊。

【0138】 在實例9中，實例7至8之標的包含基於以下之至少一者來在該記憶體陣列內識別包含於該取樣中之該記憶體陣列中之該等其他區塊：隨機取樣該記憶體陣列中之該等其他區塊、基於資料齡期來取樣該記憶體陣列中之該等其他區塊或基於對應於該等其他區塊之原始位元錯誤率(RBER)來取樣該記憶體陣列中之該等其他區塊。

【0139】 在實例10中，實例1至9之標的包含藉由監測針對該各自區塊之一或多個部分之讀取操作來監測針對該各自區塊之該等讀取操作。

【0140】 在實例11中，實例10之標的包含該各自區塊之該等監測部分包含該各自區塊之頁面。

【0141】 在實例12中，實例1至11之標的包含，其中該記憶體裝置可操作地耦合至一主機，其中該主機引發命令執行該記憶體陣列中之該多個區塊中之各自讀取，且其中該等各自讀取包含針對對應於位於該各自區塊內之一頁面之一邏輯區塊位址發生之多次讀取。

【0142】 在實例13中，實例1至12之標的包含該讀取位準校準更新用於在針對該各自區塊之一或多個頁面發生之後續讀取操作中讀取該各自區塊之該一或多個頁面之一或多個讀取電壓位準。

【0143】 在實例14中，實例1至13之標的包含該記憶體陣列之記憶體胞元之該等區塊包含以下之至少一者：單位階胞元(SLC)、多層胞元(MLC)、三層胞元(TLC)或四層胞元(QLC)「反及」記憶體胞元。

【0144】 在實例15中，實例1至14之標的包含將該記憶體陣列配置成三維(3D)「反及」晶粒之一堆疊，其中收容該各自區塊之多個區塊之該各自群組對應於由3D「反及」晶粒之該堆疊中之一各自晶粒提供之一區塊群組。

【0145】 實例16係一種用於最佳化一記憶體裝置中之電壓讀取位準校準之方法，該方法包括由一「反及」記憶體陣列之一記憶體控制器執行之複數個操作，且該記憶體陣列具有記憶體胞元之多個區塊之群組，其中該等操作包括：監測發出至該記憶體陣列之一各自區塊之讀取命令；至少部分基於發出至該各自區塊之該等讀取命令來識別用於觸發一讀取位準校準之一條件；及回應於該識別條件而基於收容該各自區塊之多個區塊之一各自群組之一臨限電壓位準來執行該讀取位準校準，其中至少部分基於用

於讀取該各自區塊之一臨限電壓來執行該讀取位準校準；其中該讀取位準校準更新用於在針對該各自區塊之一頁面之後續讀取操作中讀取該各自區塊之該頁面之一讀取電壓位準。

【0146】 在實例17中，實例16之標的包含藉由追蹤針對該各自區塊之讀取之一次數來監測該等讀取操作，且其中至少部分基於針對該各自區塊發生之讀取之該次數超過一判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【0147】 在實例18中，實例17之標的包含監測針對該各自區塊發生之擦除操作，其中基於針對該各自區塊之擦除之一次數超過一判定擦除次數來進一步識別用於觸發該讀取位準校準之該條件。

【0148】 在實例19中，實例18之標的包含以保存於可由該記憶體控制器存取之一記憶體中之一第一計數值追蹤針對該各自區塊之讀取之該次數，其中以保存於可由該記憶體控制器存取之該記憶體中之一第二計數值追蹤針對該各自區塊之擦除之該次數，且其中針對該各自區塊發生之一擦除重設該第一計數值。

【0149】 在實例20中，實例16至19之標的包含藉由追蹤針對收容該各自區塊之多個區塊之該各自群組之讀取之一次數來監測該等讀取操作，且其中至少部分基於針對多個區塊之該各自群組發生之讀取之該次數超過一判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【0150】 在實例21中，實例16至20之標的包含用於觸發該讀取位準校準之該條件係進一步部分基於針對該記憶體陣列之至少該各自區塊發生之讀取操作之一原始位元錯誤率(RBER)。

【0151】 在實例22中，實例16至21之標的包含藉由執行用於讀取該

各自區塊之該臨限電壓及用於讀取位於該記憶體陣列中之多個區塊之該等群組中之其他區塊之臨限電壓之一取樣來執行該讀取位準校準。

【0152】 在實例23中，實例22之標的包含基於該等其他區塊之各自區塊中所執行之讀取操作之一次數來在該記憶體陣列內識別包含於該取樣中之該記憶體陣列中之該等其他區塊。

【0153】 在實例24中，實例22至23之標的包含基於以下之至少一者來在該記憶體陣列內識別包含於該取樣中之該記憶體陣列中之該等其他區塊：隨機取樣該記憶體陣列中之該等其他區塊、基於資料齡期來取樣該記憶體陣列中之該等其他區塊或基於對應於該等其他區塊之原始位元錯誤率(RBER)來取樣該記憶體陣列中之該等其他區塊。

【0154】 在實例25中，實例16至24之標的包含藉由監測針對該各自區塊之一或多個部分之讀取操作來監測針對該各自區塊之該等讀取操作。

【0155】 在實例26中，實例25之標的包含該各自區塊之該等監測部分包含該各自區塊之頁面。

【0156】 在實例27中，實例16至26之標的包含該記憶體裝置可操作地耦合至一主機，其中該主機引發命令執行該記憶體陣列中之該多個區塊中之各自讀取，且其中該等各自讀取包含針對對應於位於該各自區塊內之一頁面之一邏輯區塊位址發生之多次讀取。

【0157】 在實例28中，實例16至27之標的包含該讀取位準校準更新用於在針對該各自區塊之一或多個頁面發生之後續讀取操作中讀取該各自區塊之該一或多個頁面之一或多個讀取電壓位準。

【0158】 在實例29中，實例16至28之標的包含該記憶體陣列之記憶體胞元之該等區塊包含以下之至少一者：單位階胞元(SLC)、多層胞元

(MLC)、三層胞元(TLC)或四層胞元(QLC)「反及」記憶體胞元。

【0159】 在實例30中，實例16至29之標的包含將該記憶體陣列配置成三維(3D)「反及」晶粒之一堆疊，其中收容該各自區塊之多個區塊之該各自群組對應於由3D「反及」晶粒之該堆疊中之一各自晶粒提供之一區塊群組。

【0160】 實例31係一種裝置可讀儲存媒體，其提供在由一記憶體裝置之一控制器執行時最佳化該記憶體裝置中之電壓讀取位準校準之指令，其中該等指令引起該控制器執行根據實例1至30之技術之任何者之操作。

【0161】 實例32係一種設備，其包括用於執行實例1至30之方法或技術之任何者之各自構件。

【0162】 實例33係一種用於執行實例1至30之任何者之操作之系統、設備或裝置。

【0163】 實例34係一種有形機器可讀媒體，其包括用於執行或實施實例1至30之任何者之操作之指令。

【0164】 實例35係一種用於執行實例1至30之任何者之操作之方法。

【0165】 以上描述意在繪示而非限制。例如，上述實例(或其等之一或多個態樣)可彼此組合使用。其他實施例可由(諸如)一般技術者在回顧以上描述之後使用。應瞭解，以上描述不會用於解譯或限制申請專利範圍之範疇或意涵。另外，在[實施方式]中，各種特徵可群組在一起以簡化本發明。此不應被解譯為意欲使一未主張揭示特徵成為任何請求項之必不可少部分。確切而言，發明標的可不具有一特定揭示實施例之所有特徵。因此，以下申請專利範圍特此併入至[實施方式]中，其中各請求項獨自代表

一單獨組件，且預期此等實施例可在各種組合或排列中彼此組合。應參考隨附申請專利範圍以及此申請專利範圍有權要求之等效物之全範疇來判定本發明之範疇。

【0166】 在本發明中，使用專利文件中常見之術語「一」來包含一個或一個以上，其與「至少一」或「一或多個」之任何其他例項或使用無關。在本發明中，除非另有指示，否則術語「或」用於係指「非排他或」，使得「A或B」可包含「A而非B」、「B而非A」及「A及B」。在隨附申請專利範圍中，術語「包含」及「其中(in which)」用作為各自術語「包括」及「其中(wherein)」之通俗英語等效物。另外，在以下申請專利範圍中，術語「包含」及「包括」係開放式的，即，包含除一請求項中之此一術語之後所列之元件之外之元件之一系統、裝置、物件或程序仍被視為落於該請求項之範疇內。再者，在以下申請專利範圍中，術語「第一」、「第二」及「第三」等等僅用作為標示，且不意欲對其目標強加數值要求。

【符號說明】

【0167】

100	環境
105	主機裝置/主機
110	記憶體裝置
115	記憶體控制器
120	記憶體陣列
125	記憶體管理器
130	管理表

135	陣列控制器
140	錯誤校正碼(ECC)組件
150	產品
200	三維(3D)「反及」架構半導體記憶體陣列
201A	區塊A
201A ₀	子區塊A ₀
201A _n	子區塊A _n
201B	區塊B
201B ₀	區塊B ₀
201B _n	區塊B _n
205A ₀	第一A ₀ 記憶體串
205A _n	第一A _n 記憶體串
205B ₀	第一B ₀ 記憶體串
205B _n	第一B _n 記憶體串
206A ₀	第二A ₀ 記憶體串
206A _n	第二A _n 記憶體串
206B ₀	第二B ₀ 記憶體串
206B _n	第二B _n 記憶體串
207A ₀	第三A ₀ 記憶體串
207A _n	第三A _n 記憶體串
207B ₀	第三B ₀ 記憶體串
207B _n	第三B _n 記憶體串
210A至217A	字線(WL) WL0 ₀ 至WL7 ₀

210B至217B	WL1 ₀ 至WL7 ₁
220至222	位元線(BL) BL0至BL ₂
225A ₀	A ₀ 汲極側選擇閘極(SGD)線SGDA ₀
225A _n	A _n SGD線SGDA _n
225B ₀	B ₀ SGD線SGDB ₀
225B _n	B _n SGD線SGDB _n
226A ₀	第一A ₀ SGD
226A _n	第一A _n SGD
226B ₀	第一B ₀ SGD
226B _n	第一B _n SGD
227A ₀	第二A ₀ SGD
227A _n	第二A _n SGD
227B ₀	第二B ₀ SGD
227B _n	第二B _n SGD
228A ₀	第三A ₀ SGD
228A _n	第三A _n SGD
228B ₀	第三B ₀ SGD
228B _n	第三B _n SGD
230A	閘極選擇線SGS ₀
230B	閘極選擇線SGS ₁
231A ₀	第一A ₀ 源極側選擇閘極(SGS)
231A _n	第一A _n SGS
231B ₀	第一B ₀ SGS

231B _n	第一B _n SGS
232A ₀	第二A ₀ SGS
232A _n	第二A _n SGS
232B ₀	第二B ₀ SGS
232B _n	第二B _n SGS
233A ₀	第三A ₀ SGS
233A _n	第三A _n SGS
233B ₀	第三B ₀ SGS
233B _n	第三B _n SGS
235	源極線(SRC)
300	「反及」架構半導體記憶體陣列
302	記憶體胞元
305	第一串
306	第二串
307	第三串
310至317	字線(WL) WL0至WL7
320	第一位元線(BL) BL0
321	第二位元線BL1
322	第三位元線BL2
325	SGD線
326	第一SGD
327	第二SGD
328	第三SGD

330	SGS線
331	第一SGS
332	第二SGS
333	第三SGS
335	SRC
341	第一控制閘極(CG)
342	第二CG
343	第三CG
360	感測放大器/感測裝置
400	記憶體裝置
402	記憶體陣列
402A	第一區塊
402A ₀	第一子區塊
402A _n	第二子區塊
402B	第二區塊
402B ₀	第一子區塊
402B _n	第二子區塊
404	記憶體胞元
406	存取線
408	輸入/輸出(I/O)線(DQ0至DQ8)
410	第一資料線
412	列解碼器
414	行解碼器

416	位址線
418	第二資料線
420	感測放大器
422	頁面緩衝器
424	選擇器
426	I/O 電路
428	調節器
430	記憶體控制單元
432	控制線
434	供應電壓(Vcc)
436	負壓電源(Vss)
500	系統
510	記憶體裝置
520	主機
525	主機命令
530	「反及」記憶體陣列
540	控制器
542	控制操作
544	記憶體
546	處理電路系統
548	儲存媒體
550	輸入輸出(IO)操作監測
560	主機操作處理

570	讀取電壓控制
580	讀取位準校準
585	取樣命令
590	錯誤偵測處理
600	操作序列圖
610	擦除計數值
615	判定
620	讀取計數值
625	判定
630	控制器邏輯
640	控制器操作
650	取樣位置
700	流程圖
710	操作
720	操作
730	操作
740	操作
750	操作
760	操作
770	操作
780	操作
800	機器
802	硬體處理器

804	主記憶體
806	靜態記憶體
808	互連
810	顯示單元
812	文數字輸入裝置
814	使用者介面(UI)導覽裝置
816	感測器
818	信號產生裝置
820	網路介面裝置
821	儲存裝置
822	機器可讀媒體
824	指令
826	通信網路
828	輸出控制器
A0至AX	位址信號
BL0至BLn	位元線
CSEL0至CSELn	行選擇信號
WL0至WLm	字線

【發明申請專利範圍】

【第1項】

一種記憶體裝置，其包括：

一記憶體陣列，其具有記憶體胞元之多個區塊之若干群組(groups of multiple blocks of memory cells)；及

一記憶體控制器，其可操作地耦合至該記憶體陣列，該記憶體控制器用於執行包括以下各者之操作：

監測針對該記憶體陣列之一各自區塊(a respective block)發生之讀取操作；

至少部分基於針對該各自區塊發生之該等讀取操作來識別用於觸發一讀取位準校準之一條件；及

回應於該經識別條件而基於收容(hosting)該各自區塊之一各自群組(a respective group)中之若干區塊中之一臨限電壓位準的一取樣來執行該讀取位準校準，其中至少部分基於用於讀取該各自區塊之一臨限電壓來執行該讀取位準校準。

【第2項】

如請求項1之記憶體裝置，其中監測該等讀取操作包含追蹤針對該各自區塊之讀取之一次數，且其中至少部分基於針對該各自區塊發生之讀取之該次數超過一判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【第3項】

如請求項2之記憶體裝置，該記憶體控制器之該等操作進一步包括監測針對該各自區塊發生之擦除操作，其中基於針對該各自區塊之擦除之一次數超過一判定擦除次數來進一步識別用於觸發該讀取位準校準之該條件。

【第4項】

如請求項3之記憶體裝置，其中以保存於可由該記憶體控制器存取之一記憶體中之一第一計數值(counter)追蹤針對該各自區塊之讀取之該次數，其中以保存於可由該記憶體控制器存取之該記憶體中之一第二計數值追蹤針對該各自區塊之擦除之該次數，且其中針對該各自區塊發生之一擦除重設該第一計數值。

【第5項】

如請求項1之記憶體裝置，其中監測該等讀取操作包含追蹤針對收容該各自區塊之多個區塊之該各自群組之讀取之一次數，且其中至少部分基於針對多個區塊之該各自群組發生之讀取之該次數超過一經判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【第6項】

如請求項1之記憶體裝置，其中用於觸發該讀取位準校準之該條件係進一步部分基於針對該記憶體陣列之至少該各自區塊發生之讀取操作之一原始位元錯誤率(RBER)。

【第7項】

如請求項1之記憶體裝置，其中執行該讀取位準校準包含執行用於讀取該各自區塊之該臨限電壓以及用於讀取位於該記憶體陣列中之該等群組中之其他區塊之臨限電壓之一取樣。

【第8項】

如請求項7之記憶體裝置，其中基於該等其他區塊之各自區塊中所執行之讀取操作之一次數來在該記憶體陣列內識別包含於該取樣中之該記憶體陣列中之該等其他區塊。

【第9項】

如請求項7之記憶體裝置，其中基於以下之至少一者來在該記憶體陣列內識別包含於該取樣中之該記憶體陣列中之該等其他區塊：隨機取樣該記憶體陣列中之該等其他區塊、基於資料齡期來取樣該記憶體陣列中之該等其他區塊或基於對應於該等其他區塊之原始位元錯誤率(RBER)來取樣該記憶體陣列中之該等其他區塊。

【第10項】

如請求項1之記憶體裝置，其中藉由監測針對該各自區塊之一或多個部分之讀取操作來監測針對該各自區塊之該等讀取操作。

【第11項】

如請求項10之記憶體裝置，其中該各自區塊之該等經監測部分包含該各自區塊之頁面。

【第12項】

如請求項1之記憶體裝置，其中該記憶體裝置可操作地耦合至一主機，其中該主機引發命令執行該記憶體陣列中之該多個區塊中之各自讀取，且其中該等各自讀取包含針對對應於位於該各自區塊內之一頁面之一邏輯區塊位址發生之多次讀取。

【第13項】

如請求項1之記憶體裝置，其中該讀取位準校準更新用於在針對該各自區塊之一或多個頁面發生之後續讀取操作中讀取該各自區塊之該一或多個頁面之一或多個讀取電壓位準。

【第14項】

如請求項1之記憶體裝置，其中該記憶體陣列之記憶體胞元之該等區

塊包含以下之至少一者：單位階胞元(SLC)、多層胞元(MLC)、三層胞元(TLC)或四層胞元(QLC)「反及」記憶體胞元。

【第15項】

如請求項1之記憶體裝置，其中將該記憶體陣列配置成三維(3D)「反及」晶粒之一堆疊，且其中收容該各自區塊之多個區塊之該各自群組對應於由3D「反及」晶粒之該堆疊中之一各自晶粒提供之一區塊群組(a group of blocks)。

【第16項】

一種用於最佳化一記憶體裝置中之電壓讀取位準校準之方法，該方法包括由一記憶體陣列之一記憶體控制器執行之複數個操作，且該記憶體陣列具有記憶體胞元之多個區塊之若干群組，其中該等操作包括：

監測發出至該記憶體陣列之一各自區塊之讀取命令；

至少部分基於發出至該各自區塊之該等讀取命令來識別用於觸發一讀取位準校準之一條件；及

回應於該經識別條件而基於收容該各自區塊之一各自群組中之若干區塊中之一臨限電壓位準的一取樣來執行該讀取位準校準，其中至少部分基於用於讀取該各自區塊之一臨限電壓來執行該讀取位準校準；

其中該讀取位準校準更新用於在針對該各自區塊之一頁面之後續讀取操作中讀取該各自區塊之該頁面之一讀取電壓位準。

【第17項】

如請求項16之方法，其中監測該等讀取命令包含追蹤針對該各自區塊之讀取之一次數，且其中至少部分基於針對該各自區塊發生之讀取之該次數超過一判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【第18項】

如請求項17之方法，該記憶體控制器之該等操作進一步包括：

監測針對該各自區塊發生之擦除命令，其中基於針對該各自區塊之擦除之一次數超過一判定擦除次數來進一步識別用於觸發該讀取位準校準之該條件；

其中以一第一計數值追蹤針對該各自區塊之讀取之該次數，其中以一第二計數值追蹤針對該各自區塊之擦除之該次數，且其中針該各自區塊發生之一擦除重設該第一計數值。

【第19項】

如請求項16之方法，其中監測該等讀取操作包含追蹤針對收容該各自區塊之多個區塊之該各自群組之讀取之一次數，且其中至少部分基於針對多個區塊之該各自群組發生之讀取之該次數超過一經判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【第20項】

如請求項16之方法，其中用於觸發該讀取位準校準之該條件係進一步部分基於針對該記憶體陣列之至少該各自區塊發生之讀取操作之一原始位元錯誤率(RBER)。

【第21項】

如請求項16之方法，其中執行該讀取位準校準包含執行用於讀取該各自區塊之該臨限電壓以及用於讀取位於該記憶體陣列中之該等群組中之其他區塊之臨限電壓之一取樣。

【第22項】

如請求項21之方法，其中基於該等其他區塊之各自區塊中所執行之

讀取操作之一次數來在該記憶體陣列內識別包含於該取樣中之該記憶體陣列中之該等其他區塊。

【第23項】

如請求項16之方法，其中藉由監測針對該各自區塊之一或多個部分之讀取操作來監測針對該各自區塊之該等讀取操作。

【第24項】

一種裝置可讀儲存媒體，其提供在由一記憶體裝置之一控制器執行時最佳化該記憶體裝置中之電壓讀取位準校準之指令，其中該等指令引起該控制器執行包括以下各者之操作：

監測針對該記憶體裝置之一記憶體陣列之一各自區塊發生之讀取操作，該記憶體陣列具有記憶體胞元之多個區塊之若干群組；

至少部分基於針對該各自區塊發生之該等讀取操作來識別用於觸發一讀取位準校準之一條件；及

回應於該經識別條件而基於收容該各自區塊之一各自群組中之若干區塊中之一臨限電壓位準的一取樣來執行該讀取位準校準；

其中至少部分基於用於讀取該各自區塊之一臨限電壓來執行該讀取位準校準，且其中在由該讀取位準校準在該記憶體陣列中執行之一取樣操作內評估該各自區塊之該臨限電壓。

【第25項】

如請求項24之裝置可讀儲存媒體，其中監測該等讀取操作包含追蹤針對該各自區塊之讀取之一次數，且其中至少部分基於針對該各自區塊發生之讀取之該次數超過一判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【第26項】

如請求項25之裝置可讀儲存媒體，由該等指令引起之該等操作進一步包括：

監測針對該各自區塊發生之擦除操作，其中基於針對該各自區塊之擦除之一次數超過一判定擦除次數來進一步識別用於觸發該讀取位準校準之該條件；

其中以一第一計數值追蹤針對該各自區塊之讀取之該次數，其中以一第二計數值追蹤針對該各自區塊之擦除之該次數，且其中針對該各自區塊發生之一擦除重設該第一計數值。

【第27項】

如請求項24之裝置可讀儲存媒體，其中監測該等讀取操作包含追蹤針對收容該各自區塊之多個區塊之該各自群組之讀取之一次數，且其中至少部分基於針對多個區塊之該各自群組發生之讀取之該次數超過一經判定讀取次數來識別用於觸發該讀取位準校準之該條件。

【第28項】

如請求項24之裝置可讀儲存媒體，其中用於觸發該讀取位準校準之該條件係進一步部分基於針對該記憶體陣列之至少該各自區塊發生之讀取操作之一原始位元錯誤率(RBER)。

【第29項】

如請求項24之裝置可讀儲存媒體，其中由該讀取位準校準在該記憶體陣列中執行之該取樣操作包含：自該各自區塊之一或多次讀取取樣一臨限電壓以及自位於該記憶體陣列中之該等群組中之其他區塊之一或多次讀取取樣臨限電壓。

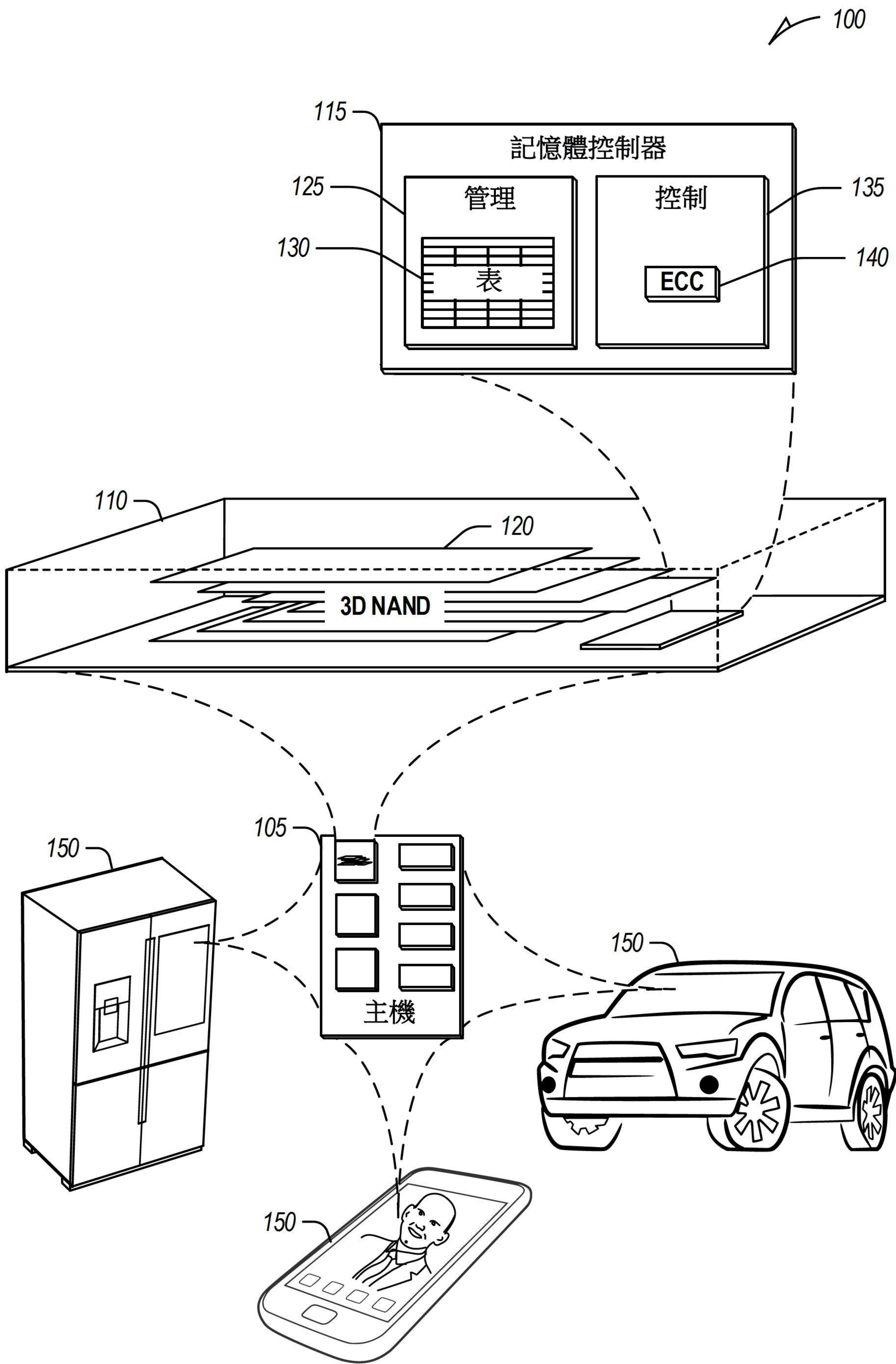
【第30項】

如請求項29之裝置可讀儲存媒體，其中基於該等其他區塊之各自區塊中所執行之讀取操作之一次數來在該記憶體陣列內識別該等其他區塊。

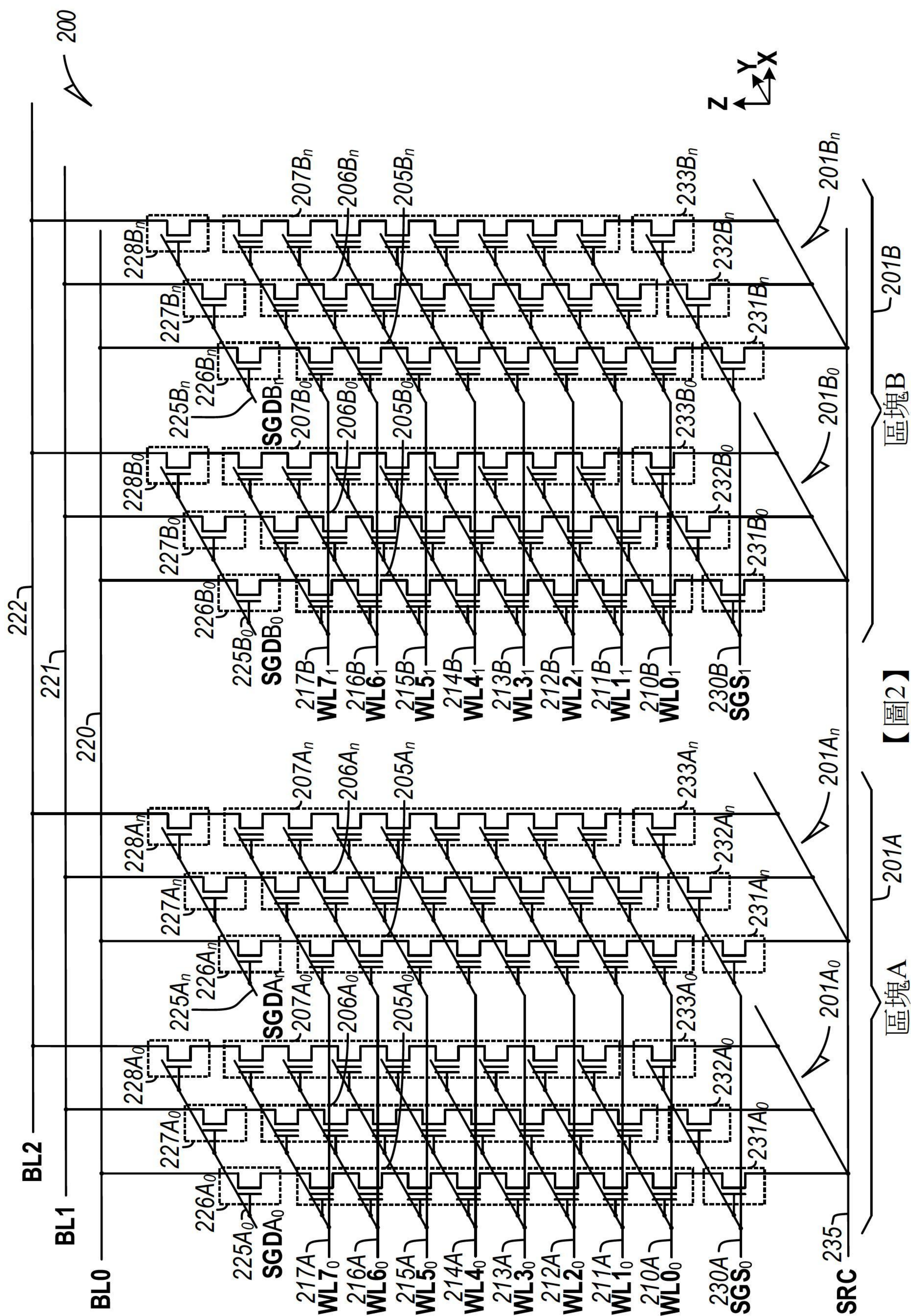
【第31項】

如請求項24之裝置可讀儲存媒體，其中藉由監測針對該各自區塊之一或多個部分之讀取操作來監測針對該各自區塊之該等讀取操作。

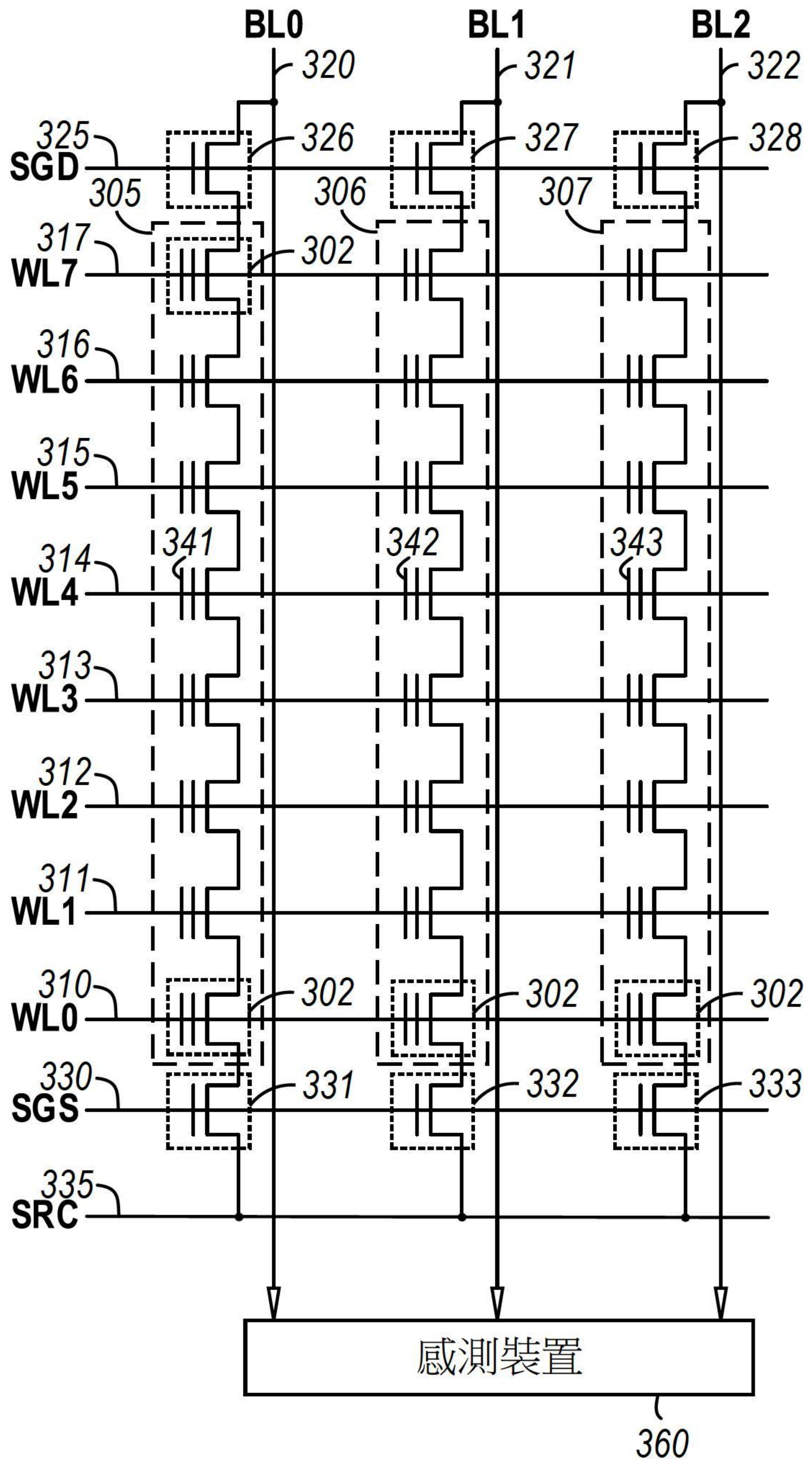
【發明圖式】



【圖1】

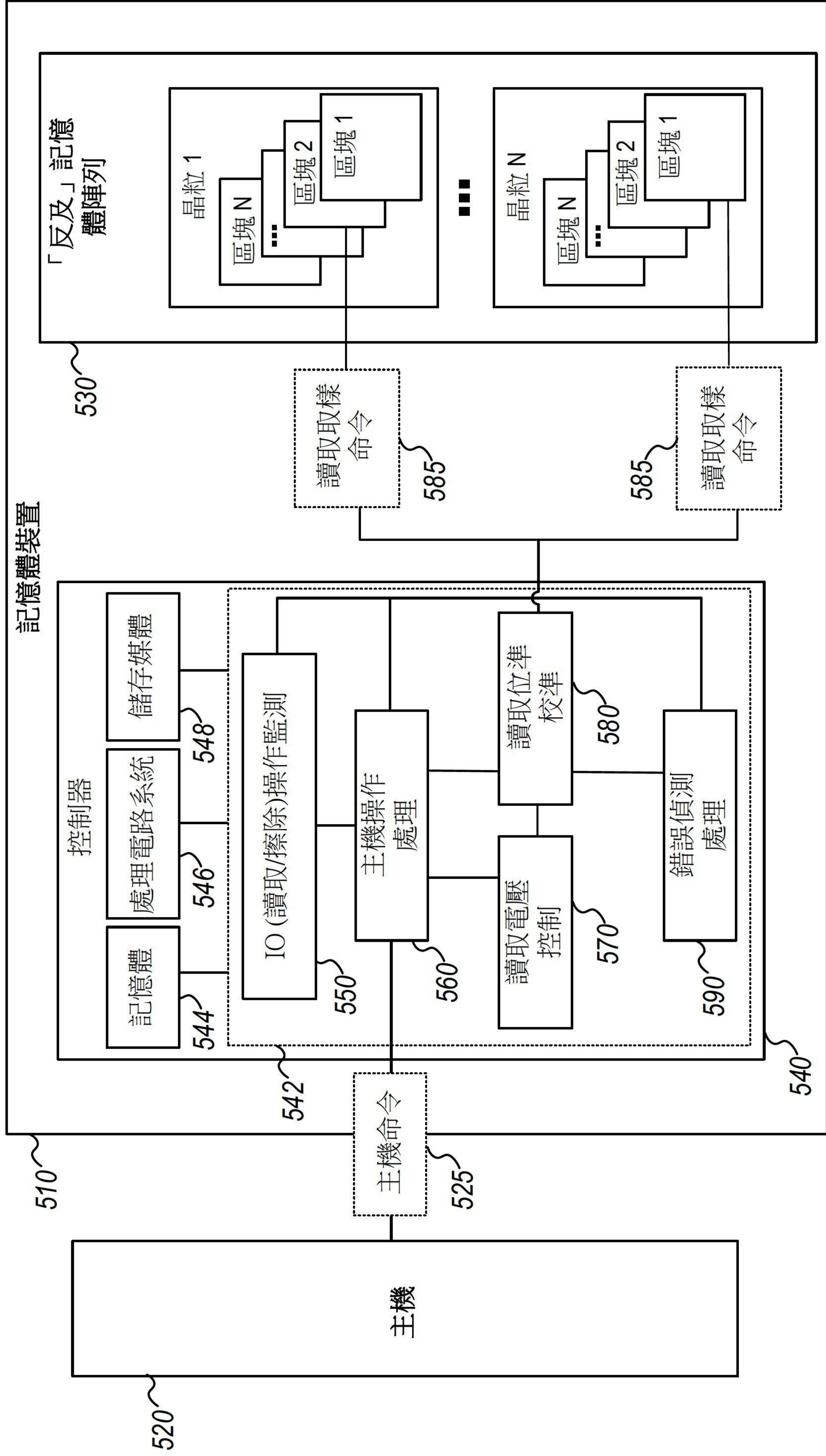


300



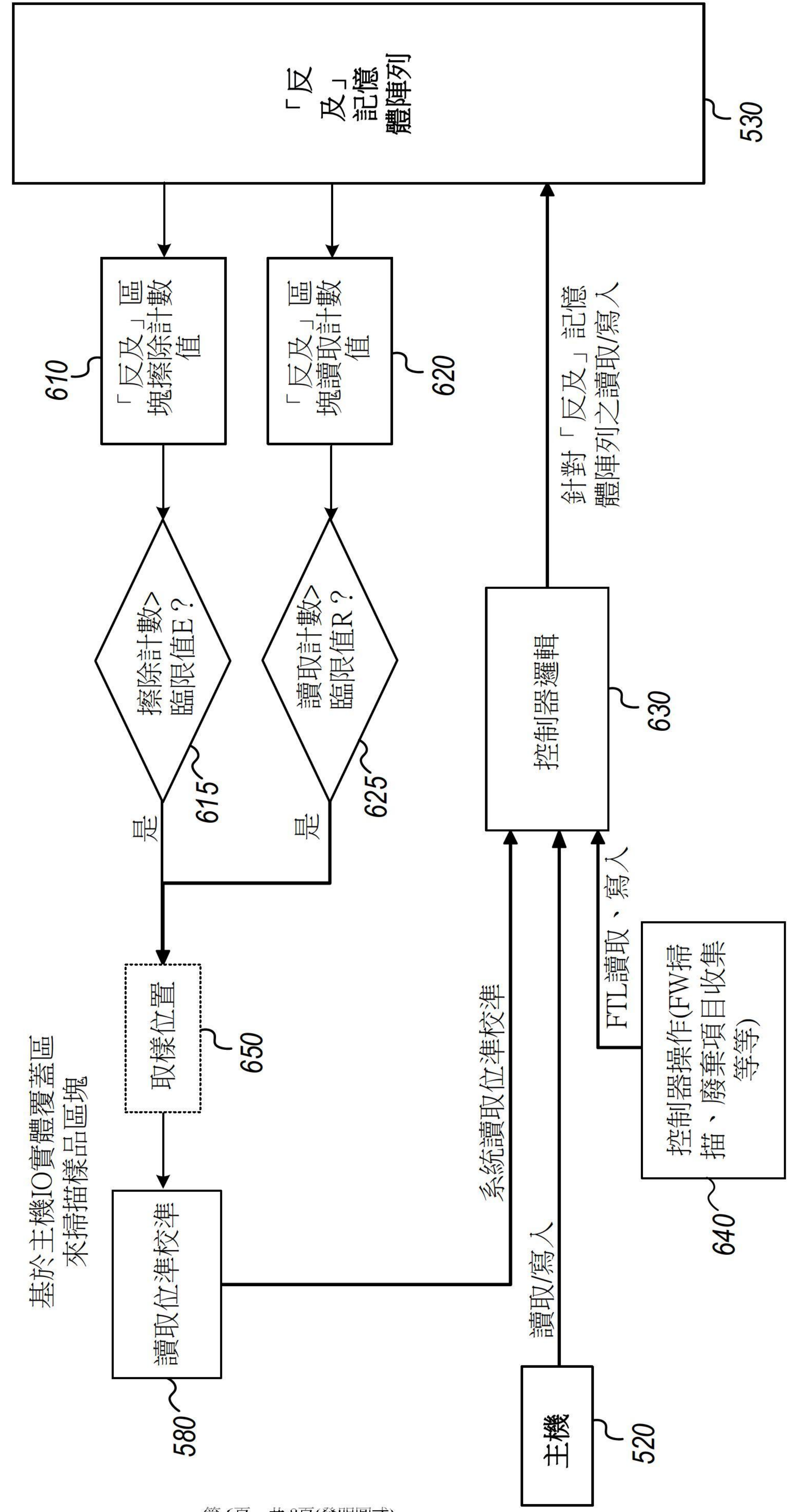
【圖3】

500

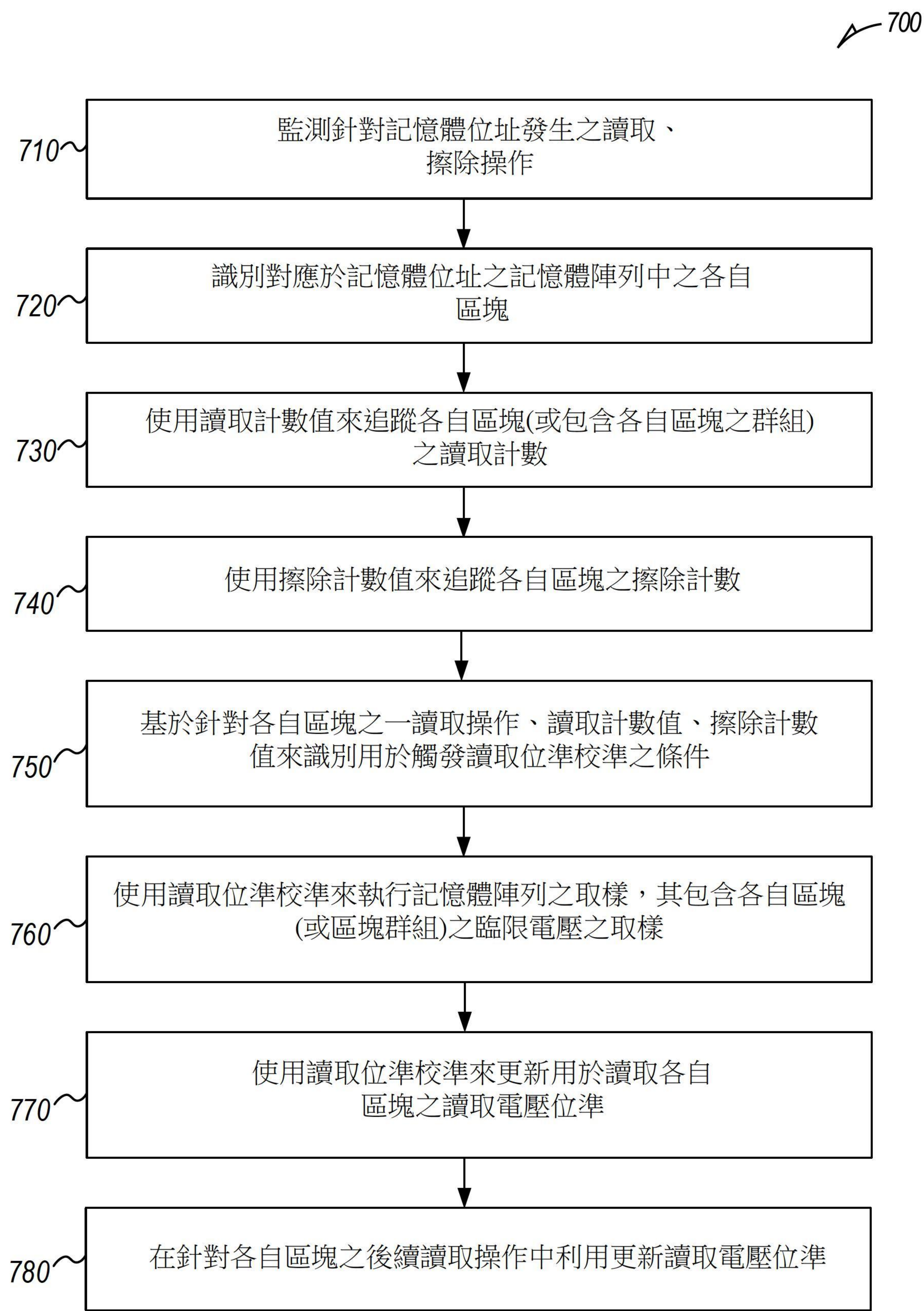


【圖5】

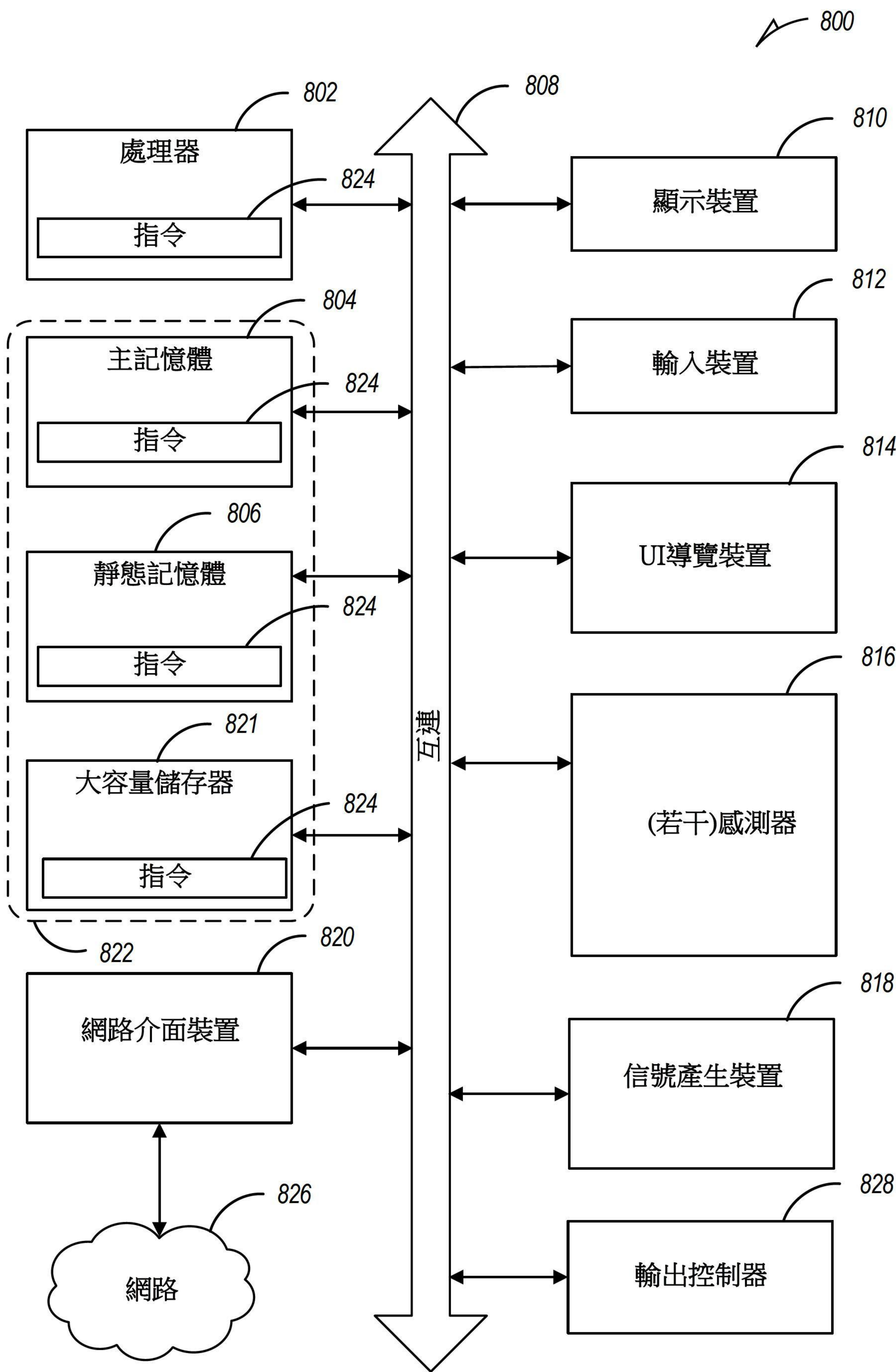
600



【圖6】



【圖7】



【圖8】