I796813

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I796813 B**

(45)公告日： 中華民國 112 (2023) 年 03 月 21 日

(21)申請案號：110140058 (22)申請日： 中華民國 107 (2018) 年 04 月 09 日

(51)Int. Cl.： ***H01L31/112 (2006.01)*** ***H01L31/12 (2006.01)***

(30)優先權：

2017/04/04	美國	62/481,131
2017/05/27	美國	62/511,977
2017/08/08	美國	62/542,329
2017/09/21	美國	62/561,256
2017/11/05	美國	62/581,720
2017/11/05	美國	62/581,777
2017/12/11	美國	62/596,914
2017/04/13	美國	62/485,003
2017/05/10	美國	62/504,531
2017/07/18	美國	62/534,179
2017/09/21	美國	62/561,266
2018/01/03	美國	62/613,054
2018/01/15	美國	62/617,317
2018/02/28	美國	15/908,447

(71)申請人：美商光程研創股份有限公司 (美國) ARTILUX, INC. (US)
美國

(72)發明人：那允中 NA, YUN-CHUNG (TW) ；梁哲夫 LIANG, CHE-FU (TW) ；陳書履 CHEN, SHU-LU (TW) ；鄭斯璘 CHENG, SZU-LIN (TW) ；劉漢鼎 LIU, HAN-DIN (TW) ；陳建龍 CHEN, CHIEN-LUNG (TW) ；呂元復 LYU, YUAN-FU (TW) ；林杰霆 LIN, CHIEH-TING (TW) ；陳柏均 CHEN, BO-JIUN (TW) ；陳慧文 CHEN, HUI-WEN (TW) ；朱書緯 CHU, SHU-WEI (TW) ；林崇致 LIN, CHUNG-CHIH (TW) ；朱冠禎 CHU, KUAN-CHEN (TW)

(74)代理人：趙嘉文；吳俊億

(56)參考文獻：

TW	201719870A	TW	201947754A
EP	1072151B1	US	9142579B2
WO	2015/187884A1		

審查人員：林君濤

申請專利範圍項數：10 項 圖式數：38 共 240 頁

(54)名稱

數位化測量的電路

(57)摘要

一種數位化測量的電路包含像素電路的陣列，以及與像素電路的陣列耦接且具有複數差模類比數位轉換器的列差模類比數位轉換器。其中，像素電路的陣列的每一像素電路各包含光偵測器、包含第一 MOSFET 電晶體的第一讀出子電路以及包含第二 MOSFET 電晶體的第二讀出子電路。光偵

測器包含第一讀出端子及第二讀出端子；第一 MOSFET 電晶體包含耦接於第一控制電壓源的第一閘極端子、第一通道端子及耦接於第一讀出端子的第二通道端子；第二 MOSFET 電晶體包含耦接於第一控制電壓源的第二閘極端子、第三通道端子及耦接於第二讀出端子的第四通道端子。

A circuit for digitizing measurement includes an array of pixel circuits, and a row of differential-mode analog-to-digital converter which is coupled to the array of pixel circuits and includes a plurality of differential-mode analog-to-digital converters. Therein, each pixel circuit of the array of pixel circuits includes a photodetector, a first readout sub-circuit which includes a first MOSFET transistor, and a second readout sub-circuit which includes a second MOSFET transistor. The photodetector includes a first readout terminal and a second readout terminal. The first MOSFET transistor includes a first gate terminal and a first channel terminal coupled to a first control voltage source, and a second channel terminal coupled to the first readout terminal. The second MOSFET transistor includes a second gate terminal and a third channel terminal coupled to the first control valtage source, and a fourth channel termial coupled to the second readout terminal.

指定代表圖：

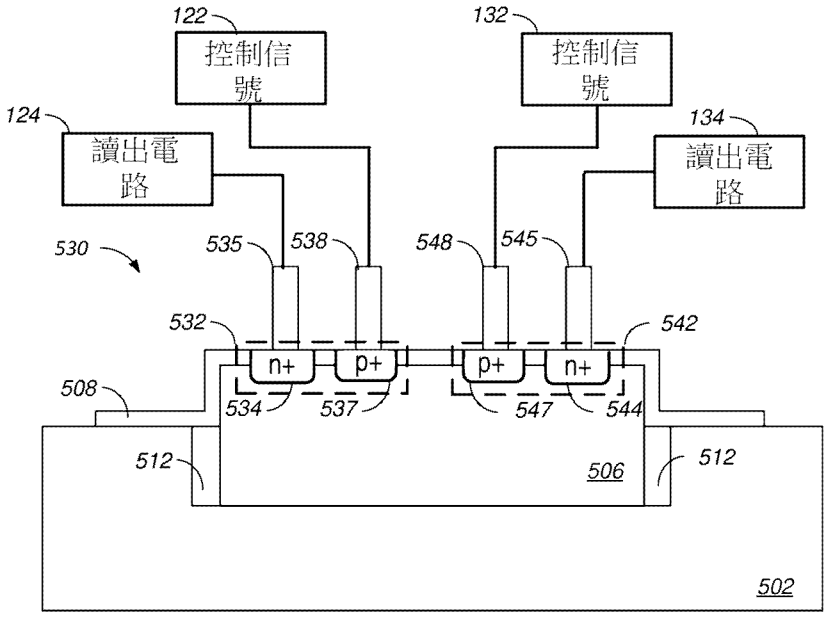


圖5D

符號簡單說明：

122:第一控制訊號

124:(第一)讀出訊號

132:第二控制訊號

134:第二讀出訊號

502:基板

506:吸收區

508:第一層

512:間隔件

530:開關光偵測器

532:第一開關

534:第一 n 型摻雜區

535:第一讀出接點

537:第一 p 型摻雜區

538:第一控制接點

542:第二開關

544:第二 n 型摻雜區

545:第二讀出接點

547:第二 p 型摻雜區

548:第二控制接點

專利案號：110140058
原申請案號：107112154
公告本
申請日：
IPC 分類：
I796813

【發明摘要】

【中文發明名稱】 數位化測量的電路

【英文發明名稱】 CIRCUIT FOR DIGITIZING MEASUREMENT

【中文】

一種數位化測量的電路包含像素電路的陣列，以及與像素電路的陣列耦接且具有複數差模類比數位轉換器的列差模類比數位轉換器。其中，像素電路的陣列的每一像素電路各包含光偵測器、包含第一MOSFET電晶體的第一讀出子電路以及包含第二MOSFET電晶體的第二讀出子電路。光偵測器包含第一讀出端子及第二讀出端子；第一MOSFET電晶體包含耦接於第一控制電壓源的第一閘極端子、第一通道端子及耦接於第一讀出端子的第二通道端子；第二MOSFET電晶體包含耦接於第一控制電壓源的第二閘極端子、第三通道端子及耦接於第二讀出端子的第四通道端子。

【英文】

A circuit for digitizing measurement includes an array of pixel circuits, and a row of differential-mode analog-to-digital converter which is coupled to the array of pixel circuits and includes a plurality of differential-mode analog-to-digital converters. Therein, each pixel circuit of the array of pixel circuits includes a photodetector, a first readout sub-circuit which includes a first MOSFET transistor, and a second readout sub-circuit which includes a second MOSFET transistor. The photodetector includes a first readout terminal and a second readout terminal. The first MOSFET transistor includes a first gate terminal and a first channel terminal coupled to a first control

voltage source, and a second channel terminal coupled to the first readout terminal. The second MOSFET transistor includes a second gate terminal and a third channel terminal coupled to the first control valtage source, and a fourth channel termial coupled to the second readout terminal.

【指定代表圖】圖5D

【代表圖之符號簡單說明】

122…第一控制訊號

124…(第一)讀出訊號

132…第二控制訊號

134…第二讀出訊號

502…基板

506…吸收區

508…第一層

512…間隔件

530…開關光偵測器

532…第一開關

534…第一n型摻雜區

535…第一讀出接點

537…第一p型摻雜區

538…第一控制接點

542…第二開關

544…第二n型摻雜區

545…第二讀出接點

547…第二p型摻雜區

548…第二控制接點

【發明說明書】

【中文發明名稱】 數位化測量的電路

【英文發明名稱】 CIRCUIT FOR DIGITIZING MEASUREMENT

【技術領域】

【0001】 本創作是關於利用光偵測器來偵測光。

【先前技術】

【0002】 光在自由空間中傳播，或者光學介質耦合到將光訊號轉換為電訊號以用於處理的光偵測器。

【發明內容】

【0003】 根據本發明所描述之標的之一發明態樣，三維物體所反射的光可以由成像系統的光偵測器進行偵測。此光偵測器能將偵測到的光轉換為複數電荷。每個光偵測器可包含用以收集電荷的兩組開關。可依時序切換兩組開關所控制的電荷收集過程，使得成像系統可以確認偵測光的相位資訊。成像系統可以用相位資訊來分析與三維物體關聯的特性，包含深度資訊或材料成分。成像系統也可以用相位資訊來分析與以下相關聯的特性：眼態識別、體態辨識(gesture recognition)、三維物體掃描/影片錄製、動作追蹤(motion tracking)和/或擴增/虛擬實境(augmented/virtual reality)應用。

【0004】 一般來說，本發明所述主題的一個創新方面可體現為一電路，

包含：一光偵測器，包含一第一讀出端子及一第二讀出端子，所述的第二讀出端子不同於所述的第一讀出端子；一第一讀出子電路包含一第一MOSFET電晶體及一第二MOSFET電晶體，所述的第一MOSFET電晶體包含耦接於一第一控制電壓源之一第一閘極端子、一第一通道端子，以及耦接於所述的光偵測器的所述的第一讀出端子之一第二通道端子；所述的第二MOSFET電晶體包含耦接於一第二控制電壓源之一第二閘極端子、耦接於一供應電壓節點之一第三通道端子，以及耦接於所述的第一通道端子之一第四通道端子；以及一第二讀出子電路包含一第三MOSFET電晶體及一第四MOSFET電晶體，所述的第三MOSFET電晶體包含耦接於所述的第一控制電壓源之一第三閘極端子、一第五通道端子，以及耦接於所述的光偵測器之所述的第二讀出端子之一第六通道端子；以及該第四MOSFET電晶體包含耦接於所述的第二控制電壓源之一第四閘極端子、耦接於所述的供應電壓節點之一第七通道端子，以及耦接於第五通道端子之一第八通道端子。在操作所述電路時，所述的第一控制電壓源產生一第一控制電壓，所述的第一控制電壓被配置用於建立一第一電壓差及一第二電壓差，所述的第一電壓差為所述的供應電壓節點的一供應電壓和所述的第一讀出端子的一第一電壓之間的差值，所述的第二電壓差為所述的供應電壓節點的所述的供應電壓和所述的第二讀出端子的一第二電壓之間的差值。

【0005】 此電路之具體實施可包含一種或多種以下特徵。例如，於操作所述電路時，所述的第一控制電壓被配置用於使所述的第一MOSFET電晶體及所述的第三MOSFET電晶體各別地操作在次臨界區或飽和區。

【0006】 在一些實施方案中，所述的第一電壓差和所述的第二電壓差大於或等於所述的供應電壓的百分之十。

【0007】 在一些實施方案中，於操作電路時，與沒有所述的第一MOSFET電晶體和所述的第三MOSFET電晶體的電路相比，所述的第一控制電壓源降低了透過所述的第一讀出端子收集的一第一暗電流和透過所述的第二讀出端子收集的一第二暗電流。

【0008】 在一些實施方案中，所述的光偵測器更包含一p型摻雜本體，所述的第一讀出端子和該第二讀出端子包含複數n型摻雜區，以及所述的第一MOSFET電晶體和所述的第三MOSFET電晶體皆為n型MOSFET電晶體。

【0009】 在一些實施方案中，所述的光偵測器更包含一n型摻雜本體，所述的第一讀出端子和所述的第二讀出端子包含複數n型摻雜區，以及所述的第一MOSFET電晶體和所述的第三MOSFET電晶體皆為p型MOSFET電晶體。

【0010】 在一些實施方案中，所述的光偵測器為一開關光偵測器，並被配置用於時差測距偵測。

【0011】 在一些實施方案中，所述的光偵測器更包含一光吸收區，且所述的光吸收區包含鍺。所述的光偵測器更包含一第一控制端子和一第二控制端子。所述的光偵測器可包含一凹槽，且所述的光吸收區的至少一部分嵌入在所述的凹槽中。

【0012】 本發明所述主題的另一創新方面可體現在用於操作一電路的方法，所述的電路包含一光偵測器，所述的光偵測器具有耦接於一第一讀出子電路之一第一讀出端子及耦接於一第二讀出子電路之一第二讀出端子。所述的方法包含：通過耦接於所述的第一讀出子電路及所述的第二讀出子電路之一第一控制電壓源產生一第一控制電壓，所述的第一控制電壓被配置用於個別地操作所述的第一讀出子電路的一第一MOSFET電晶體及所述的第二讀出

電路的一第三MOSFET電晶體在次臨界區或飽和區；以及執行一光偵測器讀出步驟，包含設定所述的第一讀出子電路的一第一輸出端子為一第五電壓，以及設定所述的第二讀出子電路的一第二輸出端子為一第六電壓；其中控制所述的第一控制電壓源以建立一第一電壓差及一第二電壓差，所述的第一電壓差為所述的第一讀出子電路和所述的第二讀出子電路之一供應電壓與所述的第一讀出端子之一第一電壓之間的差值，所述的第二電壓差為所述的供應電壓與所述的第二讀出端子的一第二電壓之間的差值。

【0013】 本發明所述主題的另一創新方面可體現於一電路，包含：一光發射裝置，包含耦接於一第一供應電壓節點之一陰極，以及一陽極；一MOSFET電晶體，包含耦接於一輸入訊號源之一閘極端子、耦接於所述的光發射裝置的所述的陽極之一第一通道端子，以及耦接於一第二供應電壓節點之一第二通道端子；一第一電感器包含耦接於一第三供應電壓節點或一電流源之一第一端子，以及耦接於所述的光發射裝置之所述的陽極之一第二端子；以及一第二電感器，包含耦接於所述的MOSFET電晶體之所述的閘極端子之一第三端子，及一第四端子；其中，所述的第二電感器之一第二電感值經設定以讓關聯於所述的MOSFET電晶體之閘極端子相關之一LC諧振頻率對應於所述的輸入訊號源的一輸入頻率。

【0014】 此電路之具體實施例可包含一種或多種以下特徵。例如電路可更包含一第一電容器，配置於所述的輸入訊號源及所述的MOSFET電晶體之所述的閘極端子之間，所述的第一電容器包含耦接於所述的MOSFET電晶體之所述的閘極端子之一第一端子，以及耦接於所述的輸入訊號源之一第二端子，其中所述的第二電感器之所述的第四端子可耦接於一MOSFET偏壓源。

【0015】 在一些實施方案中，於操作所述的電路時，所述的MOSFET偏壓源經控制而調整所述的光發射裝置輸出之光的一工作週期。

【0016】 在一些實施方案中，所述的光發射裝置包含一發光二極體陣列或一雷射二極體陣列。

【0017】 本發明所述主題的另一創新方面可體現於一電路，所述的電路包含：一光偵測器，包含一第一讀出端子及一第二讀出端子，所述的第二讀出端子不同於所述的第一讀出端子；一第一讀出電路耦接於所述的第一讀出端子，並被配置用於輸出一第一讀出電壓；一第二讀出電路耦接於所述的第二讀出端子，並被配置用於輸出一第二讀出電壓；以及一共模類比數位轉換器包含耦接於一第一電壓源之一第一輸入端子，耦接於一共模產生器之一第二輸入端子，所述的共模產生器被配置用於接收所述的第一讀出電壓和所述的第二讀出電壓並產生一共模電壓，所述的共模電壓介於所述的第一讀出電壓和所述的第二讀出電壓之間；以及一第一輸出端子，其被配置用於輸出對應於所述的光偵測器產生之一電流量的一第一輸出訊號。

【0018】 此電路之具體實施例可包含一種或多種以下特徵。例如，電路可更包含一差模類比數位轉換器；所述的差模類比數位轉換器包含：耦接於所述的第一讀出電路之一第三輸入端子，所述的第三輸入端子被配置用於接收所述的第一讀出電壓；耦接於所述的第二讀出電路之一第四輸入端子，所述的第四輸入端子被配置用於接收所述的第二讀出電壓；以及一第二輸出端子，其被配置用於輸出對應於所述的光偵測器產生之一時差測距資訊的一第二輸出訊號；其中，所述的電路被操作以同步產生所述的第一輸出訊號及所述的第二輸出訊號。

【0019】 在一些實施方案中,所述的第一讀出電路包含：一第一電容器,耦接於所述的第一讀出端子；以及一第一源極隨耦器電路，耦接於所述的第一電容器，並被配置用於產生所述的第一讀出電壓。所述的第二讀出電路包含：一第二電容器，耦接於所述的第二讀出端子；以及一第二源極隨耦器電路，耦接於所述的第二電容器，並被配置用於產生所述的第二讀出電壓。

【0020】 在一些實施方案中，所述的第一讀出電路包含：一第一MOSFET電晶體,包含一第一閘極端子、一第一通道端子及一第二通道端子,所述的第一閘極端子耦接於一第一控制電壓源，所述的第二通道端子耦接於所述的光偵測器的第一讀出端子；一第二MOSFET電晶體，包含一第二閘極端子、一第三通道端子及一第四通道端子，所述的第二閘極端子耦接於一第二控制電壓源，所述的第三通道端子耦接於一供應電壓節點，所述的第四通道端子耦接於所述的第一通道端子；一第一電容器，耦接於所述的第一MOSFET電晶體之第一通道端子；以及一第一源極隨耦器電路，耦接於所述的第一電容器，並被配置用於產生所述的第一讀出電壓。所述的第二讀出電路包含：一第三MOSFET電晶體，包含一第三閘極端子、一第五通道端子及一第六通道端子，所述的第三閘極端子耦接於所述的第一控制電壓源，所述的第六通道端子，耦接於所述的光偵測器之第二讀出端子；一第四MOSFET電晶體，包含一第四閘極端子、一第七通道端子及一第八通道端子，所述的第四閘極端子耦接於所述的第二控制電壓源，所述的第七通道端子耦接於所述的供應電壓節點，所述的第八通道端子耦接於所述的第五通道端子；一第二電容器，耦接於所述的第三MOSFET電晶體之第五通道端子；以及一第二源極隨耦器電路，耦接於所述的第二電容器，並被配置用於產生所述的第二

讀出電壓。

【0021】 在一些實施方案中，所述的第一電壓源包含一第三源極隨耦器電路。

【0022】 本發明所述主題的另一創新方面可體現在用於操作一電路的方法，所述的方法適於測量一時差測距偵測設備的性能特性，所述的時差測距偵測裝置包含一光偵測器，所述的光偵測器具有一第一讀出端子及一第二讀出端子，所述的第一讀出端子耦接於一第一讀出電路並被配置用於輸出一第一讀出電壓，所述的第二讀出端子耦接於一第二讀出電路並被配置用於輸出一第二讀出電壓。所述的方法包含：在沒有環境光和一時差測距光訊號時，藉由測量所述的第一讀出電壓和所述的第二讀出電壓之間的一共模輸出訊號來測量所述的光偵測器的一暗電流；判斷所述的光偵測器之所述的暗電流是否大於一第一值；以及於所述的光偵測器之所述的暗電流大於所述的第一值時，判定所述的時差測距偵測裝置沒有符合一性能規格。

【0023】 此方法之具體實施例可包含一種或多種以下特徵。例如，測量所述的光偵測器之暗電流包含：藉由一1位元類比數位轉換器或一多位元類比數位轉換器在沒有環境光及時差測距光訊號時，一次或多次測量於所述的第一讀出電壓及所述的第二讀出電壓之間的所述的共模輸出訊號；以及以所述的一次或多次測量的所述的共模輸出訊號判斷所述的暗電流。

【0024】 在一些實施方案中，所述的一次或多次測量是多次測量，其中多次測量中的每一個對應到不同的整合時間或輸入到所述的1位元類比數位轉換器或所述的多位元轉換器的不同複製電壓。

【0025】 在一些實施方案中，所述的方法，更包含：在有一時差測距光

訊號時，測量在所述的第一讀出訊號和所述的第二讀出訊號之間的一差模輸出訊號以測量所述的時差測距偵測設備之一解調對比；判斷所述的時差測距偵測設備之所述的解調對比是否低於一第二值；以及於所述的時差測距偵測設備之所述的解調對比低於該第二值時，判定所述的時差測距設備沒有符合該性能規格。

【0026】 此實施方案及其它實施方案可各視情況包含下列特徵之一或多者。針對紅外線波長，鍺是一種高效的吸收材料，當使用低效的肖收材料(例如，矽)時，鍺可以減少在更大基板深度處生成光載子較慢的問題。對於n-及p-摻雜區製作在不同深度的光偵測器而言，光載子的傳輸距離受到吸收材料的深度而非寬度的限制。因此，即使使用具有一短吸收長度的一有效吸收材料，也能夠讓p-和n-摻雜區之間的距離變短，如此一來，小偏壓可創作一強場從而增加操作速度。對這樣的光偵測器而言，可插入兩群的開關並配置使呈交錯排列，以替 ToF系統收集不同光學相位的光載子。操作速度的增加允許在一ToF系統中使用更高的調制頻率，從而獲得一更高的深度解析度。在ToF系統中，光脈衝的峰值強度係於其工作週期降低時增加，這可在保持ToF系統耗能不變的前提下提升訊雜比(及深度準確度)。在可在操作速度增加時實現，從而可以在不使脈衝形狀發生變形的情況下縮短光脈衝的工作週期。此外，當以鍺作為吸收區時，能夠使用波長大於1μm的光脈衝。波長更長的NIR(例如1.31μm、1.4μm、1.55μm)通常被認為對人眼更安全，故常波長的光脈衝能夠在滿足眼睛安全要求的前提下以更高的強度輸出，從而提高訊噪比(甚至是深度準確度)。

【0027】 一種或多種實施方案的詳細內容在附圖及下文的具體實施方

式中進行說明。其它潛在特徵與優點將從具體實施方式、附圖及申請專利範圍中變得顯而易見。

【圖式簡單說明】

【0028】 圖1A、1B、1C及1D是開關光偵測器的示例。

【0029】 圖2A、2B、2C及2D是開關光偵測器的示例。

【0030】 圖3A、3B、3C及3D是開關光偵測器的示例。

【0031】 圖4A、4B、4C、4D及4E是開關光偵測器的示例。

【0032】 圖4F-4I是選擇地形成吸收層在基板上的設計的示例。

【0033】 圖5A-5C是光偵測器的示例。

【0034】 圖5D-5K是開關光偵測器的示例。

【0035】 圖6A-6B是開關光偵測器的示例。

【0036】 圖7A-7B是整合透鏡於光偵測器的示例結構的剖視圖。

【0037】 圖8A-8C是開關光偵測器的開關的示例。

【0038】 圖9A-9E是開關光偵測器的電性端子的示例。

【0039】 圖10A-10I是具有吸收區及基板的光偵測器的示例結構。

【0040】 圖11A-11F是開關光偵測器的示例的俯視圖及側視圖。

【0041】 圖12A-12H是開關光偵測器的示例的俯視圖及側視圖。

【0042】 圖13A-13G是開關光偵測器的示例的俯視圖及側視圖。

【0043】 圖14A-14B是開關光偵測器的示例的俯視圖。

【0044】 圖15A-15G是感測器像素隔離的示例結構的側視圖。

【0045】 圖16A-16J是光偵測器的示例結構的剖視圖。

【0046】 圖17A-17E為吸收區表面改質的示例結構的剖視圖。

【0047】 圖18A-18G是開關光偵測器的示例的俯視圖及側視圖。

【0048】 圖19A-19H是開關光偵測器的示例的俯視圖及側視圖。

【0049】 圖20A-20L是開關光偵測器的示例的俯視圖及側視圖。

【0050】 圖21A-21F是開關光偵測器的示例的俯視圖及側視圖。

【0051】 圖22A-22D是開關光偵測器的示例的俯視圖及側視圖。

【0052】 圖23A-23B是開關光偵測器的示例的俯視圖及側視圖。

【0053】 圖24A-24G是開關光偵測器的示例的俯視圖及側視圖。

【0054】 圖25A-25H是開關光偵測器的示例的俯視圖及側視圖。

【0055】 圖26是矩形光偵測器的單位晶胞的示例。

【0056】 圖27是具有光電晶體增益的矩形開關光偵測器的示例。

【0057】 圖28A是成像系統的示例的方塊圖。

【0058】 圖28B-28C示出使用成像系統來確定物體特性的技術的示例。

【0059】 圖29示出使用成像系統來確定物體特性的流程圖的示例。

【0060】 圖30示出用於時差測距(ToF)偵測的接收器單元的示例的方塊圖。

【0061】 圖31A-31I示出具有增加電容值的ToF接收器單元的示例的架構圖和剖視圖。

【0062】 圖32示出用於ToF偵測的接收器單元的示例的方塊圖。

【0063】 圖33A-33E示出用於ToF偵測的接收器單元的示例的剖視圖。

【0064】 圖34示出用於ToF偵測的接收器單元的結合程序的示例的剖視圖。

【0065】 圖35示出操作ToF像素的電路的架構圖。

【0066】 圖36A和圖36B示出測試設備的示例的側視圖。

【0067】 圖37A示出對ToF像素進行數位測量的電路的示例。

【0068】 圖37B和圖37C示出像素電路的示例的架構圖。

【0069】 圖37D示出共模偵測電路的示例的架構圖。

【0070】 圖37E示出與操作圖37A關聯的電路的時序圖的示例。

【0071】 圖37F示出用於表徵ToF偵測設備的性能的流程圖的示例。

【0072】 圖38A和38B示出用於操作光發射裝置的電路的架構圖。

【0073】 在各個附圖中，相似的參考編號和名稱表示相似的元件。也應當理解，附圖所示的各個示例性實施方案僅為說明性表達，不一定按照比例進行繪製。

【實施方式】

【0074】 光偵測器可用於偵測光訊號，並且將光訊號轉換為可以由其它電路進一步處理電訊號。在時差測距(time-of-flight；簡稱ToF)應用中，三維物體的深度資訊可通過所傳遞的光脈衝與所偵測的光脈衝之間的相位差來確定。例如，可以利用像素的二維陣列來重建三維物體的三維影像，其中每個像素可包含一個或多個光偵測器，用於得到三維物體的相位資訊。在一些實施方案中，時差測距應用使用波長在近紅外(NIR)範圍內的光源。例如，發光二極體(LED)的波長可以是850奈米(nm)、940nm、1050nm或1.3微米(μm)至1.6μm。一些光偵測器可以將矽作吸收材料，但是矽不是NIR波長的高效吸收材料。具體地，光載子可以在矽基板深處(例如，深度大於10μm)生成，這些

光載子會慢慢漂移和/或擴散至光偵測器的接面，而這導致設備的操作速度的降低。其次，為了使能耗最小，通常用小量的電壓振幅來控制光偵測器的操作。對於較大的吸收區(例如，直徑10μm)，小量的電壓振幅僅可以在整個較大吸收區內形成較小的橫向/縱向電場，這會影響橫掃整個吸收區的光載子的漂移速度。因此，設備的操作速度進一步受到限制。對於使用NIR波長的ToF應用，將鍺矽(germanium-silicon；分子式GeSi)作為吸收材料的光偵測器解決了上文討論的技術問題。在此應用中，術語「光偵測器(photodetector)」可以與術語「光學感測器(optical sensor)」互換使用。在此應用中，術語「鍺矽(GeSi)」所指的鍺矽合金中，從99%的鍺(意即1%的矽)到1%的鍺(意即99%的矽)。在此應用中，鍺矽層可通過全面式磊晶成長(blanket epitaxy)技術、選擇性磊晶成長(selective epitaxy)技術或其它適用的技術來形成。其次，包含鍺矽層的吸收層可以形成被絕緣體(例如，氧化物、氮化物)、一半導體(例如，矽、鍺)或其等的結合圍繞的一平面、一平台表面(mesa top surface)或溝槽底面。此外，包含諸如成分不同的鍺矽交替層等多層的應變超晶格(strained super lattice)結構或多量子井結構可被使用於吸收層。又，低鍺濃度(例如，<10%)的矽層或鍺矽層可以用於保護高鍺濃度(例如，>50%)的鍺矽層的表面，這可以降低高鍺濃度的鍺矽層表面的一暗電流或一漏電流。

【0075】 圖1A是開關光偵測器100的示例，其中開關光偵測器100用於將光訊號轉換為一電訊號。開關光偵測器100包含製作在一基板102上的一吸收層106。基板102可以是任何合適將半導體元件製作在其上的基板。例如，基板102可以是一矽基板。吸收層106包含一第一開關108及一第二開關110。

【0076】 一般來說，吸收層106接收一光訊號112，並將光訊號112轉換

為複數電訊號。吸收層106可以是本質、p型或n型。在一些實施方案中，吸收層106可以是由p型鍺矽材料形成。吸收層106經選擇，在所需波長範圍內具有較高的吸收係數。對於NIR波長，吸收層106可以是一鍺矽平台，其中鍺矽吸收光訊號112中的光子，並生成電子電洞對。鍺矽平台中鍺和矽的材料成分可以被選擇用於特定技術或應用。在一些實施方案中，吸收層106經設計，具有一厚度t。例如，對於850nm或940nm的波長，為了具有很大的量子效率，鍺矽平台的厚度可以是大約1μm。在一些實施方案中，吸收層106的表面被設計為具有特定形狀。例如，鍺矽平台可以是圓形、正方形或矩形，這取決於光訊號112在鍺矽平台表面的空間剖面。在一些實施方案中，吸收層106被設計為具有一橫向尺寸(lateral dimension)d，用於接收光訊號112。例如，鍺矽平面可以是圓形或矩形，其中d的範圍為1μm至50μm。

【0077】 一第一開關108及一第二開關110製作在吸收層106中，第一開關108耦接至一第一控制訊號122及一第一讀出電路124。第二開關110耦接至一第二控制訊號132及一第二讀出電路134。一般來說，第一讀出電路124或第二讀出電路134跟據第一控制訊號122及第二控制訊號132的控制來決定收集電子或電洞。

【0078】 在一些實施方案中，第一開關108及第二開關110被製作用於收集複數電子。在這樣的情況下，第一開關108包含一p型摻雜區128及一n型摻雜區126。例如，p型摻雜區128可以具有一p+摻雜，其中活化摻雜物濃度(activated dopant concentration)可與製作技術所能達成的程度一樣高；例如，當吸收層106是鍺並且摻雜了硼時，為約$5x10^{20}$ cm^{-3}。在一些實施方案中，p型摻雜區128的摻雜濃度(doping cencentration)可以是低於$5x10^{20}$ cm^{-3}，藉以簡

化製作複雜度(雖然增加接觸電阻)。n型摻雜區126可具有一n+摻雜，其中活化摻雜物濃度可與製作技術所能達成的程度一樣高;例如，當吸收層106是鍺並且摻雜了磷時，約為$1x10^{20}$ cm^{-3}。在一些實施方案中，n型摻雜區126的摻雜濃度可以是低於$1x10^{20}$ cm^{-3}，藉以簡化製作複雜度(雖然增加接觸電阻)。p型摻雜區128及n型摻雜區126間的距離取決於製程設計規則。一般來說，p型摻雜區128及n型摻雜區126間的距離愈近，生成光載子的切換效率愈高。然而，減少p型摻雜區128和n型摻雜區126之間的距離可能會增加與p型摻雜區128和n型摻雜區126之間PN接面相關的一暗電流。因此，距離可以是取決於開關光偵測器100的性能來設定。第二開關110包含一p型摻雜區138及一n型摻雜區136，p型摻雜區138類似於p型摻雜區128，並且n型摻雜區136類似於n型摻雜區126。

【0079】 在一些實施方案中，p型摻雜區128耦接至第一控制訊號122；例如，p型摻雜區128可耦接至一電壓源，其中第一控制訊號122可以是來自於電壓源的AC電壓訊號。在一些實施方案中，n型摻雜區126耦接至讀出電路124。讀出電路124可為三電晶體(three-transistor)配置，該配置由一重置閘極(reset gate)、一源極隨耦器(source-follower)、和一選擇閘極(selection gate)、或任何適合處理電荷的電路構成。在一些實施方案中，讀出電路124可製作在基板102上。在一些其它實施方案中，讀出電路124可製作在另一基板上，並通過晶粒/晶圓接合或堆疊與開關光偵測器100整合或是共同封裝在一起。

【0080】 p型摻雜區138耦接至第二控制訊號132。例如，p型摻雜區138可耦接至一電壓源，其中第二控制訊號132可以是AC電壓訊號，並且其相位與第一控制訊號122相反。在一些實施方案中，n型摻雜區136可耦接至讀出電

路134。讀出電路134可類似於讀出電路124。

【0081】 第一控制訊號122及第二控制訊號132用於控制吸收光子所產生的複數電子的收集過程。例如，當第一控制訊號122不同於第二控制訊號132，p型摻雜區128及p型摻雜區138之間會形成一電場，且自由電子會跟據電場的方向而漂移至p型摻雜區128或p型摻雜區138。在一些實施方案中，第一控制訊號122可固定在電壓值Vi，第二控制訊號132可在Vi ±ΔV間變換。電子的漂移方向取決於偏壓值。據此，當其中之一開關(例如，第一開關)導通(即電子往p型摻雜區128漂移)時，另一開關(例如，第二開關110)截止(即電子受到p型摻雜區138阻擋)。在一些實施方案中，第一控制訊號122及第二控制訊號132可具有不同電壓值。

【0082】 一般來說，p型摻雜區的費米能階與n型摻雜區的費米能階之間的差異會在這兩個區域之間形成一電場。在第一開關108中，電場形成在p型摻雜區128及n型摻雜區126之間。類似地，在第二開關110中，電場形成在p型摻雜區138及n型摻雜區136之間。當第一開關108導通(on)且第二開關110截止(off)時，電子會漂移到p型摻雜區128，並且在p型摻雜區128及n型摻雜區126之間的電場會進一步地移動電子到n型摻雜區126。讀出電路124可接著處理n型摻雜區126收集到的電荷。相反地，當第二開關110導通且第一開關108截止時，電子會漂移到p型摻雜區138，並且在p型摻雜區138及n型摻雜區136之間的電場會進一步地移動電子到n型摻雜區136。讀出電路134可以接著處理n型摻雜區136收集到的電荷。

【0083】 在一些實施方案中，可以在一開關的p型摻雜區及n型摻雜區之間施加電壓，使開關操作在突崩機制(avalanche regime)中來增加雙開關光偵

測器100的靈敏度。例如，在吸收層106包含鍺矽的情況下，當p型摻雜區128和n型摻雜區126之間的距離約為100nm時，可施加低於7伏特的電壓以在p型摻雜區128及n型摻雜區126之間建立突崩增益(avalanche gain)。

【0084】 在一些實施方案中，基板102可耦接至一外部控制116；例如，基板102可耦接至電性地端或一預設電壓，預設電壓低於n型摻雜區126和136的電壓。在一些其它實施方案中，基板102可浮接或不耦接至任何的外部控制。

【0085】 圖1B是開關光偵測器160的示例，其中開關光偵測器160用於將光訊號轉換為一電訊號。開關光偵測器160類似於圖1A示出的開關光偵測器100，但是第一開關108及第二開關110更個別地包含一n型井區152及一n型井區154。此外，吸收層106可以是一p型摻雜區。在一些實施方案中，n型井區152和154的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{-3}$，吸收區106的摻雜量範圍可以是$10^{14}cm^{-3}$至$10^{16}cm^{-3}$。

【0086】 p型摻雜區128、n型井區152、p型摻雜吸收層106、n型井區154及p型摻雜區138的排列形成了PNPNP接面結構。一般來說，PNPNP接面結構選擇性地降低從第一控制訊號122至第二控制訊號132的一漏電流，或從第二控制訊號132至第一控制訊號122的一漏電流。n型摻雜區126、p型摻雜吸收層106及n型摻雜區136的排列形成了NPN接面結構。一般來說，NPN接面結構選擇性地降低從第一讀出電路124至第二讀出電路134的一電荷耦合，或從第二讀出電路134往第一讀出電路124的一電荷耦合。

【0087】 在一些實施方案中，p型摻雜區128完全地形成在n型井區152內。在一些實施方案中，p型摻雜區128部分地形成在n型井區152中；例如，p型摻雜區128的一部分可通過佈植p型摻雜物而形成在n型井區152中，並且p型

摻雜區128的另一部分可通過佈植p型摻雜物而形成在吸收層106中。類似地，在一些實施方案中，p型摻雜區128完全地形成於n型井區154內。在一些其它實施方案中，p型摻雜區138部分地形成在n型井區154中。在一些實施方案中，n型井區152和54的深度較p型摻雜區的深度來得淺。

【0088】 圖1C是開關光偵測器170的示例，其中光偵測器170用於將光訊號轉換為一電訊號。開關光偵測器170類似於圖1A示出的開關光偵測器100，但是吸收層106更包含一n型井區156。此外，吸收層106可以是一p型摻雜區。在一些實施方案中，n型井區156的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{-3}$，吸收層106的摻雜量範圍可以是$10^{14}cm^{3}$至$10^{16}cm^{-3}$。

【0089】 p型摻雜區128、n型井區156及p型摻雜區138的排列形成了一PNP接面結構。一般來說，PNP接面結構選擇性地降低了從第一控制訊號122至第二控制訊號132的一漏電流，或者從第二控制訊號132至第一控制訊號122的一漏電流。n型摻雜區126、p型摻雜吸收層106及n型摻雜區136的排列形成了一NPN接面結構。一般來說，NPN接面結構選擇性地降低了從第一讀出電路124至第二讀出電路134的一電荷耦合，或者從第二讀出電路134至第一讀出電路124的一電荷耦合。在一些實施方案中，當n型井區156夠深，則n型摻雜區126、p型摻雜區128、n型井區156、p型摻雜吸收層106及n型摻雜區136的排列可形成一NPNPN接面結構，以更進一步地降低從第一讀出電路124至第二讀出電路134，或者由第二讀出電路134從第一讀出電路124的一電荷耦合。

【0090】 在一些實施方案中，p型摻雜區128和138完全地形成在n型井區156內。在一些實施方案中，p型摻雜區128和138部分地形成在n型井區156中；例如，p型摻雜區128的一部分可通過佈植p型摻雜物而形成在n型井區156

中，p型摻雜區128的另一部分可通過佈植p型摻雜物而形成在吸收層106中。在一些實施方案中，n型井區的深度較p型摻雜區128和138的深度來得淺。

【0091】 圖1D是開關光偵測器180的示例，其中光偵測器180用於將光訊號轉換為一電訊號。開關光偵測器180類似於圖1A示出的開關光偵測器100，但是開關光偵測器180更包含一p型井區104，以及n型井區142和144。在一些實施方案中，n型井區142和144的摻雜量範圍可以是$10^{16}cm^{-3}$至$10^{20}cm^{-3}$，p型井區104的摻雜量範圍可以是$10^{16}cm^{-3}$至$10^{20}cm^{-3}$。

【0092】 在一些實施方案中，吸收層106可不完全地吸收入射光訊號112中的光子；例如，若鍺矽平台不會完全地吸收入射NIR光訊號112中的光子，NIR光訊號112可深入矽基板102，矽基板102可吸收深入其中的光子並在矽基板102的深處生成復合慢的光載子。這些復合慢的光載子會對開關光偵測器的操作速度產生負面反應。其次，矽基板102中生成的光載子可以被鄰近的像素收集，這會造成無益的像素之間的訊號串擾(singal cross-talk)。此外，矽基板102中生成的光載子會導致基板102帶電，這會引發開關光偵測器的可靠度問題。

【0093】 為了移除復合慢的光載子，開關光偵測器180可包含使讓n型井區142、144與p型井區104短路的連接件。例如，可通過一金屬矽化製程(silicide process)或沈積金屬墊來連結p型井區104和n型井區142、144以形成此連接件。在n型井區142、144及p型井區104之間的短路允許於基板102中生成的光載子於短路節點再復合(recomboned)，進而提升開關光偵測器的操作速度和/或可靠度。在一些實施方案中，為了減少設備暗電流，p型井區104被用於保護(passivate)或縮小在吸收層106和基板102之間圍繞界面缺陷的電場。

【0094】 儘管圖1A-1D未示出，但是在一些實施方案中，光訊號可以是從開關光偵測器的基板102的背側進入開關光偵測器。一個或多個光學元件(例如，微透鏡或光導)可製作在基板102的背側，光訊號在光學元件聚焦、校直、散焦、濾波或根據透鏡設計進行處理。

【0095】 儘管圖1A-1D未示出，但是在一些其它實施方案中，第一開關108及第二開關110可按另選方式進行製作，以收集電洞，而非電子。在此情況下，p摻雜區128和p型摻雜區138將由n型摻雜區替代，n型摻雜區126和n型摻雜區136將由p型摻雜區替代，n型井區142、144、152、154和156將由p型井區替代，p型井區104將由n型井區替代。

【0096】 儘管圖1A-1D未示出，但是在一些實施方案中，吸收層106可以是在形成開關光偵測器100、160、170和180之後再與一基板接合。基板可以是允許光訊號112傳遞至開關光偵測器的任何材料。例如，基板可以是聚合物或玻璃。在一些實施方案中，一個或多個光學元件(例如，微透鏡或光導)可製作在承載基板上，光訊號在光學元件聚焦、校直、散焦、濾波或根據透鏡設計進行處理。

【0097】 儘管圖1A-1D未示出，但是在一些實施方案中，開關光偵測器100、160、170和180可以接合(例如，通過金屬-金屬接合、氧化物-氧化物接合、混合接合)到包含了控制訊號電路和/或讀出電路和/或相位鎖相迴路(phase lock loop；簡稱PLL)和/或類比數位轉換器電路的一第二基板。開關光偵測器的頂部可以沈積一金屬層，用於做為一反射器而來反射從基板102的背側入射的光訊號。增加類似反射鏡的金屬層可以增加吸收層106的吸收效率(量子效率)；例如，通過增加一反射金屬層，光偵測器操作在範圍為1.0μm至1.6μm的

長NIR波長的吸收效率可以被大幅地提升。金屬層和吸收層之間也可包含一氧化層來增加反射率。金屬層也可以做為晶圓接合程序時的接合層。在一些實施方案中，能夠增加類似於第一開關108和第二開關110的一個或多個開關來連結控制訊號/讀出電路。

【0098】 儘管圖1A-1D中未示出，但在一些實施方案中，吸收層106可部分地或完全地嵌入或凹入在基板102中以緩和表面形貌(surface topography)和便於製作。前述技術係揭示於美國第20170040362A1號，專利名稱為「Germanium-Silicon Light Sensing Apparatus」的專利早期公開案中，並在此援引加入。

【0099】 圖2A是開關光偵測器200的示例，其中開關光偵測器200用於將光訊號轉換為一電訊號。第一開關208及第二開關210製作在一基板202上。開關光偵測器200包含製作在基板202上的一吸收層206。基板202可以是任何合適將半導體元件配置在其上的基板。例如，基板202可以是一矽基板。

【0100】 一般來說，吸收層206接收一光訊號212，並將光訊號212轉換為複數電訊號。吸收層206類似於吸收層106。吸收層206可以是本質、p型或n型。在一些實施方案中，吸收層206可以是由p型鍺矽材料形成。在一些實施方案中，吸收層206可包含一p型摻雜區209。p型摻雜區209可斥拒從吸收層206傳遞至基板202的光電子，從而增加操作速度；例如，p型摻雜區209可具有一p+摻雜物。p+摻雜物的濃度可與製作技術所能到達的程度一樣高；例如，當吸收層206為鍺並且摻雜了硼時，為約$5x10^{20}$ cm^{-3}。在一些實施方案中，p型摻雜區209的摻雜濃度可低於$5x10^{20}$ cm^{-3}，藉以簡化製作複雜度(雖然增加接觸電阻)。在一些實施方案中，p型摻雜區209可以是梯度p型摻雜區。

【0101】 一第一開關208及一第二開關210可製作在基板202中。第一開關208耦接至一第一控制訊號222和一第一讀出電路224。第二開關210耦接至一第二控制訊號232和一第二讀出電路234。一般來說，第一讀出電路224或第二讀出電路234跟據第一控制訊號222及第二控制訊號232的控制來決定收集電子或電洞。第一控制訊號222類似於第一控制訊號122，第二控制訊號232類似於第二控制訊號132；第一讀出電路224類似於第一讀出電路124，第二讀出電路234類似於第二讀出電路134。

【0102】 在一些實施方案中，第一開關208及第二開關210被製作以收集吸收層206產生的複數電子。在這樣的情況下，第一開關208包含一p型摻雜區228及一n型摻雜區226。例如，p型摻雜區228可以是具有一p+摻雜，其中活化摻雜物濃度可與製作技術所能達成的程度一樣高；例如，當基板202為矽並且摻雜了硼時，約為$2x10^{20}\ cm^{-3}$。在一些實施方案中，p型摻雜區228的摻雜濃度可低於$2x10^{20}\ cm^{-3}$，藉以簡化製作複雜度(雖然增加接觸電阻)。n型摻雜區226可以具有一n+摻雜，其中活化摻雜物濃度可與製作技術所能達成的程度一樣高；例如，當基板202為矽並且摻雜了磷時，約為$5x10^{20}\ cm^{-3}$。在一些實施方案中，n型摻雜區226的摻雜濃度可低於$5x10^{20}\ cm^{-3}$，藉以簡化製作複雜度(雖然增加接觸電阻)。p型摻雜區228及n型摻雜區226間的距離取決於製程設計規則。一般來說，p型摻雜區228及n型摻雜區226之間的距離愈近，生成光載子的切換效率愈高。第二開關210包含一p型摻雜區238及一n型摻雜區236。p型摻雜區238類似於p型摻雜區228，n型摻雜區236類似於n型摻雜區226。

【0103】 在一些實施方案中， p型摻雜區228耦接至第一控制訊號222，n型摻雜區226耦接至讀出電路224。p型摻雜區238耦接至第二控制訊號232。

n型摻雜區236耦接至讀出電路234。第一控制訊號222及第二控制訊號232用於控制吸收光子所產生的複數電子的收集過程。例如，當吸收層206吸收光訊號212中的複數光子時，電子電洞對被生成並漂移或擴散進入基板202。當施加電壓時，若第一控制訊號222不同於第二控制訊號232，p型摻雜區228及p型摻雜區238之間會形成一電場，且自由電子會跟據電場的方向而從吸收層206漂移至p型摻雜區228或p型摻雜區238。在一些實施方案中，第一控制訊號222可固定在電壓值Vi，第二控制訊號可在Vi ±ΔV間變換。電子的漂移方向取決於偏壓值。據此，當其中之一開關(例如，第一開關208)導通(即電子往p型摻雜區228漂移)，另一開關(例如，第二開關210)截止(即電子受到p型摻雜區238阻擋)。在一些實施方案中，第一控制訊號222及第二控制訊號232可具有不同的電壓值。

【0104】 在第一開關208中，電場形成在p型摻雜區228及n型摻雜區226之間。類似地，在第二開關210中，電場形成在p型摻雜區238及n型摻雜區236之間。當第一開關208導通而第二開關210截止時，電子會漂移到p型摻雜區228，並且p型摻雜區228及n型摻雜區226之間的電場會進一步地移動電子到n型摻雜區226。讀出電路224可以接著處理n型摻雜區226收集到的電荷。相反地，當第二開關210導通而第一開關208截止時，電子會漂移到p型摻雜區238，並且在p型摻雜區238及n型摻雜區236之間的電場會進一步地移動電子到n型摻雜區236。讀出電路234可以接著處理n型摻雜區236收集到的電荷。

【0105】 在一些實施方案中，可在一開關的p型摻雜區及n型摻雜區之間施加電壓，使開關操作在突崩機制中來增加開關光偵測器200的靈敏度。例如，在基板202包含鍺矽的情況下，當p型摻雜區228及n型摻雜區226之間的距離約

為100nm時，可施加低於7伏特的電壓以在p型摻雜區228及n型摻雜區226之間建立突崩增益。

【0106】 在一些實施方案中，p型摻雜區209可耦接於一外部控制214，例如，p型摻雜區209可耦接至電性地端。在一些實施方案中，p型摻雜區209可浮接或不耦接至任何外部控制。在一些實施方案中，基板202可耦接至一外部控制216；例如，基板202可耦接至電性地端或一預設電壓，預設電壓低於n型摻雜區226和236的電壓。在一些其它實施方案中，基板202可浮接或不耦接至任何外部控制。

【0107】 圖2B是開關光偵測器250的示例，其中開關光偵測器250用於將光訊號轉換為一電訊號。開關光偵測器250類似於圖2A示出的開關光偵測器200，但是第一開關208及第二開關210更個別地包含一n型井區252及一n型井區254。此外，吸收層206可以是一p型摻雜區，基板202可以是一p型摻雜基板。在一些實施方案中，n型井區252和254的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{-3}$，基板202的摻雜量範圍可以是$10^{14}cm^{-3}$至$10^{16}cm^{-3}$。

【0108】 p型摻雜區228、n型井區252、p型摻雜基板202、n型井區254及p型摻雜區238的排列形成了PNPNP接面結構。一般來說，PNPNP接面結構選擇性降低了從第一控制訊號222至第二控制訊號232的一漏電流，或者從第二控制訊號232至第一控制訊號222的一漏電流。n型摻雜區226、p型摻雜基板202及n型摻雜區236的排列形成了一NPN接面結構。一般來說，NPN接面結構選擇性地降低從第一讀出電路224至第二讀出電路234的一電荷耦合，或者從第二讀出電路234至第一讀出電路224的一電荷耦合。

【0109】 在一些實施方案中，p型摻雜區228完全地形成在n型井區252

內。在一些實施方案中，p型摻雜區228部分地形成於n型井區252中；例如，p型摻雜區228的一部分可通過佈值p型摻雜物而形成在n型井區252中，p型摻雜區228的另一部份可通過佈植p型摻雜物而形成在基板202中。類似地，在一些實施方案中，p型摻雜區238完全地形成在n型井區254內。在一些實施方案中，p型摻雜區238部分地形成在n型井區254中。在一些實施方案中，n型井區252的深度較p型摻雜區228和238的深度來得淺。

【0110】 圖2C是開關光偵測器260的示例，其中光偵測器260用於將光訊號轉換為一電訊號。開關光偵測器260類似於圖2A示出的開關光偵測器200，但是基板202更包含一n型井區244。此外，吸收層206可以是一p型摻雜區，基板202可以是一p型摻雜基板。在一些實施方案中，n型井區244的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{-3}$，吸收層206和基板202的摻雜量範圍可以是$10^{14}cm^{-3}$至$10^{16}cm^{-3}$。

【0111】 p型摻雜區228、n型井區244及p型摻雜區238的排列形成了一PNP接面結構。一般來說，PNP接面結構選擇性地降低從第一控制訊號222至第二控制訊號232之一漏電流，或者從第二控制訊號232至第一控制訊號222之一漏電流。n型摻雜區226、p型摻雜基板202及n型摻雜區236的排列形成了一NPN接面結構。一般來說，NPN接面結構選擇性地降低了從第一讀出電路224至第二讀出電路234的一電荷耦合，或者從第二讀出電路234至第一讀出電路224的一電荷耦合。在一些實施方案中，當n型井區244的深度夠深，則n型摻雜區226、p型摻雜基板202、n型井區244、p型摻雜基板202及n型摻雜區236的排列可形成一NPNPN接面結構，以更進一步地降低從第一讀出電路224至第二讀出電路234的一電荷耦合，或者從第二讀出電路234至第一讀出電路224的

一電荷耦合。在一些實施方案中，n型井區244也有效地降低電子從吸收層206往基板202流動時所能經歷之位能障(potential energy barrier)。

【0112】 在一些實施方案中，p型摻雜區228及238完全地形成於n型井區244內。在一些其它實施方案中，p型摻雜區228和238部分地形成在n型井區244中；例如，p型摻雜區228的一部分可通過佈植p型摻雜物而形成在n型井區244中，p型摻雜區228的另一部分可通過佈植p型摻雜物而形成在基板202中。在一些實施方案中，n型井區244的深度較p型摻雜區228和238的深度來得淺。

【0113】 圖2D是開關光偵測器270的示例，其中光偵測器270用於將光訊號轉換為一電訊號。開關光偵測器270類似於圖2A示出的開關光偵測器200，但更包含一個或多個p型井區246和一個或多個p型井區248。在一些實施方案中，一個或多個p型井區246和一個或多個p型井區246可以是一環狀結構的一部分；環狀結構圍繞第一開關208和第二開關210。在一些實施方案中，前述的一個或多個p型井區246和248的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{20}cm^{-3}$。前述的一或多個p型井區246和248隔離從相鄰像素來的光電子。

【0114】 儘管圖2A-2D未示出，但是在一些實施方案中，光訊號可以從開關光偵測器的基板202的背側進入開關光偵測器。一個或多個光學元件(例如，微透鏡或光導)可製作在基板202的背側，光訊號在光學元件聚焦、校直、散焦、濾波或根據透鏡設計進行處理。

【0115】 儘管在圖2A-2D未示出，但是在一些實施方案中，第一開關208及第二開關210可按另選方式進行製作，以收集電洞，而非電子；在此情況下，p型摻雜區228、p型摻雜區238和p型摻雜區209將由n型摻雜區替代，n型摻雜區226和n型摻雜區236將由p型摻雜區替代，n型井區252、254和244將由p型井

區替代，p型井區246和248將由n型井區替代。

【0116】 儘管圖2A-2D未示出，但是在一些實施方案中，吸收層206可以是在形成開關光偵測器200、250、260及270之後再與一基板接合。承載基板可以是允許光訊號212傳遞至開關光偵測器的任何材料；例如，基板可以是聚合物或玻璃。在一些實施方案中，一個或多個光學元件(例如，微透鏡或光導)可製作在承載基板上，光訊號在光學元件聚焦、校直、散焦、濾波或根據透鏡設計進行處理。

【0117】 儘管圖2A-2D未示出，但是在一些實施方案中，開關光偵測器200、250、260及270可以接合(例如，通過金屬-金屬接合、氧化物-氧化物接合、混合接合)到包含了控制訊號電路和/或讀出電路和/或相位鎖相迴路和/或類比數位轉換器電路的一第二基板。開關光偵測器的頂部可以沈積一金屬層，用於做為一反射器而來反射從基板202的背側入射的光訊號。增加類似反射鏡的金屬層可以增加吸收層206的吸收效率(量子效率)；例如，通過增加一反射金屬層，光偵測器操作在範圍為1.0至1.6μm的長NIR波長的吸收效率可以被大幅地提升。金屬層及吸收層之間可包含一氧化層來增加反射率。金屬層也可以作做晶圓接合程序時的接合層。在一些實施方案中，能夠增加類似於第一開關208和第二開關210的一個或多個開關來連結控制訊號/讀出電路。

【0118】 儘管圖2A-2D未示出，但是在一些實施方案中，吸收層206可部分地或完全地嵌入或凹入在基板202中以緩和表面形貌且便於製作。前述技術係揭示於美國第20170040362A1號之專利早期公開案中。

【0119】 圖3A是開關光偵測器300的示例，其中開關光偵測器300用於將一光訊號轉換為一電訊號。在圖3A中，第一開關308a和308b，以及第二開

關310a和310b製作在一基板302上並呈一垂直配置(vertical arrangement)。開關光偵測器100或開關光偵測器200的一個特徵為：光學窗尺寸d越大，電子由其中之一開關漂移或擴散至另一開關的光電子傳輸時間越長。這會影響開關光偵測器的操作速度。開關光偵測器300可通過垂直排列的p型摻雜區及n型摻雜區而進一步地提升操作速度。通過這樣的垂直排列，光電子傳輸距離將受限於吸收層的厚度t(例如，約1μm)，而非受限於吸收層的光學窗尺寸d(例如，約10 μm)。開關光偵測器300包含製作在基板302上的一吸收層306。基板302可以是任何合適將半導體元件配置在其上的基板；例如，基板302可以是一矽基板。

【0120】 一般來說，吸收層306接收一光訊號312，並將光訊號312轉換為複數電訊號。吸收層306類似於吸收層206。吸收層306可以是本質、p型或n型。在一些實施方案中，吸收層206可由p型鍺矽材料形成。在一些實施方案中，吸收層306可包含一p型摻雜區309；p型摻雜區309類似於p型摻雜區209。

【0121】 第一開關308a和308b，以及第二開關310a和310b製作在基板302中。在此要特別說明的是，儘管圖3A示出了兩個第一開關308a和308b，以及兩個第二開關310a及310b，但是第一開關及第二開關的數目可以更多或更少。第一開關308a及308b耦接至一第一控制訊號322及一第一讀出電路324，第二開關310a及310b耦接至一第二控制訊號332及一第二讀出電路334。

【0122】 一般來說，第一讀出電路324或第二讀出電路334跟據第一控制訊號322及第二控制訊號332的控制來決定收集電子或電洞。第一控制訊號322類似於第一控制訊號122，第二控制訊號332類似於第二控制訊號132，第一讀出電路324類似於第一讀出電路124，第二讀出電路334類似於第二讀出電路

134。在一些實施方案中，第一開關308a和308b，以及第二開關310a和310b被製作用於收集吸收層306生成的複數電子。在這樣的情況下，第一開關308a和308b分別包含p型摻雜區328a、328b及n型摻雜區326a、326b。例如，p型摻雜區328a和328b可具有一p+摻雜，其中活化摻雜物濃度可與製作技術所能達成的程度一樣高；例如，當基板302是矽並且摻雜了硼時，約為$2x10^{20}\ cm^{-3}$。在一些實施方案中，p型摻雜區328a和328b的摻雜濃度可低於$2x10^{20}\ cm^{-3}$，藉以簡化製作複雜度(雖然增加接觸電阻)。n型摻雜區326a和326b可具有一n+摻雜，其中活化摻雜物濃度可與製作技術所能達成的程度一樣高；例如，當基板302是矽並且摻雜了磷時，約為$5x10^{20}\ cm^{-3}$。在一些實施方案中，n型摻雜區326a及326b的摻雜濃度可低於$5x10^{20}\ cm^{-3}$，藉以簡化製作複雜度(雖然增加接觸電阻)。p型摻雜區328a及n型摻雜區326a之間的距離取決於製程設計規則；例如，p型摻雜區328a及n型摻雜區326a之間的距離可以根據與佈植摻雜物關聯的能量來控制。一般來說，當p型摻雜區328a/328b及n型摻雜區326a/326b之間的距離愈靠近，生成光載子的切換效率愈高。第二開關310a及310b個別地包含p型摻雜區338a和338b，以及n型摻雜區336a和336b。p型摻雜區338a/338b類似於p型摻雜區328a/328b，n型摻雜區336a/336b類似於n型摻雜區326a/326b。

【0123】 在一些實施方案中，p型摻雜區328a和328b耦接至第一控制訊號322。n型摻雜區326a和326b耦接至讀出電路324。p型摻雜區338a和338b耦接至第二控制訊號332。n型摻雜區336a和336b耦接至讀出電路334。第一控制訊號322及第二控制訊號332用於控制吸收光子所產生的複數電子的收集過程。例如，當吸收層306吸收光訊號312中的光子時，電子電洞對被生成並漂

移或擴散至基板302。當施加電壓時，若第一控制訊號322不同於第二控制訊號332，p型摻雜區309和p型摻雜區328a/328b或p型摻雜區338a/338b之間會建立複數電場，且自由電子會根據電場的方向而從吸收層306漂移至p型摻雜區328a/328b或p型摻雜區338a/338b。在一些實施方案中，第一控制訊號322可固定在一電壓值Vi，第二控制訊號332可在Vi ±ΔV間變換。電子的漂移方向取決於偏壓值。據此，當一組開關(例如，第一開關308a和308b)導通(即電子往p型摻雜區328a和328b漂移)時，另一組開關(例如，第二開關310a和310b)截止(即電子受到p型摻雜區338a和338b阻擋)。在一些實施方案中，第一控制訊號322及第二控制訊號332可具有不同的電壓值。

【0124】 在每個第一開關308a/308b中，電場係建立於p型摻雜區328a/328b及n型摻雜區326a/326b之間。類似地，在每個第二開關310a/310b中，電場建立在p型摻雜區338a/338b及n型摻雜區336a/336b之間。當第一開關308a和308b導通而第二開關310a和310b截止時，電子會漂移到p型摻雜區328a和328b，並且p型摻雜區328a及n型摻雜區326a之間的電場會進一步地移動電子到n型摻雜區326a。類似地，p型摻雜區328b及n型摻雜區326b之間的電場也會移動電子到n型摻雜區326b。讀出電路324可以接著處理n型摻雜區326a和326b收集到的電荷。相反地，當第二開關310a和310b導通而第一開關308a和308b截止時，電子會漂移到p型摻雜區338a和338b，並且在p型摻雜區338a及n型摻雜區336a之間的電場會進一步地移動電子到n型摻雜區336a。類似地，p型摻雜區338b及n型摻雜區336b之間的電場也移動電子到n型摻雜區336b。讀出電路334可以接著處理n型摻雜區336a和336b收集到的電荷。

【0125】 在一些實施方案中，可在一開關的p型摻雜區及n型摻雜區之間

施加電壓，使開關操作在在突崩機制中來增加開關光偵測器300的靈敏度。例如，在基板302包含鍺矽的情況下，當p型摻雜區328a及n型摻雜區326a之間的距離約為100nm時，可施加低於7伏特的電壓以在p型摻雜區328a及n型摻雜區326a之間建立突崩增益。

【0126】 在一些實施方案中，p型摻雜區309可耦接於一外部控制314，例如，p型摻雜區309可耦接至電性地端。在一些實施方案中，p型摻雜區309可浮接或不耦接於任何外部控制。在一些實施方案中，基板302可耦接至一外部控制316；例如，基板302可耦接至電性地端。在一些實施方案中，基板302可浮接或不耦接至任何外部控制。

【0127】 圖3B是開關光偵測器360的示例，其中開關光偵測器360用於將光訊號轉換為一電訊號。開關光偵測器360類似於圖3A所繪示的開關光偵測器300，但是開關光偵測器360更包含一n型井區344。此外，吸收層306可以是一p型摻雜區，基板可以是一p型摻雜基板。在一些實施方案中，n型井區344的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{-3}$，基板302的摻雜量範圍可以是$10^{14}cm^{3}$至$10^{16}cm^{-3}$。

【0128】 p型摻雜區328a、n型井區344及p型摻雜區338a的排列形成了PNP接面結構；類似地，p型摻雜區328b、n型井區344及p型摻雜區338b的排列也形成了PNP接面結構。一般來說，PNP接面結構選擇性地降低了從第一控制訊號322至第二控制訊號332的一漏電流，或者從第二控制訊號332至第一控制訊號322的一漏電流。n型摻雜區326a、p型摻雜基板302及n型摻雜區336a的排列形成了NPN接面結構；類似地，n型摻雜區326b、p型摻雜基板302及n型摻雜區336b的排列也形成了NPN接面結構。一般來說，NPN接面結構選擇性

地降低了從第一讀出電路324至第二讀出電路334的一電荷耦合，或者從第二讀出電路334至第一讀出電路324的一電荷耦合。在一些實施方案中，n型井區344也有效地降低電子從吸收層306至基板302流動時所能經歷的位能障。

【0129】 在一些實施方案中，p型摻雜區328a、338a、328b及338b完全地形成在n型井區344內。在一些其它實施方案中，p型摻雜區328a、338a、328b和338b部分地形成在n型井區344中。例如，p型摻雜區328a的一部分可通過佈植p型摻雜物而形成在n型井區344中，p型摻雜區328a的另一部分可通過佈植p型摻雜物而形成在基板302中。在一些實施方案中，n型井區344的深度較p型摻雜區328a、338a、328b和338b的深度來得淺。

【0130】 圖3C是開關光偵測器370的示例，其中光偵測器370用於將光訊號轉換為一電訊號。開關光偵測器370類似於圖3A示出的開關光偵測器300，但是更包含一個或多個p型井區346和一個或多個p型井區348。在一些實施方案中，一個或多個p型井區346和一個或多個p型井區348可以是一環狀結構之一部分；環狀結構圍繞第一開關308a、308b及第二開關310a、310b。在一些實施方案中，一或多個p型井區的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{20}cm^{-3}$。前述的一或多個p型井區346和348隔離從相鄰像素來的光電子。

【0131】 圖3D是開關光偵測器380的示例的剖視圖。在圖3D中，第一開關308a、308b的p型摻雜區328a、328b，以及第二開關310a、310b的p型摻雜區338a、338b可以呈指叉式排列地配置在基板302的一第一平面362上。圖3D更示出了第一開關308a和308b的n型摻雜區326a和326b以及第二開關310a和310b的n型摻雜區336a和336b可以指叉式排列地配置在基板302的一第二平面364。

【0132】 儘管圖3A-3D未示出，但是在一些實施方案中，光訊號可以是從開關光偵測器的基板302的背側進入開關光偵測器。一個或多個光學元件(例如，微透鏡或光導)可製作在基板302的背側，光訊號在光學元件聚焦、校直、散焦、濾波或根據透鏡設計進行處理。

【0133】 儘管圖3A-3D未示出，但是在一些實施方案中，第一開關308a和308b，以及第二開關310a和310b可按另選方式進行製作，以收集電洞，而非電子；在這種情況下，p型摻雜區328a和328b、p型摻雜區338a和338b，以及p型摻雜區309將由n型摻雜區替代，n型摻雜區326a和326b，以及n型摻雜區336a和336b將由p型摻雜區替代，n型井區344將由p型井區替代，p型井區346及348將由n型井區替代。

【0134】 儘管圖3A-3D未示出，但是在一些其它實施方案中，吸收層306可以是在完成製作開關光偵測器300、360、370及380之後再與一基板接合。基板可以是為允許光訊號312傳輸至開關光偵測器的任何材料；例如，基板可以是聚合物或玻璃。在一些實施方案中，一個或多個光學元件可製作在承載基板上，光訊號在光學元件聚焦、校直、散焦、濾波或根據透鏡設計進行處理。

【0135】 儘管圖3A-3D未示出，但是在一些實施方案中，開關光偵測器300、360、370及380可以接合(例如，通過金屬-金屬接合、氧化物-氧化物接合、混合接合) 到包含了控制訊號電路和/或讀出電路和/或相位鎖相迴路和/或類比數位轉換器電路的一第二基板。開關光偵測器的頂部可以沈積一金屬層，用於做為一反射器而來反射從基板302的背側入射的光訊號。增加類似反射鏡的金屬層可以增加吸收層306的吸收效率(量子效率)；例如，通過增加一反射

金屬層，光偵測器操作在範圍為1.0至1.6μm的長NIR波長的吸收效率可以被大幅地提升。金屬層及吸收層之間可包含一氧化層來增加反射率。金屬層也可以作做晶圓接合程序時的接合層。在一些實施方案中，可加入類似於第一開關308a(或308b)和第二開關310a(或310b)的一或多個開關以結合控制訊號/讀出電路。

【0136】 儘管圖3A-3D未示出，但是在一些實施方案中，吸收層306可部分地或完全地嵌入或凹入在基板302中以緩和表面形貌且便於製作。前述技術係揭示於美國第20170040362A1號之專利早期公開案中。

【0137】 圖4A是一開關光偵測器400的示例，其中開關光偵測器400用於將一光訊號轉換為一電訊號。開關光偵測器400包含製作在一基板402上的一吸收層406。基板402可以是任何合適將半導體元件配置在其上的基板。例如，基板402可以是一矽基板。吸收層406包含一第一開關408及一第二開關410。

【0138】 一般來說，吸收層406接收一光訊號412，並將光訊號412轉換為複數電訊號。吸收層406可以是本質、p型或n型。在一些實施方案中，吸收層406可以是由p型鍺矽材料形成。吸收層406經選擇，在所需波長範圍內具有較高的吸收係數。對於NIR波長，吸收層406可以是一鍺矽平台，其中鍺矽吸收光訊號412中的光子，並生成電子電洞對。鍺矽平台中鍺和矽的材料成分可以被選擇用於特定技術或應用。在一些實施方案中，吸收層406經設計，具有一厚度t；例如，對於850nm或940nm的波長，為了具有很大的量子效率，鍺矽平台的厚度可以是大約1μm。在一些實施方案中，吸收層406的表面被設計為具有特定形狀；例如，鍺矽平台可以是圓形、正方形或矩形，這取決於光訊號

412在鍺矽平台表面的空間剖面。在一些實施方案中，吸收層106被設計為具有一橫向尺寸d，用於接收光訊號412；例如，鍺矽平台可以是圓形或矩形，其中d的範圍為1μm至50μm。

【0139】 第一開關408及第二開關410製作在吸收層406和基板402中。第一開關408耦接至一第一控制訊號422及一第一讀出電路424。第二開關410耦接至一第二控制訊號432及一第二讀出電路434。一般來說，第一讀出電路424或第二讀出電路434跟據第一控制訊號422及第二控制訊號432的控制來決定收集電子或電洞。

【0140】 在一些實施方案中，第一開關408及第二開關410經製作可收集電子。在前述狀況下，第一開關408包含佈植在吸收層406中的一p型摻雜區428，以及佈植在基板402中的一n型摻雜區426。例如，p型摻雜區428可具有一p+摻雜，其中活化摻雜物濃度可與製作技術所能達成的程度一樣高；例如，當吸收層106為鍺並且摻雜了硼時，約為$5x10^{20}\ cm^{-3}$。在一些實施方案中，p型摻雜區428的摻雜濃度可低於$5x10^{20}\ cm^{-3}$，藉以簡化製作複雜度(雖然增加接觸電阻)。n型摻雜區426可具有一n+摻雜，其中活化摻雜物濃度可與製作技術所能達成的程度一樣高；例如，當基板402為矽並且摻雜了磷時，約為$5x10^{20}\ cm^{-3}$。在一些實施方案中，n型摻雜區426的摻雜濃度可低於$5x10^{20}\ cm^{-3}$，藉以簡化製作複雜度(雖然增加接觸電阻)。

p型摻雜區428及n型摻雜區426間的距離取決於製程設計規則。一般來說，p型摻雜區428及n型摻雜區426之間的距離愈近，生成的光載子的切換效率愈高。第二開關410包含一p型摻雜區438及一n型摻雜區436，p型摻雜區438類似於p型摻雜區428，且n型摻雜區436類似於n型摻雜區426。

【0141】 在一些實施方案中，p型摻雜區428耦接至第一控制訊號422；例如，p型摻雜區428可耦接至一電壓源，其中第一控制訊號422可以是來自於電壓源的AC電壓訊號。在一些實施方案中，n型摻雜區426耦接至讀出電路424。讀出電路424係為三電晶體配置，該配置由一重置閘極、一源極隨耦器、和一選擇閘極、或任何適合處理電荷的電路構成。在一些實施方案中，讀出電路424可製作在基板402上。在一些其它實施方案中，讀出電路424可製作在另一基板上，並與開關光偵測器400利用晶片/晶圓接合或堆疊技術而整合或是共同封裝。

【0142】 p型摻雜區438耦接至第二控制訊號432；例如，p型摻雜區438可耦接至一電壓源；其中，第二控制訊號432可以是AC電壓訊號，並且其相位與第一控制訊號422相反。在一些實施方案中，n型摻雜區436耦接至讀出電路434，讀出電路434可類似於讀出電路424。

【0143】 第一控制訊號422及第二控制訊號432用於控制吸收光子所產生的複數電子的收集過程。例如，當第一控制訊號422不同於第二控制訊號432，p型摻雜區428及p型摻雜區438之間會形成一電場，且自由電子跟據電場的方向而漂移p型摻雜區428或p型摻雜區438。

在一些實施方案中，第一控制訊號422可固定在一電壓值Vi，第二控制訊號432可在Vi ±ΔV間變換。電子的漂移方向取決於偏壓值。據此，當一開關(例如，第一開關408)導通(即電子往p型摻雜區428漂移)時，另一開關(例如，第二開關410)截止(即電子受到p型摻雜區438阻擋)。在一些實施方案中，第一控制訊號422及第二控制訊號432可具有不同電壓值。

【0144】 一般而言，p型摻雜區的費米能階及n型摻雜區的費米能階之間

的(在平衡前的)差異會在這二區之間形成一電場。在第一開關408中，電場形成在p型摻雜區428及n型摻雜區426之間。類似地，在第二開關410中，電場會形成在p型摻雜區438及n型摻雜區436之間。當第一開關408導通且第二開關410截止時，電子會漂移到p型摻雜區428，並且在p型摻雜區428及n型摻雜區426之間的電場會進一步傳遞電子到n型摻雜區426。讀出電路424可接著處理n型摻雜區426收集的電荷。相反地，當第二開關410導通且第一開關408截止時，電子會漂移到p型摻雜區438，並且在p型摻雜區438及n型摻雜區436之間的電場會進一步傳遞電子到n型摻雜區436。讀出電路434可接著處理n型摻雜區436收集的電荷。

【0145】 在一些實施方案中，基板402耦接於一外部控制416，例如，基板402可耦接至電性地端。在一些實施方案中，基板402可浮接或不耦接至任何的外部控制。

【0146】 圖4B是開關光偵測器450的示例，其中開關光偵測器450用於將光訊號轉換為一電訊號。開關光偵測器450類似於圖4A示出的開關光偵測器400，但是第一開關408及第二開關410更個別地包含一n型井區452及一n型井區454。此外，吸收層406可以是一p型摻雜層，基板402可以是一p型摻雜基板。在一些實施方案中，n型井區452的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{3}$，基板402的摻雜量範圍可以是$10^{14}cm^{-3}$至$10^{16}cm^{3}$。

【0147】 p型摻雜區428、n型井區452、吸收層406、n型井區454及p型摻雜區438的排列形成了一PNPNP接面結構。一般來說，PNPNP接面結構選擇性降低了從第一控制訊號422至第二控制訊號432，或者從第二控制訊號432至第一控制訊號422的一漏電流。

【0148】 n型摻雜區426、p型摻雜基板402及n型摻雜區436的排列形成了一NPN接面結構。一般來說，NPN接面結構選擇性降低了從第一讀出電路424至第二讀出電路434，或者從第二讀出電路434至第一讀出電路424的一電荷耦合。

【0149】 在一些實施方案中，p型摻雜區428完全地形成在n型井區452內。在一些其它實施方案中，p型摻雜區428部分地形成在n型井區452中；例如，p型摻雜區428的一部分可通過佈植p型摻雜物而形成在n型井區452中，p型摻雜區428的另一部分可通過佈植p型摻雜物而形成在吸收層406中。類似地，在一些其它實施方案中，p型摻雜區438完全地形成於n型井區454。在一些實施方案中，p型摻雜區438部分地形成於n型井區454中。在一些實施方案中，n型井區452和454的深度較p型摻雜區的深度來得淺。

【0150】 圖4C是開關光偵測器460的示例，其中光偵測器460用於將光訊號轉換為一電訊號。開關光偵測器460類似於圖4A示出的開關光偵測器400，但是吸收層406更包含一n型井區456。此外，吸收層406可以是一p型摻雜區，基板402可以是一p型摻雜基板。在一些實施方案中，n型井區456的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{-3}$，吸收層406及基板402的摻雜量範圍可以是$10^{14}cm^{3}$至$10^{16}cm^{-3}$。

【0151】 p型摻雜區428、n型井區456及p型摻雜區438的排列形成了一PNP接面結構。一般來說，PNP接面結構選擇性降低了從第一控制訊號422至第二控制訊號432，或者從第二控制訊號432至第一控制訊號422的一漏電流。

【0152】 n型摻雜區426、p型摻雜吸收層406及n型摻雜區436的排列形成了一NPN接面結構。一般來說，NPN接面結構選擇性降低了從第一讀出電

路424至第二讀出電路434，或者從第二讀出電路434至第一讀出電路424的一電荷耦合。

【0153】 在一些實施方案中，p型摻雜區428和438完全地形成在n型井區456內。在一些其它實施方案中，p型摻雜區428和438部分地形成在n型井區456中；例如，p型摻雜區428的一部分可通過佈植p型摻雜物而形成在n型井區456中，p型摻雜區428的另一部分可通過佈植p型摻雜物而形成在吸收層406中。在一些實施方案中，n型井區456的深度較p型摻雜區428和438的深度來得淺。

【0154】 圖4D是開關光偵測器470的示例，其中光偵測器470用於將光訊號轉換為一電訊號。開關光偵測器470類似於圖4C示出的開關光偵測器460，但是它的n型井區458由吸收層406延伸至基板402。此外，吸收層406可以是一p型摻雜區，基板402可以是p型摻雜基板。在一些實施方案中，n型井區456的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{-3}$。吸收層406及基板402的摻雜量範圍可以是$10^{14}cm^{-3}$至$10^{16}cm^{-3}$。

【0155】 p型摻雜區428、n型井區458及p型摻雜區438的排列形成了一PNP接面結構，這可進一步地降低從第一控制訊號422至第二控制訊號432，或者從第二控制訊號432至第一控制訊號422的一漏電流。n型摻雜區426、p型摻雜基板402、n型井區458、p型摻雜基板402及n型摻雜區436形成了一NPNPN接面結構，藉此可選擇性地降低從第一讀出電路424至第二讀出電路434，或者由從二讀出電路434至第一讀出電路424的電荷耦合。在一些實施方案中，n型井區458可以有效地降低電子所能察覺到之由吸收層406至基板402流動時的潛在位能障。

【0156】 圖4E是開關光偵測器480的示例，其中光偵測器480用於將光訊號轉換為一電訊號。開關光偵測器480類似於圖4A示出的開關光偵測器400，但是開關光偵測器480更包含一個或多個p型井區446和一個或多個p型井區448。在一些實施方案中，一個或多個p型井區446和一個或多個p型井區448可以是一環狀結構之一部分；環狀結構圍繞第一開關408及第二開關410。在一些實施方案中，p型井區446和448的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{20}cm^{-3}$。前述的一或多個p型井區446和448隔離從相鄰像素來的光電子。

【0157】 儘管圖4A-4D未示出，但是在一些實施方案中，光訊號可是從開關光偵測器的基板402的背側進入開關光偵測器。一或多個光學元件(例如，微透鏡或光導)可製作在基板402的背側，光訊號在光學元件聚焦、校直、散焦、濾波或根據透鏡設計進行處理。

【0158】 儘管圖4A-4E未示出，但在一些實施方案中，第一開關408及第二開關410可按另選方式進行製作，以收集電洞，而非電子；在此情況下，p型摻雜區428及p型摻雜區438將由n型摻雜區替代，n型摻雜區426及n型摻雜區436將由p型摻雜區替代，n型井區452、454、456及458將由p型井區替代，p型井區446及448將由n型井區替代。

【0159】 儘管圖4A-4E未示出，但是在一些實施方案中，吸收層406可以是在形成開關光偵測器400、450、460、470及480之後再與一基板接合。基板可以允許光電號412傳輸至開關光偵測器的任何材料；例如，基板可以是聚合物或玻璃。在一些實施方案中，一個或多個光學元件(例如，微透鏡或光導)可製作在承載基板上，光訊號在光學元件聚焦、校直、散焦、濾波或根據透鏡設計進行處理。

【0160】 儘管圖4A-4E未示出，但是在一些實施方案中，開關光偵測器400、450、460、470及480可以接合(例如，通過金屬-金屬接合、氧化物-氧化物接合、混合接合到包含了控制訊號電路和/或讀出電路和/或相位鎖相迴路和/或類比數位轉換器電路的一第二基板。開關光偵測器的頂部可以沈積一金屬層，用於做為一反射器而來反射從基板402的背側入射的光訊號。增加像反射鏡的金屬層可以增加吸收層406的吸收效率(量子效率)；例如，通過增加一反射金屬層，光偵測器操作在範圍為1.0至1.6μm的長NIR波長的吸收效率可以被大幅地提升。金屬層及吸收層之間可包含一氧化層來增加反射率。金屬層也可以作做晶圓接合程序時的接合層。在一些實施方案中，能夠增加類似於第一開關408和第二開關410的一個或多個開關來連結控制訊號/讀出電路。

【0161】 儘管圖4A-4E未示出，但是在一些實施方案中，吸收層406可部分地或完全地嵌入或凹入在基板402中以緩和表面形貌且便於製作。前述技術係揭示於美國第20170040362A1號之專利早期公開案中。

【0162】 圖4F-4I是用於選擇性地形成吸收層在基板上的設計490的示例。設計490例如是用於製造圖1A-4E示出的開關光偵測器。在圖4F中，凹槽492形成在基板402上。凹槽492可以定義用於NIR像素的光偵測器區。凹槽可藉由微影然後乾式蝕刻基板402而形成。凹槽的形狀可以對應於像素的形狀，並例如為正方形、圓形或其它適合的形狀。

【0163】 在圖4G中，介電層可以沈積在基板的上方，且定向性的蝕刻(directional etch)可以被執行以形成側壁間隔件494。定向性蝕刻可為非等向性乾式蝕刻(anisotropic dry etch)。前述的間隔件494可以是介電質材料(例如各種氧化物和氮化物)，並用於分隔即將從基板402上形成的吸收層的側壁。在

一些實施方案中，間隔件494可被省略，且即將被形成的吸收層的嵌入部分可以直接接觸形成在基板402中的凹槽492的表面，例如矽基板的[110]側壁。

【0164】 在圖4H中，鍺或鍺矽吸收層496可選擇性地從基板402成長。例如，吸收層496可以藉由化學氣相沈積(CVD)系統磊晶成長所形成。所形成的吸收層496部分嵌入在基板402的凹槽492中。吸收層496可例如是圖1A-4E中描述的開關光偵測器的吸收層。

【0165】 在圖4I中，鍺或鍺矽吸收層496與基板402被平整化(或稱平坦化)以形成完全嵌入式的吸收層496。鍺或鍺矽吸收層496可藉由化學機械拋光(chemical-mechanical polishing；簡稱CMP)或任何其他合適的技術進行平整化。在一些實施方案中，若鍺或鍺矽吸收層496和基板402的表面的原始表面形貌能夠被後續製造程序步驟接受時，鍺或鍺矽吸收層496相對於基板402的表面進行平整化的步驟可以被省略。

【0166】 圖5A是開關光偵測器500的示例，其中開關光偵測器500用於將一光訊號轉換為一電訊號。開關光偵測器500包含製作在一基板502上的一吸收層506，以及形成在吸收層506及基板502的上方的一第一層508。基板502可以是類似於前述的基板102，吸收層506可以是類似於前述的吸收層106，並可例如以鍺或鍺矽形成，且鍺成分的濃度範圍為1-99%。鍺或鍺矽吸收層的背景摻雜極性(background doping polarity)可以是p型且摻雜量範圍可以是10^{14} cm^{-3}至10^{16} cm^{-3}。前述的背景摻雜量可以是取決於，例如，摻雜的顯性合併(explicit incorporation)，或者在形成吸收層506時引入的材料缺陷。光偵測器500的吸收層506具有一平台結構，基板支撐此平台結構。雖然在圖示範例中，側壁係為垂直，平台的側壁輪廓可視吸收層506的生長及製作製程而有不同。

【0167】 第一層508覆蓋吸收層506的一上表面及複數側面，以及基板502形成有吸收層506的一上表面的一部分。第一層508可由與CMOS製程相容的材料形成，例如：非晶矽、多晶矽、磊晶矽、氧化鋁家族(例如，Al_2O_3)、氧化矽家族(例如，SiO_2)、氧化鍺家族(例如，GeO_2)、鍺矽家族(例如，$Ge_{0.4}Si_{0.6}$)、氮化矽家族(例如，Si_3N_4)、高k值材料(例如，HfOx、ZnOx、LaOx、LaSiOx)及其等之任意組合。出現在吸收層506表面之上的第一層508可具有不同的效果；例如，第一層508可作為吸收層506的表面保護層(surface passivation layer)，從而可以降低出現在吸收層506表面的缺陷所生成的暗電流或漏電流。在吸收層506為一鍺吸收層或一鍺矽吸收層的情況下，表面缺陷可以是暗電流或漏電流的重要來源，這會增加光偵測器500生成的光電流中的雜訊強度。通過形成第一層508在吸收層506的表面上，可以降低暗電流或漏電流，進而降低光偵測器500的雜訊量。在其它示例中，第一層508可調整在形成在光偵測器500上之一接點和吸收層和/或基板502之間的一蕭特基能障。前述的能障調整效果將詳細說明如後。

【0168】 圖5B是開關光偵測器510的示例，其中開關光偵測器500用於將一光訊號轉換為一電訊號。開關光偵測器510類似於圖5A中示出的開關光偵測器500，但是差異在於吸收層506部分地嵌入在形成於基板502上的一溝槽中，且光偵測器510更進一部包含複數間隔件(spacer)512。前述的複數間隔件512可以是介電質材料，例如，將吸收層506的側壁從基板502上分離的多種氧化物和氮化物。在一些實施方案中，間隔件512可被省略，而讓吸收層506的嵌入部份直接地接觸形成在基板502中的溝槽的一表面，例如，一矽基板的[110]側壁。前述技術係揭示於美國第20170040362A1號之專利早期公開案中。

【0169】 圖5C是一開關光偵測器520的示例，其中開關光偵測器520用於將一光訊號轉換為一電訊號。開關光偵測器520類似於圖5B示出的開關光偵測器510，差異在於吸收層506完全地嵌入在形成於基板502上的溝槽。前述技術係揭示於美國第20170040362A1號之專利早期公開案中。

【0170】 圖5D是一開關光偵測器530的示例，其中開關光偵測器530用於將一光訊號轉換為一電訊號。開關光偵測器530類似於圖5B中繪示的開關光偵測器510，差異在於一第一開關532及一第二開關542被製作在吸收層506及第一層508中。第一開關532類似於圖1A示出的第一開關108，但是更進一步包含耦接至一第一n型摻雜區534的一第一讀出接點535，以及耦接至第一p型摻雜區537的一第一控制接點538。類似地，第二開關542類似於圖1A示出的第二開關110，但是更進一步包含耦接於一第二n型摻雜區544的一第二讀出接點545，以及耦接於一第二p型摻雜區547的一第二控制接點548。第一p型摻雜區537和第二p型摻雜區547可以是控制區，且第一n型摻雜區534和第二n型摻雜區544可以是讀出區。第一讀出接點535及第二讀出接點545分別連接至對應讀出電路（類似於圖1A示出的讀出電路124和134）。第一控制接點538及第二控制接點548分別連接至對應的控制訊號（類似於圖1A示出的控制訊號122和132）。

【0171】 接點535、538、545和548為相應的摻雜區提供電性接點，並可由不同的導電材料形成。示例性的接點材料包含不同的金屬矽化物、Ta-TaN型Cu堆疊、Ti-TiN型W堆疊、鋁及這些材料的多種組合。在一些實施方案中，讀出接點535和545與控制接點538和548可以由不同的材料形成。接點535、538、545及548可以具有不同的實體結構。接點的直徑或寬度可小至數十奈米。

儘管只示出了單一接點535、538、545或548耦接於摻雜區，但是類似慣用的半導體元件製作程序，二個或多個接點可耦合至摻雜區來降低接觸電阻或提升可靠度。

【0172】 圖5E是一開關光偵測器550的示例，其中開關光偵測器550用於將一光訊號轉換為一電訊號。開關光偵測器550類似於圖5D示出的開關光偵測器530，差異在於第一開關532及第二開關542更個別地地包含了n型井區539和549，以及p型井區536和546。額外的n型井區及p型井區可以調整光偵測器550的電子和/或光學特性。在一些實施方案中，n型井區539和549，以及p型井區536和546的摻雜量範圍可以是$10^{15}cm^{-3}$至$10^{17}cm^{-3}$。

【0173】 第一p型摻雜區537、n型井區539、一p型吸收層506、n型井區549及第二p型摻雜區547形成了一PNPNP接面結構。一般來說，PNPNP接面結構可選擇性降低從第一控制訊號122至第二控制訊號132的一漏電流，或者從第二控制訊號132至第一控制訊號122的一漏電流。第一n型摻雜區534、p型井區536、p型吸收層506、p型井區546及第二n型摻雜區544形成一NPN接面結構。一般來說，NPN接面結構可選擇性地降低從第一讀出電路124至第二讀出電路134的一電荷耦合，或者從第二讀出電路134至第一讀出電路124的一電荷耦合。

【0174】 在一些實施方案中，第一p型摻雜區537完全地形成在n型井區539內。在一些其它實施方案中，第一p型摻雜區537部分地形成於n型井區539中；例如，第一p型摻雜區537的一部分可通過佈植p型摻雜物而形成在n型井區539中，p型摻雜區128的另一部分可通過佈植p型摻雜物而形成在吸收層506中。類似地，在一些實施方案中，第二p型摻雜區547完全地形成於n型井區549

中。在一些其它實施方案中，n型井區539和549形成包含p型摻雜區537和547至少一部分的一連續n型井區。

【0175】 在一些實施方案中，第一n型摻雜區534完全地形成在p型井區536之外。在一些其它實施方案中，第一n型摻雜區534部分地形成在p型井區536中；例如，第一n型摻雜區534的一部分可通過佈植n型摻雜物而形成在p型井區536中，第一n型摻雜區534的另一部分可通過佈植n型摻雜物而形成在吸收層506中。類似地，在一些實施方案中，第二n型摻雜區544完全地形成於p型井區546之外。在一些其它實施方案中，第二n型摻雜區544部分地形成在p型井區546中。

【0176】 儘管圖5D和5E示出具有部分嵌入吸收區506的開關光偵測器，但是同樣的結構能夠被用在具有非嵌入吸收層506的光偵測器500，以及具有一完全嵌入吸收層的光偵測器520中，以達成類似的效果。

【0177】 為了便於製圖，n型井區539和549，以及p型井區536和546被畫在一起；但是在實際實施時，該些井區可以獨立實現，或者以任意結合方式實現。

【0178】 圖5F是一開關光偵測器560的示例，其中開關光偵測器560用於將一光訊號轉換為一電訊號。開關光偵測器560類似於圖5D中示出的光偵測器530，差異在於開關對應的p型摻雜區537和547被省略；如此一來，第一控制接點538及第二控制接點548對第一層508形成蕭特基接面。當半導體未故意摻雜(intentionally doped)或摻雜中度雜雜物濃度(moderate dopant concentration)，例如，低於$1x10^{15}$ cm^{-3}時，蕭特基接面是形成在一金屬及一半導體之間的一電性接面。在第一控制接點538及第二控制接點548間穿過第一

層508及吸收層506的一區562註記有一漏電流路徑，此漏電流路徑將參照圖5G進行詳細說明。

【0179】 圖5G是能量圖570的示例，此能帶圖對應形成在控制接點538和548之間的漏電流路徑。能量圖570示出電荷載子，例如，一電子572及一電洞574，在一漏電流路徑不同位置的不同能階。縱軸對應至一能階E，橫軸對應沿著漏電流路徑的一位置x，其中漏電流路徑形成在控制接點538和548之間。在此示出第一控制接點538的電位高於第二控制接點548的電位(例如，第一控制訊號122的電壓較第二控制訊號132的電壓來得低)的一個示例性的方案。電位差以整個能帶圖的斜率從第一控制接點538往第二控制接點548下降來表示。圖5G中示出的能階和位置關係僅為了繪示便利性，並不是實際數值。

【0180】 一電子能障573和一電洞能障575是蕭特基能障的一示例。一蕭特基接面之特徵為呈現一蕭特基能障，蕭特基能障為電子572及電洞574通過蕭特基接面所需克服的一電位能障。電子能障573和電洞能障575的數值可依接點538和548的材料的工函數(work function)而改變。藉由選擇合適的接點和第一層的材料組合，就可以設定所需求的電子能障573及電洞能障575。

【0181】 電子572必須克服第一控制接點538和第一層508之間的電子能障573。藉由提供足夠高的電子能障573，提供給第一控制接點的控制訊號的電位不足以克服電子能障573。藉此，電子能障573可以阻擋電子572傳遞至吸收層506。歸因於一電子572的熱能的統計波動(stastistical fluctuation)(「熱離子發射(thermionic emission)」)或量子穿透效應(quantum tunneling)，若電子572可穿越吸收層506並傳遞至與第二控制接點548相鄰的第一層508；則電子572可克服電子能障573。另一電子能障出現在吸收層506和第一層508之間

的一接面，其會進一步地阻止電子傳遞至第二控制接點548，進而降低電子從第一控制接點538向第二控制接點548傳遞所產生的一漏電流。

【0182】 類似地，電洞574必須克服形成在第二控制接點548和第一層508之間的能障。藉由提供一足夠高的電洞能障575，提供給第二控制接點的控制訊號132的電位不足以克服電洞能障575。藉此，電洞能障575可阻擋電洞574傳遞至吸收層506。歸因於一電洞574的熱能的統計波動(「熱離子發射」)或量子穿透校應，若電洞574可穿越吸收層506並傳遞至與第一控制接點538相鄰的第一層508；則電洞574可克服電洞能障575。另一電洞能障出現在吸收層506和第一層508之間的一接面，其會進一步地阻擋電洞574傳遞至第一控制接點538，進而降低電洞從第二控制接點548向第一控制接點538傳遞所產生的一漏電流。

【0183】 當光照射吸收層506時，光的光子576可在吸收層506的一價帶被電子吸收，進而建立出如同光子576旁邊以垂直箭頭所指示的一電子-電洞。電子-電洞對中的電子形成的光電流會被讀出電路124和/或134所對應的讀出接點535和/或545讀取，且不會流動至控制接點538和548。在這種情況下，由第一層508和吸收層506間的接面所形成的能障可避免此流動，進而提升讀出電路的光電流收集效率。

【0184】 當第一層508(例如，非晶矽、多晶矽、結晶矽或鍺矽)被插入控制接點538、548及吸收層506(例如，鍺矽平台)之間時，金屬半導體接面的蕭特基能障會被改變，如前所述，接點538和548可以部分遮蔽注入第一層508的電子或電洞。一ToF像素（例如在此所述的開關光偵測器）的能耗部份取決於連接至二控制電路的二控制接點538和548間傳遞的漏電流。如此一來，藉由

接點537和548而部分地遮蔽注入的電子或電洞，能夠大幅地降低ToF的能耗。

【0185】 圖5H是一開關光偵測器580的示例，其中開關光偵測器560用於將一光訊號轉換為一電訊號。開關光偵測器580類似於圖5F示出的開關光偵測器560，差異在於開關光偵測器580更包含了n型井區539和549，以及p型井區536和546。n型井區539和549，以及p型井區536和546的結構及效果已在圖5E中進行描述。此外，n型井區539和549與在控制接點538、548下方的第一層508的一部分重疊，這會提高在吸收層506內部的電壓降。提高吸收層506內部的電壓降能夠增加建立在吸收層506內部的電場強度，進而提升由讀出電路124和/或134透過對應的讀出接點535和/或545擷取光生電子(photo-generated electrons)的能力。

【0186】 圖5I是開關光偵測器582的示例，其中開關光偵測器560用於將一光訊號轉換為一電訊號。開關光偵測器582類似於圖5E所示出的開關光偵測器550，差異在於第一開關532位在基板502上並鄰接在吸收區506的左側，第二開關542位在基板502上並鄰接在吸收區506的右側。開關光偵測器582類似於前述的開關光偵測器，但是相較於形成在接點(例如，讀出接點535和545或控制接點538和548)及鍺或鍺矽吸收層506之間的電性接點，形成在接點及矽基板502的電性接點通常具有一低暗電流或漏電流，這可以例如源自於基板502的材料缺陷較吸收層506的材料缺陷來得少；這使得全部的暗電流或漏電流較圖5E示出的光偵測器550來得低。此外，歸因於開關配置在基板502上，在吸收區506因吸收光而生成的光載子能夠在到達讀出電路124和134之前，從吸收區506傳遞至基板502。依據吸收區506及間隔件512的特定幾何形狀及其等材料的不同，光載子可傳導通過間隔件512，在間隔件512周邊傳遞或其等

的組合。

【0187】 在一些實施方案中，p型摻雜區537和547可以類似於圖5F示出般進行省略。雖然n型井區539和549，以及p型井區536和546在便於製圖的條件下繪示在一起，該些井可以省略、可以獨立實現，或者以任意結合方式實現。

【0188】 圖5J是一開關光偵測器586的示例，其中開關光偵測器586用於將一光訊號轉換為一電訊號。開關光偵測器586類似於圖5I示出的開關光偵測器582，差異在於開關532和542個別對應的p型摻雜區537和547被省略；藉此，第一控制接點538和第二控制接點548對第一層508形成蕭特基接面。蕭特基接面的效果已在圖5F-H對應段落詳細說明。歸因於變更後的光偵測器586的幾何形狀與光偵測器506相關，圖5G示出的能量圖570仍適用於光偵測器586中的區562，惟形成在第一層508的能障現在由對應的第一層508、基板502及間隔件512來形成。

【0189】 雖然n型井區539和549，以及p型井區536和546在便於製圖的條件下繪示在一起，但該些井可以省略、可以獨立實現，或者以任意結合方式實現。

【0190】 圖5K是一開關光偵測器588的示例，其中開關光偵測器588用於將一光訊號轉換為一電訊號。開關光偵測器588類似於圖5I示出的開關光偵測器582，差異在於第一開關532更包含第二p型摻雜區537a、一第三控制接點538a和一第二n型井區539a，以及第二開關542更包含一第二p型摻雜區547a、一第四控制接點548a和一第二n型井區549a。第三控制接點538a耦接於第二p型摻雜區537a，第二n型井區539a和第二p型摻雜區537a接觸；第四控制接點

548a耦接於第二p型摻雜區547a，第二n型井區549a接觸第二p型摻雜區547a。第二p型摻雜區537a和第一p型摻雜區537分別類似於第二p型摻雜區547a和547。第二n型井區539a和549a分別類似於n型井區539和549。第三控制接點538a類似於第一控制接點538，第四控制接點548a類似於第二控制接點548。第三控制接點538a連接第一控制訊號122，第四控制接點548a連接第二控制訊號132。

【0191】 第一控制接點538及關聯的摻雜區並不是直接地接觸吸收區506，因此將第一控制訊號122施加到第一控制接點538而在吸收區506內部所建立的電場，與圖5E示出的光偵測器550將第一控制接點538直接地接觸吸收層506所建立的電場相比來得弱。藉由增加第三及第四控制接點538a和548a，以及相關摻雜區，光偵測器586的載子收集控制效率可較圖5I示出的光偵測器582提升且與圖5E示出的光偵測器550的載子收集控制效率相近；然而將接點移至基板502，仍能部份保留降低暗電流或漏電流之優點。此外，吸收區的大電場能夠讓光偵測器的帶寬增加，加快第一開關532及第二開關542的切換，且額外增加的控制接點538a和548a也可以提升光偵測器584的操作速度。

【0192】 儘管示出的第三控制接點538a和第四控制接點548a分別與第一控制接點538和第二控制接點548共用控制訊號122和132，但是在一些實施方案中，接點538a和548a可耦接至不同於第一控制訊號122和第二控制訊號132的控制訊號；例如，提供給第三控制接點538a的控制訊號可小於提供給第一控制接點538的第一控制訊號122；歸因於第二p型摻雜區537a接近由吸收區506生成之載子，相較於提供給第一控制接點538的第一控制訊號122，提供給第三控制接點538a的控制訊號能對光生載子具有較大效果；同樣的機制也適

用於供給第四控制接點548a之控制訊號。

【0193】 在一些實施方案中，第二p型摻雜區537a和547a可以被省略而形成蕭特基接面，其效果可參見FIG. 5F-5H的說明。為了方便繪製，n型井區539和549，以及p型井區536和546被畫在一起；但是在實際實施時，該些井可以獨立實現，或者以任意結合方式實現。

【0194】 儘管圖5D-5K描述了具有部分嵌入吸收層506的開關光偵測器的多種結構，但所述的結構也可以應用在具有一完全突出吸收層506的開關光偵測器(例如，圖5A示出的結構)，以及具有一完全嵌入吸收層506結構的開關光偵測器(例如，圖5C示出的結構)，來達到類似的效果。

【0195】 在圖5A-圖5K中描述的光偵測器可合併至一前側照射(front-side illumination；簡稱FSI)影像感測器或一後側照射(back-side illuminantion；簡稱BSI)影像感測器中。在前側照射結構中，光從第一層508的頂部進入光偵測器。在後側照射結構中，光從基板502的底部進入光偵測器。

【0196】 控制區(例如，p型摻雜區537和547)及讀出區(例如，n型摻雜區534和544)可具有不同高度；例如，對於光偵測器530、550、560和580，以及對於任何控制區和讀出區皆位在吸收區506的結構，對應於讀出區或控制區的一部分吸收區506可以進行蝕刻，且讀出區或控制區可以形成在蝕刻部分上，如此能夠在控制區和讀出區間形成一垂直偏移(vertical offset)。類似地，對於光偵測器582、586和588，以及對於任何控制區和讀出區皆位在基板的結構，對應於讀出區或控制區的一部分基板502可進行蝕刻，且讀出區或控制區可以是形成在蝕刻部分，如此能夠在控制區及讀出區之間形成一垂直偏移。

【0197】 在一些實施方案中，透鏡可配置在入射光的一光學路徑上。透

鏡可例如是一微球透鏡(micro ball lens)或一菲涅爾環(Fresnel Zone Plate；簡稱FZP)透鏡。在其它示例中，當基板502為一矽基板時，透鏡可藉由蝕刻基板502而直接形成在基板502上。透鏡的詳細結構將參照圖7A-圖7C進行詳細說明。

【0198】 在一些實施方案中，吸收層506及間隔件512之間的介面可摻雜有n型或p型摻雜物，藉以提升對電洞和電子的電性隔離。在一些實施方案中，吸收層506和基板502之間的介面(例如，底介面)可摻雜有n型或p型摻雜物，藉以提升對電洞和電子的電性隔離。

【0199】 圖6A是一開關光偵測器600的示例，其中開關光偵測器600用於將一光訊號轉換為一電訊號。開關光偵測器600包含一基板502、一吸收區506、一第一開關532、一第二開關542，以及一反摻雜區610。反摻雜區610配置在吸收區506內，第一開關532及第二開關542配置在吸收層506上。基板502、吸收區506、第一開關532，以及第二開關542已經在與圖5D相關段落進行描述。

【0200】 反摻雜區610是吸收區506的一部分，其中摻雜了一摻雜物種(dopant specie)來降低吸收區506的一淨載子濃度(net carrier concentration)。一非摻雜半導體材料具有一相當濃度的電荷載子，即使在缺乏摻雜物的條件下，該些電荷載子仍然可以對電流傳導作出貢獻，電荷載子的濃度對應於半導體的本質載子濃度。吸收區506通常由半導體材料形成，例如：矽、鍺或兩者的合金，並具有相關的本質載子濃度。本質載子濃度可根據不同的因素而變化，例如材料製備方法及缺陷等級(缺陷濃度)。材料製備方法包含磊晶成長(epitaxial griwth)、化學氣相沈積(chemical vapor deposition：簡稱CVD)、有

機金屬化學氣相沈積(metel organic CVD：簡稱MOCVD)及物理氣相沈積(physical vapor deposition：簡稱PVD)，且不同的材料製備方法可產生不同的材料缺陷等級。一般而言，材料缺陷越多，則本質載子濃度量越高；例如，在室溫下，塊材結晶錠的類p型本質載子濃度(instrinsic p-type like carrier concentration)約$2x10^{13}\ cm^{-3}$，而磊晶錠可具有更高一個數量級的一類p型本質載子濃度，約$5x10^{14}\ cm^{-3}$。取決於材料特性及缺陷的種類，半導體材料可以是p 型或n型。

【0201】 降低開關光偵測器(例如，光偵測器600)的一漏電流來降低能耗對一ToF像素來說是重要的。開關光偵測器的一部分漏電流來自於傳導在控制區之間的一漏電流，例如，在p型摻雜區537和547之間傳導的電流。降低前述電流的一個方法是降低在p型摻雜區537和547之間的吸收區506的一淨載子濃度。前述的淨載子濃度是在傳導電流時可得到的載子濃度，並可藉由結合本質載子濃度及雜質的外部載子濃度(extrinsic carrier concentration)的貢獻進行判斷。藉由適當地選擇雜質的電性、種類及濃度，可對本質載子濃度進行補償，或以摻雜物進行「反摻雜」來讓半導體材料具有較低的淨載子濃度。一般而言，當本質載子及淨載子具有相同極性，例如，皆為p型或n型時，在控制區之間的漏電流會與淨載子濃度成正比。

【0202】 在反摻雜區610的摻雜物的類型可依不同因素進行選擇，例如形成吸收區506的材料或在吸收區506中的摻雜物的種類。例如，在矽基板上成長的磊晶錠一般是p型材料。在這種情況下，一n型摻雜物，例如：磷、砷、銻、氟可用於摻雜反摻雜區610。摻雜可通過不同的方式執行，包含在成長材料時進行佈植、擴散及原位摻雜(in-situ doping)。在一些情況下，摻雜物，例

如氟，可以保護缺陷。受保護的缺陷將不再作為電荷載子的來源，且摻雜了氟的吸收區506的淨載子濃度可降低並變得更為接近本質材料。

【0203】 在反摻雜區610的摻雜物濃度可依吸收區506的本質載子濃度作為選擇的根據。例如，本質載子濃度約為$5x10^{14}$ cm^{-3}的一磊晶錠可具有約$5x10^{14}$ cm^{-3}的反摻雜濃度，藉此可讓磊晶錠的本質載子濃度趨近於塊材結晶錠的本質載子濃度，其約為$2x10^{13}$ cm^{-3}。一般來說，反摻雜濃度(counter-doping concentration)可介於$1x10^{13}$ cm^{-3}至$1x10^{16}$ cm^{-3}。在一些實施方案中，反摻雜區610的不同區域可以具有不同的摻雜物濃度。例如，在接近材料介面處（例如吸收器506的底面）會有較高的本質載子濃度（因為有較高之缺陷的數量），高的反摻雜量可以提供較佳的補償。在一些實施方案中，反摻雜物濃度(counter-dopant concentration)可高於吸收區506的本質載子濃度；在這樣的情況下，吸收區506的極性可從p型變更為n型，或由n型變更為p型

【0204】 雖然示出之反摻雜區610能夠完全地覆蓋n型摻雜區534和544，以及p型摻雜區537、547；但是反摻雜區610也可僅覆蓋p型摻雜區537和547，或者n型摻雜區534和544。其次，僅管示出的反摻雜區610是一連續區，但是反摻雜區610也可以是二個或多個分離區。此外，僅管示出的反摻雜區610是吸收區506的一部分，但是反摻雜區610也可橫跨整個吸收區506。

【0205】 在一些實施方案中，反摻雜區610可作為一摻雜物擴散抑制器(dopant diffusion suppressor)，並用於提供一陡峭接面輪廓(abrupt junction profile)的結構。在反摻雜區610及p型摻雜區537和547之間的陡峭接面輪廓的結構可以降低漏電流，從而降低ToF像素的能耗；例如，在錠吸收區506中，氟摻雜可以抑制在n型摻雜區534中的磷摻雜物擴散。

【0206】 一般來說，反摻雜區610可以在不同的開關光偵測器中實現，從而降低控制區之間的漏電流。

【0207】 在一些實施方案中，p型摻雜區537和547可以被省略，但是這會導致蕭特基接面結構的產生，而其效果已於圖5F-5H相關段落中進行描述。

【0208】 圖6B是開關光偵測器620的示例，其中開關光偵測器620用於將一光訊號轉換為一電訊號。開關光偵測器620類似於圖6A示出的開關光偵測器600，差異在於第一開關532和第二開關542更個別地包含了n型井區612和614。額外的n型井區可以調整光偵測器620的電氣和/或光學特性。在一些實施方案中，n型井區612和614的摻雜量範圍可以是10^{15} cm^{-3}至10^{17} cm^{-3}。在一些實施方案中，n型井區612和614可從吸收區506的上表面延伸至反摻雜區610的下表面，或者吸收層506和基板502之間的界面。

【0209】 第一p型摻雜區537、n型井區612、反摻雜區610、n型井區614及第二p型摻雜區547排列形成了一PNINP接面結構。一般來說，PNINP接面結構可選擇性地降低從第一控制訊號122至第二控制訊號132的一漏電流，或者從第二控制訊號132至第一控制訊號122的一漏電流。

【0210】 在一些實施方案中，第一p型摻雜區537完全地形成在n型井區612內。在一些其它實施方案中，p型摻雜區部分地形成在n型井區612中；例如，第一p型摻雜區537的一部分可通過佈植p型摻雜物而形成在n型井區612中，第一p型摻雜區537的另一部分可通過佈植p型摻雜物而形成在反摻雜區610中。類似地，在一些實施方案中，第二p型摻雜區547完全地形成於n型井區614內。在一些其它實施方案中，p型摻雜區614部分地形成在n型井區614中。在一些實施方案中，n型井區612和614形成同時包含了p型摻雜區537和547的

至少一部分的一連續n型井區。

【0211】 光偵測器的操作速度或帶寬為應用時的重要性能參數，並且對高速光偵測有益，例如ToF偵測。在所有光偵測器的特性中，足以影響一光偵測器帶寬的就是光偵測器的實體尺寸，例如光偵測器能接收光的面積。舉例來說，降低光偵測器的面積會讓光偵測器的帶寬增加，這會讓元件電容減少、載子傳遞時間縮減或前述兩者的結合。然而，減少光偵測器的偵測面積，光偵測器所測得的光量(即光子的數量)也會減少；例如，對每單位面積預定光強度的光來說，降低偵測器的面積會減少其所能偵測到的光。

【0212】 在同時受益於高帶寬及高偵測效率的應用中，例如ToF偵測，在光偵測器的前方增加一微透鏡是有利的。微透鏡能夠將入射光對焦在光偵測器上，進而允許小面積的光偵測器能夠偵測面積大過其本身的入射光。例如，結合一微透鏡及一間隔層(SL)特性的設計能夠讓微透鏡與光偵測器之間的距離恰好為微透鏡的一有效焦距，進而容許入射光會聚成一繞射極限光點(diffraction-limited spot)，此繞射極限光點與入射光波長平方的數量等級相同。這樣的機制允許光偵測器面積的縮減，同時也降低了光偵測器面積減小的潛在缺點。

【0213】 圖7A示出整合矽透鏡於光偵測器的示例結構700的剖視圖。結構700包含一施體晶圓710及一承載晶圓730。施體晶圓710包含複數像素720a-720c(合稱為像素720)、穿孔714、金屬墊716及一第一接合層712；承載晶圓730包含一第二接合層732。施體晶圓710及承載晶圓730透過第一接合層712及第二接合層732而彼此接合。施體晶圓710可以是類似於圖5A示出的基板502，吸收區706可以是類似於圖5A-5L示出的吸收區506。

【0214】 像素720a-720c包含吸收區706a-706c，以及微透鏡722a-722c(合稱為微透鏡722)。微透鏡722為凸透鏡並可整合在施體晶圓710中或整合在施體晶圓710上。在受益於高光收集效率的應用中，例如ToF偵測，附加的微透鏡722可能是有益的。微透鏡722的凸結構能夠讓入射到微透鏡722的光會聚在吸收區706，這可以提升像素720的光收集效率，進而提升像素性能。在供體晶圓710的背側配置具有微透鏡722的像素720可以稱為背照式技術。

【0215】 微透鏡722的特性會影響其性能，包含其幾何參數及其構成材料。微透鏡722一般以平凸結構來實現；微透鏡722的一個面對入射光的表面為凸面並具有一曲率半徑，另一個與施體晶圓710接合(微透鏡722接合在施體晶圓710中或整合在施體晶圓710上)的表面為平面。平凸結構的微透鏡722可以透過標準半導體製程技術進行製作。微透鏡722可具有一高度HL及一直徑DL，並可以與吸收區706的一透鏡面對表面(lens-facing suface)分隔一高度HO。在一些實施方案中，H_L的範圍可以是1至4μm，H_O的範圍可以是8至12μm，H_A的範圍可以是1至1.5μm，D_L的範圍可以是5至15 μm。在一些實施方案中，對一球型微透鏡722來說，其曲率半徑可以被設定而讓焦距大約或等於H_O，這樣可以讓光最佳化地會聚至吸收區706。焦距及曲率半徑的尺寸可以透過不同模擬技術決定，例如：射線傳播法(beam propagation method；簡稱BPM)和時域有限差分(Finite difference time domain；簡稱FDTD)技術。在一些實施方案中，微透鏡722為非球面透鏡。

【0216】 微透鏡722能夠由不同的材料和製程形成。一般來說，能夠對像素720所要偵測的波長而言是透明的多種材料可以用於製作微透鏡722。例如，微透鏡722可以中高折射率的材料(例如，折射率大於1.5) 製作而成，例

如：結晶矽、多晶矽、非晶矽、氮化矽、聚合物或其等的組成。在可見光波長，一般使用聚合物材料製作微透鏡。在NIR波長，多使用矽製作微透鏡；這是因為矽對NIR波長來說是相對透明的，並具有高的折射率(在1000nm波長約為3.5)，因此矽是適合用於NIR波長的透鏡材料。此外，矽對於可見光(例如，小於800 nm)具有高吸收，矽微透鏡可防止相當程度的可見光入射到吸收區706，這對於NIR波長偵測的應用(例如，ToF偵測)是有益的。可以藉由圖案化及蝕刻施體晶圓710的表面，可製作一結晶矽微透鏡722，施體晶圓710一般而言是結晶矽晶圓。在其它示例中，多晶矽或非晶矽可沈積在施體晶圓710的表面上，並經圖案化及蝕刻進行類似的製作。透過蝕刻結晶矽施體晶圓710，或者蝕刻沈積在施體晶圓710上的多晶矽或非晶矽所形成的透鏡，都是把微透鏡722整合在施體晶圓710上的示例性方法。

【0217】 微透鏡722的圖案化程序可例如使用灰階微影(grayscale lithograthy)技術來進行。在灰階微影技術中，待圖案化的特徵(例如，微透鏡)是利用曝光劑量的局部分級(local gradation)進行曝光，而將光罩上的漸變厚度進行圖案轉移以便於進行顯影。例如，光罩可以先進行圖案化而具有與微透鏡722相類似的形狀，並接著利用半導體蝕刻技術，例如電漿基方向性蝕刻(plasma-based directional etching)技術，將被圖案化的形狀轉移到其下材料(例如結晶矽施體晶圓710)的底部來完成微透鏡722的製作。在一些實施方案中，曝光的局部區域的階度罩可以例如通過改變光罩上的次波長(sub-wavelength)特徵的填充因子(fill-factor)來達成。

【0218】 吸收區706可以是類似於圖5A示出的吸收區506，承載晶圓730可包含耦接至像素720的不同電子電路。例如，電子電路可透過例如是穿孔714

的結構進行耦接。穿孔714可耦接至一金屬墊716並透過，例如一導線，而接合外部的電子設備。

【0219】 承載晶圓730和施體晶圓710彼此可以透過技術而接合或機械附著。例如，第一接合層712及第二接合層732可以是氧化層(例如，二氧化矽)，並以氧化物-氧化物接合技術而相互接合。在其它示例中，第一接合層712及第二接合層732可以是金屬(例如，銅)，並以金屬-金屬接合技術而相互接合。在另一示例中，第一接合層712及第二接合層732可以是金屬和氧化物的組合(例如，氧化矽和銅)，並以混合接合技術而相互接合。

【0220】 圖7B示出整合矽透鏡於光偵測器的示例結構740的剖視圖。結構740包含一微透鏡742、一抗反射(anti-reflection coating；簡稱ARC)層744、一間隔層746、一第一層748、一第二層750、一矽層752及一光偵測器754。微透鏡742支撐ARC層744，間隔層746支撐微透鏡742。矽層752可以支撐光偵測器754，或者光偵測器754可以形成在矽層752中。第一層748及第二層750可以是矽層752和間隔層746之間的中介層。

【0221】 ARC層744用以降低光入射到微透鏡742的一反射率。ARC層744的一折射率可例如相當於微透鏡742的折射率的平方根值(square root)，並同時具有相當於入射波長的四分之一的厚度。在一些實施方式中，ARC層744可以是由二氧化矽形成。在一些實施方案中，ARC層744可以是多層結構形成的一多層ARC。

【0222】 結構740可以是相當於整合透鏡在背照式(BSI)影像感測結構。例如，矽層752能夠是一矽基板，例如圖7A示出的施體晶圓710或圖5D示出的基板502；光偵測器754可例如為圖5D示出的開關光偵測器530。矽層752及第

二層750之間的界面可以對應到圖5D示出的基板502中相反於吸收區506的底面。在BSI結構中，形成在矽層752上的第二層750(例如，基板502的背側)能夠包含一般製作在BSI感測器晶圓上的多種結構和層；前述的多種結構和層例如包含用以降低光在矽層752的界面反射的ARC層，以及用以阻擋不是進入用於接收光的矽層752部份(例如，微透鏡742的底部)的光的金屬網格(metal grid)，例如鎢網格。第一層748可以是提昇間隔層746及第二層750之間的黏著力的一薄層，並用於增加結構740之間的可製作性及可靠度。第一層748的材料可以例如為各種的介電材料(例如，SiO_2、SiON和SiN)或聚合物。在一些實施方案中，第一層748可以視第二層748及間隔層746間的交互作用(例如，當間隔層748可與第二層750可達到良好結合)而被省略。

【0223】 結構740可由下列方式製作：提供包含了矽層752、光偵測器754和第二層750的感測器晶圓，並依序沈積第一層748、間隔層746、微透鏡742和ARC層744；接著再進行圖案化及蝕刻而露出金屬墊，金屬墊類似於圖7A示出的金屬墊716。微透鏡742可以通過圖7A示出的用於製作微透鏡742的技術進行圖案化及蝕刻。儘管在此所示的ARC層744局限在微透鏡742的表面，但是一般來說，ARC層744可以延伸到其它表面，例如微透鏡742的側面或間隔層746的上表面。

【0224】 在此示例性的列出用於在工作波長為940nm的結構740在一特定實施時的各種元件特性。微透鏡742具有一折射率為1.5316，一曲率半徑為6μm，一高度為4μm，以及一直徑DL為10μm。ARC層744以SiO_2形成，且其在940nm波長下的折射率為1.46，並具有一厚度為160.96 nm。間隔層746具有一折射率為1.5604，一厚度為10μm。第一層748具有一折射率為1.5507，以及

一厚度為60nm。第二層750具有一鎢網格，以及用於矽層752的一ARC層。僅管已提供了前述參數，但結構740的特性仍然例如依照不同的工作波長、材料及光偵測器754的尺寸進行調整。

【0225】 在一些實施方案中，第二層750可以被稱為「頂層」，這是因為第二層750形成在一BSI影像感測器的一矽基板背面的頂部，並可以經調整而提升結構740的整體光學性能。如在前所述的，第二層750包含嵌入在一介電層中的金屬網格，例如嵌入在一SiO_2中的鎢網格。當光直接從空氣進入矽層752時，SiO_2層可以作為ARC層。然而，歸因於額外的微透鏡742、間隔層746和第一層748的折射率皆遠大空氣的折射率(約為1.0)，故SiO_2可能無法有效地降低在矽層752和堆疊的第一層748和/或間隔層746的界面的光學反射。

【0226】 表一示出對應於結構740的模擬參數及計算得到的穿透率，層及厚度經修改和/或近似來讓結構740在不同實現下能達到預期的穿透率。

表 1

層		折射率	厚度 (μm)	
			情況 1	情況 2
ARC 層 744		1.249	0.188	
間隔層 746		1.560	10	
第一層 748		1.551	0.06	
第二層 750	SiO_2	1.451	0.8	
	Si_3N_4	1.949	0	0.120
矽層 752		3.599+0.00135i	1	
穿透率 (%)			78.95	97.62

【0227】 在表一中，情況1對應的一第二層750包含一標準單層SiO_2，其經模擬得到的穿透率約為79%。對於需要將入射光最大劃的應用，高達21%的入射光損失是無法接收的。藉由在第二層750中（在SiO_2層之下）加入一Si_3N_4

層，以作為SiO_2層及矽層752之間之中介層，即可緩和穿透率降低的問題。藉由增加約121nm的Si_3N_4，穿透率可提升至約97.6%。如此一來，中介層可以被歸為一ARC層。一般來說，折射率大於SiO_2的各種光學透明材料皆可以用於替代Si_3N_4；例如可與CMOS製程相容的SiON、SiN、Al_2O_3、HfO_2、 ZrO_2、La_2O_3，以及高k值材料(例如，材料具有高介電常數)。適合的材料可以具有高於例如是1.6、1.7、1.8、1.9或2.0的一折射率。材料的厚度應調整為進入材料內的光波長的四分之一的奇數倍(an odd multiple of a quarter)。

【0228】 直接在在矽層752上增加Si_3N_4或高k值的材料可能會導致光偵測器754的暗電流增加，這例如是歸因於相較於Si-SiO_2界面，Si-Si_3N_4界面表面缺陷的增加。在一些實施方案中，能夠藉由將第二層SiO_2插入Si_3N_4層及矽層752之間來緩和增加的暗電流。插入第二層SiO_2的厚度的範圍為10nm至50nm，會讓所對應的穿透率提升到約97.1%至85%。如此一來，插入例如10nm的薄SiO_2，可以在保持高光學穿透率的條件下，減輕暗電流的增加。

【0229】 如在前所述的，流過一開關光偵測器的控制區之低漏電流是重要的性能參數，因為低的漏電流能夠讓包含光偵測器的設備的能耗降低。另一個重要的性能參數是在一開關光偵測器的一讀出電路及控制區之間流動之暗電流，暗電流是開關光偵測器測得訊號中的雜訊源且會降低一測量ToF訊號的訊雜比。

【0230】 圖8A是開關光偵測器的開關800的示例。開關800可以被用於作為在各種開關光偵測器中的第一或第二開關。如在圖5A所述的，開關800形成在具有第一層508的吸收區506中。開關800包含一n型摻雜區802、一讀出接點804、一低摻雜n型井區806、一p型摻雜區812、一控制接點814、一低摻雜

p型井區，以及一n型井區818；讀出接點804耦接於n型摻雜區802，控制接點814耦接於p型摻雜區812。n型摻雜區802及p型摻雜區812的邊緣之間間隔了一距離S。n型摻雜區802和p型摻雜區812可以是類似於圖5E示出的第一n型摻雜區534和第一p型摻雜區537。讀出接點804和控制接點814可以是類似於圖5E中的第一讀出接點535和第一控制接點538。p型摻雜區812可以是一控制區，n型摻雜區802可以是一讀出區。

【0231】 形成在一橫向PIN二極體的暗電流的來源包含蕭克萊-瑞得-霍爾(Shockley-Read-Hall；簡稱SRH)產生及帶間穿遂(band-to-band tunneling)，其中此橫向PIN二極體包含控制區(p型摻雜區812)、吸收區506(未摻雜/本質)，以及一讀出區(n型摻雜區802)。出現在吸收區506表面的表面缺陷可能影響SRH產生。額外的第一層508減少了部分的表面缺陷，而這可以降低因SRH生成的暗電流。增加n型摻雜區802和p型摻雜區812之間的距離S也能夠降低暗電流，這例如是因為減弱了形成在n型摻雜區802和p型摻雜區之間的電場，這同時也減少了在前述兩區間的SRH產生率(SRH generation rate)。例如，距離S應該保持在400nm以上。然而，增加距離S會讓光偵測器的帶寬縮小，這例如是歸因於增加了載子的傳遞時間。增加低摻雜n型井區806、低摻雜p型井區816或其等的組合可克服上述權衡問題。

【0232】 低摻雜區806和816的摻雜物濃度分別低於n型摻雜區802和p型摻雜區812的摻雜物濃度。例如，低摻雜區806和816的摻雜物濃度能夠是$1x10^{17}\ cm^{-3}$級，這低於n型摻雜區802和p型摻雜區812在$1x10^{19}\ cm^{-3}$級的摻雜物濃度。提供低摻雜區可降低摻雜區802、812和吸收區506之間的摻雜物濃度不連續問題，並且低摻雜區可具有$1x10^{15}\ cm^{-3}$級或更低的摻雜物濃度。藉由提供

中間摻雜物濃度的一區，能夠減弱摻雜區802和812邊緣的電場值。減弱電場值，可降低帶間穿遂，進而降低在二摻雜區802和812之間的暗電流。此外，可以降低SRH產生的暗電流。一般來說，低摻雜區806和816的摻雜濃度可以根據不同的因素，例如開關的幾何形狀、摻雜區802和812的摻雜濃度及吸收區506的摻雜濃度進行調整。

【0233】 圖8B是開關光偵測器的開關820的示例。開關820類似於圖8A示出的開關800，差異在於透過形成在吸收區506中的一溝槽822來替代低摻雜區806和816，且溝槽822內填充有一介電質填充物824。填充有介電質填充物824的溝槽822能夠降低暗電流。

【0234】 介電質填充物824為一電性絕緣材料，其具有較周圍吸收區506來得低的介電常數。相較於高介電常數的區，電場更能夠貫穿具有低介電常數的區。藉由安置填充物的溝槽822在摻雜區802和812附近，一些圍繞在摻雜區802、812，以及在摻雜區802、812周圍的空乏區(「空間電荷區(space charge region)」)中的高電場區被帶入介電質填充物824中；據此，降低了在吸收區506中的SRH產生和/或帶間穿遂。此外，不同於鍺吸收區506，介電質填充物824（例如SiO_2）為一絕緣體且不會產生SRH產生和/或帶間穿遂。因此，能夠降低因SRH產生和/或帶間穿遂(源自於摻雜區802、812邊緣之高電場)產生的暗電流。

【0235】 溝槽822可通過乾式蝕刻(例如，電漿蝕刻(plasma etching))或濕式蝕刻(例如，液體化學浴(liquid chemical bath))蝕刻吸收區來形成。溝槽822蝕刻的一深度可類似於摻雜區802和812的深度(例如，10-200nm)。溝槽822至少與n型摻雜區802或p型摻雜區812周圍的高電場區部分重疊。在一些實施

方案中，溝槽822切入摻雜區802和812以移除摻雜區802和812的一部分。於溝槽822形成後，第一層508可沈積在溝槽822上方以保護出現在溝槽822表面的缺陷。對一鍺吸收區506來說，第一層508可以例如是非晶矽、多晶矽、鍺矽或其等的組合。之後，填注介電質填充物824於溝槽822中，介電質填充物可例如為SiO_2。介電質填充物824應經過清潔使其不具有相當濃度的雜質來避免產生暗電流。

【0236】 在一些實施方案中，溝槽的深度可較摻雜區802和812的深度來得深。例如，摻雜區802和812的深度可約為100nm，溝槽的深度可達到200nm以降低SRH產生和/或帶間穿遂。在一些實施方案中，可觀察到摻雜區802和812周圍的SRH產生和/或帶間穿遂有高達50%的減少。

【0237】 圖8C圖8是開關光偵測器的開關830的示例。開關830類似於圖8A示出的開關800，但更包含了圖8B所繪示的溝槽822及介電質填充物824。較單獨實現低摻雜區806、816或溝槽822來說，同時實現低摻雜區806和816，以及溝槽822能夠進一步地降低SRH產生和/或帶間穿遂。

【0238】 一般來說，利用低摻雜區806和816，或者溝槽822降低的暗電流取決於開關的特定設計和包含有開關的開關光偵測器的整體設計。因此，即使圖8C示出的開關同時包含了低摻雜區806、816和溝槽822，但是實現低摻雜區、溝槽或其等的結合關鍵仍然取決於開關光偵測器中的開關的特定設計。此外，雖然僅示出了單一溝槽的示例，但一般來說，溝槽822可分割為二個或多個溝槽。

【0239】 儘管圖8A-8D的實施中包含了第一層508及n型井區818，但是在一些實施方案中，第一層508及n型井區818可以被省略。

【0240】 到目前為止，已經針對不同的開關光偵測器及開關光偵測器中的開關進行描述。現在，將針對開關光偵測器的不同結構及元件進行說明。

【0241】 開關光偵測器一般製作在一基板上，例如基板102、202、302、402及502。基板為一承載材料，且其上供用於製作開關光偵測器。一半導體晶圓為一基板的實施例。基板可以是開關光偵測器的一部分；但是一般來說，基板可以簡單地提供一機械台面以供製作開關光偵測器。基板可以使用不同的材料製成，例如矽、鍺、化合物半導體(例如，III-V、II-VI)、碳化矽、玻璃，以及藍寶石。基板可包含在其中的不同層，例如一矽覆絕緣層(Silicon on Insulator；簡稱SOI)基板包含矽的一基層、在矽的基層上的一絕緣體層(例如，SiO_2)，以及在絕緣體層上的一矽的元件層。SOI可額外包含元件層-絕緣體層對。例如一雙SOI(dual-SOI)晶圓包含二個元件層-絕緣層對。

【0242】 開關光偵測器包含一吸收層，其用於吸收入射光，並將入射光轉換為電荷載子。吸收層106、206、306、406，以及吸收區506、706為吸收區的實施例。吸收區可以由各種吸收材料形成，吸收材料能吸收開關光偵測器操作波長的光。吸收區的材料可例如包含矽、鍺、IV-IV半導體合金(例如，GeSn、GeSi)、III-V族化合物半導體(例如，GaAs、InGaAs、InP、InAlAs、InGaAlAs)及其它在週期表第三、四、五族的材料。在一些實施方案中，吸收區可以是在基板中的一區；例如，在矽基板中的一區可用於吸收可見光。

【0243】 在一些實施方案中，吸收區可以通過材料成份的改變(例如不同的鍺矽成份)、摻雜吸收材料的一區(例如，反摻雜區)，或者形成一光學窗以供光通過(例如，在BSI影像感測器中的鎢網格開口)而被定義在一光吸收材料中。

【0244】 吸收材料可沈積在基板上。例如，吸收材料可以是毯覆式沈積(blanket-deposited)在基板上。在一些實施方案中，吸收材料可沈積在形成於基板上的一中介層。一般來說，中介層可以依據吸收材料、基板或前述兩者來選擇。這樣的中介層可以提升元件的可製作性和/或提升元件性能。中介層的材料可例如包含矽、漸變鍺矽成分(graded germanium-silicon compount)材料、漸變III-V族材料、鍺、GaN和SiC。漸變材料為沿著至少一方向改變其材料成份的材料。例如，在漸變鍺矽材料中，其鍺成分從其一端的1%變化到另一端的99%。一般來說，開端及終端的成分可以例如視根據基板成份及吸收材料的成份進行設定。

【0245】 在一些實施方案中，吸收層的材料可以在一個或二個步驟中磊晶成長在中介層上。例如，吸收層(例如，鍺、鍺矽)可以沈積具有開口的介電層上，介電層開口至其下方的基板(例如，結晶矽基板)。當吸收材料沈積在具有不匹配晶格常數(mismatched lattice constants)的一基板上時，多步驟成長程序可以提升材料品質(例如，降低材料缺陷數量)。前述技術係揭示於美國第9786715號，專利名稱為「High Efficiency Wide Spectrum Sensor」之專利核准案中，並在此援引加入。

【0246】 圖9A-9E示出用於開關光偵測器中的電性端子的示例。請參見圖9A，一電性端子900包含一區902、一接觸金屬904及一摻雜區906。區902為一金屬，其上供形成電性端子900，並且可以對應至一吸收區(例如，吸收區506)或一基板(例如，基板502)。摻雜區906可以依據摻雜物的類型而為一p型(受體)摻雜區或一n型(供體)摻雜區。摻雜區906通常摻雜至一高摻雜濃度(例如，$1x10^{19}$至$5x10^{20}$ cm^{-3})以允許歐姆接觸形成在接觸金屬904及區902之間。

這種摻雜濃度的量可以被稱為「退化摻雜(degenerate doping)」。

【0247】 接觸金屬904為一金屬材料並與區902透過摻雜區906接觸，接觸金屬可以依據區902的材料及摻雜區906的摻雜物而選自不同的金屬或合金；例如包含Al、Cu、W、Ti、Ta-TaN型Cu堆疊、Ti-TiN型W堆疊，以及各種金屬矽化物。

【0248】 請參見圖9B；電性端子910類似於圖9A示出的電性端子900，但是差異在於摻雜區906被省略。接觸金屬904不透過摻雜區906而直接地設置在摻雜區906可以形成一蕭特基接觸、一歐姆接觸，或者介於前述兩者之間的一中介特性，這取決於各種因素，包含區902的材料、接觸金屬904，以及區902的雜質量或缺陷量。

【0249】 請參見圖9C；電性端子920類似於圖9B示出的電性端子910，但是差異在於接觸金屬904及區902之間插入了一介電質922。例如，對結晶鍺區902而言，介電質922可以是非晶矽、多晶矽或鍺矽。在其它示例中，對結晶矽區而言，介電質922可以是非晶矽、多晶矽或鍺矽。插入介電質922的可以形成一蕭特基接觸、一歐姆接觸或介於前述兩者組合的一中間特性。

【0250】 請參見圖9D；電性端子930類似於圖9B繪示的電性端子910，差異在於接觸金屬904及區902之間插入了一絕緣層932。絕緣層932阻止了從接觸金屬904至區902的直流傳導(direct current conduction)，但是在接觸金屬904施加電壓後，可在區902中形成一電場。所形成的電場可以吸引或拒斥電荷載子進入區902。絕緣層932可以是SiO_2、Si_3N_4，或者高k值材料。

【0251】 開關光偵測器的一開關，例如圖5D示出的第一開關532，包含一載子控制端子及一載子收集(讀出)端子。載子控制端子為一端子，其通過例

如是外部偏壓電路施加一控制電壓來讓區902中的光生載子指向某個方向；例如，朝向載子收集端子。載子控制端子的操作已在圖1A中相關於控制訊號122和132的段落進行描述。不同型態的電性端子可以用於實現載子控制端子；例如，電性端子900、910、920及930可以用於實現載子控制端子。

【0252】 載子收集端子為用於收集在區902中的光載子的一端子。載子收集端子可用以收集電子(例如，n型摻雜區)或電洞(例如，p型摻雜區)。載子收集端子已於圖1A中相關於讀出電路124和134的段落進行描述。不同型態的電性端子可以用於實現載子收集端子；例如，電性端子900、910、920及930可以用於實現載子收集端子。

【0253】 載子控制端子及載子收集端子的數量可以例如依據目標元件的性能進行調整。例如，開關光偵測器可具有如下示例的結構：二個載子控制端子搭配二個載子收集端子、二個載子控制端子搭配一個載子收集端子、四個載子控制端子搭配二個載子收集端子，以及四個載子控制端子搭配四個載子收集端子。一般來說，開關光偵測器所具有的載子控制端子及載子收集端子的數量大於一。

【0254】 當開關光偵測器包含兩個或更多控制端子時，可以使用前述的電性端子的各種組合。例如，組合歐姆和蕭特基/歐姆端子(例如端子900和920)、歐姆和絕緣(例如，端子900和930)、絕緣和蕭特基/歐姆(例如，930和920)、以及歐姆和蕭特基/歐姆和絕緣端子(例如，端子900、920、930)。

【0255】 當開關光偵測器包含兩個或更多載子收集端子時，可以使用歐姆和蕭特基/歐姆端子(例如，端子900和920)來實現。

【0256】 電性端子可以依據不同的考量而具有不同的形狀，例如可製作

性及元件性能。圖9E示出不同形狀的電性端子的示例的俯視圖。端子940的形狀可以是矩形、三角形、圓形、多邊形或其等的組合。端子的角落可以是尖銳狀或圓形。形狀能夠取決於摻雜區、金屬矽化物、接觸金屬或其等的組合。

【0257】 吸收區及基板可以配置成不同的結構，且吸收區可以依據不同的考量而有不同的形狀，例如可製作性及元件性能。請參閱圖10A-10I，其等示出了多種吸收區及基板的結構。具體地，在圖10A中，結構1000包含一基板1002，以及突出在基板1002上表面的一吸收區1004；基板1002可以是類似於圖5D示出的基板502，並且吸收區1004可以是類似於圖5D示出的吸收區506。結構1000可以通過沈積吸收區1004在基板1002上，再蝕刻吸收區1004以形成突出結構來製作。

【0258】 請參見圖10B；結構1010類似於圖10A示出的結構1000，但是更進一步包含了在吸收層1004及基板1002之間的一中介層1006。中介層可以作為讓吸收層1004易於成長在基板1002上方的緩衝層。結構1010可以通過沈積中介層1006在基板1002上、沈積吸收層1004在中介層1006上，再蝕刻吸收層1004及中介層1006以形成突出結構來製作。

【0259】 請參見圖10C；結構1020類似於圖10A示出的結構1000，但是其吸收層1004部分嵌入在基板1002中。結構1020可以通過形成一凹槽在基板1002上，並選擇性地沈積吸收層1004在凹槽中來製作。選擇性地，結構1020可以如下方式製作：通過沈積一犧牲層(sacrificial layer)在基板1002上方、蝕刻犧牲層以形成在基板1002上的凹槽、選擇性地沈積吸收材料、並以平整化步驟(planarizing step)，例如化學機械拋光(chemical-mechanical polishing；簡稱CMP)，移除沈積在凹槽外面的吸收材料、最後再通過選擇性蝕刻(selective

etch)，例如一濕式化學蝕刻，移除犧牲層。

【0260】 請參見10D；結構1030類似於圖10C示出的結構1020，但是其吸收層1004完全地嵌入基板1002。結構1030可通過在基板1002上形成一凹槽、沈積吸收材料的一選擇層在基板1002上方，並以平整化步驟（例如CMP步驟）移除沈積在凹槽外面的吸收材料來製作。

【0261】 請參見圖10E；結構1040類似於圖10D所示出的結構1030，但是其凹槽1004中的吸收層1004及基板1002之間插入了一中介層1006。結構1040可通過在基板1002上形成一凹槽、沈積中介層1006的一共形層、沈積吸收材料的一毯覆層(blanket layer)在中介層1006上方、並以平整化步驟（例如CMP步驟）移除沈積在凹槽外面的吸收材料及中介層來製作。

【0262】 請參見圖10F；結構1050類似於圖10E所示出的結構1040，但是以一第二中介層1008替代在吸收區1004之一側壁及基板1002的凹槽的側壁之間的第一中介層1006。結構1050可以如下方式製作：在基板1002上形成一凹槽、沈積第二中介層1008的共形層並執行一各向異性毯覆式蝕刻(anisotropic blanket etching)以移除沿著垂直表面的第二中介層1008、沈積第一中介層1006的共形層、執行各向異性毯覆式蝕刻以移除沿著非垂直表面的第一中介層1006、沈積吸收材料的一選擇層、並以平整化步驟(例如CMP步驟)移除沈積在凹槽外面的吸收材料和第一中介層。在示例性的實施方案中，第一中介層1006可以是由SiO_2形成，第二中介層1008可以是由鍺矽形成。

【0263】 請參見圖10G；結構1060類似於圖10A所繪示的結構1040，但是包含了吸收區階梯狀的(tiered)中介層1062，吸收區1004嵌入中介層1062內。階梯狀中介層1062包含直到基板1002的一開口1064，以及吸收區1004嵌

入在其中的一凹槽1066。吸收區1104通過開口1064接觸基板1002。結構1060可以如下方式製作：形成沈積中介層在基板1002上、蝕刻貫穿中介層整個厚度的開口1064、蝕刻在中介層中的凹槽1066、沈積吸收區1004於階梯狀的中介層1062上，並以平整化步驟(例如CMP步驟)移除沈積在凹槽外面的吸收材料。

【0264】 請參見圖10H；結構1070類似於圖10G所繪示的結構1060，但是包含了凹槽1066形成於其中的一第二中介層1072。結構1070可以如下方式製作：通過沈積第一中介層1062在基板1002上、沈積第二中介層1072、蝕刻第一中介層1062及第二中介層1072以形成開口1064、在第二中介層1072中蝕刻凹槽1066、沈積吸收層1004，並以平整化步驟(例如CMP步驟)移除沈積在凹槽外面的吸收材料。

【0265】 請參見圖10I；結構1080類似於圖10E所繪示的結構1040，但是包含了形成在中介層1006上的開口1084。吸收區1004透過開口1084接觸基板1002。結構1080可以如下方式製作：通過在基板1002上形成凹槽、沈積中介層1006的一共形層、蝕刻開口1084、沈積吸收材料的一毯覆層在中介層1006的上方，並以平整化步驟(例如CMP步驟)移除沈積在凹槽外面的吸收材料及中介層。

【0266】 吸收區、載子控制端子及載子收集端子可以根據不同的考量，例如可製作性及元件性能，而配置在不同結構中。圖11A-11B示出了例示性的開關光偵測器1100的俯視圖和側視圖，其中載子控制端子及載子收集端子設置在基板上，且基板的一部分是吸收區。在此示例中，開關光偵測器1100包含一基板1102、一吸收區1104、複數載子收集端子1106，以及複數載子控制

端子1108，吸收區1104是基板1102中的一區。例如，對一矽基板1102而言，吸收區1104形成在矽中，並且吸收區1104用於吸收可見光。吸收區可以具有不同形狀；由光偵測器的俯視角度觀之，吸收區可以例如是一正方形。吸收區1104可以從基板1102的一上表面延伸到前述上表面下方一所需深度處。例如，吸收區1104可延伸到基板1102的上表面的下方達1μm、2μm、3μm、5μm或10μm。鄰近的一對載子收集端子1106和載子控制端子1108形成一開關。吸收區1104配置在鄰近的一對載子收集端子1106和載子控制端子1108之間。在一些實施方案中，鄰近的一對載子收集端子和載子控制端子在吸收區1104周圍呈對稱配置(例如，在吸收區1104的相反側或四側)。這樣的對稱配置可以提升成對的二開關的載子控制及收集性能的匹配。

【0267】 圖11C-11F示出開關光偵測器的俯視圖及側視圖，其中吸收區以相異於基板的材料形成。請參見圖11C-11D，開關光偵測器1120包含基板1102、一吸收區1124、載子收集端子1106及載子控制端子1108。圖11C示出開關光偵測器1120的俯視圖，以及圖11D示出開關光偵測器1120的側視圖。開關光偵測器1120類似於圖11A-11B示出的開關光偵測器1100，但是差異在於開關光偵測器1120的吸收區1124以相異於基板1102的材料製成。例如，吸收區1124可以是由鍺形成，基板1102可以是一矽基板。吸收區1124完全地嵌入在形成於基板1102中的一溝槽中。僅管嵌入結構的細節並未示出，但嵌入式吸收區1124可以例如使用圖10D-10F和圖5C相關敘述結構來實現。

【0268】 請參見圖11E，開關光偵測器1130類似於圖11C-11D示出的開關光偵測器1120，但是吸收區1124部分地嵌入在基板1102中。僅管嵌入結構的細節並未示出，但部分嵌入吸收區1124可以例如使用圖10C和圖5B相關敘

述結構來實現。

【0269】 請參見圖11F，開關光偵測器1140類似於圖11C-11D示出的開關光偵測器1120，但是吸收區1124完全地突出在基板1102上。僅管完全突出式結構的細節並未示出，但完全突出吸收區1124可以例如使用圖10A-10B及圖5A相關敘述結構來實現。

【0270】 在一些開關光偵測器的結構中，載子收集端子、載子控制端子，或者其兩者可以設置在吸收區。為了簡潔之故，在此不重複基板、吸收區、載子控制端子和載子收集端子的詳細實施細節。圖12A-12B示出開關光偵測器1200的示例的俯視圖和側視圖，其中載子收集端子設置在基板上，而載子控制端子設置在一吸收區。開關光偵測器1200包含一基板1202、一吸收區1204、一光接收區1205、複數載子收集端子1206，以及複數載子控制端子1208。光接收區1205可以指示輸入光入射到吸收區1204的一部分，並可以與吸收區1204的剩餘部分不具有實體上的區別。舉例來說，一光遮(例如，鎢網格)及一微透鏡的結合可以阻擋和會聚入射光在光接收區1205上。載子收集端子1206設置在基板1202上，載子控制端子1208設置在吸收區1204非與光接收區1205重疊的位置。對於開關光偵測器1200而言，吸收區1204完全地突出。對於開關光偵測器1220而言，吸收區1204可以是如圖12C示出的部分嵌入(在基板至中)，或者可以是如圖12D示出的完全嵌入(在基板中)。

【0271】 圖12E-12F示出開關光偵測器1240的示例的俯視圖及側視圖，其中載子收集端子及載子控制端子設置在吸收區上。開關光偵測器1240類似於圖12A-12B示出的開關光偵測器1200，但是差異在於載子收集區1206現在是設置在吸收區1204，而不是與光接收區1205重疊的位置。對開關光偵測器

1240而言，吸收區1204是完全地突出。對圖12G的開關光偵測器1250而言，吸收區1204可以部分嵌入(在基板中)；對圖12H的開關光偵測器1260而言，吸收區1204可以是完全地嵌入(在基板中)。

【0272】 僅管圖12A-12H示出的光接收區1205沒有和載子收集端子或載子控制端子重疊，但實際上光接收區1205可以和載子控制區的至少一部分、載子接收區的至少一部分，以及n型摻雜區或p型摻雜區的至少一部分重疊。例如，這樣的重疊可出現在應用FSI和BSI結構的一像素中。

【0273】 在一些實施方案的開關光偵測器中，每個開關可包含多於一個載子收集端子、多於一個載子控制端子，或者前述兩者的數量皆多於一。為了簡潔之故，在此不重複基板、吸收區、載子控制端子及載子收集端子的詳細實施細節。圖13A-13G示出具有開關的開關光偵測器的示例的俯視圖，其中開關包含複數載子控制端子或複數載子收集端子。在圖13A中，開關光偵測器1300包含一基板1302、一吸收區1304、一光接受區1305、複數基板載子收集端子1306、複數基板載子控制端子1308及複數吸收器載子控制端子1309。基板載子收集端子1306為設置在一基板(例如，基板1302)上的載子控制端子。基板載子控制端子1308為設置在一基板(例如，基板1302)上的載子控制端子。吸收器載子控制端子1309為設置在一吸收區(例如，吸收區1304)的載子控制端子。吸收器載子控制端子1309和基板載子控制端子1308的效果及實施細節已於圖5K相關段落進行描述。在一些實施方案中，基板載子收集端子1306、基板載子控制端子1308及吸收器載子控制端子1309將重複出現在圖13B的第二列中。

【0274】 在圖13B中，開關光偵測器1310類似於圖13A示出的開關光偵

測器1300，差異在於基板載子控制端子1308被省略，並增加了第二行中的一對端子1306及1309。相鄰於第一對控制及收集端子的第二對控制及收集端子可以與第一對控制及收集端子相互獨立地運作；當然，第二對控制及收集端子也可以是與第一對控制及收集端子配合運作。

【0275】 在圖13C中，開關光偵測器1320類似於圖13B示出的開關光偵測器1310，差異在於移除了在光接收區1305一側的一基板載子收集端子1306。在光接收區1305一側的一對吸收器載子控制端子1309和對應的基板載子收集端子1306的結合可以作為一開關。

【0276】 在圖13D中，開關光偵測器1330類似於圖13B示出的開關光偵測器1310，差異在於基板載子收集端子1306移到吸收區1304上以作為吸收器載子控制端子1307。

【0277】 在圖13E中，開關光偵測器1340類似於圖13D示出的開關光偵測器1330，差異在於移除了在光接收區1305一側的一吸收器載子控制端子1307。在光接收區1305一側的一對吸收器載子控制端子1309和對應的吸收器載子控制端子1307的結合可以作為一開關。

【0278】 在圖13F中，開關光偵測器1350類似於圖13D示出的開關光偵測器1330，差異在於移除了在光接收區1305一側的一吸收器載子控制端子1309。在光接收區1305一側的一對吸收器載子控制端子1307和對應的吸收器載子控制端子1309的結合可以作為一開關。

【0279】 在圖13G中，開關光偵測器1360類似於圖13D示出的開關光偵測器1330，差異在於四對吸收載子收集及控制端子1307及1309對稱地配置在光接收區1305的周圍。任一對端子1307和1309可以作為一開關。每個開關可

單獨操作或與其它開關協作。例如，東和西開關可以經控制而作為第一開關，南和北開關可以經控制而作為第二開關。在其它示例中，東及南開關可以經控制而作為第一開關，西和北開關可以經控制而作為第二開關。

【0280】 僅管圖13A-13G示出的光接收區1305沒有和載子收集端子或載子控制端子重疊，但i一般而言光接收區1305可以和載子控制區的至少一部分、載子接收區的至少一部分，以及n型摻雜區或p型摻雜區的至少一部分重疊。例如，這樣的重疊可出現在應用FSI及BSI結構的一像素中。

【0281】 對於具有二個或多個載子控制端子的開關而言，可以施加一獨立控制偏壓給每個載子控制端子，或者以施加一單一偏壓給彼此短路的載子控制端子。圖14A-14B示出具有開關的開關光偵測器示例的俯視圖，其中開關包含複數載子控制端子。在圖14A中，開關光偵測器1400類似於圖13A所示的開關光偵測器1300。在光接收區1305左側的基板載子收集端子1306、基板載子控制端子1308和吸收器載子控制端子1309形成一第一開關，在光接收區1305右側的基板載子收集端子1306、基板載子控制端子1308和吸收器載子控制端子1309形成一第二開關1420。

【0282】 在開關1410及1420中，基板載子控制端1308和吸收器載子控制端子1309可以短路在一起並施加以單一偏壓，或者可以是個別施加以獨立的控制偏壓。例如，對第一開關1410的基板載子控制端子1308施加電壓V_{B1}，並對吸收器載子控制端子1309施加電壓V_{A1}；類似地，對第二開關1420的基板載子控制端子1308施加電壓V_{B2}，並對吸收器載子控制端子1309施加電壓V_{A2}。在一些實施方案中，接近光接收區的控制端子，例如吸收器載子控制端子1309，可以個別地施加控制電壓V_{A1}及V_{A2}來引導在光接收區1305中的光生載

子，使光生載子往示出的施加了電壓V_{C1}及V_{C2}的基板載子收集端子1306移動。同時地，基板控制端子1308可以施加予電壓V_{B1}及V_{B2}，藉以在基板載子控制端子1308及基板載子收集端子1306之間建立一高電場。當端子1308及1306之間的電場足夠高時，可以在端子1308和1306之間建立突崩倍增(avalanche multiplication)的一區，進而對被吸收器載子控制端子器1309引導到基板載子收集端子1306的光生載子提供一突崩增益(avalanche gain)。藉此，光生載子可以因突崩增益而倍增，這會增加開關光偵測器1400生成的光電流訊號。

【0283】 在圖14B中，開關光偵測器1430類似於圖14A所示出的開關光偵射器1400，但是差異在於基板載子收集端子1306被改置在吸收區1304上並用於作為吸收器載子控制端子1407，以及基板載子控制端子1308被改置在吸收區1304上並用於作為吸收器載子控制端子1409。不同偏壓對端子的影響類似於圖14A及其相關段落所述。

【0284】 僅管在圖14A-14B示出的光接收區1305沒有和載子收集端子或載子控制端子重疊，但是實際上光接收區1305可以和載子控制區的至少一部分、載子接收區的至少一部分，以及n型摻雜區或p型摻雜區的至少一部分重疊；例如，這樣的重疊可出現在應用FSI及BSI結構的一像素中。

【0285】 在典型的一影像感測器的實施中，多個感測器像素(例如，光偵測器)可配置成陣列以允許影像感測器擷取具有多個影像像素的影像。為了提供高積體密度，設置在一共同基板上的多個感測器像素要盡可能地靠近。對於一半導體基板而言，例如p型摻雜矽基板，相鄰的感測器像素可能會導致感測器像素之間的電子和/或光學的串擾，這例如會降低感測器像素的一訊雜比。在這樣的情況下，可以通過引入不同的隔離結構來提升感測器像素間的

電氣隔離。

【0286】 圖15A-15G是感測器像素隔離的示例結構的側視圖。在圖15A中，一示例的結構1500包含一基板1502、複數感測器像素1510a和1510b(合稱為感測器像素1510)，以及一隔離結構1506。感測器像素1510a、1510b包含對應的吸收區1504a和1504b。每個影像器像素1510可以是一個開關光偵測器，例如圖5A-5L所示的開關光偵測器。為了清楚說明之故，感測器像素1510被省略。

【0287】 隔離結構1506可包含在感測器像素1510a和1510b之間的電氣隔離。在結構1500中，隔離結構從基板1502的一上表面延伸至基板1502內部一預定深度處。在一些實施方案中，隔離結構1506為摻雜有p型摻雜物或n型摻雜物的一摻雜區。隔離結構1506的摻雜可建立一能隙偏移所致位能障(bandgap offset-induced potential energy barrier)來阻礙電流橫越隔離結構1506，並且提升像素1510a及1510b之間的電氣隔離。在一些實施方案中，隔離結構1506為填充有一半導體材料的一溝槽，且填充在隔離結構1506的溝槽中的半導體材料不同於基板1502的半導體材料。在基板1502及隔離結構1506之二不同半導體間的界面可建立能隙偏移所致位能障來阻礙電流流過隔離結構1506，並提升像素1510a及1510b之間的電氣隔離。

【0288】 在一些實施方案中，隔離結構1506為填充有一介電質或一絕緣體的一溝槽。填充有低導電率介電質或絕緣體的隔離結構1506可以在感測器像素1510a和1510b之間提供具有高電阻的一區，進而阻礙電流流過隔離結構1506，並提升像素1510a及1510b之間的電氣隔離。

【0289】 儘管只示出了單一隔離結構1506，但是在實施時，多個隔離結

構1506可設置在每個相鄰成對的影像感測對1510中。例如，在一二維陣列的感測器像素1510中，一單獨的感測器像素1510可以被最鄰近的四個感測器像素1510圍繞。在這樣的情況下，隔離結構1506可以沿著四個最鄰近的界面設置。在一些實施方案中，隔離結構1506可以是為圍繞感測器像素1510的一連續結構。隔離結構1506可以在像素1510之間的界面被共用。

【0290】 圖15B示出結構1520的示例，其中結構1520類似於圖15A示出的結構1500，但是差異在於吸收區1504a和1504b皆完全地嵌入在基板1502中。

【0291】 圖15C示出結構1530的示例，其中結構1530類似於圖15A示出的結構1500，但是差異在於隔離結構1506由基板1502的上表面，穿過整個基板1520的深度，延伸至基板1502的下表面。結構1530可以移除讓隔離結構1506轉向的在影像感測器1510間的替代傳導路徑，並改善感測器像素1510之間的電氣隔離。

【0292】 圖15D示出結構1540的示例，其中結構1540類似於圖15C示出的結構1530，但是差異在於吸收區1504a和1504b皆完全地嵌入在基板1502中。

【0293】 圖15E示出結構1550的示例。結構1550包含一基板1502、感測器像素1510a、1510b(合稱為感測器像素1510)，以及隔離結構1556a和1556b(合稱為隔離結構1556)。隔離結構1556a和1556b類似於圖15A及相關段落所述的隔離結構1506，但是差異在於隔離結構1556設置在基板1502的一部分，並恰好在所對應的吸收層1504的正下方。設置在吸收區1504和基板1502之間的隔離結構1556可以有助於把光載子限制在吸收區1504，並有助於降低

基板1502中洩漏的光生載子。例如，感測器像素1510a及1510b可以類似圖5D中的開關光偵測器530的方式實現，其具有設置在吸收區1504上的所有電性端子。在這樣的情況中，隔離結構1556(例如，一薄的p型摻雜層)提供的電氣隔離可以提升光電流收集效率和/或感測器像素1510的帶寬。

【0294】 圖15F是結構1560的示例。結構1560類似於圖15E中繪示的結構1550，但是差異在於吸收區1504a和1504b完全地嵌入在基板1502中，且隔離結構1556部分地或完全地圍繞吸收區1504。對於由絕緣體或介電質形成的隔離結構1556而言，隔離結構1556可包含一開口，開口位在吸收器下並部分圍繞此嵌入吸收區1504。對於隔離結構1556為摻雜區者而言，隔離結構1556可以是一連續結構，且其完全圍繞沒有開口的嵌入吸收區1504。

【0295】 儘管隔離結構可以是所述的摻雜區、介電材料或絕緣體，但是在實施時，隔離結構可以是這些實施的組合。圖15G示出結構1570的示例。結構1570類似於圖15A所示結構1500，但是差異在於隔離結構1506包含一第一隔離結構1576及一第二隔離結構1577。第一隔離結構1576可以是填充半導體材料的溝槽，或者是填充有介電質或絕緣體的溝槽，其中第一隔離結構1576的溝槽中填充的半導體材料不同於基板1502的半導體材料。第二隔離結構1577可以是摻雜有p型摻雜物或n型摻雜物的一摻雜區。相較於只以不同材料或摻雜區實現的隔離結構，以不同材料和摻雜區實現的隔離結構1506可以進一步地提昇在感測器像素1510之間的電氣隔離。在一些實施方案中，一摻雜隔離可以用於形成第二隔離結構1577，而通過溝槽填充的一材料隔離可以用於形成第一隔離結構1576，其中摻雜隔離隔較材料隔離來得淺。

【0296】 光偵測器(例如，一開關光偵測器)，的光偵測效率可以藉由增

加調整光偵測器的特性的各種結構而進行提昇。例如，能夠單獨或同時增加反射鏡、介電層和ARC層來達到不同的效果，前述的效果包含藉以吸收區增加光的吸收率、建立一光學共振腔和/或變更光偵射器的光譜響應。圖16A-16J是光偵測器的示例結構的剖視圖。圖16A示出結構1600的示例。結構1600包含一基板1602、一吸收區1604，以及一金屬反射鏡1606，吸收區1604形成一光偵測器，金屬反射鏡1606反射入射光。

【0297】 如圖所示，光訊號1605從吸收區1604的頂部入射，這可以被視為一FSI結構。在這樣的結構中，光訊號1605可以不被吸收區1604完全地吸收，且一部分的光可以穿透吸收區1604。穿透吸收區1604而沒有被吸收區1604吸收的光可能會降低光偵測器的光偵測效率。藉由設置金屬反射鏡1606在基板1602的下表面，使穿透吸收區1604的光訊號1605被反射，讓穿透吸收區1604的光訊號1605可以被反射回吸收區1604而第二次穿透吸收區1604，提昇偵測效率。

【0298】 由吸收區1604所吸收的部分光訊號1605可以是吸收區1604的光吸收係數、光吸收區1604沿著光入射方向(沿著垂直方向)的厚度，以及光訊號1605的波長的函數。

【0299】 金屬反射鏡1606可以是由不同的光學反射金屬形成，例如銅、鋁、金和鉑。在結構1600的光偵測器中，金屬鏡1606可以具有高於50%、60、70%、80%、90%，或者95%的反射率。金屬反射鏡1606的厚度可以大於金屬的一集膚深度(skin-depth)。例如，金屬反射鏡1606可以具有從50nm至500nm的範圍的厚度。

【0300】 圖16B示出結構1610的示例。結構1610類似於圖16A示出的結

構1600，但是差異在於結構1610更包含設置在基板1602及金屬反射鏡1606之間的一介電層1608。介電層1608可以改變金屬反射鏡1606的一光學反射光譜。例如，藉由介電層1608(例如，SiO_2)造成的一薄膜干涉，金屬反射鏡1606(例如，鋁層)對某些波長的入射至其上的光的反射率可以被提升(例如反射率可從小於90%提升至大於97%)，而其它波長的入射光的反射率則可能會降低。

【0301】 圖16C示出結構1620的示例。結構1620類似於圖16A示出的結構1600，但是差異在於結構1600的金屬反射鏡1606被一介電質反射層1626替代。介電質反射鏡可以是單層介電質薄膜或各種介電質薄膜的堆疊。介電質反射鏡可以是由各種的介電材料形成，例如SiO_2、$Si3N_4$、SiON及Si。在結構16202的光偵測器的操作波長，介電質反射鏡可以具有高達50%、60%、70%、80%、90%或95%的反射率。介電質反射層1626可以具有在50nm至4000nm的範圍的厚度。

【0302】 圖16D示出結構1630的示例。結構1630類似於圖16C示出的結構1620，但是差異在於結構1620中的介電質反射層1626被分散式布拉格(DBR)反射鏡1632替代。DBR反射鏡包含複數第一介電層1634及複數第二介電層1636，其等交替地堆疊在彼此之上。第二介電層1636具有與第一介電層1634相異的折射率。第一介電層1634及第二介電層1636可以具有在其對應的介電材料中，相當於操作波長的四分之一的厚度，且其等的反射率及反射帶寬可以取決於其各自的厚度、折射率，以及第一-第二層成對設置的數量。

【0303】 圖16E示出結構1640的示例。結構1640包含基板1602、吸收層1604及一ARC層1648。ARC層1648可以降低光訊號1605在入射到吸收區1604時的反射。ARC層1648可以類似於圖7B中示出的抗反射層744。

【0304】 圖16F示出結構1650的示例。結構1650類似於圖16A示出的結構1600，但是差異在於金屬反射鏡1606此時被設置在基板1602設有吸收區1604的一側的上表面。光訊號1605此時通過基板1602的下表面入射到吸收區1604，這可以被稱為一BSI結構。金屬反射鏡1606的效果類似於在圖16A對應段落中描述的效果。

【0305】 圖16G示出結構1660的示例。結構1660類似於圖16B示出的結構1610，但是差異在於介電層1608和金屬反射鏡1606此時被設置在基板1602設置有吸收區1604的一側的上表面。光訊號1605此時通過基板1602的下表面入射到吸收區1604，這可以被稱為BSI結構。介電層1608及金屬反射鏡1606的效果類似於在圖16B對應段落中描述的效果。

【0306】 圖16H示出結構1670的示例。結構1670類似於圖16C示出的結構1620，但是差異在於介電質反射層1626此時被設置在基板1602設有吸收區1604的一側的上表面。光訊號1605此時通過基板1602的下表面入射到吸收區1604，這可以被稱為BSI結構。介電層反射層1626的效果類似於在圖16C對應段落描述的效果。

【0307】 圖16I示出結構1680的示例。結構1680類似於圖16D示出的結構1630，但是差異在於DBR反射鏡1632此時被設置在基板1602設有吸收區1604的一側的上表面。光訊號1605此時通過基板1602的下表面入射到吸收區1604，這可以被稱為BSI結構。DBR反射鏡1632的效果類似於在圖16D對應段落描述的效果。

【0308】 圖16J示出結構1690的示例。結構1690類似於圖16E示出的結構1640，但是差異在於ARC層1648此時設置在基板1602的下表面（與吸收區

1604相對）。光訊號1605此時通過基板1602的下表面入射到吸收區1604，這可以被稱為BSI結構。ARC層1648的效果類似於在圖16E對應段落描述的效果。

【0309】 一般來說，反射鏡結構，例如金屬反射鏡1606、介電層1608、介電質反射層1626和DBR反射鏡1632可以使用不同的方法製作。例如，反射鏡結構可以直接沈積在基板1602上。可選地或額外地，反射鏡結構可以製作在一分離基板上，並與基板1602利用晶圓接合技術進行接合。

【0310】 儘管個別的實施中具有金屬反射鏡1606、介電層1608、介電質反射層1626和DBR反射鏡1632在基板1602的下表面或上表面，但是在實際上，所述的結構可以同時實施在基板1602的兩側。例如，DBR反射鏡1632可以同時實施在基板1602的兩側，這可以在吸收區1604周圍建立光學共振腔，變更光偵測器的一光譜響應。在其它示例中，ARC層1648可以實施在基板1602的上表面，並同時將反射鏡結構(例如，結構1600、1610、1620和1630)實施在基板的下表面以進一步地提升光偵測器的光偵測效率。一般來說，反射鏡，例如金屬反射鏡1606、介電層1608、介電質反射層1626和DBR反射鏡1632可以是部分反射和部分穿透。

【0311】 吸收區的表面可以不同的方式變更而調整光偵測的各種性能特性。示例的吸收區的表面的變更包含：摻雜區的增加、異質元素的引進、材料成分的改變、吸收區的表面的型態的引入，以及介電質或半導體材料的沈積。示例的性能特性例如包含：光吸收效率、光學吸收光譜、載子吸收效率、暗電流或漏電流、光偵測器的操作功率，以及光偵測器的帶寬。

【0312】 圖17A-17E為吸收區表面改質的示例結構的剖視圖。在圖17A

中，一表面改質吸收區1700包含一鍺矽基吸收區1704和一表面改質層1706。鍺矽基吸收區1704可以是開關光偵測器的一吸收區；前述的開關光偵測器可例如為圖5D示出的開關光偵測器。

【0313】 鍺矽基吸收區1704可以具有變化成分(X)的一Si_xGe_{1-x}化合物。例如，成分(X)的變化範圍可以是0.01至0.99，成分(X)為0.01可以讓鍺矽基吸收區1704具有接近鍺的特性，成分(X)為0.99可使以讓鍺矽基吸收區1704具有接近矽的特性。鍺矽基吸收區的成分會影響其對吸收波長的光吸收效率，並同時影響整體光學吸收光譜。例如，相較於高(X)成份所對應的高矽成分，低(X)成分所對應的高鍺濃度可大量地吸收近紅外波長(例如，大於1μm)。

【0314】 表面改質層1706可以改變鍺矽基吸收區1704，以及具有此吸收區1704的光偵測器的光學和/或電性特性。表面改質層可以由各種材料形成，例如非晶矽、多晶矽、磊晶矽、具有可變成分(Y)的Si_YGe_{1-Y}化合物、具有可變成分(Z)的Ge_ZSn_{1-Z}化合物，以及其等的任意組合。

【0315】 在一些實施方案中，對於具有Si_xGe_{1-x}成分的一鍺矽基吸收區1704而言，表面改質層1706可為一Si_YGe_{1-Y}層，其中成分(Y)不同於成分(X)。例如，具有成分(Y)高於成分(X)時，相較鍺矽基吸收區1704，表面改質層1706對長波長具有高吸收系數。在這樣的情況下，長波長的入射光可以在表面改質層1706被大量地吸收，而不會深入鍺矽基吸收區1704。藉由在鍺矽基吸收區1704的表面吸收入射光，可以提昇含有吸收區1704的光偵測器的帶寬，這是歸因於降低了光生載子在光吸收區1704中的擴散。在一些實施方案中，對於一純質鍺吸收區1704(即X=0)，表面改質層1706可以是一Si_YGe_{1-Y}層。在一些實施方案中，表面改質區1706及鍺矽基吸收區1704的成分可以沿著一方向

(例如，垂直方向)變更，形成一漸變鍺矽吸收區1704。鍺矽成分的漸變可以進一步地提升光偵測器的帶寬。在一些實施方案中，表面改質層1706可以是一多層結構。例如，一鍺矽層可以沈積在一鍺矽基吸收區1704的頂部以提供保護，以及另一矽層可沈積在鍺矽層的頂部以進一步的保護。

【0316】 在一些實施方案中，表面改質層1706可以是具有可變成分(Z)的一鍺錫合金Ge_ZSn_{1-Z}。增加錫在表面改質層1706可以提升長波長的光學吸收效率，例如在超過鍺能帶(約1.55μm)，一般超過此能帶的純鍺的吸收率會大幅地下降。

【0317】 請參見圖17B；一表面改質層1710包含一鍺矽基吸收區1704及一第一摻雜區1712。在一些實施方案中，第一摻雜區1712可以摻雜有p型或n型摻雜物。p型或n型的摻雜物可以改變吸收區1704的電性。例如，歸因第一摻雜區1712，光生電子(或電洞)可以從表面被排斥，進而避免表面複合(surface recombination)，這會在第一摻雜區具有p型或n型摻雜物時提供高吸收效率。在一些實施方案中，第一摻雜區1712可摻雜有雜質，例如矽或錫，以調整吸收區1704的光學特性。

【0318】 請參見圖17C；一表面改質層1720類似於表面改質層1710，但是差異在於更包含一第二摻雜區1722。第二摻雜區1722可以類似於第一摻雜區1712或具有不同極性、深度或寬度，藉此光生載子可以受到第二摻雜區1722的吸引，以及第一摻雜區1712的拒斥。

【0319】 請參見圖17D；一表面改質層1730包含一鍺矽基吸收區1704，以及複數介電質壁1732。介電質壁1732可以填充不同的介電質，例如SiO_2、Si_3N_4，以及高k值材料。當介電質壁設置在一PN接面或夾在表面電性端子之

間時，可以降低暗電流或漏電流、降低光偵測器的操作功率和/或提升光偵測器的帶寬。

【0320】 請參見圖17E；一開關光偵測器1740包含如圖17B示出的一表面改質鍺吸收層1710。開關光偵測器1740類似於圖1B示出的開關光偵測器160，但是差異在於更包含一表面改質層1706，以及圖11A示出的載子收集端子1106及載子控制端子1108。增加表面改質層1706可以提升開關光偵測器1740的各種性能特性，例如：光吸收效率、暗電流或漏電流、光偵測器的操作功率，以及光偵射器的帶寬。

【0321】 儘管示出了吸收區的表面改質的單獨實施方案，但是實際上表面改質能夠以不同的組合實施來達到期望的效果。例如，表面改質層1706可以和第一摻雜區1712和/或第二摻雜區1722結合實施。在另一示例中，表面改質層1706可以和介電質井1732結合實施。在又一示例中，表面改質層1706可和第一摻雜區1712和/或第二摻雜區1722，以及介電質壁1732結合實施。

【0322】 各種摻雜區域和井，諸如p型摻雜區和井，以及n型摻雜區和井，可以設置在吸收區，基板或中介層的不同位置，藉以改變元件的性能特性。示例性的性能特性包含：光吸收效率、光吸收光譜、載子收集效率、暗電流或漏電流、光偵測器的操作功率，以及光偵測器帶寬。

【0323】 摻雜區和井的深度可以基於各種考慮因素來確定，例如可製造性和元件性能。一個或多個摻雜井和區可以連接到一電壓或電流源。一個或多個摻雜井和區也可以不連接到一電壓或電流源(即浮接)和/或彼此連接(即短路)。

【0324】 圖18A-18B示出開關光偵測器1800的示例的俯視圖及側視圖。

開關光偵測器1800類似於圖1B示出的開關光偵測器160，但是更包含圖11A所示出的載子收集端子1106和載子控制端子1108。如在圖1B所描述的，n型井區152和154可以降低從第一控制訊號122至第二控制訊號132的一漏電流，並可以降低在n型摻雜區126和136之間的電荷耦合。降低漏電流能夠降低開關光偵測器1800的操作功率。

【0325】 圖18C-18D示出開關光偵測器1820的示例的俯視圖及側視圖。開關光偵測器1820類似於圖18A-18B所繪示的開關光偵測器1800，但是更包含p型井區1822。p型井區1822可以類似於圖2D示出的p型井區246和248。相較於開關光偵測器1800，p型井區1822可以增加開關光偵測器1820的光載子的吸收率。

【0326】 在一些情況中，n型摻雜區126和136無法完全地吸收在吸收區106中的光生載子。在這樣的情況下，光生載子可能抵達在基板102和吸收區106之間出現材料缺陷的材料表面。材料缺陷可以擷取光生載子並在一段時間後釋放這些載子；n型摻雜區126和136接著會收集前述的載子。在界面的材料缺陷這樣截取、釋放載子，以及接續的n型摻雜區126和136收集載子的現象可能會減少開關光偵測器1800的帶寬，這是歸因於截取及釋放載子的時間延遲效應。因此，加入p型井區1822可以減緩帶寬的減少，因其可以藉由不讓光載子抵達吸收區106和基板102之間的界面而防止載子被n型摻雜區126和136收集。

【0327】 圖18E示出開關光偵測器1830的示例的俯視圖。開關光偵測器1830類似於圖18C-18D示出的開關光偵測器1820，但是更包含p型井區1832。P型井區1832類似於p型井區1822。p型井區1822和1832的結合圍繞對應的n型

摻雜區126和136，這可以進一步地不讓光生載子抵達吸收區106及基板102之間的界面而防止載子被n型摻雜區126和136吸收。儘管在此示出了分離的p型井區1822和1832，但p型井區1822和1832可以結合成圍繞對應n摻雜區的C形區。

【0328】 圖18F-圖18G示出開關光偵測器1830的示例性的俯視及側視圖。開關光偵測器1840類似於圖18A-18B示出的開關光偵測器1800，但是差異在於n型井區152和154被省略，並進一步包含p型井區1842。p型井區1842可以類似於圖2D示出的p型井區。p型井區圍繞嵌入在基板102中的吸收區106。p型井區1842可以阻擋吸收區106的光生載子抵達基板102。相較於開關光偵測器1800，這樣的阻擋可以增加開關光偵測器1840的光載子的收集效率。p型摻雜區1842可以形成在吸收區106、基板102、在吸收區106和基板102之間的一中介層，或者其等的組合。

【0329】 儘管示出了n型井區152和154、p型井區1822、1832和1842的單獨實施方案，但實際上所述的n型井區及p型井區可以結合實施來達到期望的效果。

【0330】 至此，已經介紹了若干開關光偵測器的元件的具體實施及元件的各種排列。接著，將對前述元件的結合進行描述。在此所描述的組合非為所有組合的完整列舉。

【0331】 圖19A-B示出開關光偵測器1900的示例的俯視圖及側視圖。開關光偵測器1900類似於圖1A所繪示的開關光偵測器100，但是差異在於開關光偵測器1900的吸收區完全地嵌入在基板102中，以及更進一步包含圖11A示出的載子收集端子1106及載子控制端子1108。光接受區1205已於圖12A-12B

的相關段落中進行描述。p型摻雜區128和138的存在導致載子控制端子1108和吸收區106之間的界面形成一歐姆接觸。

【0332】 圖19C-D示出開關光偵測器1910的示例的俯視圖及側視圖。開關光偵測器1910類似於圖19A-19B示出的開關光偵測器1900，但是差異在於p型摻雜區128和138被省略。p型摻雜區128和138的省略導致載子控制端子1108和吸收區106之間的界面形成一蕭特基接面。

【0333】 圖19E-F示出開關光偵測器1920的示例的俯視圖及側視圖。開關光偵測器1920類似於圖19A-B示出的開關光偵測器1900，但是差異在於增加了p型摻雜區128和138，並在光接收區1205的每一側增加了載子控制端子1108。

【0334】 圖19G-H示出開關光偵測器1930的示例的俯視圖及側視圖。開關光偵測器1930類似於圖19E-F示出的開關光偵測器1920，但是差異在於p型摻雜區128和138被省略。p型摻雜區128和138的省略導致載子控制端子1108和吸收區106之間的界面形成一蕭特基接面。

【0335】 圖20A-B示出開關光偵測器2000的示例的俯視圖及側視圖。開關光偵測器2000類似於圖19A-B示出的開關光偵測器1900，但是差異在於增加了圖10I示出的中介層1006。如在圖10I對應段落中所描述的，中介層1006具有深及基板102的一開口，吸收區106填充在開口中並接觸基板102，且開口由中介層1006形成。在一些實施方案中，中介層1006可以是SiO_2、SiN_x、AlO_x，或者任何氧化物或氮化物基絕緣體。

【0336】 圖20C-D示出開關光偵測器2010的示例的俯視圖及側視圖。開關光偵測器2010類似於圖20A-B示出的開關光偵測器2000，但是差異在於圖

20A-B的中介層1006被另一中介層2012替代。中介層2012的材料類似於中介層1006的材料，但是差異在於中介層2012是一均勻層，其橫跨基板102的一上表面並具有深及基板的開口。吸收區106嵌入在中介層2012的開口中。在一些實施方案中，中介層2012可以是SiO_2、SiN_x、AlO_x，或者任何氧化物或氮化物基絕緣體。

【0337】 圖20E-F示出開關光偵測器2020的示例的俯視圖及側視圖。開關光偵測器2020類似於圖20C-D示出的開關光偵測器2010，但是差異在於p型摻雜區128和138被省略。p型摻雜區128和138的省略導致載子控制端子1108和吸收區106之間的界面形成一蕭特基接面。

【0338】 圖20G-H示出開關光偵測器2030的示例的俯視圖及側視圖。開關光偵測器2030類似於圖20C-D示出的開關光偵測器2010，但是差異在於圖20C-D的中介層2012被另一中介層2032所取代。中介層2032類似於圖20C-D的中介層2012，但是差異在於中介層2032具有深及基板102的一第一開口2034，以及大於第一開口2034的一第二開口2036，第二開口2036的開口朝向中介層2032的上表面。

【0339】 圖20I-J示出開關光偵測器2040的示例的俯視圖及側視圖。開關光偵測器2040類似於圖20G-H示出的開關光偵測器2030，但是差異在於p型摻雜區128和138被省略。p型摻雜區128和138的省略導致載子控制端子1108和吸收區106之間的界面形成一蕭特基接面。

【0340】 圖20K-L示出開關光偵測器2050的示例的俯視圖及側視圖。開關光偵測器2050類似於圖20G-H示出的開關光偵測器2030，但是差異在於加入n型井區152和154。n型井區152和154已於圖1B的相關段落中進行描述。

【0341】 圖21A-B示出開關光偵測器2100的示例的俯視圖及側視圖。開關光偵測器2100類似於圖19A-B示出的開關光偵測器1900，但是差異在於n型摻雜區126和136、p型摻雜區128和138、載子收集端子1106和載子控制端子1108從吸收區106移到基板102。這樣的端子1106和1108可以被稱為基板載子收集端子和基板載子控制端子。

【0342】 圖21C-D示出開關光偵測器2110的示例的俯視圖及側視圖。開關光偵測器2110類似於圖21A-B示出的開關光偵測器2100，但是差異在於吸收器p型摻雜區2128和2138以及吸收器載子控制端子2108被設置在吸收區106。基板載子吸收端子1106、基板載子控制端子1108和吸收器載子控制端子2108可以類似於在圖14A相關段落中描述的基板載子收集端子1306、基板載子控制端子1308和吸收器載子控制端子1309，並具有類似的效果。

【0343】 圖21E-F示出開關光偵測器2120的示例的俯視圖及側視圖。開關光偵測器2120類似於圖21C-D示出的開關光偵測器2110，但是差異在於吸收器p型摻雜區2128和2138被省略。吸收器p型摻雜區2128和2138的省略導致吸收器載子控制端子2108及吸收區106之間的界面形成一蕭特基接面。

【0344】 圖22A-B示出開關光偵測器2200的示例的俯視圖及側視圖。開關光偵測器2200類似於圖18F-G示出的開關光偵測器1840，但是差異在於加入圖18A-B中所示的n型井區152和154。

【0345】 圖22C-D示出開關光偵測器2210的示例的俯視圖及側視圖。開關光偵測器2210類似於圖21C-D所繪示的開關光偵測器2210，但是差異在於加入圖18A-B中的n型井區152和154。

【0346】 圖23A示出開關光偵測器2300的示例的俯視圖，以及圖23B示

出開關光偵測器2300沿著一AA連線的示例的側視圖。開關光偵測器2300類似於圖21C-D示出的開關光偵測器2110，但是差異在於吸收區106和基板102之間的界面增加p型井區2302。p型井區2302可以有助於緩和在吸收區106及基板102之間的接面的載子補集和釋放，這已於圖18C-D的相關段落中進行描述。

【0347】 圖24A-B示出開關光偵測器2400的示例的俯視圖及側視圖。開關光偵測器2400類似於圖18C-D示出的開關光偵測器1820，但是差異在於n型井區152和154被省略。

【0348】 圖24C示出開關光偵測器2410的示例性的俯視圖。開關光偵測器2410類似於圖18E所繪示的開關光偵測器1830，兩者的差異在於圖18E中所繪示的p型井區1822，p型井區1832被合併在連續的p型井區2412中。

【0349】 圖24D-E示出開關光偵測器2420的示例的俯視圖及側視圖。開關光偵測器2420類似於圖24A-B示出的開關光偵測器2400，但是差異在於增加介電質壁2422於n型摻雜區126和136中。介電質壁2422類似於圖17D中示出的介電質壁1732。介電質壁2422設置在載子收集端子1106和載子控制端子1108之間的n型摻雜區126的一部分中。介電質壁2422可以降低載子收集端子1106和載子控制端子1108之間的暗電流。介電質壁2422的深度可以是小於、等於，或者大於n型摻雜區126的深度。

【0350】 圖24F-G繪出開關光偵測器2430的示例的俯視圖及側視圖。開關光偵測器2430類似於圖24D-E所繪示的開關光偵測器2400，但是差異在於介電質壁2422從n型摻雜區126和136中移到p型摻雜區128和138中。介電質井2422的深度可以小於、等於，或者大於p型摻雜區128的深度。一般來說，介電質壁2422可以設置在n型摻雜區126和p型摻雜區128，以及n型摻雜區136和

p型摻雜區138之間的任意位置。

【0351】 圖25A-B示出開關光偵測器2500的示例的俯視圖及側視圖。開關光偵測器2500類似於圖19A-B示出的開關光偵測器1900，但是差異在於增加了圖16F示出的金屬反射鏡1606，其中金屬反射鏡設置在吸收區106設有載子收集端子1106和載子控制端子1108的一上表面上。金屬反射鏡2502可以設置在光接收區1205的上方。在一些實施方案中，金屬反射鏡2502可以通過CMOS製程中的第一金屬層(M1)或第二金屬層(M2) 來實現，或者是其等的組合。

【0352】 圖25C-D示出開關光偵測器2510的示例的俯視圖及側視圖。開關光偵測器2510類似於圖25A-B示出的開關光偵測器2500，但是差異在於p型摻雜區128和138被省略。p型摻雜區128和138的省略導致載子控制端子1108和吸收區106之間的界面形成一蕭特基接面。

【0353】 圖25E-F示出開關光偵測器2520的示例的俯視圖及側視圖。開關光偵測器2520類似於圖20K-L示出的開關光偵測器2050，但是差異在於加入圖16F示出的金屬反射鏡1606以作為金屬反射鏡2502，其中金屬反射鏡2502設置在吸收區106設有載子收集端子1106和載子控制端子1108的一上表面上。金屬反射鏡2502可以設置在光接收區1205的上方。在一些實施方案中，金屬反射鏡2502可以藉由CMOS製程中的第一金屬層(M1)或第二金屬層(M2)來實現，或者是其等的組合。

【0354】 圖25G-H示出開關光偵測器2530的示例的俯視圖及側視圖。開關光偵測器2530類似於圖18F-G示出的開關光偵測器1840，但是差異在於加入圖16F示出的金屬反射鏡1606以作為金屬反射鏡2502，其中金屬反射鏡

2502設置在吸收區106設有載子收集端子1106及載子控制端子1108的一上表面上。金屬反射鏡2502可以設置在光接收區1205的上方。在一些實施方案中，金屬反射鏡2502可以藉由CMOS製程中的第一金屬層(M1)或第二金屬層(M2)來實現，或者是其等的組合。

【0355】 在典型的一影像感測器的實施方案中，多個感測器像素(例如，開關光偵測器)配置成陣列以允許影像感測器擷取具有多個影像像素的影像。從影像感測器的頂部觀之，在兩側具有相同尺寸的正方形感測器像素能夠成為簡單的二維陣列。但是對於某些應用，例如ToF而言，一些感測像素可能不是正方形，而是矩形。例如，在圖1B中，開關光偵測器160具有兩個載子控制端子(例如，p型摻雜區128和138)，以及兩個載子收集端子(例如，n型摻雜區126和136)。這四個端子一般是沿著一條線設置，這導致矩形感測器像素在沿著端子排列的線的形狀較長(例如，圖18A示出的開關光偵測器1800)。

【0356】 這種矩形感測器像素可能使像素的有效排列方面增加難度，這例如是歸因於代工廠中與半導體製作相關的設計規則。設計規則會限制諸如摻雜區、摻雜井、介電質井和鍺吸收區之類的特徵的各種最小間隔。改善緻密性和對稱性的一種方法是建立包含四個矩形光偵測器的光偵測器的單位單元。圖26示出矩形光偵測器的單位單元的示例。 單位單元2600包含圖18A示出的四個開關光偵測器1800，以及個別地環繞在開關光偵測器1800的四個隔離結構2602。隔離結構2602已於圖15A-D對應的段落中進行描述。單位單元2600可以改善矩形單位單元上的感測器像素的緻密性和對稱性。

【0357】 圖27示出具有光電晶體增益的矩形開關光偵測器2700的示例的俯視圖。開關光偵測器2700類似於圖18A示出的開關光偵測器，但是差異為

在基板102上加上電子發射器2710。電子發射器2710可以類似於n型摻雜區126和136。開關光偵測器1800的矩形形狀允許一光電流積分電容器(photocurrent integration capacitor)(例如，一浮動擴散電容(floating diffusion capacitor))耦接於一雙接面電晶體(BJT)2720；雙接面電晶體2720是由n型摻雜區126和136、p型摻雜區128和138、電子發射器2710所形成一NPN雙接面電晶體。當雙接面電晶體2720具有適當偏壓時，可以響應於入射光訊號而提供光電晶體增益，這可以提高光偵測器2700的光至光電流轉換效率。例如，雙接面電晶體2720可以是以下列條件進行偏壓：n型摻雜區126和136的偏壓在1V和3V之間，p型摻雜區128和138的偏壓在0V和1V之間，電子發射器2710的偏壓低於對應的n型摻雜區126和136的偏壓。

【0358】 一般來說，電子發射器2710和/或n型摻雜區126和136應施加一外部電壓，或透過一金屬連接件而與p型摻雜區短路來允許電子由電子發射器2710發射。

【0359】 儘管已經描述了具有n型和p型區和井的特定組合和排列的開關光偵測器的各種實施方案，但是通常摻雜區和井的極性可以顛倒並且實現類似的操作和功能。 例如，可以將p型井和p型摻雜區的所有實例分別轉換為n型井和n型摻雜區，並且可以將所有n型井區和n型摻雜區對應地轉換為p型井和p型摻雜區。

【0360】 圖28A示出了示例性的成像系統2800，其用於確定一目標物體2810的特性。目標物體2810可以是三維物體。成像系統2800可包含一發射器單元2802、一接收器單元2804，以及一處理單元2806。一般來說，發射器單元2802朝目標物體2810發射出光2812；發射器單元2802可包含一種或多種光

源、控制電路和/或光學元件。例如，發射器單元2802可包含一個或多個NIR發光二極體或雷射；其中發射的光2812可以由一準直透鏡進行校準，以在自由空間中傳遞。

【0361】 一般來說，接收器單元2804接收目標物體2810反射的反射光2814。接收器單元2804可包含一種或多種光電二極體、控制電路和/或光學元件。例如，接收器單元2804可包含一影像感測器；其中，影像感測器包含製作在一半導體基板上的複數像素。每個像素可包含用於檢測反射光2814的一個或多個開關光偵測器，其中反射光2814可以聚焦到開關光偵測器上。每個開關光偵測器可以為本專利申請所公開的開關光偵測器。

【0362】 一般來說，處理單元2806處理接收器單元2804生成的光載子，並確定目標物體2810的特性。處理單元2806可包含控制電路、一個或多個處理器和/或可儲存用於確定目標物2810特性的指令的電腦儲存介面。例如，處理單元2806可包含：讀出電路及處理器，其中處理器可處理與收集到的光載子相關的資訊，以確定目標物體2810的特性。在一些實施方案中，目標物體2810的特性可以是目標物體2810的深度資訊。在一些實施方案中，目標物體2810的特性可以是目標物體2810的材料成分。

【0363】 圖28B示出了用於確定目標物體2810的特性的一個示例性技術。發射器單元2802可產生光脈衝2812，作為示例，此脈衝調變頻率為fm，工作週期為50%。接收器單元2804可接收相移為Φ的反射光脈衝2814。對開關光偵測器進行控制，使得讀出電路1讀出所收集的相位與發射光脈衝同步的電荷Q1，讀出電路2讀出所收集的相位與發射光脈衝相反的電荷Q2。在一些實施方案中，成像系統2800與目標物體2810之間的距離D可通過以下公式獲

得：

$$D = \frac{c}{4f_m}\frac{Q_2}{Q_1+Q_2} \cdots (1)，$$

其中c是光的速度。

【0364】 圖28C示出了用於確定一目標物體2810特性的另一示例性技術。發射器單元2802可發射光脈衝2812，作為示例，此脈衝調變頻率為fm，工作週期小於50%，但藉由一因數N降低光脈衝的工作週期及藉由此因數N增加光脈衝2812的強度，可提升所接收到的反射光脈衝2814的訊雜比，同時保持成像系統2800的能耗基本不變。在元件帶寬增加使得可以在不使脈衝形狀發生變形的情況下縮短光脈衝的工作週期時，即可實現上述狀況。接收器單元2804可接收相移為Φ的反射光脈衝2814。對多柵光電二極體進行控制，使得讀出電路1讀出所收集的相位與發射光脈衝同步的電荷Q1’，讀出電路2讀出所收集的相位與發射光脈衝有時延的電荷Q2’。在一些實施方案中，成像系統2800及目標物體2810之間的距離D可通過以下公式獲取：

$$D = \frac{c}{4Nf_m}\frac{Q_2'}{Q_1'+Q_2'} \cdots (2)。$$

【0365】 圖29示出了通過一成像系統來確定物體特性的流程2900的示例。流程2900可以由諸如成像系統2800來執行。

【0366】 此系統接受反射的光(步驟2902)。例如，傳送器單元2802可以朝向目標物體2810發射一光脈衝2812。接收器單元2804可接收目標物體2810反射的反射光脈衝2814。

【0367】 此系統確定相位資訊(步驟2904)。例如，接收器單元2804可包含一影像感測器，其中影像感測器包含製作在半導體基板上的多個像素。每個像素可包含用於偵測反射光脈衝2814的一個或多個開關光偵測器。開關光

偵測器的類型可以是本專利所公開的開關光偵測器，其中相位資訊可通過參見圖28B或圖28C所述的技術進行確定。

【0368】 此系統確定物體特性(步驟2906)。例如，處理單元2806可以跟據相位資訊，通過參見圖28B或圖28C所述的技術來確定目標物體2810的深度資訊。

【0369】 在一些實施方案中，一影像感測器包含製作在半導體基板上的複數像素，其中每個像素可包含一個或多個開關光偵測器100、160、170、180、200、250、260、270、300、360、370、380、400、450、460、470及480以如圖28A及圖28B所示用於偵測反射光。這些像素間的隔離可根據絕緣隔離，例如氧化層或氮化層，或根據一佈植隔離，例如利用p型或n型區阻隔訊號電子或電洞，或根據本質內建能障(例如利用鍺矽異質介面)來實現。

【0370】 到目前為止，已經針對不同的開關光偵測器，以及開關光偵測器如何用在時差測距偵測系統(例如圖28A示出的成像系統2800)中進行描述；現在，將針對成像系統2800中的接收器單元2804進行描述。圖30示出用於ToF偵測的接收器單元3000的示例。接收器單元3000包含像素陣列3010、放大器陣列3020，以及類比數位轉換器(analog-to-digital converter；簡稱ADC)陣列3030。像素陣列3010電性耦接於放大器陣列3020，放大器陣列3020電性耦接於類比數位轉換陣列3030。

【0371】 像素陣列3010包含多個光偵測器(例如是在前所述的開關光偵測器)，以及用於儲存從開關光偵測器來的光生載子的多個電容器。像素陣列3010是包含M列、N行的光偵測器和電容器的二維陣列(即為M x N陣列)。電容器可與光偵測器整合在一起或分離實現。示例性的電容器包含浮動擴散電

容器(floating-diffusion capacitors)、金屬-氧化物-金屬(metal oxide metal；簡稱MOM)電容器，以及金屬-絕緣體-金屬(metal insulator metal；簡稱MIM)電容器。像素陣列3010包含像素電晶體，用於控制光偵測器的操作，例如控制開關光偵測器的電荷讀取。像素陣列3010可以是成像感測器的一部分，成像感測器包含與光偵測相關聯的各種光學元件，例如反射器、透鏡、以及抗反射膜層。

【0372】 放大器陣列3020包含一個或多個放大器3022。放大器3022用於放大像素陣列3010的各別的像素產生的電訊號。放大器3022可為電壓增益放大器，並用於放大在電容器上整合光電流而建立的電壓。放大器3022可為電荷-電壓放大器，並用於將儲存在電容器內的電荷轉換為電壓後輸出。放大器3022可為增益可變放大器，其能夠優化像素陣列3010接收到的光訊號的量級範圍內的偵測靈敏度。放大器3022可為差分放大器，並例如是用於放大開關光偵測器的兩個輸出電壓的差值。這樣的差分偵測機制可以提昇ToF的偵測靈敏度。

【0373】 不同實施方案的放大器陣列3020可具有不同數量的放大器3022。在一些實施方案中，像素陣列3010的每個像素耦接於專屬的放大器3022。這樣的配置可允許同步讀取所有的像素，以最大化影像資料獲得率。在一些實施方案中，每一行或每一列的像素陣列共用一個放大器3022；例如，對M x N像素陣列3010而言，可以具有M或N個放大器3022。這樣共用放大器3022的結構可以在具有大量像素(例如，百萬像素)時提昇接收器單元3000的可擴展性。在一些實施方案中，每一行或每一列可以進一步地劃分成共用多個放大器3022的多個次部分(subsections)。在一些實施方案中，對於一個小的

像素陣列3010而言，陣列中的所有像素可共用一個放大器3022。一般來說，多個列和行中的一組像素可群組，且所述的一組像素可共用一個放大器3022；例如，對一個M x N的像素陣列3010而言，其可具有K x L個放大器3022，其中K ≤ M和L ≤ N。

【0374】 類比數位轉換器陣列3030包含一個或多個類比數位轉換器。類比數位轉換器用於將放大器3022輸出的類比電壓或電流訊號轉換成具有N位元的數位輸出3040。數位輸出3040可例如被圖5A示出的處理單元506接收而執行ToF偵測。輸出位元N的數量用於決定類比數位轉換器的解析度，這可根據給定應用的靈敏度和轉換速度的考量來設定。類比數位轉換器的各種形式的示例包含快閃式類比數位轉換器(flash ADC)、連續逼近暫存器類比數位轉換器(successive-approximation-register ADC)、得爾搭西格瑪類比數位轉換器(delta-sigma ADC)。類比數位轉換器可為差分類比數位轉換器，並例如用於轉換差分放大器3022輸出的放大電壓中的差值。類似於放大器陣列3020的各種實施方案，類比數位轉換器陣列3030可具有不同數量的類比數位轉換器。取決於各種設計考量(例如，需求的轉換速度)，類比數位轉換器的數量可等於(即一比一對應)或小於(即多個放大器共用一個類比數位轉換器)放大器陣列3020中的放大器3022的數量。

【0375】 成像系統(例如，ToF系統500)可在寬範圍光訊號量級下操作。例如，光訊號量級可受到環境光條件、目標物反射率，或者目標物和成像系統500之間的距離的影響；在不同的操作條件下，訊號量級能夠變化數個數量級(例如，2個或多於2個數量級、10個或多於10個數量級、100個或多於100個數量級)。光訊號量級的改變基本上會讓像素的光偵測器產生的光電流呈線性

比例變化。

【0376】 像素陣列3010的操作是在一段時間(例如額定整合時間)內整合像素中的每個光偵測器在個別的電容器上產生的光電流，以產生與偵測到的光訊號成比例的電信號。例如，在影像取得循環開始時，可以預設電壓(例如，1.8V)對電容器充電；電容器儲存的電荷是以公式Q= C*V來確定，其中C為電容器的電容值，V為電容器的電壓。之後，經充電的電容器會以光電流I_{ph}進行放電；其中，$I_{ph} = \Delta Q / \Delta t$，即給定變化時間t內，電荷Q的變化量。光偵測器生成的光電流I_{ph}的量級直接影響與相關的電容器的放電速率。最大整合時間$t_{max} = Q / I_{ph}$，這是電容器完全放電所需要的時間。

【0377】 當最大整合時間短於額定整合時間，並讓電容器完全放電(且更一般地，當電容器被放電至一第二預設電壓)，像素被稱為「損壞(corrupted)」或「輝散(bloomed)」，像素的電性輸出在這個點上將不再與接收光輸入成比例，導致取得的影像歪曲或不正確的ToF測量。因此，假如光訊號大到足夠在一段預設的整合期間內損壞一個或多個像素，訊號的整合可以在像素損壞之前終止。提早終止光訊號的整合可能造成子幀(sub-frames)的產生，而這是在超過額定整合時間後進行整合的結果。多個子幀可以在超過額定整合時間時取得，且多個子幀可以預處理以產生單一影像幀。

【0378】 一旦光訊號的集合被終止，像素的電性輸出被放大器3022放大，以及被類比數位轉換陣列3030轉換成為數位輸出3040而生成一幀或一子幀。一旦轉換完成，電容器將以預設電壓重新充電，且擷取循環重複。由於大的光訊號導致每個採集週期的最大整合時間相應地減少，所以大的光輸入訊號導致子幀和數位輸出3040的產生速率相應地增加。在一些應用中，例如由

於功耗的增加或系統複雜度的增加以支持增加的資料生產率，資料輸出的增加可能不是理想的。因此，增加像素的最大整合時間，降低類比數位轉換器的輸出資料速率，降低ToF接收器單元3000的輸出資料速率或其組合是需求的解決辦法。

【0379】 一種增加最大整合時間或降低輸出資料速率的方法是增加關聯於像素陣列3010的每個像素的電容器的電容值。讓電容值增加一常數因子能夠使最大整合時間增加大約相同的常數因子，並且可以增加ToF接收器單元的一動態範圍。然而，電容器是製造在裝置層的物理結構，而光偵測器是製造在後端互連層，並且電容值典型地與其總面積呈線性比例關係。因此，整體形成在光偵測器上的電容器的電容值是受到製造像素陣列3010的感測器晶圓的可用空間的限制。這些問題可以通過在一第二個晶圓上製造額外的電容，並將其與感測器晶圓接合以進一步增加每個像素的電容值來解決。

【0380】 圖31A和31B示出具有增加電容值的ToF接收器單元3100的架構圖和剖視圖。ToF接收器單元3100包含一積體電路(IC)晶圓3110、一感測器晶圓3130，以及複數互連件3170。IC晶圓3110包含一第一電容器3112及複數像素電晶體3120。感測器晶圓3130包含一第二電容器3132和一ToF像素3140。IC晶圓3110 和感測器晶圓3130連結在一起，例如是利用晶圓接合程序，互連件3170電性耦合於ToF像素3140、第一電容器3112、第二電容器3132，以及像素電晶體3120。相較於第一和第二電容器都製造在一單一晶圓的結構，利用IC晶圓3110和感測器晶圓3130上的可用空間來製造電容器3112和3132，ToF像素3140整合的總電容值可以增加兩倍。電容值的增加可以增加ToF像素3140的最大整合時間，以相同的倍率降低子幀的產生速率，以及對應的資料

生產量。

【0381】 ToF像素3140可以是一開關光偵測器，例如開關光偵測器100。ToF像素3140包含一第一開關3150和一第二開關3160，其各自具有對應的承載讀出(收集)端子3152和3162(R)，以及承載控制(調節)端子3154和3164(C)。第一開關3150，例如，可類似於圖1A示出的第一開關108，承載讀出端子3152可類似於n型摻雜區126，承載控制端子3154類似於p型摻雜區128。類似地，第二開關3160，例如，可類似於圖1A示出的第二開關110，承載讀出端子3162可類似於n型摻雜區136，承載控制端子3164可類似於p型摻雜區138。ToF像素3140可以是一背側照明像素，光訊號可以從感測器晶圓3130，相對製造有ToF像素3140一側的的背側進入ToF像素3140。

【0382】 像素電晶體3120是電晶體，配置用於控制ToF像素3140的操作。像素電晶體3120包含第一讀出電晶體3122和第二讀出電晶體3124，以供收集來自於讀出端子3152和3162的載子。像素電晶體3120可以包含具有3T結構的讀出電路，(即具有重置、源極隨耦器、和列選擇電晶體的三電晶體結構)，或者包含類似於圖1A示出的讀出電路124和134。像素電晶體3120可包含控制電晶體3126和3128以提供控制訊號給控制端子3154和3164。由控制電晶體3126和3128所提供的控制訊號可以類似於圖1A示出的控制訊號122和132。

【0383】 第一電容器3112和第二電容器3132可以利用標準半導體IC製造技術來實現。例如第一電容器3112和第二電容器3132包含金屬-氧化物-金屬(MOM)電容器和金屬-絕緣體-金屬(MIM)電容器。在一些實施方式中，電容器的氧化物或絕緣體可以由高k介電質常數材料，例如Al_2O_3、HfO_2、ZrO_2或La_2O_3代替。儘管電容器被繪示成平行板電容器，但是各種具有電容值的結構

可用於作為電容器3112和3132，包含浮動擴散電容器和金屬氧化物半導體(metal-oxide-semiconductor；簡稱MOS)電容器。一般來說，依據可製造性或性能考量，第一電容器3112和第二電容器3132中的每一個可以並聯的一組電容器來實施。

【0384】 在圖31B中，第一電容器3112和第二電容器3132對應地電性耦接於讀出電晶體3124和3122的輸入端子(例如，源極或汲極)。第一讀出電晶體3122收集來自於承載讀出端子3152的載子，並將收集到的載子經由其輸出端子(例如，源極或汲極)提供給第二電容器3132。第二讀出電晶體3124收集來自於載子讀出端子3162的載子，並將收集到的載子經其輸出端子(例如，源極或汲極)提供給第一電容器3112。在這樣的結構中，可以施加一電壓於讀出電晶體3122和3124的閘極，以控制載子從ToF像素3140至對應電晶體3132和3112的轉換。

【0385】 儘管已經描述了電容器3112和3132到讀出端子3152和3162的特定關聯，但是通常電容器3112和3132與讀出端子3152和3162之間的關聯可以交換並以類似的方式操作。沒有連接到讀出端子3124和3122的第一電容器3112和第二電容器3132的各個端子可以例如接地，浮接或連接到電源供應器。

【0386】 IC晶圓3110和感測器晶圓3130可以各種方式接合。例如，接合技術包含金屬-金屬接合，氧化物-氧化物接合和混合接合。互連件3170可包含複數接合墊3172，其等用以供形成在IC晶圓3110和感測器晶圓3130上的互連件3170電性耦合。接合墊3172可以是銅柱或墊，並可提供IC晶圓3110和感測器晶圓3130之間的機械耦合。

【0387】 儘管圖31A和31B示出單一ToF像素3140，但一般來說，接收器

單元3100可以包含ToF像素3140陣列，其連接於像素電晶體3120陣列。

【0388】 儘管圖31A和31B示出的ToF像素3140具有兩個開關3150和3160，並耦接至二個電容器3132和3112，但一般來說，ToF像素3140可以包含三個或更多個開關，並電性耦合至三個或更多個的電容器。

【0389】 圖31C示出具有增加電容值的ToF接收器單元3180的示例的架構圖。ToF接收器單元3180類似於圖31A示出的ToF接收器單元3100，但差異在於此時的第一電容器3112和第二電容器3132直接地電性耦合至對應的承載讀出端子3162和3152，不存在介在其等之間的電晶體。

【0390】 圖31D示出具有增加電容值的ToF接收器單元3182的示例的架構圖。ToF接收器單元3180類似於圖31A示出的ToF接收器單元3100，但差異在於第一電容器3112被劃分成為第一次電容器3114和3134，以及第二電容器3132被劃分成為第二次電容器3113和3133。次電容器3113和3133位在感測器晶圓3130，以及電容器3114和3134位在IC晶圓3110。第一次電容器3134和3114並聯連接以實現類似於圖31A示出的增加電容值的結構。第一次電容器3134和3114電性耦接於讀出電晶體3124，並根據讀出端子3162所收集的載子而被配置用於充電或放電。類似地，第二次電容器3133和3113並聯連接以實現類似於圖31A示出的增加電容值的結構。第二次電容器3133和3113電性耦接於讀出電晶體3122，並根據讀出端子3152收集到的載子而被配置用於充電或放電。

【0391】 一般來說，IC晶圓3110和感測器晶圓3130被單獨地製造。例如，兩個晶圓3110和3130可以在不同的代工廠和/或不同的時間點利用不同的製程技術、不同的製程節點製造而成，歸因於有限的製造技術公差和可變性，

這些都可能影響製造在晶圓3110或3130的電容器電容值。藉由將相連於讀出端子3162的第一電容器劃分為位在感測器晶圓3130的次電容器3113和位在IC晶圓上的次電容器3114，並類似地將關聯於讀出端子3152的第二電容器劃分次電容器3133和3134，在一個晶圓的電容器的任何變化將對整個的第一或第二電容值造成等量的影響，由此有助於減少或消除因IC晶圓3110和感測器晶圓3130之間的任何可變性或失配而所造成的兩個電容值中潛在不平衡。

【0392】 圖31E示出具有增加電容值的ToF接收器單元3184的示例的架構圖。ToF接收器單元3184類似於圖31D示出的ToF接收器單元3182，但是差異在於第一次電容器3113和3114，以及第二次電容3133和3134此時直接地電性耦合至對應的承載讀出端子3162和3152，不存在介在其等之間的電晶體。

【0393】 圖31F示出增加電容值的ToF接收器單元3186的示例的架構圖。ToF接收器單元3186類似於圖31A示出的ToF接收器單元3100，但是差異在於像素電晶體3120從IC晶圓3110移到了感測器晶圓3130。在一些情況中，像素電晶體3120可以移動到感測器晶圓3130中未被佔用的空間以環繞ToF像素3140。這樣的像素電晶體3120的配置可以提升接收器單元3186的性能，和/或騰出IC晶圓3110上的空間給接收器單元3186的其它元件，例如額外的電容器、記憶體、放大器或類比數位轉換器。

【0394】 圖31G示出具有增加電容值的ToF接收器單元3188的示例的架構圖。ToF接收器單元3188類似於圖31C示出的接收器單元3180，但是差異在於像素電晶體3120從IC晶圓3110移至感測器晶圓3130。在一些情況中，像素電晶體3120可以移動到感測器晶圓3130中未被佔用的空間以環繞於ToF像素3140。這樣的像素電晶體3120的配置可以提升接收器單元3188的性能，和/或

騰出IC晶圓3110上的空間給接收器單元3188的其它元件，例如額外的電容器、記憶體、放大器或類比數位轉換器。

【0395】 圖31H示出具有增加電容值的ToF接收器單元3190的示例的架構圖。ToF接收器單元3190類似於圖31D示出的接收器單元3182，但是差異在於像素電晶體3120從IC晶圓3110移動到感測器晶圓3130。在一些情況中，像素電晶體3120可以移到感測器晶圓3130中未被佔用的空間以環繞於ToF像素3140。這樣的像素電晶體3120的配置可以提升接收器單元3190的性能，和/或騰出IC晶圓3110上的空間給接收器單元3190的其它元件，例如額外的電容器、記憶體、放大器或類比數位轉換器。

【0396】 圖31I示出具有增加電容值的ToF接收器單元3192的示例的架構圖。ToF接收器單元3192類似於圖31E示出的接收器單元3184，但是差異在於像素電晶體3120從IC晶圓3110移至感測器晶圓3130。在一些情況中，像素電晶體3120可以移動到感測器晶圓3130中未被佔用的空間以環繞於ToF像素3140。這樣的像素電晶體3120的配置可以提升接收器單元3192的性能，和/或騰出IC晶圓3110上的空間給接收器單元3192的其它元件，例如額外的電容器、記憶體、放大器或類比數位轉換器。

【0397】 一般來說，在圖31A和圖31B中的ToF接收器單元3100的像素電晶體3120、在圖31D中的ToF接收器單元3182的像素電晶體3120、在圖31F中的ToF接收器單元3186的像素電晶體3120，以及在圖31H中的ToF接收器單元3190的像素電晶體3120能夠被控制而針對目標整合時間來選擇合適的整體電容值，同時最小化從後端放大器陣列3020和類比數位轉換器3030來的雜訊。

【0398】 圖32示出用於ToF偵測的接收器單元3200的示例的方塊圖。

ToF接收器單元3200類似於圖30示出的接收器單元3000，但是更包含一記憶體模組3210和一數位訊號處理(digital signal processing；簡稱DSP)模組3220。記憶體模組3210電性耦接於類比數位轉換器3030的數位輸出3040和DSP模組3220的輸入。DSP模組3220輸出數位處理資料以作為DSP輸出3230。

【0399】 記憶體模組3210被配置用於儲存對應來自於像素陣列3010的放大電訊號的類比數位轉換器3030的數位輸出3040。記憶體模組3210可以儲存複數之數位輸出，其對應於大量輸入光訊號產生的子幀，在輸出之前緩衝子幀或對數位輸出3040進一步地處理。例如，接收器單元3200可以一速率產生資料輸出，前述的速率高於接收DSP輸出3230的一系統的資料轉換速率。這樣增加資料產生速率可例如是歸因於大的光訊號量或ToF影像幀的突發傳輸模式(burst-mode)獲得。在這樣的條件下，記憶體模組3210可以在接收器單元3200傳輸DSP輸出3230給資料接收系統時儲存額外的資料。

【0400】 DSP模組3220被配置用於數位地處理記憶體模組3210儲存的數位資料。DSP模組3220可以被配置為對從記憶體模組3210接收到的資料執行各種算術運算、布林運算(Boolean operations)或專用數位運算，例如快速傅立葉轉換(Fast Fourier Transform；FFT)。例如，DSP模組3220可以將儲存在記憶體模組3210中的多個子幀處理成單一完成幀，或者包含感興趣區域的完整幀的一部分以輸出給資料接收系統。

【0401】 藉由處理多個子幀，產生單個完整幀或包含感興趣區域的完整幀的一部分，並將完整幀或包含感興趣區域的單個完整幀的部分輸出到資料接收系統， 接收器單元3200的總體外部資料生產量可以降低。 在一些實施方案中，接收器單元3200的總體外部資料生產量可以相應於子幀數量的倍率減

少。 在另一個示例中，DSP模組3220可以處理存儲在記憶體模組3210中的資料來確定並過濾來自ToF測量的深度資訊。

【0402】 記憶體模組3210和DSP模組3220可以單獨實現或例如與圖31A-31I描述的增加電容值的ToF接收器結合實現。記憶體模組3210和DSP模組3220的結合和增加的電容值可以降低外部資料產生量和降低產生子幀的數量。降低子幀的數量可以降低記憶體模組3210需求的儲存容量。此外，降低子幀的數量可以降低DSP模組3220執行的處理操作的數量。這樣降低子幀的數量和對應地減少記憶體的容量和或程序操作可以讓ToF接收器單元的能耗降低。

【0403】 在一些實施方式中，DSP模組3220可包含圖5A示出的處理單元506。DSP模組3220可例如以通用處理器或專用積體電路來實現。

【0404】 圖33A示出用於ToF偵測的接收器單元3300的示例的剖視圖。接收器單元3300包含IC晶圓3110和感測器晶圓3130。IC晶圓3110包含像素電晶體陣列3320、放大器陣列3020和類比數位轉換器3030。感測器晶圓3130包含ToF像素陣列3010和記憶體模組3210。像素電晶體陣列3320為圖31A中描述的像素電晶體3120的陣列。IC晶圓3110和感測器晶圓3130以晶圓接合進行接合。互連件3170和接合墊3172電性耦合接收器單元3300的不同元件。

【0405】 記憶體模組3210可以分布在感測器晶圓3130內圍繞ToF像素陣列3010的未佔用空間。例如，在BSI結構的接收器單元3300中，感測器晶圓3130中位在放大器陣列3020和類比數位轉換器3030上的空間未被佔用，藉由配置記憶體模組3210在放大器陣列3020和類比數位轉換器3030上方的未被佔用空間，接收器單元3300可以在不增加接收器單元3300的尺寸的前提下提升

性能。

【0406】 記憶體模組3210可以不同結構並利用不同的記憶體技術實現。示例的記憶體技術包含靜態隨機存取記憶體(Static Random Access Memory；簡稱SRAM)、動態隨機存取記憶體(dynamic random access memory；簡稱DRAM)、快閃記憶體、電阻式記憶體(Resistive RAM；簡稱ReRAM)、磁性隨機存取記憶體(magnetic RAM；簡稱MRAM)、相變隨機存取記憶體(phase change RAM；簡稱PRAM)、鐵電隨機存取記憶體(Ferroelectric RAM；簡稱FeRAM)。不同的記憶體技術通常共享與一讀/寫電晶體耦合的一位存儲元件的一通用架構。例如，一DRAM位元包含用於儲存關聯於1位元的電荷的一電容器，以及從電容器讀取或寫入電容器的一電晶體。在其它示例中，一SRAM位元包含用於儲存關聯於1位元的一正反器，以及從正反器讀取或寫入正反器的兩個電晶體。類似地，ReRAM具有一可變的電阻值儲存元件，MRAM具有一磁性儲存元件，PRAM具有一相位改變儲存元件，以及FeRAM具有一鐵電儲存元件以供儲存1位元。在一些實施方案中，兩個或更多個記憶體技術可以結合且彼此協同工作。在圖33A所示的實施方案中，記憶體模組3210包含讀/寫電晶體和關聯的位元儲存元件。在一些實施方案中，額外的處理電路可被包含以進一步地擴展記憶體模組3210的功能。例如，可以包括數位加法器以進一步處理由記憶體儲存的位元。

【0407】 圖33B示出用於ToF偵測的接收器單元3330的示例的剖視圖。接收器單元3330類似於圖33A示出的接收器單元3300，但是差異在於記憶體模組3210被一分散式記憶體模組3340所取代。分散式記憶體模組3340包含一儲存元件子區域3342和一讀/寫電晶體子區域3344。儲存子區域3342位於感測

器晶圓3130，以及電晶體子區域位於IC晶圓3110。在一些實施方案中，額外的處理電路，例如數位加法器可以進一步處理由記憶體儲存的位元。

【0408】 儲存元件3342通常利用專用技術和/或材料來製造。例如，DRAM的電容器通常利用專用技術，例如深溝蝕刻(deep trench etching)而形成在矽晶圓中，這可能與用於製造IC晶圓3110的製造技術不相容。此外，用於製造IC晶圓3110的製造程序可以更好地最佳化而用於製造電晶體，例如讀/寫電晶體3344。例如，用於IC晶圓3110的製造程序可以具有比感測器晶圓3130的最小特徵尺寸更小的更先進的製程節點。因此，允許單獨的最佳化兩個子區域3342和3344的性能，將儲存元件3342和讀/寫電晶體3344的製造分離可以提升記憶體模組3340的性能，以及降低感測器晶圓3130和IC晶圓3110的製造複雜度。

【0409】 圖33C示出用於ToF偵測的接收器單元3350的示例的剖視圖。接收器單元3350類似於圖33A示出的接收器單元3300，但差異在於記憶體模組3210此時位在IC晶圓3110中。對於一些記憶體技術，例如SRAM或快閃記憶體，對於給定的技術節點，可以由CMOS代工廠或第三方供應商提供完整的存儲器模塊作為智慧財產(IP)內核。結合這些IP內核來實現IC晶圓3110的記憶體模組3210可以減少研究和開發工作。

【0410】 圖33D示出了示例性接收器單元3360的剖視圖，該接收器單元3360用於ToF偵測。接收器單元3360類似於圖33C示出的接收器單元3350，但是差異在於像素電晶體陣列3320此時位在感測器晶圓3130。配置像素電晶體陣列3320在感測器晶圓3130可提升IC晶圓3110的空間利用性。例如，由於放大器陣列3020和類比數位轉換器3030位於像素電晶體陣列3320下方，所以記

憶體模組3210可設置在ToF像素陣列3010下方沒有被佔用的位置來簡化這些元件之間的電性連接。

【0411】 圖33E示出了示例性的接收器單元3370的剖視圖，該接收器單元3370用於ToF偵測。接收器單元3370類似於圖33D示出的接收器單元3360，但是差異在於記憶體模組3210此時位在感測器晶圓3130。

【0412】 儘管出於說明的目的將ToF像素陣列3010、像素電晶體陣列3320、記憶體模組3210、類比數位轉換器3030和放大器陣列3020示出為示例性的方塊，但是通常這些元件中的部分可以跨越各晶圓3110和3130。例如，ToF像素陣列3010的ToF像素3140和像素電晶體陣列3320的像素電晶體3120可分佈在晶片3110和/或3130上，並且記憶體模組3210或3340的記憶體位元可分佈在晶片3110和/或3130上未被ToF像素陣列3010或像素電晶體陣列3320佔據的空間中。

【0413】 一般來說，額外的電性和光學元件可以被添加到關於圖33A-33E所描述的接收器單元。電性元件的示例包含電阻器、電感器、資料處理電路(例如處理器、FPGA、ASIC)，偏壓電路(例如，用於向感測器晶圓3130和/或ToF像素3140的控制端子3154和3164提供偏壓)和光源驅動器電路(例如，用於向發射器單元502提供電脈衝以產生光脈衝)。 光學元件的例子包含防反射塗層(ARC)、微透鏡、帶通濾波器和反射器。 微透鏡的例子包含微球透鏡、菲涅耳波帶片和整合矽微透鏡(integrated silicon microlens)。

【0414】 一般來說，IC晶圓3110和感測器晶圓3130之間可以存在中間層。中間層可以提供各種益處，例如兩個晶片之間的電耦合的改進，兩個晶片的結合質量和產量的提高，以及接收器單元的光學性能的改善。中間層可

以由各種材料形成，例如電介質，聚合物和光學折射率匹配材料。

【0415】 儘管已經在圖33A-33E描述了關於IC晶圓3110和感測器晶圓3130的雙向接合。但是通常接收器單元可以藉由結合三個或更多個晶片來形成。例如，額外的IC晶圓可以被結合以整合額外電容器以進一步地增加與像素陣列3010相關聯的電容。在另一示例中，可以結合額外的IC晶圓來整合額外的記憶體元件以進一步地增加記憶體模組3210的存儲容量。

【0416】 一般來說，在圖33A-33E中描述的接收器單元的感測器晶圓3130可以是前照式感測器晶圓或後照式感測器晶圓。

【0417】 一般來說，感測器晶圓3130、ToF像素3140或兩者可由III-V族化合物半導體材料、IV族合金半導體材料或其組合來形成。

【0418】 圖34示出了示例性的接收器單元3400的剖視圖，接收器單元3400用於ToF偵測。感測器晶圓3130包含ToF像素3140和後端層3136。IC晶圓3110包含像素電晶體3120和後端層3116。後端層3116和3136包括互連件3170和結合焊墊3172，其等形成在晶圓3110和3130各自的正面。後端層3116和3136的表面包含結合焊墊3172的電介質表面和金屬表面。在結合之前，感測器晶圓先反轉以讓感測器晶圓3130的結合焊墊3172面對IC晶圓3110的結合焊墊3172。兩個晶圓以受控的方式接觸，這可能涉及控制力的強度、溫度和形成環境。電介質表面和金屬表面的結合允許晶圓3110和3130的混合結合，導致兩個晶圓之間的電性和機械耦合。

【0419】 在晶圓結合中，感測器晶圓3130的反轉讓使得感測器晶圓3130通過其背面接收光訊號3410。感測器晶圓3130可以是矽晶圓，其對於紅外波長(例如，>1.1μm)是透明的。如此一來，紅外光訊號3410可以通過感測

器晶圓3130的背面到達ToF像素3140。這種配置被稱為背面照射(BSI)感測器。

【0420】 在一些實施方案中，感測器晶圓3130的後端層3136可包含反射鏡3420。反射鏡3420位於ToF像素3140的光吸收區域下方。因此，任何未被ToF像素3140吸收的光穿過像素3140時會被反射鏡3420反射，並且反射回ToF像素3140，並進一步被ToF像素3140吸收。反射鏡3420可以是例如金屬鏡、電介質鏡或者分佈式布拉格反射器。反射鏡3420可以是介電層(例如，氧化矽或氮化矽)和金屬層的組合。在一些實施方案中，反射鏡3420可以是被配置為向位於ToF像素3140內的焦點反射光的凹面鏡。

【0421】 在一些實施方案中，感測器晶圓3130可以包含部分反射鏡3422。部分反射鏡3422形成在感測器晶圓3130的背面上，並且允許一部分光通過ToF像素3140。部分反射鏡3422可以在其與空氣之間的界面處產生破壞性干涉，使得經反射鏡3420反射後傳遞至部分反射鏡3422的光進一步被反射回ToF像素3140。當滿足這樣的條件時，部分反射鏡3422和反射鏡3420的配合形成諧振腔以允許多道反射光在部分反射鏡3422和反射鏡3420之間來回傳遞。所形成的共振腔可以提升ToF像素3140在該共振腔的共振波長的偵測效率。部分反射鏡3422可以是，例如介電質反射鏡或分散式布拉格反射器。部分反射鏡3422可以具有基本上等於穿過ToF像素3140並被反射鏡3420反射的光的往返衰減的透射率。

【0422】 在一些實施方案中，IC晶圓3110的後端層3116可以包含反射鏡3424。在感測器晶圓3130和IC晶圓3110結合之後，反射鏡3424位於ToF像素3140的光吸收區域下方。藉此，通過ToF像素3140但沒有被ToF像素3040吸收的任何光會被反射鏡3424反射而回到ToF像素3140，並進一步的被ToF像素

3140吸收。反射鏡3424可以例如是金屬反射鏡、電介質反射鏡或分佈式布拉格反射器。反射鏡3424可以是介電層(例如，氧化矽或氮化矽)和金屬層的組合。在一些實施方案中，反射鏡3424可以是被配置為向位於ToF像素3140內的焦點反射光的凹面鏡。

【0423】 在前面的段落中，已經描述了藉由增加電容來增加整合時間的方法。確定整合時間時的一個重要考慮因素是光偵測器的暗電流，該電流是在沒有光訊號和環境光的情況下流動的電流。 一般來說，藉由光偵測器進行的光學測量的訊噪比(SNR)，例如藉由開關光偵測器進行的ToF測量，受到暗電流存在的負面影響。例如，藉由光偵測器的光學測量的SNR與整合時間成線性比例。此外，給定電容的整合時間可能受到暗電流的限制，因為即使在沒有光訊號和環境光的情況下，暗電流也會讓電容器連續地放電。

【0424】 光偵測器的暗電流通常是在光偵測器的陰極和陽極上建立的逆向偏壓的指數函數。因此，藉由控制性的方法降低逆向偏壓而保持光偵測器的整體操作可以提升光偵測器的SNR性能。

【0425】 圖35示出了用於操作ToF像素的電路3500的示意圖。電路3500包含耦接到開關光電偵測器3550的第一讀出子電路3510和第二讀出子電路3530。第一讀出子電路3510包含第一第一MOSFET電晶體3512和第二MOSFET電晶體3520。第二讀出子電路3530包含第三MOSFET電晶體3532和第四MOSFET電晶體3540。第一讀出子電路3510耦接到第一源極隨耦器電路3560，並且第二讀出子電路3530耦接到第二源極隨耦器電路3570。第一讀出子電路3510和第一源極隨耦器電路3560可以被稱為第一讀出電路，第二讀出子電路3530和第二源極隨耦器電路3570可以被稱為第二讀出電路。

【0426】 開關光電偵測器3550包含主體3551，第一讀出端子3552和第二讀出端子3554。開關光電偵測器3550可以被實現為任何前述開關光偵測器，例如圖1A示出的開關光電偵測器100。主體3551可類似於光吸收層106或基板202、302和402，並且摻雜有p型摻雜物。第一讀出端子3552和第二讀出端子3554可以是n摻雜區，例如可類似於圖1A的n型摻雜區域126和136。根據開關光電偵測器3550的控制操作，開關光電偵測器3550生成的光電流可以被第一讀出端子3552或第二讀出端子3554收集。

【0427】 每個MOSFET電晶體3512、3520、3532和3540包括源極端子、汲極端子和閘極端子。源極端子和汲極端子在底層結構中可以是相同的，但是區別在於通過電晶體的電流的流動方向。例如，對於具有P型通道區的N型MOSFET(NMOS)電晶體，電流可經由通道區從汲極端子流向源極端子；而對於具有N型通道區的P型MOSFET(PMOS)電晶體，電流可經由通道區從源極端子流到汲極端子。由於源極和漏極是基於常規來命名，並且由於底層結構可以是相似或相同的，因此於描述MOSFET電晶體和其它電路之間的連接性時，源極端子和汲極端子可以被稱為第一通道端子和第二通道端子。

【0428】 閘極端子控制流經源極和汲極端子的電流。例如，大於臨界電壓Vth的控制電壓可允許電流流過源極端子和汲極端子。取決於源極和汲極端子相對於閘極端子的電壓，MOSFET電晶體的操作模式可以在飽和區或三極管區中操作。在飽和區中，流過源極和汲極端子的電流不會因源極和閘極的電壓差而產生劇烈的變化(即電晶體的輸出阻抗高)。在三極管區中，流過源極和汲極端子的電流與源極和汲極之間的電壓差幾乎成線性正比(即電晶體的操作類似於電阻器)。小於臨界電壓的控制電壓可以減小通過源極端子和汲極

端子的電流的流動。例如，隨著控制電壓降低到臨界電壓以下，電流可以指數地減小。MOSFET電晶體的這種操作模式可以被稱為在亞臨界值(subthreshold)區域中操作。

【0429】 為了說明的目的，電路3500以N型MOSFET電晶體來實現。在第一讀出子電路3510中，第一MOSFET電晶體3512的源極端子耦接到第一讀出端子3552，第一MOSFET電晶體3512的汲極端子耦接到第二MOSFET電晶體3520的源極端子，並且這個耦接節點可被稱為第一讀出子電路3510的第一輸出節點3515。電容器可以耦接到第一輸出節點3515，電容器可類似於圖31A和31B示出的電容器3112和3132。第二MOSFET電晶體3520的汲極端子耦接到第一供電節點3508。類似地，在第二讀出子電路3530中，第三MOSFET電晶體3532的源極端子耦接到第二讀出端子3554。第三MOSFET電晶體3532的汲極端子耦接到第四MOSFET3540的源極端子，並且這個耦接節點可被稱為第二讀出子電路3530的第二輸出節點3535。電容器可以耦接到第二輸出節點3535，電容器可類似於圖31A和31B示出的電容器3112和3132。第四MOSFET電晶體3540的汲極端子連接到第一供電節點3508。

【0430】 第一供電節點3508向第一和第二讀出子電路3510和3530提供第一供電電壓。第二供電節點3502向第一和第二源極隨耦器電路3560和3570提供第二供電電壓。取決於各種因素，包括特定製程節點、電路設計、開關光電偵測器3550的特性、耦接到第一輸出節點3515的電容器的重置電壓和電荷-電壓轉換增益，一個或多個供電電壓源可向第一和第二供電節點3508和3502提供合適的第一和第二供電電壓。第一供電節點3508可以被稱為V_U節點，並且V_U節點的第一供電電壓可以是例如由晶片上積體電路產生的使用者自定義

電壓。第二供電節點3502可以稱為V_E節點，並且V_E節點的第二供電電壓可例如是由晶片外電源供應器產生的外部定義電壓。

【0431】 在ToF像素的操作期間，第一輸出節點3515和第二輸出節點3535通過第二和第四MOSFET電晶體3520和3540而充電到預設電壓。例如，藉由施加第二控制電壓3506(Vc2)，會讓第二和第四MOSFET電晶體3520和3540工作在飽和區域或三極管區域，電流可以從第一供電節點3508流到相應的輸出節點3515和3535，並且將節點充電到預設電壓。耦接到第二和第四電晶體3520和3540的閘極端子的第二控制電壓源3507可以用於施加第二控制電壓3506。可以控制第二控制電壓3506來改變對輸出節點3515和3535充電的預設電壓(例如，設定為供應電壓或供應電壓的一部分)。一旦輸出節點3515和3535完成充電，第二控制電壓3506可經設定(例如，至0V)以關閉(turn off)第二和第四MOSFET電晶體3520和3540，其將輸出節點3515和3535從第一供應節點3508去耦。所述的充電操作可稱為開關光電偵測器3550的重置操作，並且第二和第四MOSFET3520和3540可以被稱為重置電晶體。重置操作可以是ToF像素的讀出步驟內的步驟。

【0432】 一旦完成充電，開關光偵測器3550產生的電訊號可以開始整合。通過耦接到MOSFET 3512和3532的閘極端子的第一控制電壓源3505產生耦合到對應的閘極端子的第一控制電壓3504(Vc1)可以控制第一和第三MOSFET3512和3532起動或終止整合。例如，可以通過電壓源3505設定第一控制電壓3504，以讓第一和第三MOSFET3512和3532操作三極管區。在三極管區操作時，由開關光偵測器3550產生的光電流可以流過MOSFET3512和3532的汲極和源極端子，並且通過讀出端子3552和3554。藉由讓在重置操作

時充電至預設電壓的相應電容器放電，光電流通過輸出端子3552和3554，這樣的流動可以在輸出節點3515和3535整合。

【0433】 第一和第三MOSFET電晶體3512和3532在三極管區的操作類似於以相應電阻器(等效電阻器)取代第一和第三MOSFET電晶體3512和3532將輸出節點3515和3535耦合到相應的讀出端子3552和3554。這些有效電阻器的電阻通常為適度值(例如，10歐姆至10,000歐姆)，其響應於流過光偵測器的電流而不會出現明顯的電壓降。例如，可以是光電流和暗電流的組合的光偵測器電流通常的範圍是從pA到μA的小電流，並且所產生的電阻器兩端的電壓降也相對較小(例如，範圍從nV到mV)。如此一來，讀出端子3552和3554的電壓類似於輸出節點3515和3535的電壓在小電壓降。

【0434】 當輸出節點3515和3535被充電到接近於第一供應節點3508的第一供應電壓的預設電壓時，讀出端子3552和3554可能在跨接光偵測器3550的接面逆向偏壓大於光偵測器3550在適當操作所需的最小逆向偏壓發生時經歷過類似的電壓。這種過度的逆向偏壓導致暗電流增加，這可能降低由電路3500產生的輸出的SNR。

【0435】 各種設計和材料組成的光偵測器可能受益於逆向偏壓的控制。在用於形成光偵測器的吸收區域的材料中，歸因於鍺較矽具有較高的材料缺陷密度，這通常與在矽基板上生長的鍺吸收區域相關聯，因此相對於矽，鍺可能更容易產生暗電流。藉此，鍺基開關光偵測器3550可能非常適合受益於通過第一控制電壓3504控制逆向偏壓並由此導致暗電流的減小。

【0436】 在整合時間，通過從相應的輸出節點3515和3535去耦讀出端子3552和3554可以降低建立在開關光偵測器3550接面的逆向電壓。這種去耦

可以藉由讓第一和第三MOSFET電晶體3512和3532操作在飽和區或次臨界區來實現。在飽和區或次臨界區的操作允許由開關光偵測器3550生成的光電流通過MOSFET電晶體3512和3532的汲極和源極端子，以及通過讀出端子3552和3554。然而，歸因於第一和第三MOSFET電晶體3512和3532的操作原理，第一和第三MOSFET電晶體3512和3532在飽和區或次臨界區操作時的等效電阻值或輸出阻抗明顯高於其在三極體區操作時的輸出阻抗。高輸出阻抗讓輸出節點3515和3535從讀出端子3552和3554去耦，這允許讀出端子3552和3554的電壓不同於(例如，明顯小於)輸出節點3515和3535的電壓。讀出端子3552和3554的電壓至少部分由第一控制電壓3504以及在飽和區或次臨界區中操作的第一和第三MOSFET電晶體3512和3532的臨界電壓來確定。臨界電壓可由MOSFET電晶體的設計和結構參數(例如通道摻雜濃度和閘極氧化物厚度)來確定，並且可例如0.1V至1V的範圍內。降低第一控制電壓3504將降低讀出端子3552和3554的電壓，這降低了開關光偵測器3550的接面上的逆向偏壓。由此，開關光偵測器3550的暗電流可以減少，並且由電路3500產生的輸出的SNR可以被改善。

【0437】 藉由透過第一控制電壓源3505控制第一控制電壓3504，可以控制第一和第三MOSFET電晶體3512和3532工作在飽和區或次臨界區。例如，藉由將閘極端子和源極端子之間的電壓差(V_{GS})設置為大於臨界電壓(V_{TH})，同時讓汲極端子和源極端子之間的電壓差(V_{DS})持續大於V_{GS} - V_{TH}，MOSFET電晶體可以工作在飽和區。在另一示例中，藉由將閘極端子和源極端子之間的電壓差(V_{GS})設置為小於臨界電壓V_{TH}，MOSFET電晶體可以在次臨界區中操作。一般來說，可以改變第一控制電壓3504以控制輸出節點3515和3535以及

讀出端子3552和3554之間的電壓差。在一些實施方案中，第一控制電壓3504可以增加來縮減電壓差，並且反之亦然。在一些實施方案中，第一控制電壓3504可以控制輸出節點3515和3535與讀出端子3552和3554之間的電壓差等於或大於第一供應節點3508的第一供應電壓的10%、30%或50%。在一些實施方案中，第一控制電壓3504控制讀出端子3552和3554的電壓，使輸出端子3552和3554的電壓比輸出節點3515和3535的電壓小至少100mV。

【0438】 當第一和第三MOSFET電晶體3512和3532在飽和區或次臨界區中操作時，MOSFET電晶體3512和3532可以作為將源極電壓與汲極電壓去耦的電流緩衝器來操作。

【0439】 在預設的整合時間之後，可以將第一控制電壓3504設置為(例如，0V)以關斷(turn off)第一和第三MOSFET 3512和3532來停止整合，這阻止了光電流流過相應的MOSFET 3512和3532。預設整合時間可以是如關於圖30所描述的可變整合時間。整合的啟動和終止可以被稱為快門操作，並且第一和第三MOSFET 3512和3532可以被稱為快門MOSFET。

【0440】 一旦完成整合，輸出節點3515和3535就保持輸出電壓，該輸出電壓與在整合週期內流過相應讀出端子3552和3554的光電流成反比。輸出電壓可以被緩衝以供源極隨耦器電路3560和3570進一步處理。例如，緩衝輸出電壓可以提供給圖30示出的放大器3022。源極隨耦器電路3560和3570的操作細節將參照圖37A和37B進行描述。

【0441】 儘管已描述了電路3500的N型實現，但是通常電路3500可以P型電路實現。例如，MOSFET3512、3520、3532和3540可以是P型MOSFET，源極隨耦器電路3560和3570可以是P型源極隨耦器，開關光偵測器3550的主

體3551(例如吸收區域)可以是N摻雜的，並且讀出端子3552和3554可以是P型摻雜區。 在一些實施方案中，MOSFET3512、3520、3532和3540可以具有不同的極性。 例如，對於N型讀出端子3552和3554，MOSFET3512和3532可以是N型，並且MOSFET3520和3540可以是P型。 在另一示例中，對於P型讀出端子3552和3554，MOSFET3512和3532可以是P型，並且MOSFET3520和3540可以是N型。

【0442】 到目前為止，已經針對不同的開關光偵測器、ToF像素及接收器單元進行描述。現在，將針對測試開關光偵測器、ToF像素或接收器單元的設備進行說明。

【0443】 圖36A示出示例性的測試設備3600的側視圖。測試設備3600包含探針卡3610、發光器板3620及機械支撐件3650；探針卡3610包含探針3612和RF連接器3614，發光器板3620包含照明模組散熱器3622、散熱器3624、熱穿孔3626、驅動電子電路3628、RF連接器3614、偏壓連接器3630、光學安裝件3632和光學元件3634。發光器板3620通過機械支撐件3650安裝在探針卡3610上。探針卡3610可以是印刷電路板。

【0444】 探針卡3610是用於測試在半導體基板3602上的電子裝置的設備。一般來說，半導體基板3602包含數百至數千個晶粒，每個晶粒例如關於圖33A-33E描述的接收器單元的元件。由於製造的差異，一些晶粒可能存在有缺陷或者不符合產品銷售的性能規格。因此，在切割晶粒之前，先對基板3602上的晶粒進行測試來確定已知良好晶粒(known good dies；簡稱KGD)，並且進一步對已知良好晶粒進行處理可節省製造成本。

【0445】 探針卡3610藉由探針3612與形成在基板3602上的晶粒暫時電

性連接。待測晶粒被稱為待測元件(device under test；簡稱DUT)3604。探針3612被配置而與待測元件3604的電性接觸點匹配。通過將探針卡3610與待測元件3604對準並讓待測元件3604與探針3612接觸，可以同時建立範圍從數十到數百個的電性連接。包含電源、接地、偏壓、數位輸入/輸出以及類比輸入/輸出的各種電訊號可以通過探針3612耦接到待測元件3604並從待測元件3604輸出。一旦對待測元件3604完成測試，則基板3602被移位以對準並接觸下一個待測元件3604以進行測試。這樣的操作可以使用自動化晶圓探測器來自動化。

【0446】 根據諸如接觸電阻值需求、耐久度需求和待測元件3604上的接觸墊等因素，探針3612可以由不同的金屬形成。用於探針3612的示例材料包含鎢、鎢合金、鈀、鉑、和金。探針可例如是單獨形成的針或基於微機電系統(MEMS)陣列的接觸元件。

【0447】 光電裝置(例如開關光偵測器、ToF像素和接收器單元)的測試可能需要提供光訊號作為測試輸入，其不能通過探針3612提供。因此，測試設備3600包含照明器板3620，配置用於產生光學測試訊號3636以利於測試。光學測試訊號3636可例如是適合於ToF檢測的調變光學訊號，例如圖28A-28C描述的光脈衝2812。在另一示例中，光學測試訊號3636可以是具有已知光功率的未調變光。這種光學測試訊號3636可以用於確定開關光偵測器的響應度或者接收器單元的總體光偵測效率。

【0448】 調變的光學測試訊號3636可由照明模組散熱器3622產生。照明模組散熱器3622可例如是用於產生調變的光學測試訊號3636的專用模組。例如，照明模組散熱器3622可以是圖28A-28C描述的發射器單元2802。照明模

組3622也可以是通用光學訊號發生器，例如雷射二極體或LED以及相關聯的驅動電路。照明模組安裝在位於照明器板3620的面向基板3602的正面的安裝區域上。安裝區域包括散熱孔3626，其通過照明器板3620傳導由照明模組散熱器3622產生的熱量。例如，熱通孔3626可以是填充有金屬或各種導熱填充材料的金屬通孔。由照明模組散熱器3622產生的熱量藉由附接在照明器板3620的與照明模組散熱器3622相反的一側上的散熱器3624散逸。熱界面材料(例如，導熱膠或導熱膏)可以施加在照明器板3620和散熱器3624之間的界面以增強兩者之間的熱傳導。

【0449】 待測元件3604的功能測試可能需要將光學測試訊號3636調製為具有特定波形，或者需要與待測元件3604同步操作，或者同時包含前述兩者。例如，為了測試ToF接收器單元(例如接收器單元2804)，光學測試訊號3636應為具有由接收器單元2804可判斷的脈衝時間持續長度(pulse duration)的光脈衝，且光脈衝的相位對齊於接收器單元2804的讀出電路。供給照明器板3620由待測元件3604生成的一個或多個控制信號可用來產生這樣的光學測試信號3636。例如，控制信號可為用於調製照明模組散熱器3622的光源的類比或RF信號。驅動電子電路3628可接收控制信號並對控制信號進行調節(例如放大或緩衝)並用於驅動照明模組散熱器3622。在另一示例中，控制信號可為觸發信號，其用於標註發射光脈衝的時間和相關聯的數位信號以定義脈衝的其它特性，例如形狀、持續時間和振幅。

【0450】 待測元件3604產生的控制信號首先通過探針3612耦接至探針卡3610。接著，控制信號傳遞至探針卡3610的RF連接器3614。 耦接於探針卡3610的RF連接器3614和發光器板3620的RF連接器3614的RF纜線3638將控制

信號耦接至照明板。控制信號接著通過發光器板3620提供給照明模組散熱器3622。

【0451】 照明模組散熱器3622可以需要額外的電子輸入，例如額外的控制信號、偏壓信號和電源輸入。這樣額外的電子輸入可通過電子連接器3630提供。

【0452】 照明模組散熱器3622輸出的光可經處理和/或濾波以產生光學測試信號3636。例如，光學元件3634可安裝在光學安裝件(optical mount)3632上以進行光學測試信號3636的處理。光學元件例如包含偏光濾波器(polarization filters)、波長濾波器(wavelengths filters)、光衰減器、光瞳透鏡(pupil lenses)、校直器(collimators)和光圈。這樣的光學元件可以安裝、移除或從光學底座移出以改變光學測試信號3636。

【0453】 圖36B示出測試裝置3660的示例的側視圖。測試裝置3660類似於圖36A示出的測試設備3600，但是差異在於RF連接器3614此時耦接至RF硬質連接器3639，且發光器板3620通過一個或多個電性連接件3631電性耦接至探針卡3610。以RF硬質連接器3639取代RF纜線3638可提升測試裝置3660的緻密度，這對於在空間受限的生產測試環境進行配對是重要的考量。此外，相較於圖36A的RF纜線3638，圖36B示出的RF硬質連接器3639可提升控制信號的相位穩定度。

【0454】 儘管36A和36B示出發光器板3620和探針卡3610為分離的元件，但是在一些實施方案中，發光器板3620可以整合在探針板3610上以形成單一單元。在一些實施方案中，發光器板3620可以安裝在不是探針板3610的結構上。例如，發光器板3620可以安裝在一測試腔或一晶圓探針上。

【0455】 ToF接收器(例如圖28A示出的接收器單元2804)的測試性能特性可以包含ToF接收器的單獨像素的測試性能特性。示例性的性能參數測試包含暗電流、量子效率和開關光偵測器偵測的的光學信號的解調對比度。

【0456】 對單獨像素準位的參數測試可以透過專用外部電性存取點來完成，例如具有接合或探針墊的測試金鑰結構。然而，這樣的方法可能會增加ToF接收器的尺寸和複雜度，負面地影響ToF像素的性能和/或增加生產測試時間和複雜度。可選擇地，這樣的測試可以通過整合在ToF接收器上的電路(例如，類比數位轉換器)來執行。利用整合在ToF上的電路可以降低或消除測試ToF需要的額外接合/探針墊，降低生產測試複雜度和時間和/或提升測試精確度，這歸因於消除了從單獨像素來的感應信號的直接類比測量的測試變化性和雜訊。

【0457】 圖37A示出用於數位化來自ToF像素的測量的電路3700的示例。電路3700包含像素電路3710的陣列，具有共模類比數位轉換器3722的一列共模類比數位轉換器3720，具有差模類比數位轉換器3732的一列差模類比數位轉換器3730和複製電路3740。像素電路3710被排列成具有M列和N行的M乘N陣列。每個像素電路3710具有第一輸出端子3760和第二輸出端子3770，在每一行的像素電路3710的第一輸出端子3760和第二輸出端子3770電性耦接至對應的共享行匯流排3712和3713。共享行匯流排3712和3713電性耦接至對應的共模類比數位轉換器3722及差模類比數位轉換器3732。每個共享行匯流排耦接至對應的電流源(為了清楚說明之故被省略)。複製電路3740的複製輸出端子3749出現複製電壓V_{REP}並電性耦接至共模類比數位轉換器3722的輸入。

【0458】 圖37B示出像素電路3710的示例。像素電路3710包含重置開關

3752和3754、電容器3756和3758、開關光偵測器3550，以及源極隨耦器電路3560和3570。電路3710可類似於圖35示出的電路3500，但是差異在於MOSFET電晶體3512和3532被省略，以及電容器3756和3758被增加。重置開關3752和3754可以圖35示出的MOSFET電晶體3520和3540來實施，用於控制重置開關3752和3754的操作的重置控制信號可以第二控制電壓3506來實現。

【0459】 第一源極隨耦器電路3560包含第一輸入MOSFET電晶體3762和第一選擇開關3764。第一輸入MOSFET3762的閘極端子耦接至電容器3756；第一輸入MOSFET3762的源極端子耦接於選擇開關3764，這控制了第一輸入MOSFET3762至第一輸出端子3760的電性耦接。選擇開關3764可例如以MOSFET電晶體來實現。第一電流源極3766電性耦接於輸出端子3760，並可藉由共享行匯流排3712而由一行的像素電路3710共享。

【0460】 第二源極隨耦器電路3570包含第二輸入MOSFET電晶體3772和第二選擇開關3774。第二輸入MOSFET電晶體3772的閘極端子耦接至電容器3758；第二輸入MOSFET3772的源極端子耦接至選擇開關3774，其控制了第二輸入MOSFET 3772至第二輸出端子3770的電性耦接。選擇開關3774可例如以MOSFET電晶體來實現。第二電流源3776電性耦接至輸出端子3770，並可藉由共享行匯流排3713而被一行的像素電路3710共享。

【0461】 電容器3756和3758儲存由開關光偵測器3550產生的信號，並個別保持了對應的電壓 VFD_1和VFD_2。源極隨耦電路3560和3570接收電壓輸入VFD_1和VFD_2，並提供對應於VFD_1和VFD_2的緩衝信號來當成第一輸出端子3760的V_{OUT1}和第二輸出端子3770的V_{OUT2}。例如V_{OUT1}和V_{OUT2}可對應於VFD_1和VFD_2減去常數偏移電壓，常數偏移電壓可取決於各種因子，例如臨界電壓

和/或源極隨耦電路的MOSFET的過驅電壓(overdrive voltage)，以及電流源3766和3776產生的偏壓電流。

【0462】 圖37C示出像素電路3711的例示。像素電路3711類似於像素電路3710，但是差異在於電路3711更包含電路3500的第一MOSFET電晶體3512和第三MOSFET電晶體3532。像素電路3711的操作類似於像素電路3710的操作和關於第一MOSFET電晶體3512和第三MOSFET電晶體3532的電路3500的操作。

【0463】 現在請同時參見圖37A和37B，每個像素電路3710的第一輸出端子3760和第二輸出端子3770耦接至共用的行匯流排3712和3713，並且每個像素電路3710的選擇開關3764和3774受控於控制信號(例如，ROWSEL)，被配置用於將至少一對輸入MOSFET電晶體3762和3772耦接至共享行匯流排3712和3713。例如，ROWSEL控制信號可導通(即關閉close)列ROW<0>的像素電路的選擇開關3764和3774，而透過列ROW<M-1>截止(即打開opening)其他列ROW<1>的像素電路的選擇開關3764和3774。如此一來，電路3700的行匯流排3712和3713耦接輸出電壓V_{out1}和V_{out2}至共模類比數位轉換器3722和差模類比數位轉換器3732的輸入端。

【0464】 時差測距測量技術包含在整合期間整合ToF光信號(例如，光脈衝2812)。在整合期間，電容器3756和3758(例如，浮動擴散電容器、MOM電容器、MIM電容器或MOS電容器)的電壓VFD_1和VFD_2可以不同的速率改變。前述二電壓之間的電壓差VFD_1-VFD_2，亦稱為差模(differential-mode；簡稱DM)電壓，通常對應於經處理後以確定ToF資訊之一ToF信號。一共模(common-mode；CM)電壓，定義為k*(VFD_1+VFD_2)，其中k為非零的比例因

子，例如0.5，其可用於作為電容器3756和3758的容量的指標，例如浮動擴散電容器的井容量。

【0465】 較長的整合時間通常源自於高的差模電壓，其可提升ToF測量的深度精度(depth accuracy)。然而，較長的整合時間通常也歸因於較低的共模電壓，如同電容器3756和3758以較長的期間通過光電流放電。當共模電壓低於像素電路之一最小操作電壓，像素電路的輸出信號可能成為損壞的。例如，共模電壓低於一浮動擴散電容器的一最小操作電壓可讓電子從浮動擴散井脫逃，這會導致散暈(blooming)現象的產生。如此一來，必須防止共模電壓低於一預訂電壓，這可以是設計相依參數並可例如歸因於像素電路的最小操作電壓乘上一倍率，所述的倍率大於提供最小電壓之上的操作裕度(operating margin)。用來防止共模電壓低於特定電壓的方法之一是通過共模類比數位轉換器3722監控共模電壓，並於共模電壓達到特定電壓時終止整合。特定電壓可例如通過在複製電路3740的閘極端子3744的參考電壓V_{REF}來設定。

【0466】 整合時間可透過監控共模電壓而動態地調整。例如，在一段時間後(例如，額定整合時間)，當共模電壓通過共模類比數位轉換器3722判斷是大於參考電壓，整合時間可被延長，這可以提高測量結果的深度精度。在另一示例中，當共模類比數位轉換器3722判斷共模電壓在一期間(例如，額定整合時間)小於參考電壓，整合時間可縮短以防止測量的錯誤，例如，散暈。

【0467】 共模電壓的來源包含像素的開關光偵測器的暗電流，以及開關光偵測器從非ToF光信號的環境光生成的環境光電流。電路3700的不同的像素可具有不同的暗電流或程序變化產生的反應性。此外，不同的像素可接收可變數量的環境光。藉此，在整合期間，不同的像素可具有不同的共模電壓。因

此，偵測每個像素的共模電壓可以是有利的。

【0468】 圖37D示出共模偵測電路3780的架構圖。共模偵測電路包含複製電路3740和共模類比數位轉換器3722。對每個像素的共模電壓的偵測可例如藉由圖37A示出的共模類比數位轉換器3722的陣列的實現來達成。

【0469】 共模類比數位轉換器3722包含共模產生器3724和N位元類比數位轉換器3727。共模產生器3724包含相加點3725和倍增器3726。在一些實施方案中，倍增器3726可以是比例因子k，比例因子k為0.5，且相加點3725和倍增器3726的結合可提供轉換方程式0.5*(Vout1+Vout2)。在這樣的情況下，倍增器3726被配置用於產生輸出電壓，所述的輸出電壓的振幅是輸入訊號的50%。倍增器3726可例如以運算放大倍增器或電阻分壓器來實現。以其他方式來實現共模產生器3724是可能的。例如，基於運算放大器的平均電路可用於產生二輸入電壓Vout1和Vout2的平均。

【0470】 N位元類比數位轉換器3727可為轉換解析度為N位元的差分類比數位轉換器。類比數位轉換器3727操作以產生出現在其輸入端3728a和3728b的二輸入電壓的差值，並轉換差值電壓為類比數位轉換器3727的滿刻度的2^N分之一。在一些實施方式中，類比數位轉換器3727可為1位元類比數位轉換器3727。在這個情況下，在類比數位轉換器3727的輸出端3729的類比輸出不是1就是0，並用於指示兩個端子3728a和3728b的輸出信號哪一個比較大。1位元類比數位轉換器的這種操作可類似於比較器的操作。類比數位轉換器3727的複雜度通常取決於其解析度N，較低的N通常對應於較低的電路複雜度、尺寸、功耗或其組合。如此，使用低解析度類比數位轉換器3727可能有益於降低電路3700的整體複雜度、尺寸、功耗或其組合。

【0471】 複製電路3740包含輸入MOSFET電晶體3742、電流源3746和開關3748。複製電路3740類似於圖37B示出的源極隨耦電路3560和3570。參考電壓V_{REF}被提供給輸入MOSFET 3742的閘極端子3744，且複製輸出端子3749生成對應於參考電壓V_{REF}的輸出電壓V_{REP}。複製電路被配置以讓閘極端子3744提供的V_{REF}和複製輸出端子3749產生的V_{REP}的轉換方程式完全相同或實質上類似(例如：在1%、2%、5%、10%範圍內或在程序變化範圍內)於源極隨耦電路3560和3570的轉換方程式。任一配對的轉換方程式允許直接對出現在源極隨耦電路3560和3570的輸入端子的電壓VFD_1和VFD_2的補償，如同在像素電路3710的輸出端的任何非線性或電壓偏移相同地出現在複製電路3740的輸出端。藉此，複製電壓V_{REP}可用於作為比較、監視和/或控制存在於電容器3756和3758中的共模電壓的代理。

【0472】 為了提升源極隨耦電路3560、3570和複製電路3740的匹配，輸入MOSFET 3742、電流源3746和開關3748可類似或完全相同於MOSFET 3762/3772、選擇開關3764/3774和電流源3766/3776。

【0473】 圖37E示出與電路3700操作具關聯性的時序的示例。電路3700可具有二個操作步驟：整合步驟和讀出步驟。電路3700的操作可例如受控於成像系統2800的接收器單元2804或處理單元2806。在整合步驟，ToF發射器單元(例如，圖28A中示出的發射器單元2802)可發射光脈衝。像素電路3710可接收同時包含環境光和發射光脈衝的反射(反射光脈衝) 的光。相對於往返相位(round-trip phase)，反射脈衝具有相位偏移Φ。一般來說，環境光和反射光脈衝的相對比率取決於不同因素，例如測量物件的反射率、與物件之間的距離、測量環境的亮度和環境光的空間特性。

【0474】 像素電路3710和像素電路3710的開關光偵測器3550利用第一控制信號G0和第二控制信號G180來控制，藉此電容器3756收集與發射光脈衝相同相位的電荷Q_1，電容器3758收集與發射光脈衝不同相位的電荷Q_2(例如，具有180度相位差)。例如，藉由應用控制信號G0和G180，圖31A-31I示出的ToF像素3140的控制端子3154和3164可用於控制電荷Q_1和Q_2的收集。

【0475】 在整合步驟之初，電容器3756和3758充電至預設電壓。此時，對應於第一電容器3756的電壓的VFD_1和對應於第二電容器3758的電壓的VFD_2相同，且共模電壓相同於VFD_1或VFD_2。當發射光的第一脈衝被反射並由開關光偵測器3550接收，第一電容器3756整合對應於反射光的部份的電荷Q1落入受第一控制信號G0(例如0至180度)標記的第一相位視窗。如此一來，VFD_1於G0為高位準時降低，Q_1從第一電容器3756放電，因為大部分的電荷被引導至第一電容器3756，所以VFD_2在第一相位視窗始終保持大致不變。

【0476】 之後，控制信號G0逐漸下降且控制信號G180逐漸上升。此時，對應於部份反射光的落入受到第二控制信號G180(例如180至360度)標記的第二相位窗的電荷Q_2被第二電容器3758整合。如此一來，當G180呈現高位準時，VFD_2降低，Q_2從第二電容器3758放電；因為大部分的電荷被引導至第二電容器3758，所以VFD_1在第二相位視窗始終保持大致不變。

【0477】 在整合步驟，第一和第二電容器3756和3758持續進行放電，並在整合期間終止時生成共模電壓和差模電壓。共模電壓包含源自於暗電流，以及包含了信號成分和環境光成分的光生電流。藉此，共模電壓通常與開關光偵測器3550在整個整合期間生成的電流的量成比例或相應。在此要特別注意的是，環境光成分和暗電流在整個整合期間實質上是定值，其可以是100微

秒到毫秒的持續時間。藉此，環境光成分和暗電流通常在第一電容器3756和第二電容器3758兩者中以相等的量被整合，並且對共模電壓有貢獻，但對差模電壓沒有貢獻。

【0478】 當整合步驟完成，電路3700進入讀出步驟；此時，像素電路3710藉由共模類比數位轉換器3720和差分類比數位轉換器3730連續地讀出並進行數位化。共模類比數位轉換器3722的輸出端對應V_{CM}，其可以被用作電容器3756和3758的儲備容量，光偵測器的暗電流和環境光準位的指示。差模類比數位轉換器3732的輸出對應於差模信號，其可能包含飛行時間資訊，其可用於確定物體距離ToF成像系統的距離。

【0479】 在包含分離共模類比數位轉換器3720和差模類比數位轉換器3730的電路3700的其中之一優點為可同時測量共模電壓和差分電壓，而不會產生特殊目的的專用類比數位轉換器所引起的延遲。相對地，在串列測量方法中預期的額外延遲，這可能涉及像素電路3710的輸出之一(例如，Vout1)的數位化，隨後是其它輸出(例如，Vout2)的數位化，並且計算共電壓在數位領域。藉此，電路3700的並存測量能力可具有比串列測量方法的比較電路更高的幀速率。

【0480】 共模類比數位轉換器3722的解析度能夠經修改至特定的需求以監測共模電壓，經修改後的共模類比數位轉換器3722的解析度低於差模類比數位轉換器的解析度需求。藉此，共模類比數位轉換器3722的複雜度和尺寸對於給定的應用而言可理想化。例如，在整合步驟期間，共模監測可實現以動態地控制整合期間。這樣的監測可能需要在整合期間進行多個共模電壓測量。對任何應用的快速類比數位轉換的轉換率可以藉由低位元(例如，介於

1至6位元)的共模類比數位轉換器3722的實現來達成。

【0481】 電路3700的共模和差模電壓測量容量可在電路3700的生產測試期間使用。在常規的影像感測器製造後測試時，每個像素的性能將被驗證。這個製造後測試可用於過濾性能係數不在預定規格的缺陷像素。這樣的製造後測試資料能夠被分析以判斷統計趨勢，其可用於調整製造程序以提升產量。

【0482】 圖37F示出用於表徵包含有光偵測器的時差測距偵測設備的性能的流程3790的示例，所述的光偵測器具有耦接於第一讀出電路並被配置用於輸出第一讀出電壓的第一讀出端子和耦接於第二讀出電路並配配置用於輸出第二讀出電壓的第二讀出端子。流程3790可由系統(例如測試設備3600和3660)來執行。

【0483】 在沒有環境光和時差測距光訊號時，系統通過測量在第一和第二輸出電壓之間的共模輸出電壓以測量光偵測器的暗電流(步驟3791)。成像感測器(例如，ToF偵測設備)的像素的其中之一關鍵性能參數是暗電流。系統可藉由共模類比數位轉換器3722間接地測量暗電流。共模電壓主要可從環境光電流和像素暗電流生成。藉此，在沒有光(例如，環境光和ToF光訊號(例如，光脈衝))的時候執行共模電壓偵測，致使共模電壓對應於像素的暗電流。由電路3700的已知設計因子(例如，寄生電容)和操作參數(例如，整合期間、參考電壓和複製電壓)的後處理N位元共模類比數位轉換器3722能夠執行以判斷(例如，推論或反向計算)像素的暗電流。

【0484】 在一些實施方案中，可以使用低解析度的共模類比數位轉換器3722(例如，1位元的共模類比數位轉換器3722)將暗電流的值確定為期望的精確度。例如，步驟3791可包含步驟 (i)藉由1位元的類比數位轉換器在沒有環境

光和時差測距光訊號的情況下執行第一讀出電壓和第二讀出電壓之間的共模輸出訊號的一個或多個測量，以及(ii) 基於共模輸出訊號的一個或多個測量來確定暗電流。暗電流的測量可以在不同的測試條件下進行。 例如，一個或多個測量結果中的每一個可以對應於不同的整合時間。

【0485】 對於給定的暗電流，較長的整合時間可讓電容器3756和3758進一步地放電並降低共模電壓。1位元的共模類比數位轉換器3722比較共模電壓V_{CM}與輸入複製電路3740的參考電壓V_{REF}。例如，當共模電壓高於複製電壓時，共模類比數位轉換器3722的輸出可為1。在整合時間逐漸增加的情況下，在不同整合時間的對於暗電流測量的類比數位轉換器的輸出可能最初為1秒。當共模類比數位轉換器3722的輸出從1變為0時，表示共模電壓低於複製電壓，系統可以確定與從1到0的轉變相對應的整合時間，並將該整合時間段用於判斷暗電流。例如，當整合時間為90μs時輸出為1，而在下一個整合時間為100μs時輸出為0，則系統可以使用整合時間段之間的中點95μs作為切換點。

【0486】 系統可以基於電路3700的已知設計因子(例如，電容器3756和3758的電容值)和操作參數(例如，電容器的預設電壓、參考電壓和複製電壓)來判斷暗電流的估計。例如，可以藉由等式$I_{dark} = C * \Delta V / t_{int}$來估計暗電流，其中C是電容器3756和3758的總電容，ΔV是電容器的預設電壓和參考電壓之間的差值，以及t_{int}是當共模類比數位轉換器3722的輸出從1切換到0時的整合時間段。藉由執行具有多個整合時間的附加測量以進一步縮小並藉由1位元的類比數位轉換器進行的暗電流測量的準確度，可以進一步地提高類比數位轉換器的輸出從1切換到0的整合時間的估計值。

【0487】 一般來說，藉由1位元的類比數位轉換器進行暗電流多次測量

的整合時間可能會以不同方式變化。例如，可以使用逐次逼近技術(successive approximation technique)。

【0488】 儘管已經描述了基於可變整合時間的暗電流測量，但是在一些實施方案中，提供給共模類比數位轉換器3722的複製電壓可以改變以代替類似操作的整合時間段。

【0489】 在一些實施方案中，可以在存在環境光的情況下，藉由執行共模電壓測量來確定環境光電流。由測量的共模電壓中減去共模電壓中的暗電流成分即能確定共模電壓中的環境光電流。

【0490】 系統判斷光偵測器的暗電流大於第一值(步驟3792)。例如，第一值可以是影像感測器的像素的最大允許暗電流規格。

【0491】 在一些實施方案中，於存在時差測距光訊號時，系統藉由測量在第一和第二讀出電壓之間的差模輸出訊號來測量時差測距檢測設備的解調對比度。解調對比度表示開關光偵測器(例如，圖1A中示出的開關光偵測器)的效率如何，以在開關108通導且開關110截止時引導生成的光電流至n型摻雜區126，或者在開關1110導通且開關108截止時引導生成的光電流至n型摻雜區136。差模輸出訊號通常與解調對比度、量子效率、時差測距光訊號功率和整合時間成比例。如此一來，可以在不同的測試條件下的多次測量，例如執行不同的光訊號功率測量以確定解調對比度。不同的光訊號功率可例如藉由調整工作週期或消光率來提供。可以執行基於電路3700的已知設計因子(例如，寄生電容)和操作參數(例如整合時間段、雷射功率)的差模類比數位轉換器3732的輸出的後處理以確定像素的解調對比度。

【0492】 在一些實施方案中，系統判斷時差測距偵測設備的解調對比度

低於第二值(步驟3794)。例如，第二值可以是影像感測器的像素的最小允許解調對比度規格。

【0493】 系統判斷時差測距偵測設備不符合性能規範(步驟3795)。例如，前述的判斷可以基於步驟3792的判斷，即光偵測器的暗電流大於第一值。在另一示例中，前述的判斷可以基於步驟3794的判斷，即時差測距偵測設備的解調對比度低於第二值。 通常，當ToF偵測設備的測量性能參數不符合一個或多個性能規格時，即確定設備不符合性能規格並且未能通過生產測試。

【0494】 到目前為止，已經針對與圖28A示出的成像系統2800的接收器單元2804關聯和測試的不同的元件進行描述。現在，將針對圖28A示出的發射器單元3802相關聯的驅動電路進行說明。

【0495】 請再次參見圖28B和28C；發射器單元2802可發出具有預設工作週期且調變頻率f_m的光脈衝2812。增加頻率f_m、減少工作週期或其等的組合可以改善成像系統2800的性能。發射器單元2802的帶寬的改善能夠實現前述的頻率f_m的增加或工作週期的減小。

【0496】 圖38A示出用於操作光發射裝置的電路3800的示例。電路3800包含光發射裝置3810、MOSFET電晶體3820、第一電感器3830、第二電感器3832、第一電容器3840、電流源3850和輸入緩衝器3860。輸入訊號提供給輸入緩衝器3860的輸入節點3862。輸入緩衝器3860的輸出端子耦接於第一電容器3840的第一端，第一電容器3840的第二端耦接於第二電感器3832的第一端和MOSFET電晶體3820的閘極端子。第二電感器3832的第二端被供予直流偏壓3834。MOSFET電晶體3820的源極端子耦接於第一供應電壓節點3870，第一光發射裝置3810的第一端子(例如，陰極)耦接於第二供應電壓節點3871。第

一電壓供應節點3870和第二電壓供應節點3871可為共地節點。MOSFET電晶體3820的汲極端子和光發射裝置3810的第二端子(例如，陽極)耦接於第一電感器3830的第一端子。電流源3850耦接於供應電壓節點3872和第一電感器3830的第二端子。

【0497】 電路3800的基本工作原理如下。施加到輸入緩衝器3860的輸入節點3862的輸入訊號被輸入緩衝器3860緩衝並輸出到第一電容器3840。輸入節點3862處的輸入信號通常是時變訊號，且除了交流成分外，還可具有直流成分DC_1。輸入緩衝器3860可獨立貢獻緩衝輸入訊號中的直流成分。因此，輸入緩衝器3860的輸出可包含直流成分和交流成分。第一電容器藉由阻擋緩衝輸入訊號中的低頻成分以耦接緩衝輸入信號。因此，第一電容器3840可被稱為直流阻隔電容器或交流耦合電容器。第一電容器3840的第一電容值可例如基於需求的低頻率截止來設定。於交流耦合時，出現在第一電容器3840的第二端的信號不具有直流成分DC_1。

【0498】 通常地，MOSFET電晶體3820的閘極端子需要施加正確的直流偏壓才能正常操作。MOSFET電晶體3820的直流偏壓可影響光發射裝置3810產生的光的工作週期。因此，設定直流偏壓能夠用於調變工作週期或校正偏離需求工作週期(例如，50%)的工作週期失真。這樣的直流偏壓透過第二電感器3832設定。當第二電感器3832提供交流成分高阻抗路徑時，其同時供予耦接於其第二端子的直流偏壓3834(DC_2)低阻抗路徑。第二電感器3832的第二電感值可例如根據輸入節點3862接收的輸入信號的交流成分的頻率而定。第一電容器3840和第二電感器3832可合稱為偏壓T。歸因於第一電容器3840和第二電感器3832的操作，含有輸入信號的交流成分的信號施加至輸入緩衝器

3860的輸入節點，且施加給第二電感器3852的第二端子的直流成分DC_2，係輸入MOSFET電晶體3820的閘極端子。供予閘極端子的輸入訊號使MOSFET電晶體3820操作在導通或截止。例如，當閘極端子輸入訊號高於MOSFET電晶體3820的臨界電壓，MOSFET電晶體3820導通；反之亦然。

【0499】 MOSFET電晶體3820耦接至與光發射裝置3810並聯的第一電感器3830的第一端子，因此，電流源3850提供並通過第一電感器3830的電流可根據MOSFET電晶體3820和光發射裝置3810的電性阻抗而選擇通過MOSFET電晶體3820、光發射裝置3810或其等之組合。例如，MOSFET電晶體3820導通所呈現的阻抗相對於光發射裝置3810來得低；因此，在MOSFET電晶體3820導通時，大部分的電流會通過MOSFET電晶體3820。相反地，MOSFET電晶體3820在截止時所呈現的阻抗相對於光發射裝置3810來得高；因此，在MOSFET電晶體截止時，大部分的電流通過光發射裝置3810。這種電流的切換稱為分流切換。基於MOSFET電晶體3820和發光裝置3810的特性，這兩個元件之間的相對阻抗可以使大部分的電流(例如90%、99%、99.9%)都流過MOSFET電晶體3820或發光裝置3810。

【0500】 當MOSFET電晶體3820導通或截止時，電流源3850所經過的電性負載的有效阻抗迅速變化，這可能對電流源3850的恆定電流操作具有不穩定影響。第一電感器3830可以限制流過電流的時間變化率，從而作為穩定元件操作，前述的穩定元件藉由這樣的切換暫態有助於將電流保持在恆定準位。

【0501】 發光裝置3810可以是發光二極體、雷射二極體、發光二極體陣列或雷射二極體陣列。通常，由發光裝置3810(例如雷射二極體)輸出的光隨著

提供給裝置的電流的增加而成比例地增加。這樣，可以增加MOSFET電晶體3820的尺寸或面積以獲得更高的電流處理能力，進而允許更高的電流量的切換。然而，MOSFET電晶體3820的面積大小的增加進一步地增加了與MOSFET電晶體3820相關聯的寄生電容3822。例如，寄生電容3822可以包括閘極端子與源極端子(C_{GS})之間的寄生電容以及閘極端子與汲極端子(C_{GD})之間的寄生電容。 這種寄生電容3822增加了MOSFET電晶體3820的電容負載，從而降低了MOSFET 3820的工作帶寬(例如開關速度)。

【0502】 除了提供用於設置MOSFET電晶體3820的直流偏壓的路徑之外，第二電感器3832可以與寄生電容3822配合形成LC共振腔(LC tank)。第二電感器3832的第二電感值可以被設置為使得LC共振腔的諧振頻率與電路3800的期望工作頻率匹配。例如，LC共振腔的諧振頻率可以被設置為輸入信號的基頻(例如，頻率f_m)。 LC共振腔的諧振可部分地或完全地抵消寄生電容3822的影響，增加MOSFET電晶體3820的操作帶寬並由此增加電路3800的操作帶寬。例如，電路3800的操作帶寬可以在100MHz到1GHz的範圍內。

【0503】 儘管已經描述了包括電流源3850的電路3800的實施方式，但是在一些實施方案中，可以省略電流源3850，使得電源電壓節點3872將電流提供給發光裝置3810。

【0504】 圖38B示出用於操作發光裝置3810的電路3880的示例。電路3880類似於電路3800，但不同之處在於發光裝置3810現在與MOSFET 3820串聯連接，且電流源3850和第一電感器3830被省略。 MOSFET 3820的汲極端子耦合到發光裝置3810的第一端子(例如，陰極)，並且發光裝置3810的第二端子(例如，陽極)與供應電壓節點3872耦合。電路3880藉由流過發光裝置3810的電

流的串聯切換來控制發光裝置3810的操作。

【0505】 當MOSFET電晶體3820在導通狀態，允許電流通過光發射元件3810和MOSFET電晶體3820流過供應電壓節點3872(例如，VDD)到另一供應電壓節點3870(例如，GND)的導通路徑。相反地，當MOSFET電晶體3820截止時，其阻止電流自其中流過，從而切斷通過發光裝置3810的電流。電路3880的串聯開關配置可能是有利的，因為其包括較少的電氣元件相對於電路3800的分流開關配置。

【0506】 已經介紹了若干具體實施。然而，應當理解，在不脫離本公開實質與範圍的情況下，可做出各種修改。例如，可使用上文所示流程的各種形式，其中可重排、添加或刪除某些步驟。

【0507】 為了便於進行說明與介紹，可能已經通過二維剖面對各種具體實施進行了討論。然而，其三維變形與衍生形式也應當涵蓋在本公開範圍內，只要在三維結構中存在對應的二維剖面。

【0508】 儘管本說明書包含許多細節，這些細節不應視為限制性內容，而應是專門針對具體實施方案的特徵說明。在不同實施方案的上下文中，本說明書所述的某些特徵也可以在單個實施方案中一起實現。反過來，在單個實施方案的上下文中所述的各種特徵也可以分別在多個實施方案中實現，或者呈任何合適的次組合的形式來實現。而且，儘管上文所述特徵可以呈某些組合來發揮作用，甚至在最初聲稱如此，但是在一些形況下，所聲稱組合中的一個或多個特徵可以從此組合中刪除，並且所聲稱組合可以是針對某次組合或次組合結合的變形。

【0509】 類似地，儘管附圖按具體順序示出其操作，但是這不應理解為

此類操作必須按照所示的具體順序或相繼順序來執行，或者執行所有所示操作必須獲得理想結果。在某些情形下，多重任務處理和並行處理會是有利的。而且，在上述實施方案中各個系統部件的分離不應理解為所有實施方案必須實現此類分離，而應理解為所述程序部件和系統一般可以一起整合在單一軟體產品中或封裝到多個軟體產品中。

【0510】 由此，具體實施方案敘述完畢。其它實施方案均在以下申請專利範圍的範圍內。例如，申請專利範圍所列的操作可按不同順序來執行，並仍能獲得理想效果。

【符號說明】

【0511】 100、160、170、180、200、250、260、270、300、360、370、380、400、450、460、470、480、500、510、520、530、550、560、580、582、586、588、600、620、754、800、1100、1120、1130、1140、1200、1220、1240、1250、1260、1300、1310、1320、1330、1340、1350、1360、1400、1430、1740、1800、1820、1830、1840、1900、1910、1920、1930、2000、2010、2020、2030、2040、2050、2100、2110、2120、2200、2210、2300、2400、2410、2420、2430、2500、2510、2520、2530、2700...開關光偵測器

【0512】 102、202、302、402、502、1002、1102、1202、1302、1502、1602...基板

【0513】 104、246、248、346、348、446、448、536、546、1822、1832、1842、2302、2412...p型井區

【0514】 106、206、306、406、496、1004...吸收層

【0515】 108、208、308a、308b、308b、408、532、1410…第一開關

【0516】 110、210、310a、310b、410、542、1420、1620…第二開關

【0517】 112、212、312、412、1605…光訊號

【0518】 116、214、216、314、316、416…外部控制

【0519】 122、222、322、422…第一控制訊號

【0520】 124、224、324、424…(第一)讀出電路

【0521】 126、136、226、236、326a、326b、336a、336b、426、436、802…n型摻雜區

【0522】 128、138、209、228、238、309、328a、328b、338a、338b、428、438、812…p型摻雜區

【0523】 132、232、332、432…第二控制訊號

【0524】 134、234、334、434…(第二)讀出電路

【0525】 142、144、152、154、156、244、252、254、344、452、454、456、539、549、612、614、818…n型井區

【0526】 362…第一平面

【0527】 364…第二平面

【0528】 490…設計

【0529】 492…凹槽

【0530】 494…間隔件

【0531】 506…吸收區(吸收層)

【0532】 508…第一層

【0533】 512…間隔件

【0534】 534…第一n型摻雜區

【0535】 535…第一讀出接點

【0536】 537…第一p型摻雜區

【0537】 537a、547、547a…第二p型摻雜區

【0538】 538…(第一)控制接點

【0539】 538a…第三控制接點

【0540】 539a、549a…第二n型井區

【0541】 542…第二開關

【0542】 544…第二n型摻雜區

【0543】 545…第二讀出接點

【0544】 548…(第二)控制接點

【0545】 548a…第四控制接點

【0546】 562…區

【0547】 570…能量圖

【0548】 572…電子

【0549】 573…電子能障

【0550】 574…電洞

【0551】 575…電洞能障

【0552】 700、740、1000、1010、1020、1030、1040、1050、1060、1070、1080、1500、1520、1530、1540、1550、1560、1570、1600、1610、1620、1630、1640、1650、1660、1670、1680、1690…結構

【0553】 706、706a、706b、706c、1004、1104、1124、1204、1304、1504a、1504b、1604…吸收區

【0554】 710…施體晶圓

【0555】 712…第一接合層

【0556】 714…穿孔

【0557】 716…金屬墊

【0558】 720、720a、720b、720c…像素

【0559】 722、722a、722b、722c、742…微透鏡

【0560】 730…承載晶圓

【0561】 732…第二接合層

【0562】 744…抗反射層

【0563】 746…間隔層

【0564】 752…矽層

【0565】 800、820、830…開關

【0566】 804…讀出接點

【0567】 806…低摻雜(n型井)區

【0568】 814…控制接點

【0569】 816…低摻雜p型井區

【0570】 822…溝槽

【0571】 824…介電質填充物

【0572】 900、910、920、930…電性端子

【0573】 902…區

【0574】 904…接觸金屬

【0575】 906…摻雜區

【0576】 922…介電質

【0577】 932…絕緣層

【0578】 1006…第一中介層

【0579】 1008、1072…第二中介層

【0580】 1062…階梯狀中介層

【0581】 1064、1084…開口

【0582】 1066…凹槽

【0583】 1106、1206…載子收集端子

【0584】 1108、1208…載子控制端子

【0585】 1205、1305…光接收區

【0586】 1306…基板載子收集端子

【0587】 1308…基板載子控制端子

【0588】 1307、1309、1407、1409、2108、2128、2138…吸收器載子控制端子

【0589】 1506、1556、1556a、1556b、2602…隔離結構

【0590】 1510、1510a、1520a…感測器像素

【0591】 1576…第一隔離結構

【0592】 1577…第二隔離結構

【0593】 1606、2502…金屬反射鏡

【0594】 1608…介電層

【0595】 1626…介電質反射層

【0596】 1632…分散式布拉格(DBR)反射鏡

【0597】 1634…第一介電層

【0598】 1636…第二介電層

【0599】 1648…ARC層

【0600】 1700…表面改質吸收區

【0601】 1704…鍺矽基吸收區

【0602】 1706…表面改質層

【0603】 1712…第一摻雜區

【0604】 1722…第二摻雜區

【0605】 1732、2422…介電質壁

【0606】 2012、2032…中介層

【0607】 2034…第一開口

【0608】 2036…第二開口

【0609】 2600…單位單元

【0610】 2710…電子發射器

【0611】 2720…雙接面電晶體

【0612】 2800…成像系統

【0613】 2802…發射器單元

【0614】 2804、3000…接收器單元

【0615】 2806…處理單元

【0616】 2810…目標物體

【0617】 2812…光(脈衝)

【0618】 2814…反射光(脈衝)

【0619】 2902-2906…步驟

【0620】 3010…像素陣列

【0621】 3020…放大器陣列

【0622】 3022…放大器

【0623】 3030…類比數位轉換器陣列

【0624】 3100…ToF接收器單元

【0625】 3110…積體電路(IC)晶圓

【0626】 3130…感測器晶圓

【0627】 3170…互連件

【0628】 3112…第一電容器

【0629】 3120…像素電晶體

【0630】 3132…第二電容器

【0631】 3140…ToF像素

【0632】 3150…第一開關

【0633】 3160…第二開關

【0634】 3152、3162(R)…承載讀出(收集)端子

【0635】 3154、3164(C)…承載控制(調節)端子

【0636】 3200、3400…接收器單元

【0637】 3500…電路

【0638】 3550…開關光電偵測器

【0639】 3510…第一讀出子電路

【0640】 3530…第二讀出子電路

【0641】 3512…第一MOSFET電晶體

【0642】 3520…第二MOSFET電晶體

【0643】 3532…第三MOSFET電晶體

【0644】 3540…第四MOSFET電晶體

【0645】 3560…第一源極隨耦器電路

【0646】 3570…第二源極隨耦器電路

【0647】 3600…測試設備

【0648】 3610…探針卡

【0649】 3612…探針

【0650】 3620…發光器板

【0651】 3614…RF連接器

【0652】 3622…照明模組散熱器

【0653】 3626…熱穿孔

【0654】 3628…驅動電子電路

【0655】 x…位置

【0656】 3650…機械支撐件

【0657】 D_L…直徑

【0658】 H_A、H_L、H_O…高度

【0659】 d…橫向尺寸

【0660】 S…距離

【0661】 t…厚度

【0662】 Φ…相移

【0663】 458…n型井區

【0664】 576…光子

【0665】 610…反摻雜區

【0666】 750…第二層

【0667】 748…第一層

【0668】 940…端子

【0669】 1710、1720、1730…表面改質層

【0670】 2900、3790…流程

【0671】 3040…數位輸出

【0672】 3172…接合墊

【0673】 3114、3134、3113、3133…次電容器

【0674】 3180、3182、3184、3186、3188、3190、3192、3350、3360、3370…接收器單元

【0675】 3220…DSP模組

【0676】 3210、3340…記憶體模組

【0677】 3342…儲存子區域

【0678】 3344…讀/寫電晶體子區域

【0679】 3320…像素電晶體陣列

【0680】 3116、3136…後端層

【0681】 3172…組合焊墊

【0682】 3410…光訊號

【0683】 3420、3424…反射鏡

【0684】 3422…部分反射鏡

【0685】 3551…主體

【0686】 3552、3554…讀出端子

【0687】 3515、3535…輸出節點

【0688】 3508…供電節點

【0689】 3624…散熱器

【0690】 3630…偏壓連接器

【0691】 3632…光學安裝件

【0692】 3634…光學元件

【0693】 3602…基板

【0694】 3604…待測物件

【0695】 3636…光學測試訊號

【0696】 3660…測試裝置

【0697】 3631…電性連接件

【0698】 3639…RF硬質連接器

【0699】 3638…RF纜線

【0700】 3700、3780、3800…電路

【0701】 3710、3711…像素電路

【0702】 3720、3722、3730、3732…數位轉換器

【0703】 3740…複製電路

【0704】 3760、3770、3749…輸出端子

【0705】 3712、3713…共享行匯流排

【0706】 3752、3754…重置開關

【0707】 3756、6758…電容器

【0708】 3762、3772、3820…MOSFET電晶體

【0709】 3764、3774…選擇開關

【0710】 3776、3850…電流源

【0711】 3744…閘極端子

【0712】 3728a、3728b…端子

【0713】 3791、3792、3793、3794、3795…步驟

【0714】 3810…光發射裝置

【0715】 3830、3832…電感器

【0716】 3840…電容器

【0717】 3860…輸入緩衝器

【0718】 3862…輸入節點

【0719】 3870、3871…供應電壓節點

【0720】 3834…直流偏壓

【0721】 3822…寄生電容

【0722】 3872…電源電壓節點

【發明申請專利範圍】

【請求項1】一種數位化測量的電路，包含：

一像素電路的陣列；以及

一列差模類比數位轉換器，其與該像素電路的陣列耦接且具有複數差模類比數位轉換器；以及

其中該像素電路的陣列的每一像素電路各包含：

一光偵測器，包含一第一讀出端子及一第二讀出端子；

一第一讀出子電路，包含：

一第一MOSFET電晶體，包含：

一第一閘極端子，耦接於一第一控制電壓源；

一第一通道端子；以及

一第二通道端子，耦接於該光偵測器之該第一讀出端子；以及

一第二讀出子電路，包含：

一第二MOSFET電晶體，包含：

一第二閘極端子，耦接於該第一控制電壓源；

一第三通道端子；以及

一第四通道端子，耦接於該光偵測器之該第二讀出端子。

【請求項2】如請求項1所述之數位化測量的電路，其中該第一讀出子電路更包含：

一第三MOSFET電晶體，包含：

一第三閘極端子，耦接於一第二控制電壓源；

一第五通道端子，耦接於一供應電壓節點；以及

一第六通道端子，耦接於該第一通道端子；以及

該第二讀出子電路更包含：

一第四MOSFET電晶體，包含：

一第四閘極端子，耦接於該第二控制電壓源；

一第七通道端子，耦接於該供應電壓節點；以及

一第八通道端子，耦接於該第三通道端子。

【請求項3】如請求項2所述之數位化測量的電路，其中在操作該電路時，該第一控制電壓源產生一第一控制電壓，該第一控制電壓被配置用於建立一第一電壓差及一第二電壓差，該第一電壓差為該供應電壓節點的一供應電壓和該第一讀出端子的一第一電壓之間的差值，該第二電壓差為該供應電壓節點的該供應電壓和該第二讀出端子的一第二電壓之間的差值。

【請求項4】如請求項1所述之數位化測量的電路，其中該各像素電路更包含一第一源極隨耦電路以及一第二源極隨耦電路，該第一源極隨耦電路包含一第一輸出端子，該第二源極隨耦電路包含一第二輸出端子，該第一輸出端子以及該第二輸出端子電性耦接至對應的差模類比數位轉換器。

【請求項5】如請求項4所述之數位化測量的電路，其中該第一讀出子電路更包含一第一電容器，其中該第一電容器被配置為儲存由該光偵測器產生的至少部分信號，藉以提供一第一電壓作為該第一輸出端子的一第一輸出電壓，其中該第二讀出子電路更包含一第二電容器，其中該第二電容器被配置為儲存由該光偵測器產生的至少部分信號，且提供一第二電壓作為該第二輸出端子的一第二輸出電壓。

【請求項6】如請求項1所述之數位化測量的電路，其更包含一複製電路，該複製電路包含輸入MOSFET電晶體以及一複製輸出端子，該輸入MOSFET電晶體具有一第五閘極端子以接收一參考電壓，該複製輸出端子配置為產生一對應該參考電壓的複製電壓。

【請求項7】如請求項6所述之數位化測量的電路，其更包括一列共模類比數位轉換器，其中該列共模類比數位轉換器包含複數共模類比數位轉換器，該複製電路的該複製輸出端子電性耦接至該複數共模類比數位轉換器以作為該複數共模類比數位轉換器的輸入。

【請求項8】如請求項1所述之數位化測量的電路，其中於操作該電路時，該第一MOSFET電晶體及該第二MOSFET電晶體被配置為各別地操作在次臨界區或飽和區。

【請求項9】如請求項1所述之數位化測量的電路，其中該光偵測器更包含一p型摻雜本體，且該第一讀出端子和該第二讀出端子各包含n型摻雜區。

【請求項10】如請求項1所述之數位化測量的電路，其中該第一MOSFET電晶體和該第二MOSFET電晶體皆為n型MOSFET電晶體。

【發明圖式】

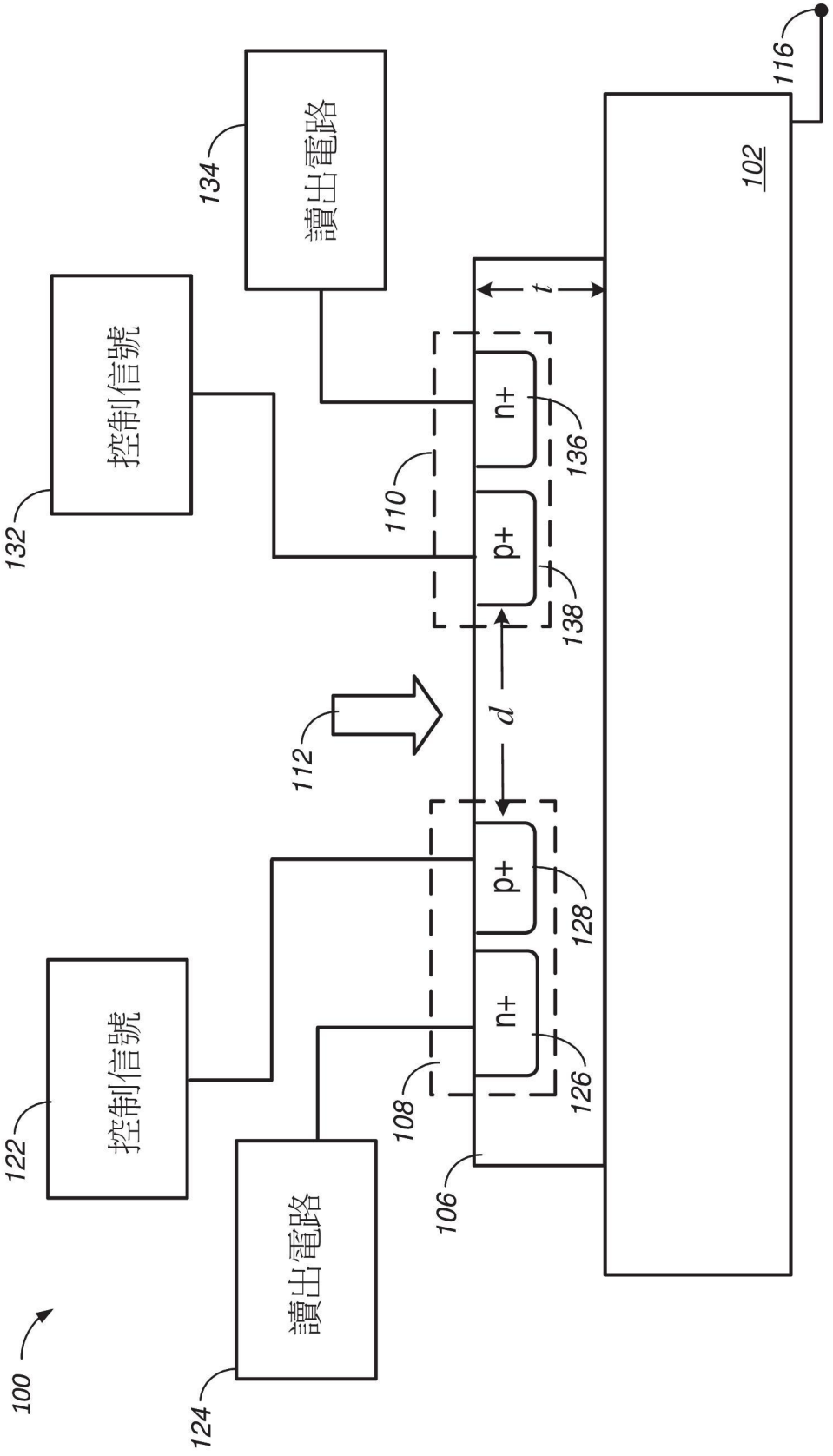

100
102
116
122
控制信號
124
讀出電路
132
控制信號
134
讀出電路
106
108
110
112
126
128
136
138
n+
p+
n+
p+
d
t

圖1A

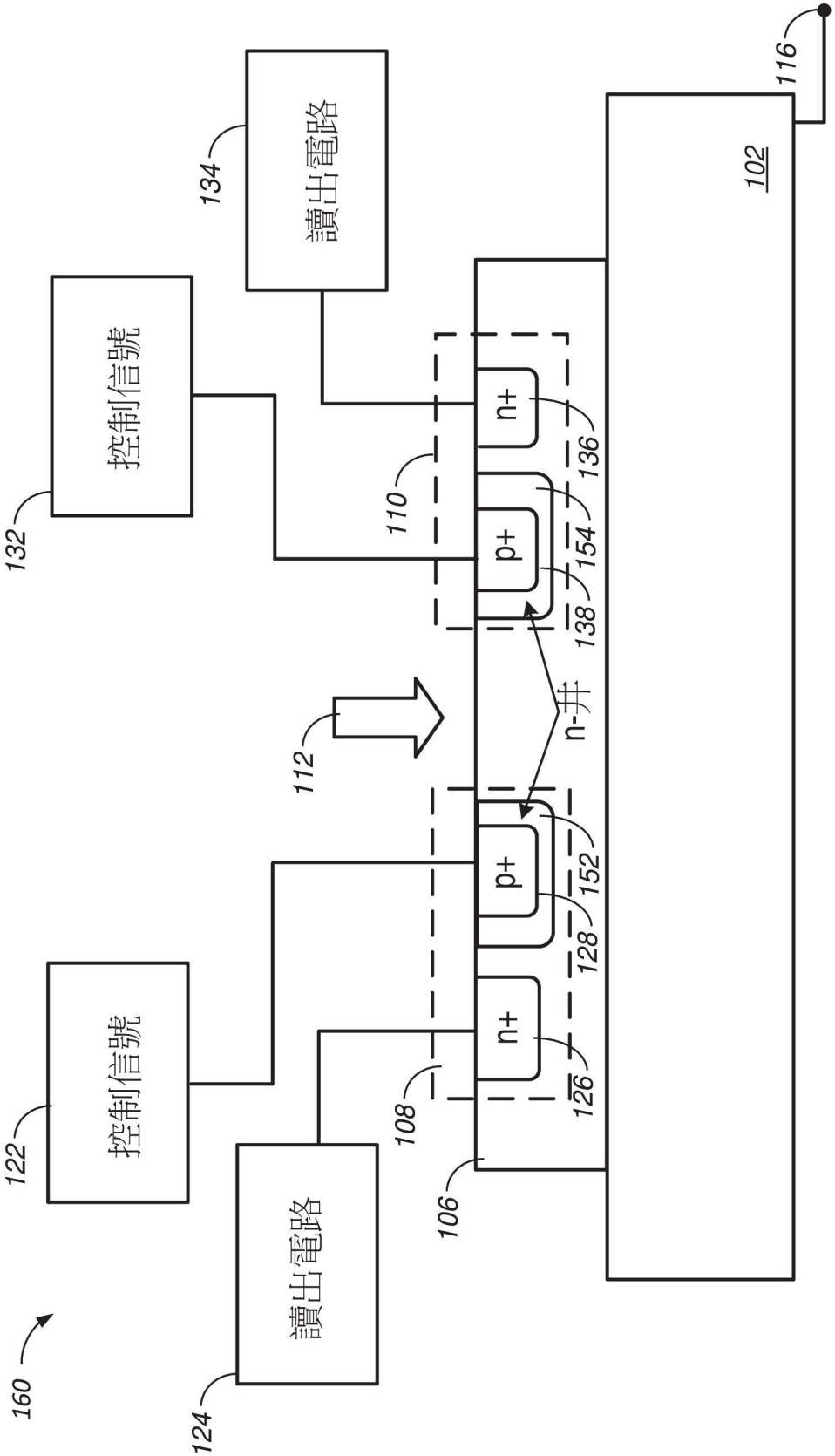

160
124
讀出電路
122
控制信號
132
控制信號
134
讀出電路
102
116
106
108
126
128
152
112
n-井
110
136
154
138
n+
p+
p+
n+

圖1B

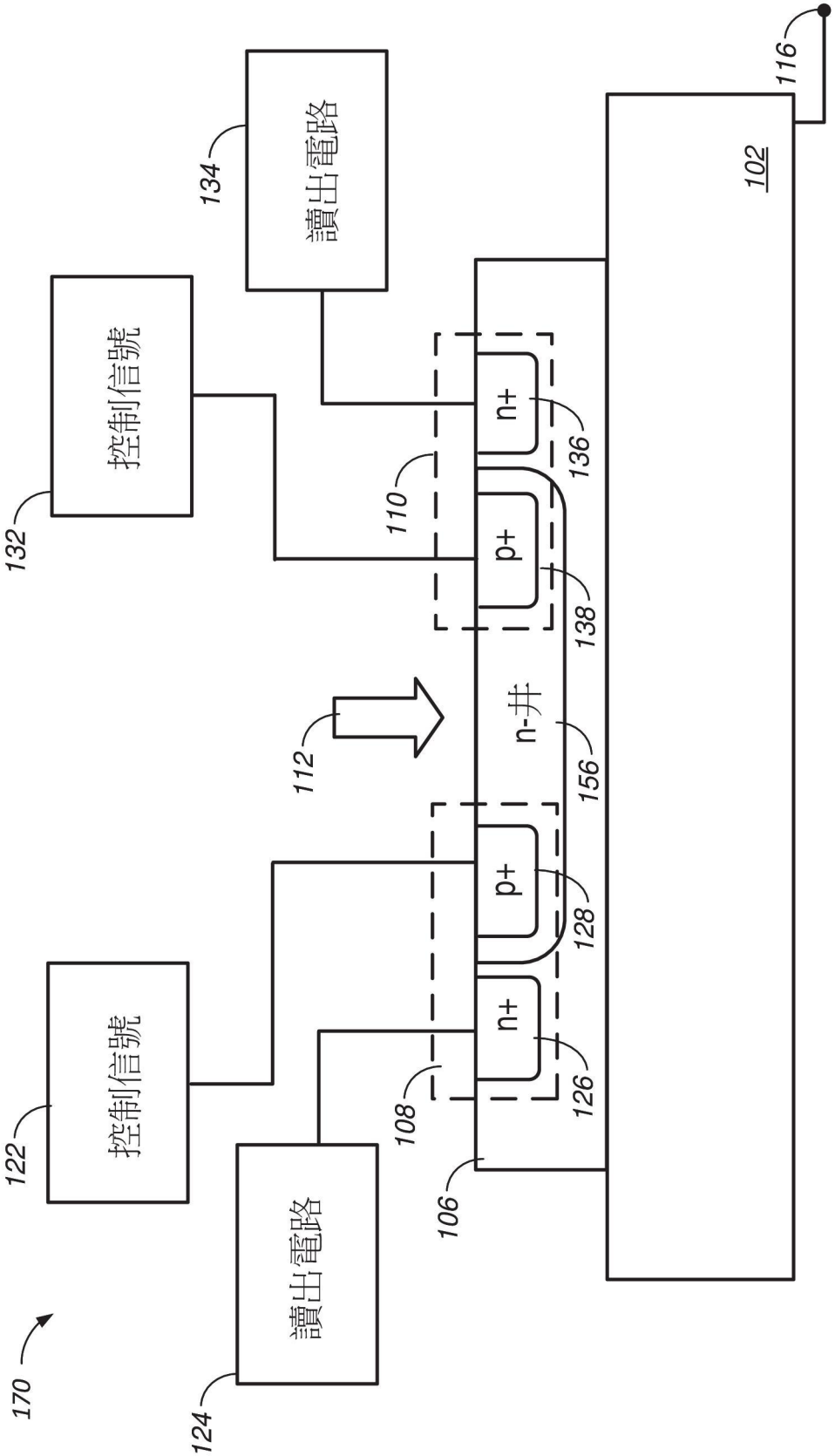

170
122
控制信號
124
讀出電路
132
控制信號
134
讀出電路
102
116
106
108
110
112
126
128
136
138
156
n+
p+
n+
p+
n-井

圖1C

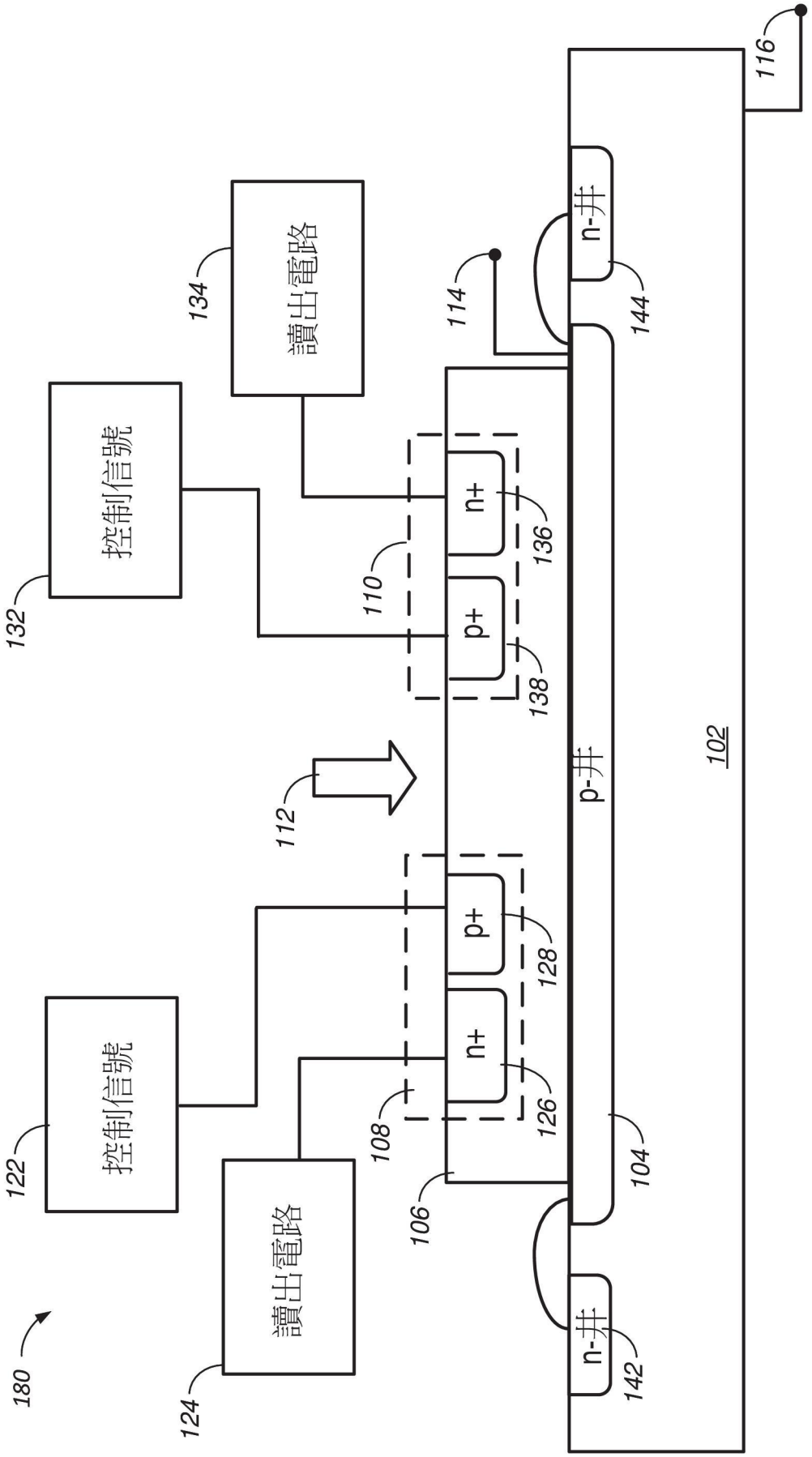

180
122
控制信號
124
讀出電路
132
控制信號
134
讀出電路
102
104
106
108
110
112
114
116
126
128
136
138
142
144
n+
p+
n+
p+
p-井
n-井
n-井

圖1D

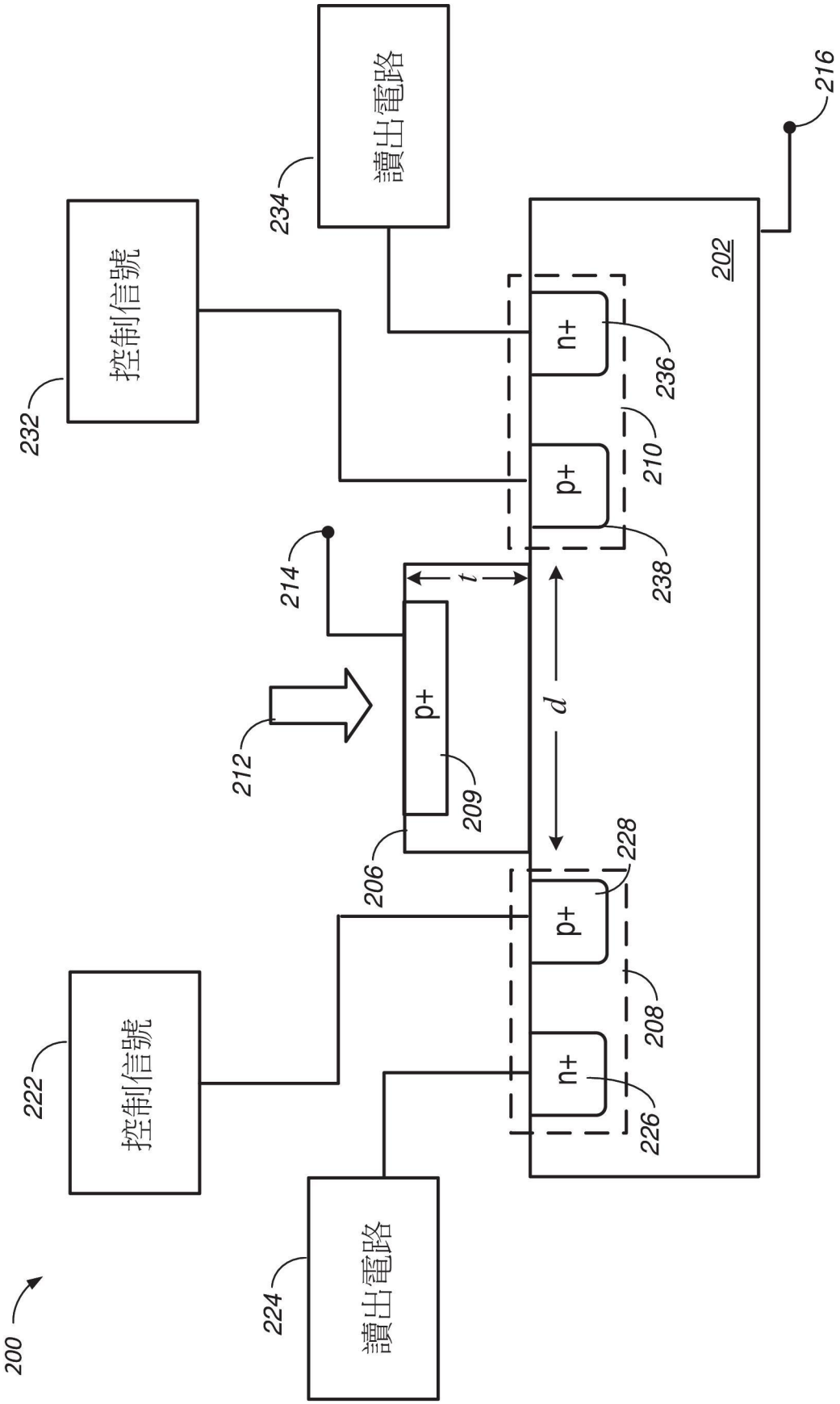

200
222
控制信號
224
讀出電路
232
控制信號
234
讀出電路
216
202
n+
236
p+
210
238
214
t
212
p+
209
d
206
228
p+
208
n+
226

圖2A

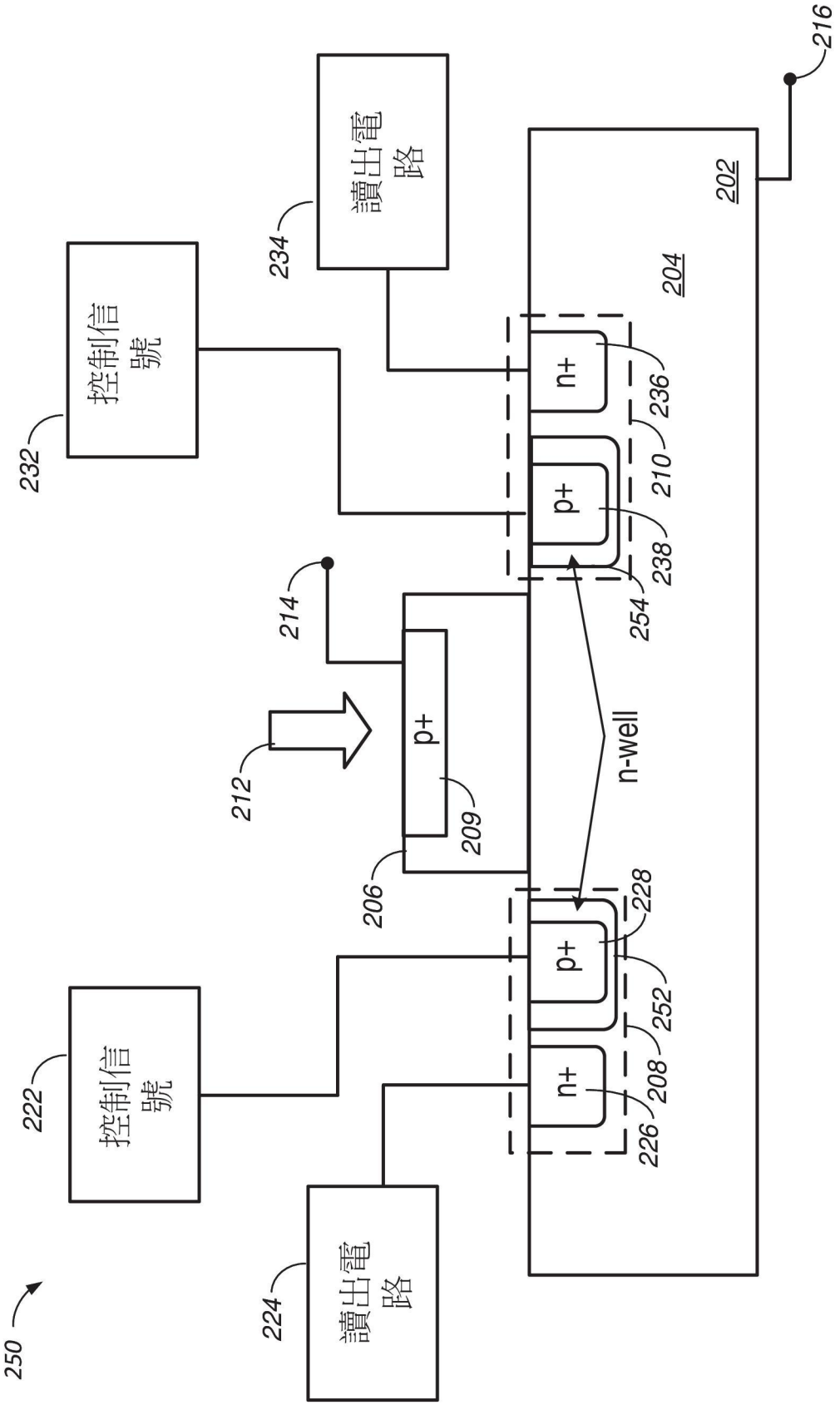

250
224
讀出電路
222
控制信號
232
控制信號
234
讀出電路
216
202
204
n+
236
210
p+
238
254
214
212
p+
209
206
n-well
228
p+
252
n+
208
226

圖2B

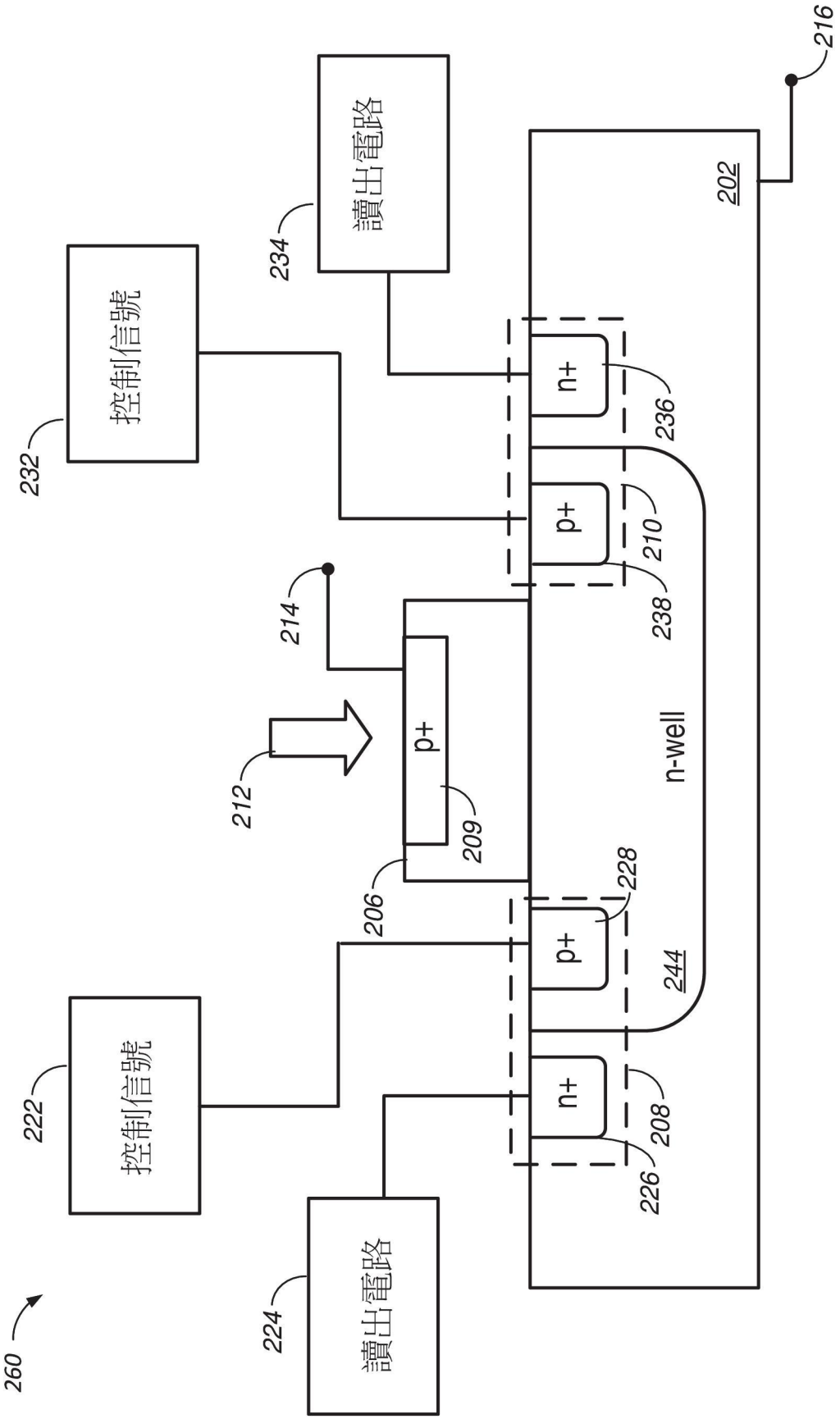

260
224
讀出電路
222
控制信號
232
控制信號
234
讀出電路
216
202
n+
236
p+
210
238
214
212
p+
209
206
n-well
228
p+
244
n+
208
226

圖2C

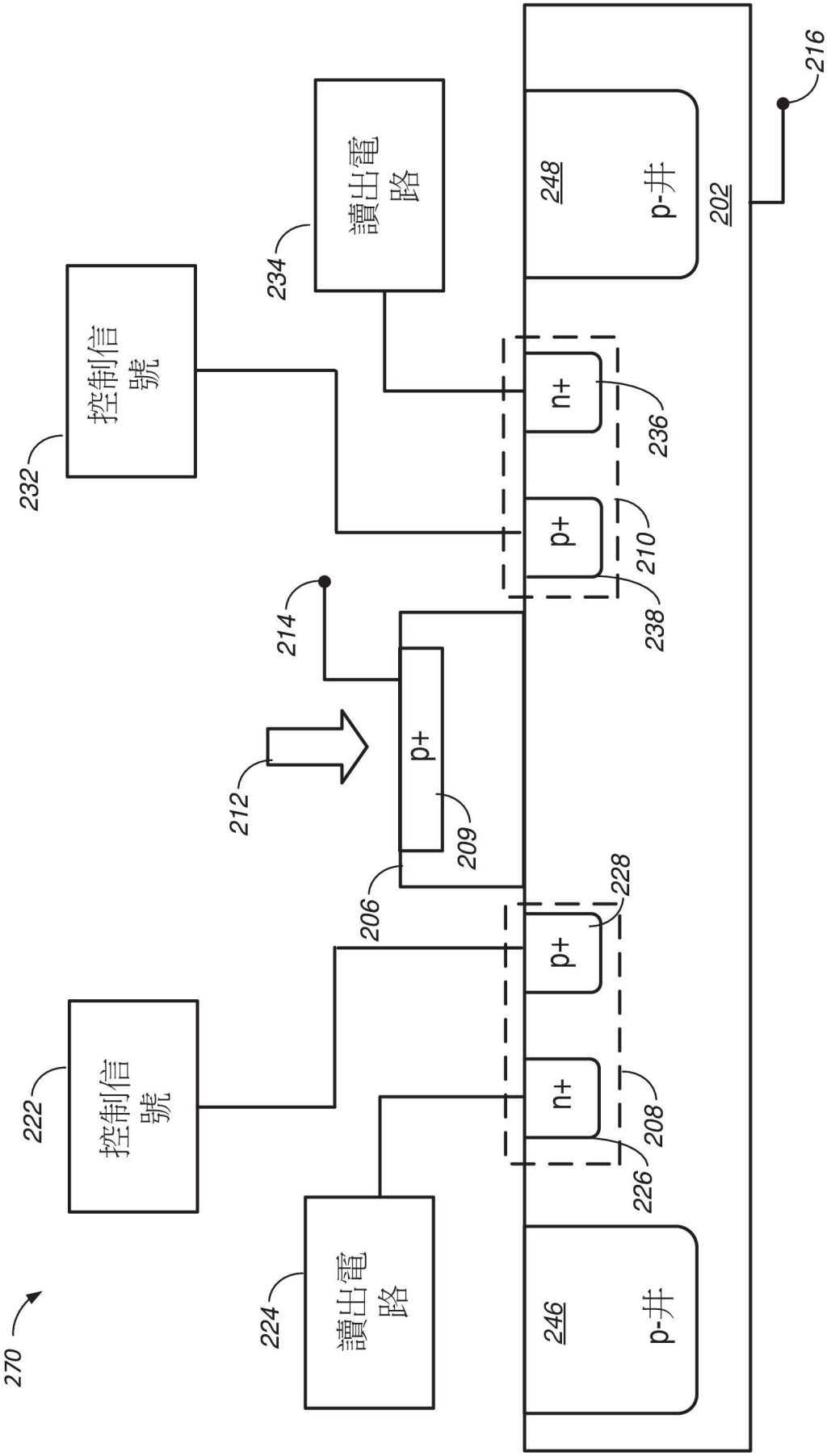

270
控制信號
222
讀出電路
224
控制信號
232
讀出電路
234
212
214
216
202
248
p-井
246
p-井
n+
208
n+
236
p+
206
p+
209
p+
210
p+
228
226
238

圖2D

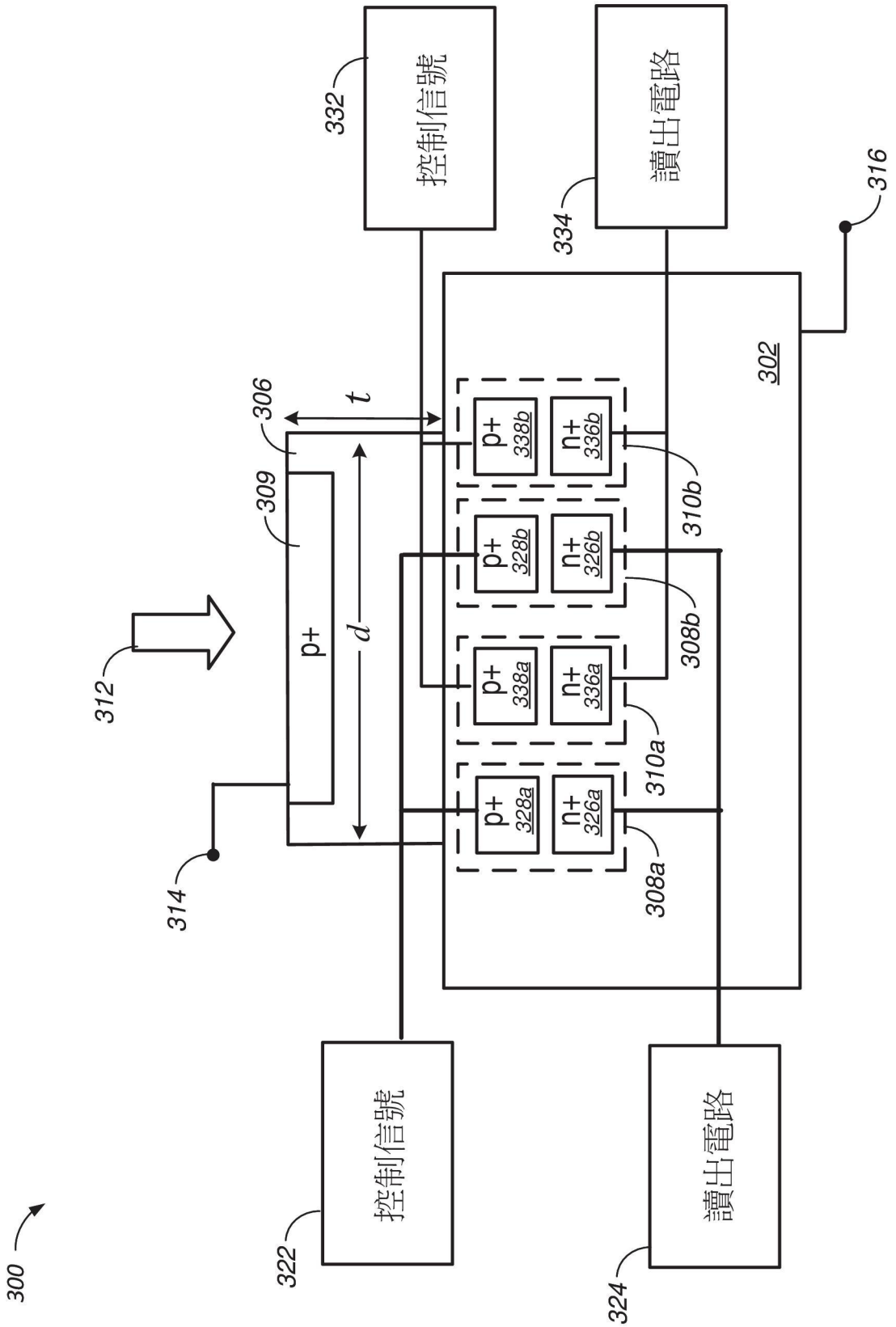

300
312
314
316
322
324
332
334
302
306
309
t
d
p+
控制信號
讀出電路
控制信號
讀出電路
p+ 338b
n+ 336b
p+ 328b
n+ 326b
p+ 338a
n+ 336a
p+ 328a
n+ 326a
310b
308b
310a
308a

圖3A

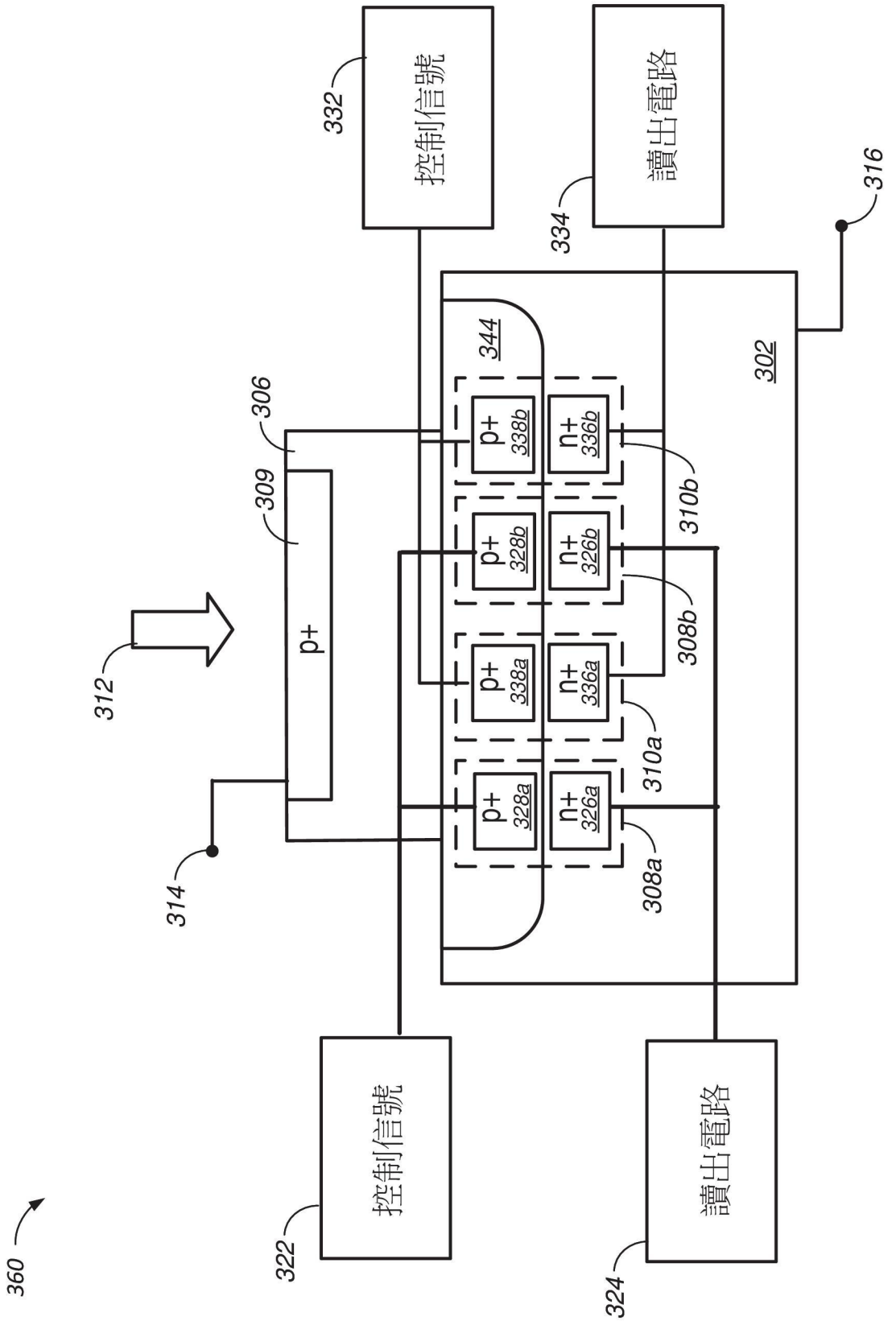

360
322
控制信號
324
讀出電路
314
312
306
309
p+
332
控制信號
334
讀出電路
316
344
302
p+ 338b
n+ 336b
p+ 328b
n+ 326b
p+ 338a
n+ 336a
p+ 328a
n+ 326a
310b
308b
310a
308a

圖3B

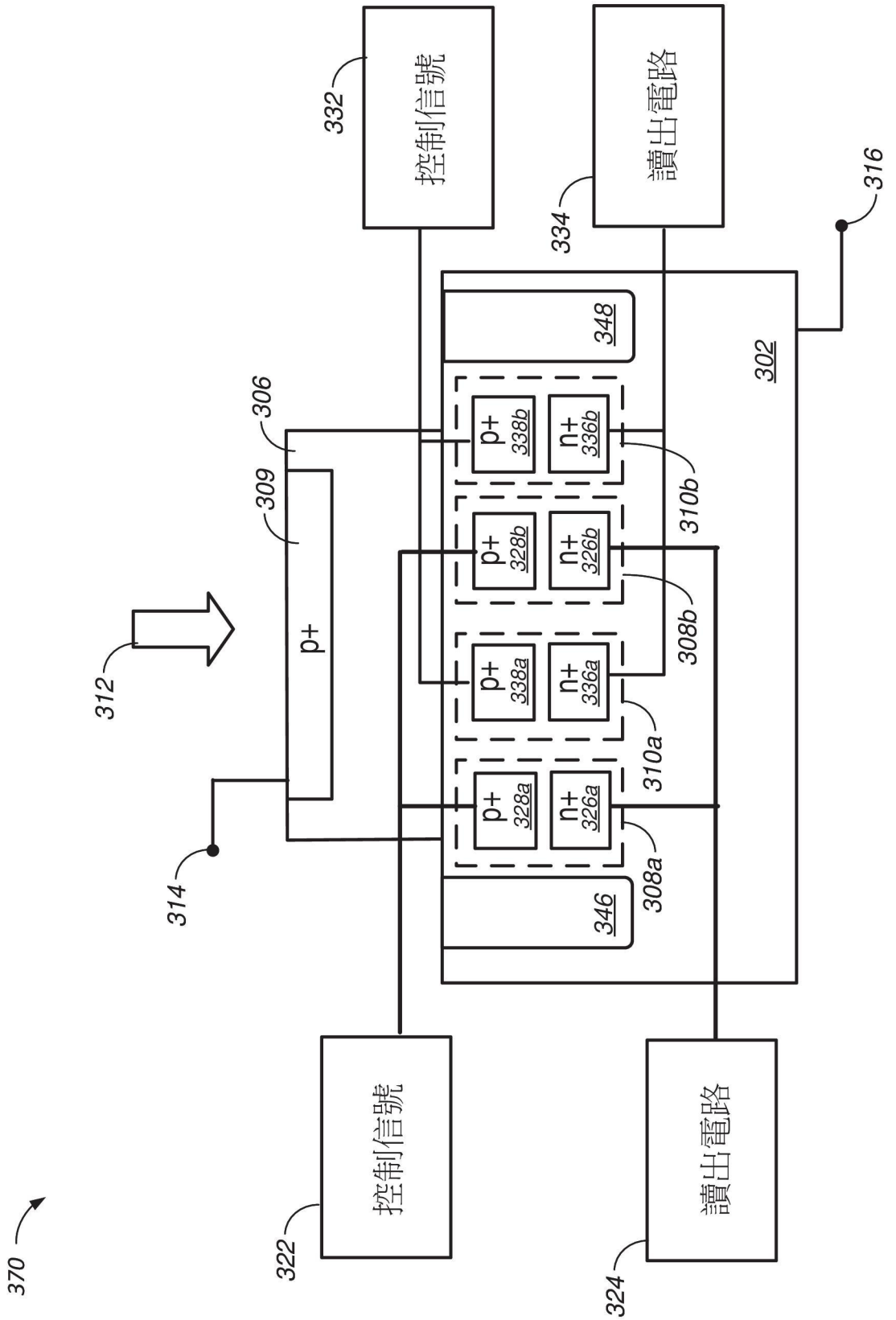

370
322
控制信號
324
讀出電路
314
312
306
309
p+
332
控制信號
334
讀出電路
316
302
348
p+ 338b
n+ 336b
310b
p+ 328b
n+ 326b
308b
p+ 338a
n+ 336a
310a
p+ 328a
n+ 326a
308a
346

圖3C

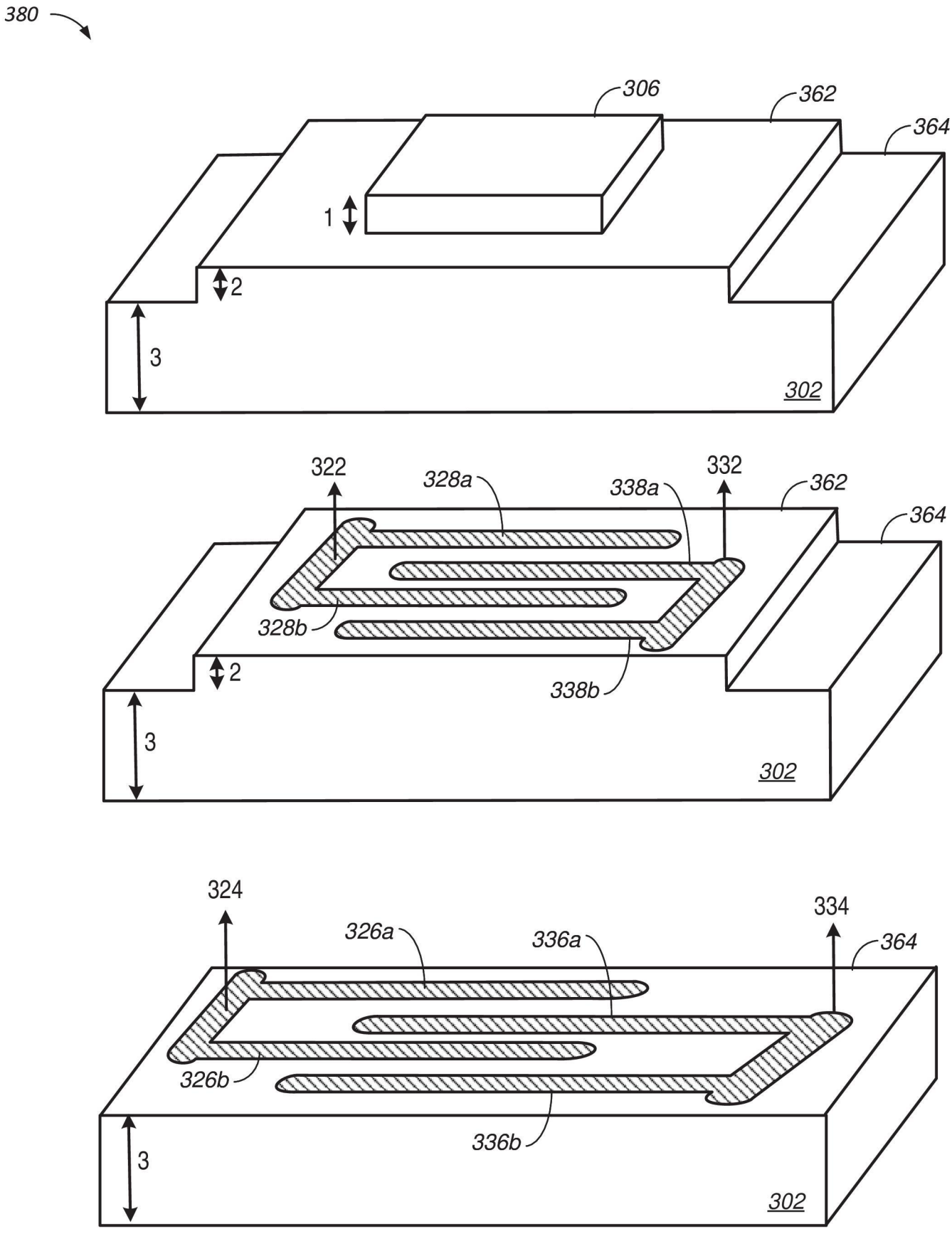

380
306
362
364
1
2
3
302
322
328a
338a
332
362
364
328b
338b
2
3
302
324
326a
336a
334
364
326b
336b
3
302

圖3D

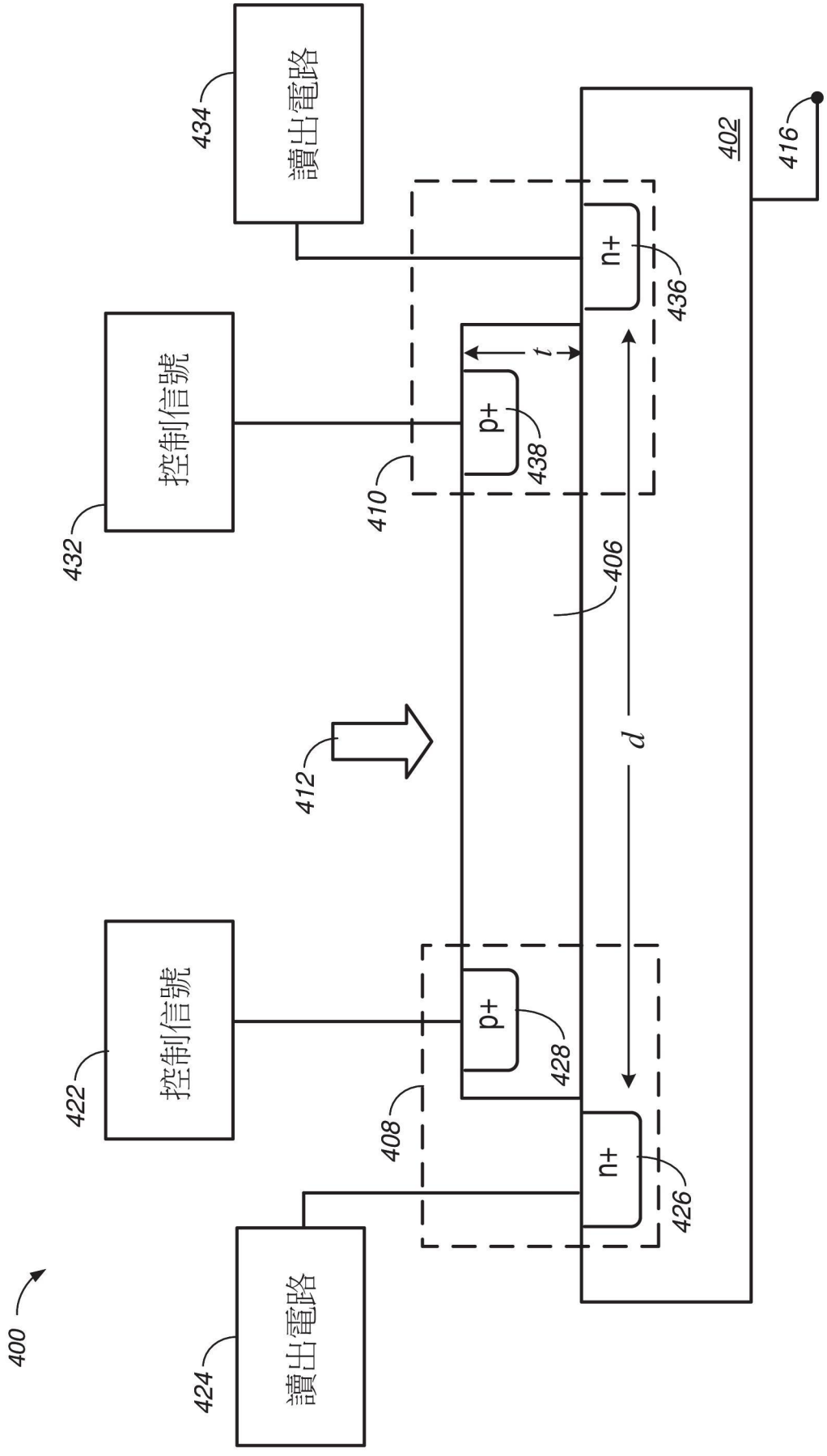

400
424
讀出電路
422
控制信號
408
428
p+
426
n+
412
406
d
410
438
t
432
控制信號
436
n+
434
讀出電路
402
416

圖4A

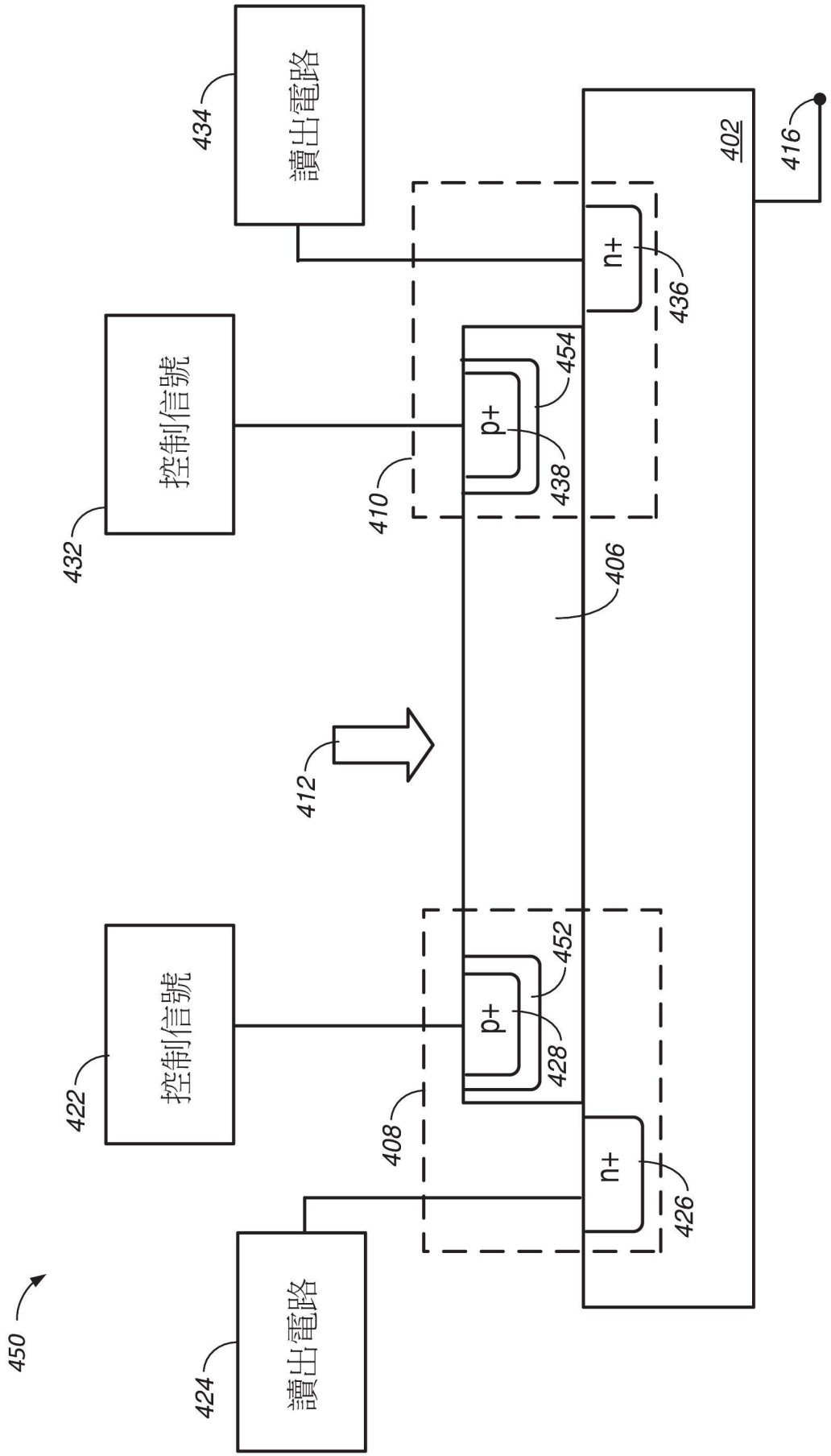

讀出電路
434
控制信號
432
410
454
p+
438
402
416
n+
436
406
412
控制信號
422
452
p+
428
408
n+
426
讀出電路
424
450

圖4B

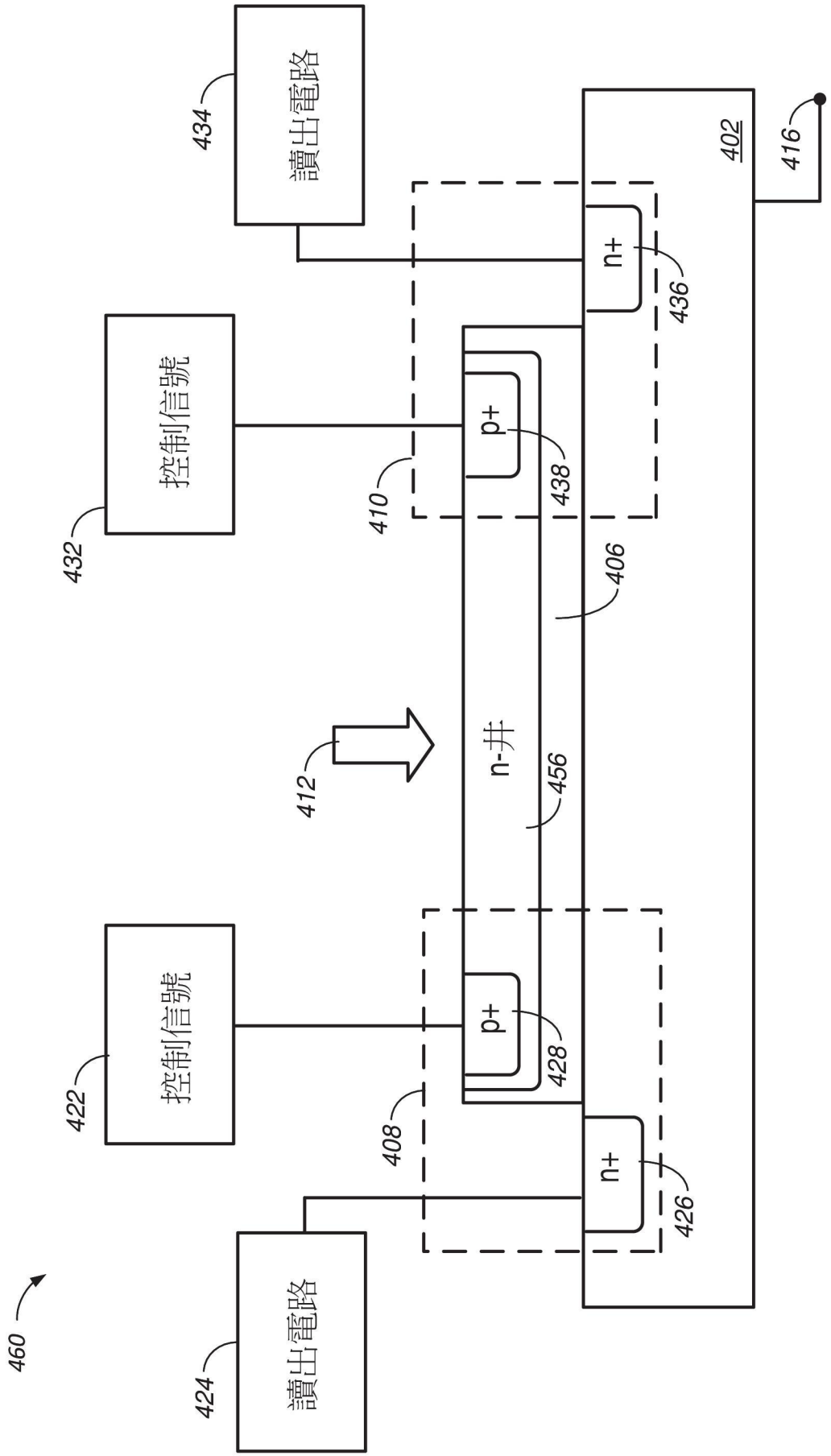

460
讀出電路
434
控制信號
432
控制信號
422
讀出電路
424
402
416
n+
436
p+
438
410
406
412
n-井
456
p+
428
408
n+
426

圖4C

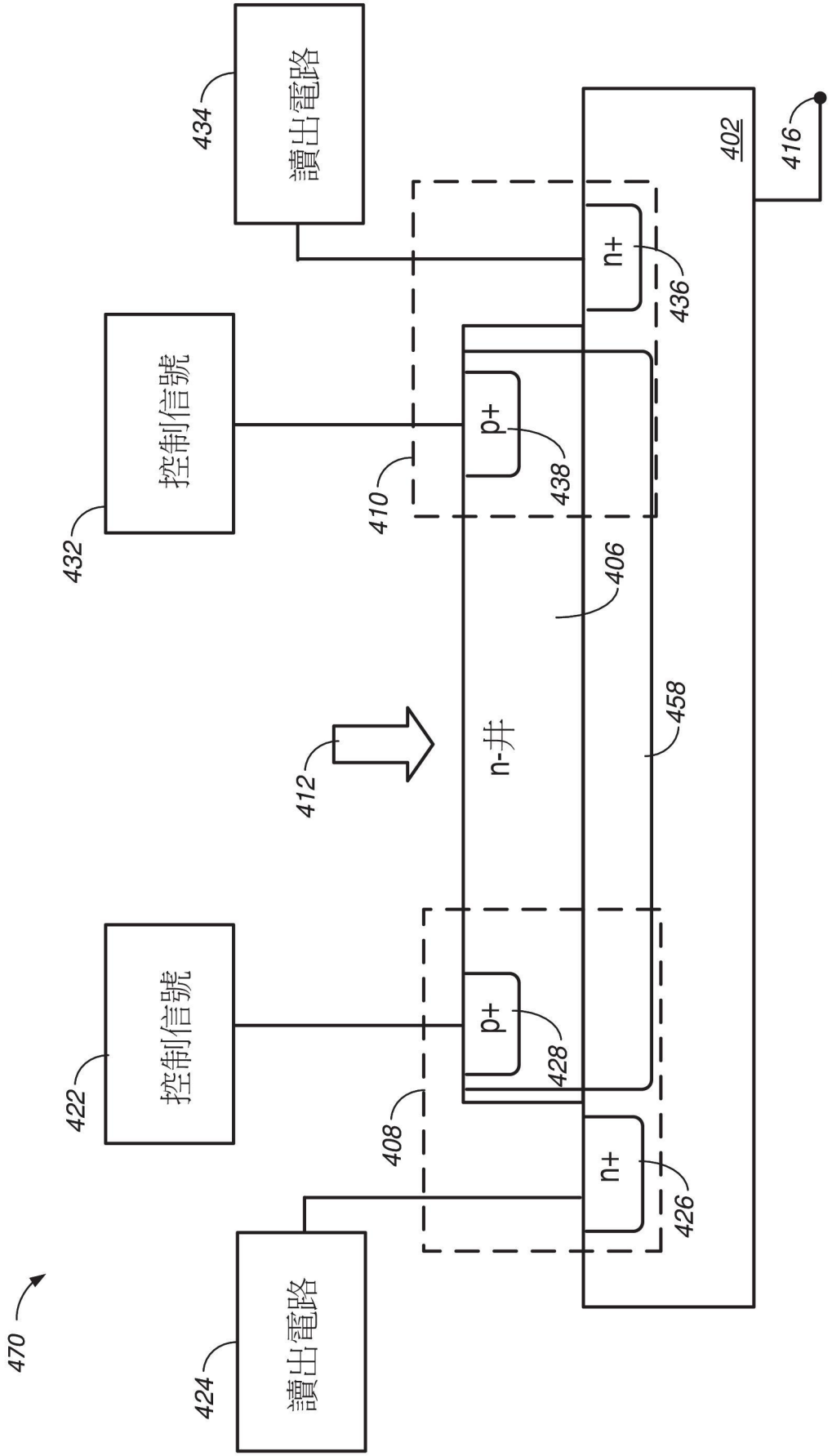

讀出電路
434
控制信號
432
410
p+
438
n+
436
402
416
406
458
412
n-井
控制信號
422
408
p+
428
n+
426
讀出電路
424
470

圖4D

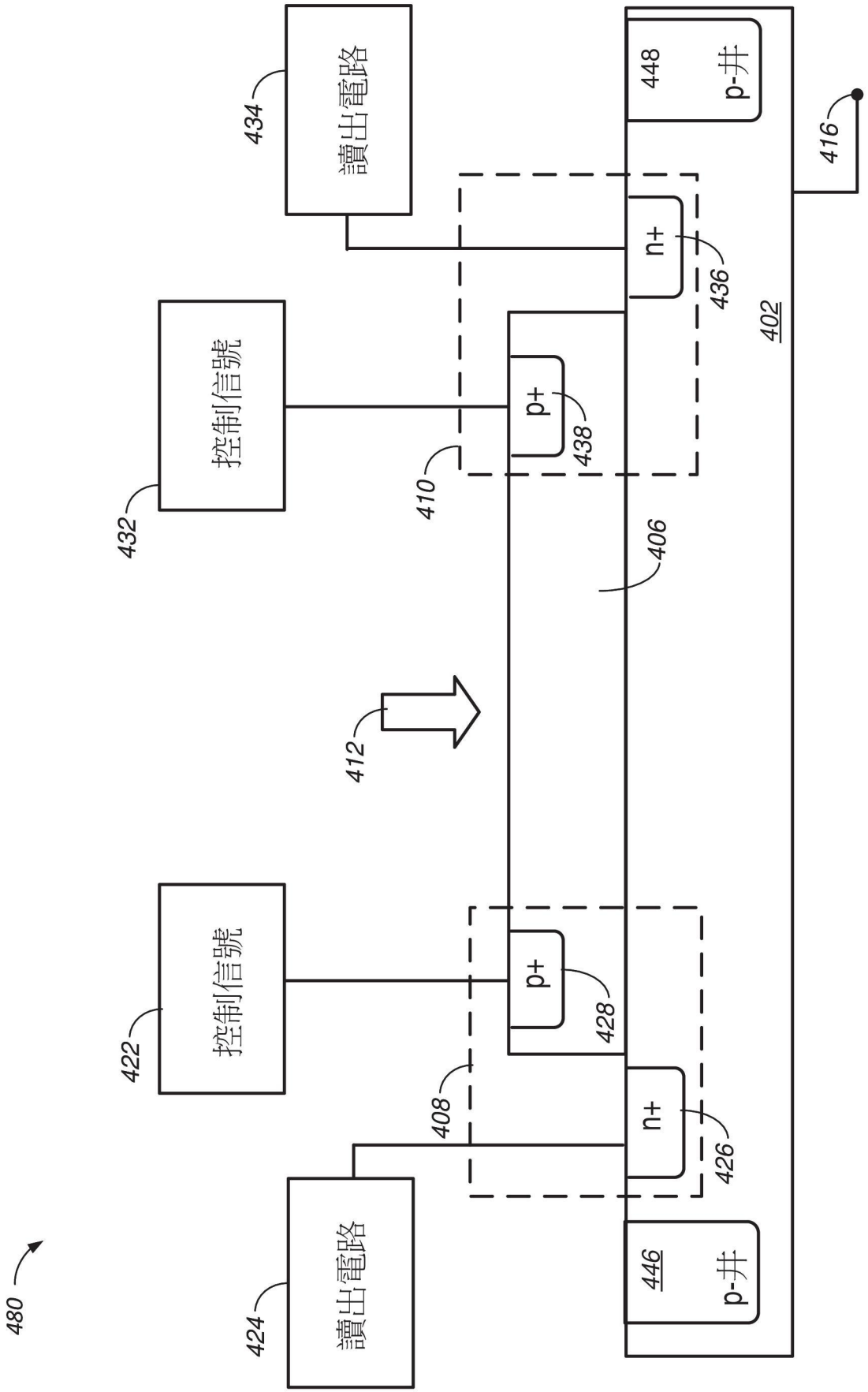

480
424
讀出電路
422
控制信號
408
n+
426
446
p-井
p+
428
412
406
410
p+
438
432
控制信號
n+
436
402
448
p-井
434
讀出電路
416

圖4E

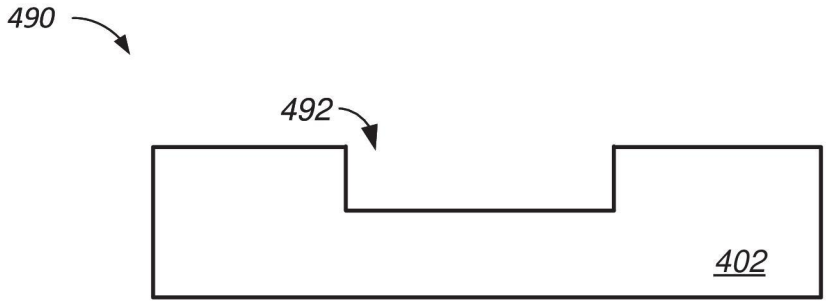


圖4F

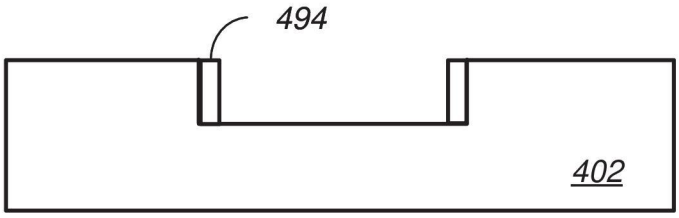


圖4G

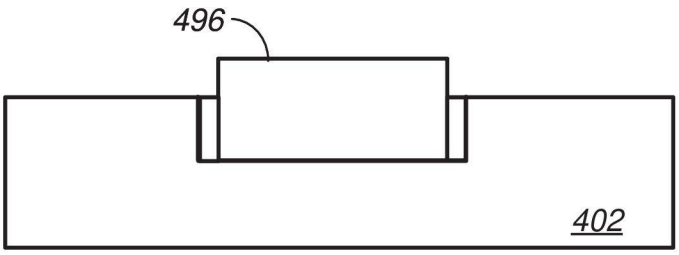


圖4H



圖4I

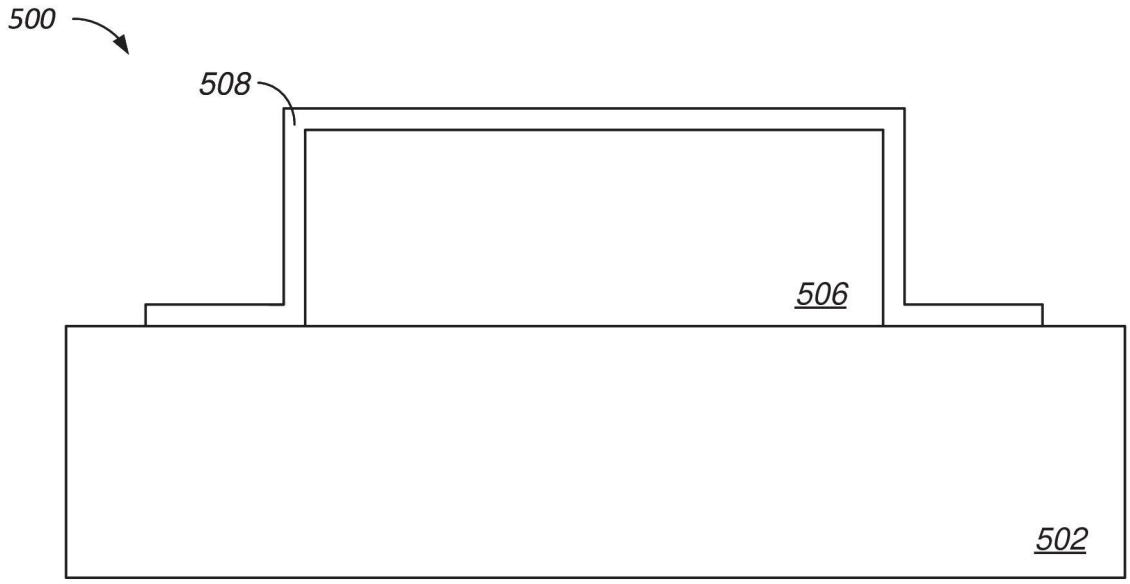


圖5A

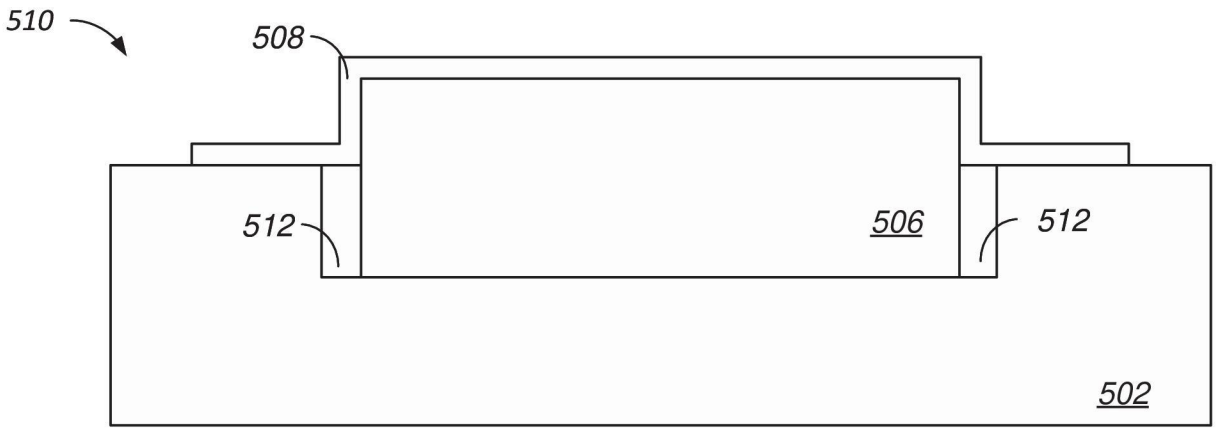


圖5B

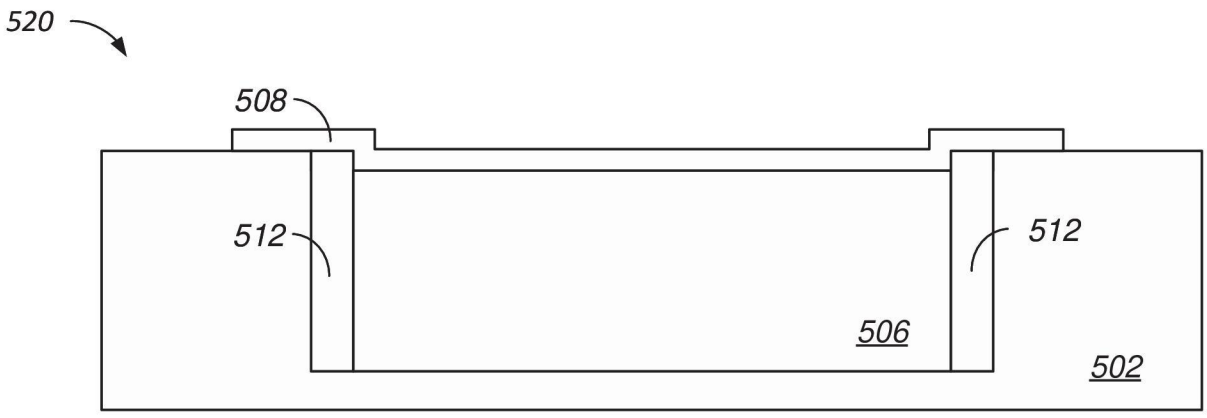


圖5C

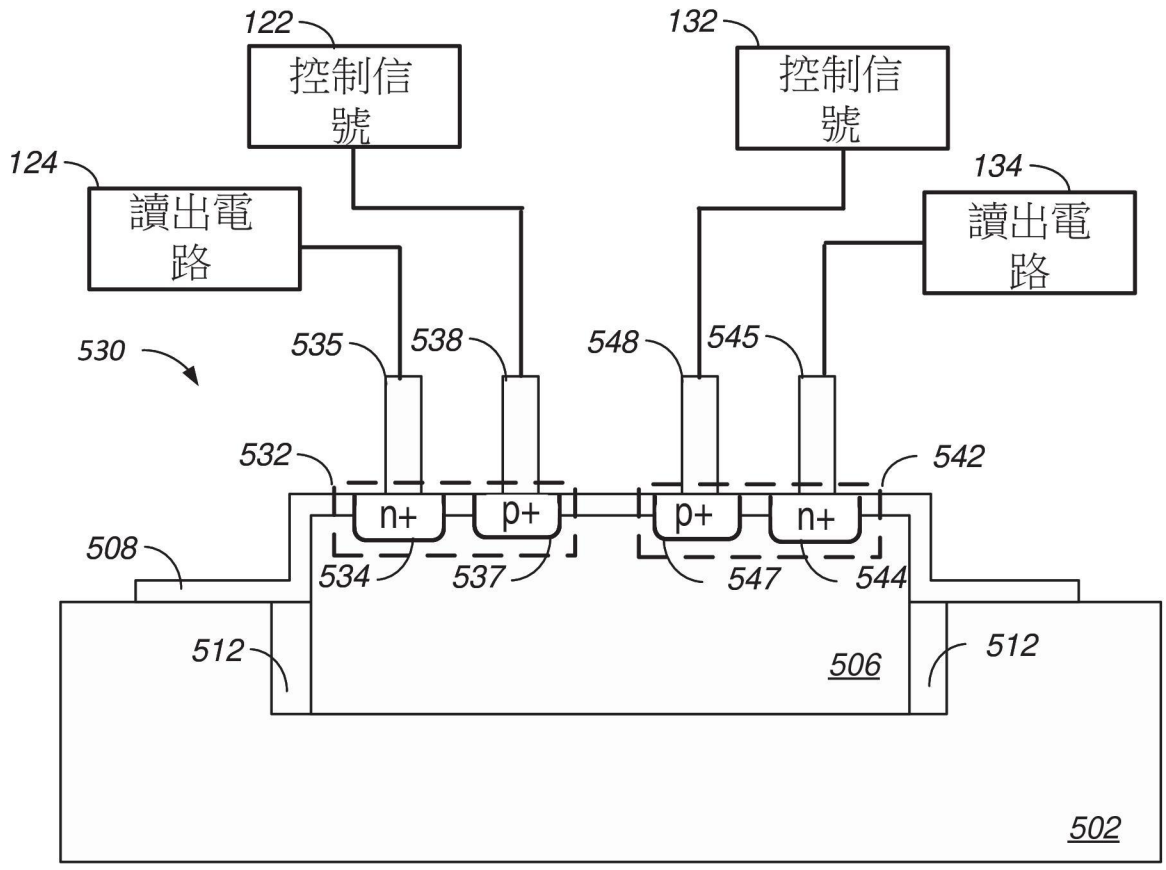

122
控制信號
132
控制信號
124
讀出電路
134
讀出電路
530
535
538
548
545
532
542
n+
p+
p+
n+
508
534
537
547
544
512
506
512
502

圖5D

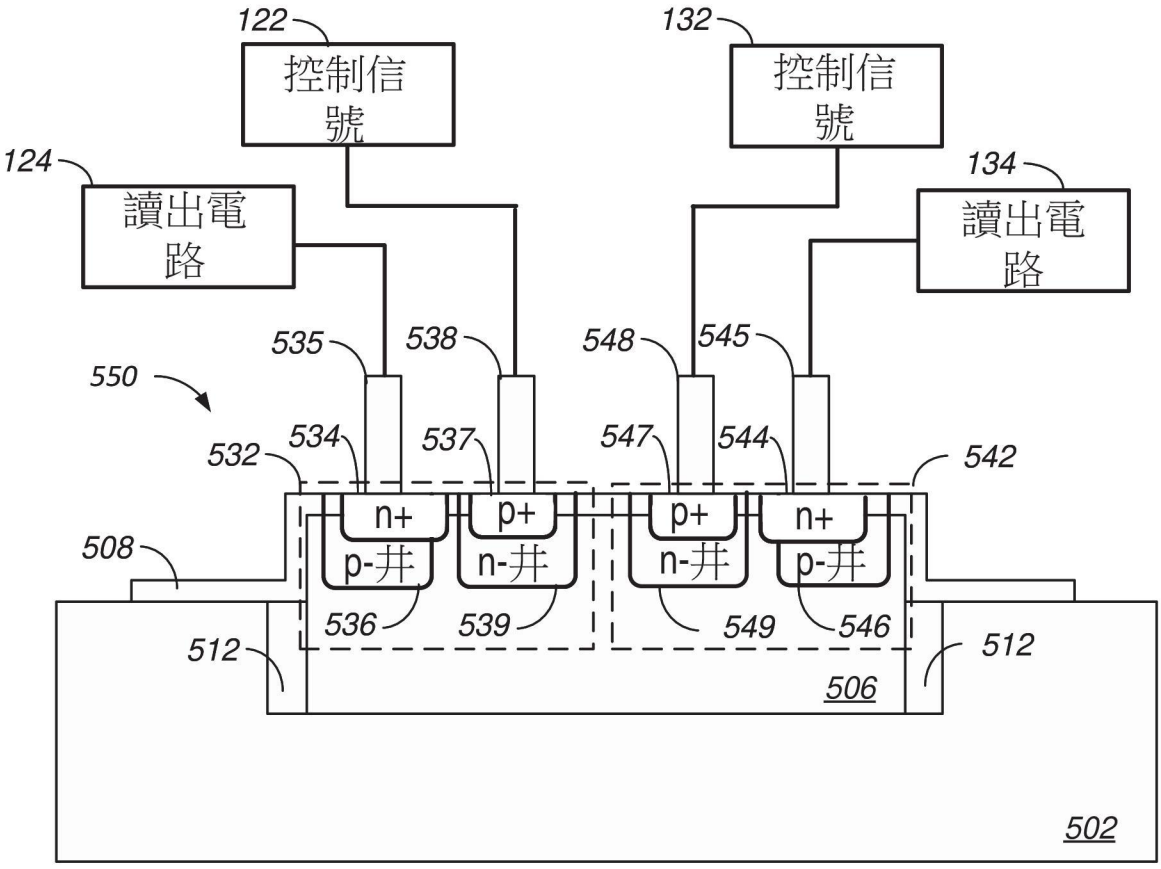

122
控制信號
132
控制信號
124
讀出電路
134
讀出電路
550
535
538
548
545
534
537
547
544
532
542
n+
p+
p+
n+
p-井
n-井
n-井
p-井
508
536
539
549
546
512
506
512
502

圖5E

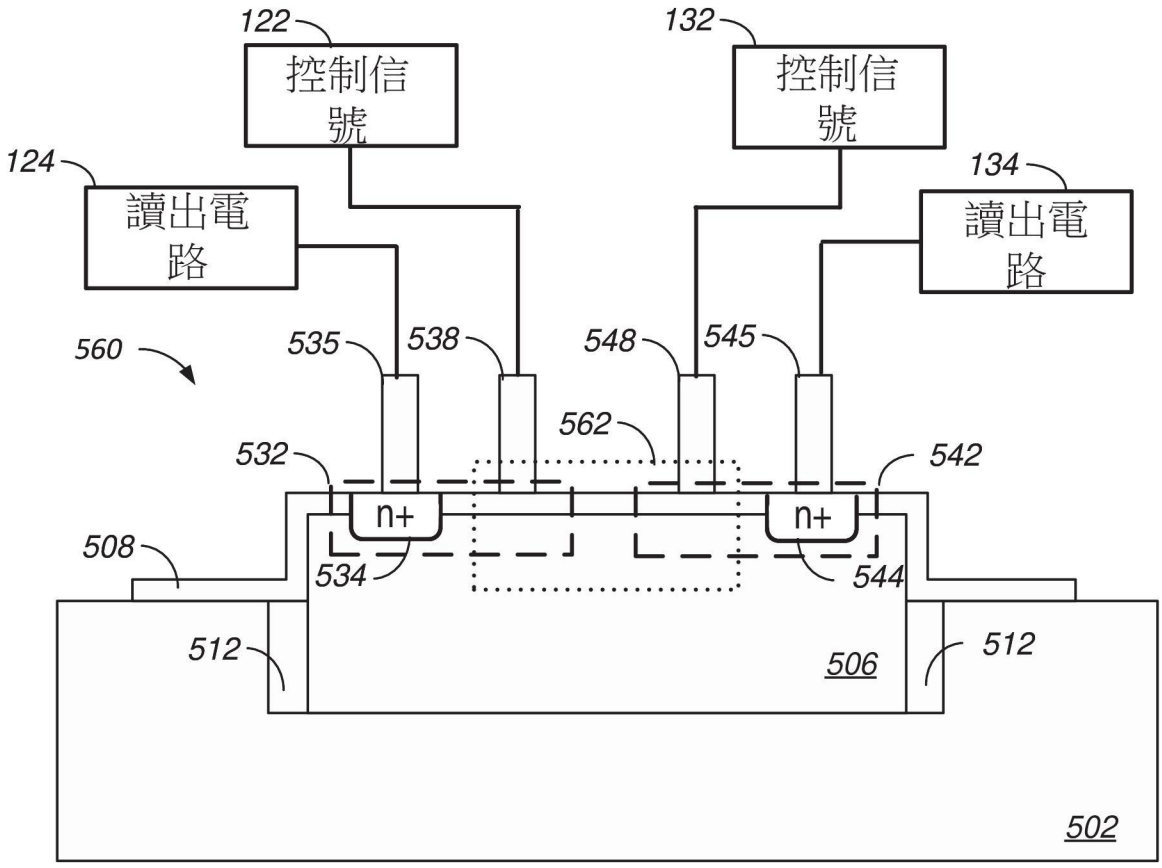

122
控制信號
132
控制信號
124
讀出電路
134
讀出電路
560
535
538
548
545
562
532
542
n+
n+
508
534
544
512
506
512
502

圖5F

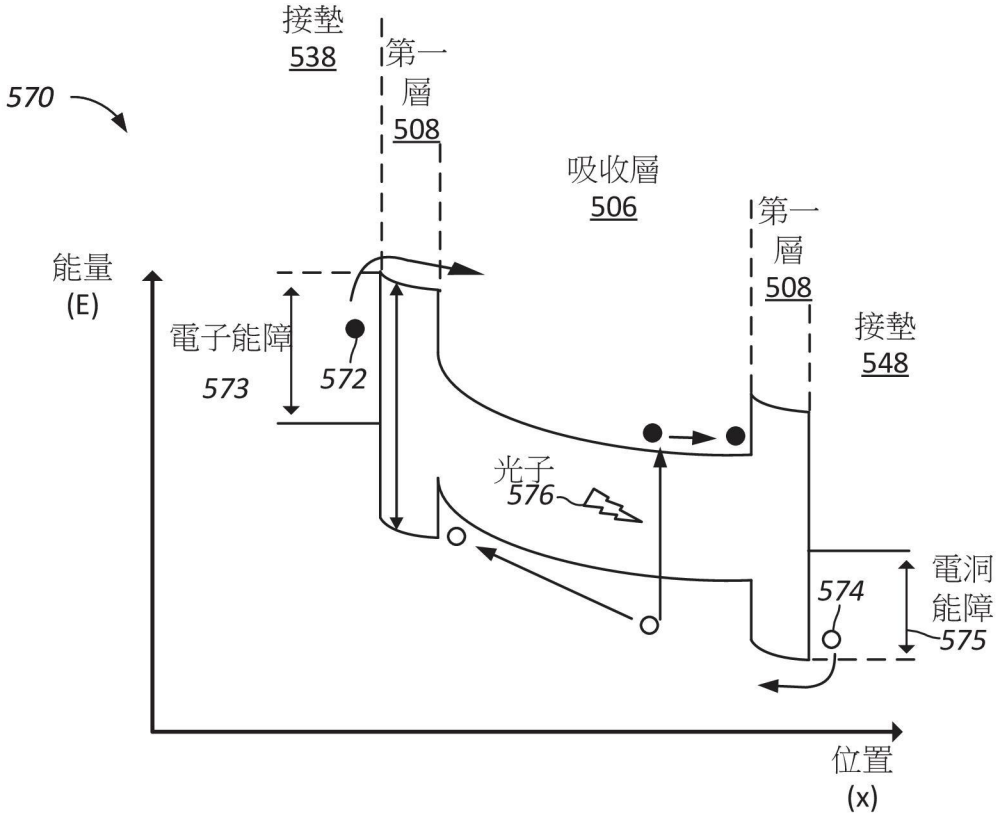

570
接墊
538
第一層
508
吸收層
506
第一層
508
接墊
548
能量
(E)
電子能障
573
572
光子
576
574
電洞
能障
575
位置
(x)

圖5G

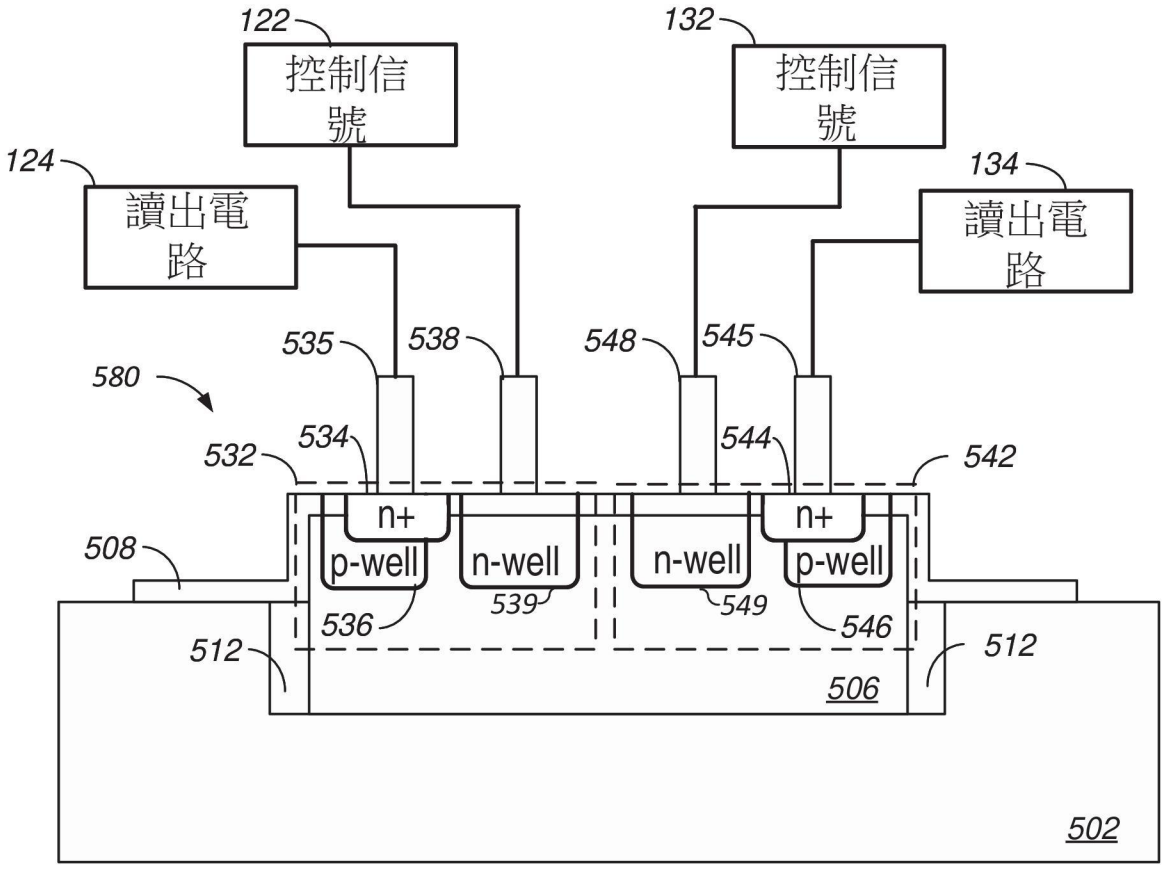

122
控制信號
132
控制信號
124
讀出電路
134
讀出電路
535
538
548
545
580
534
544
532
542
n+
n+
508
p-well
n-well
n-well
p-well
539
549
536
546
512
512
506
502

圖5H

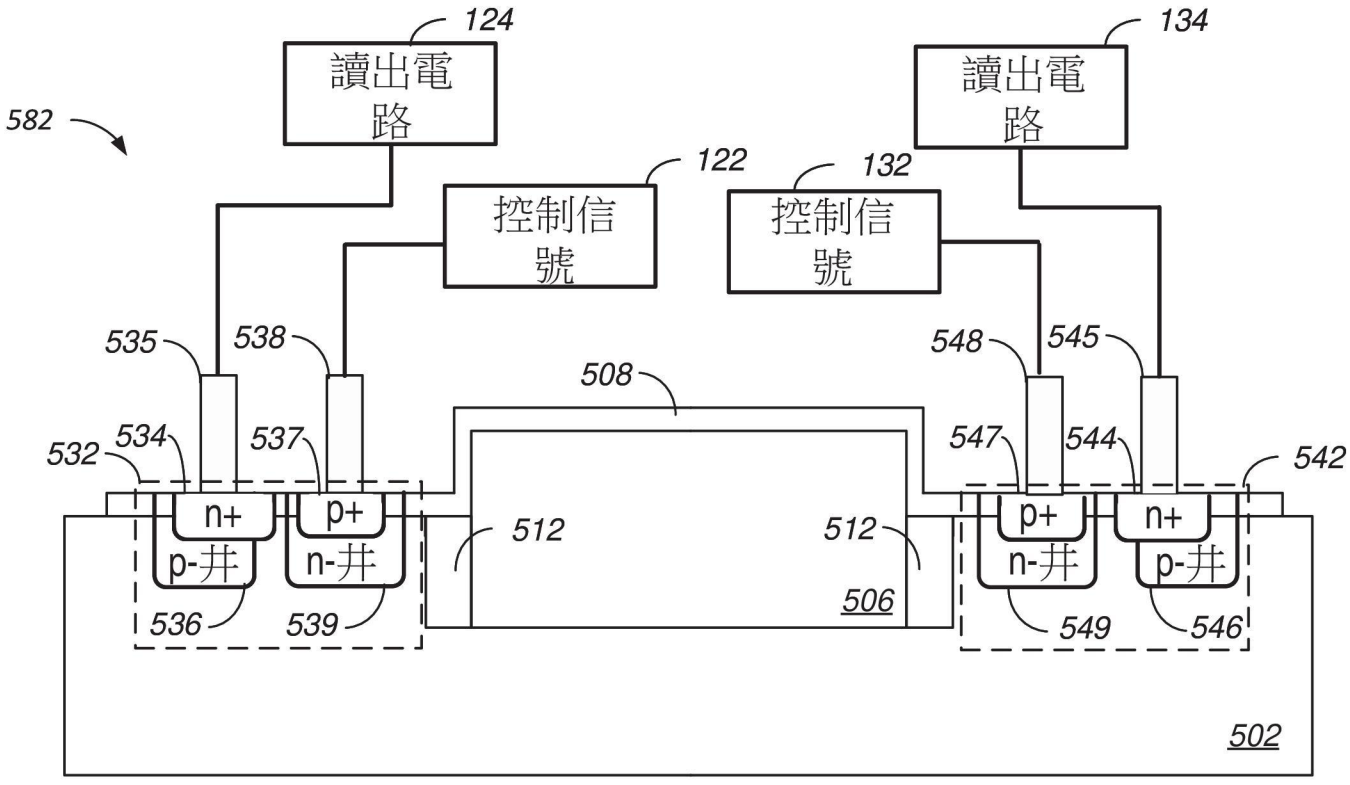

124
讀出電路
134
讀出電路
582
122
132
控制信號
控制信號
535
538
548
545
508
532
534
537
547
544
542
n+
p+
p+
n+
512
512
p-井
n-井
n-井
p-井
506
536
539
549
546
502

圖5I

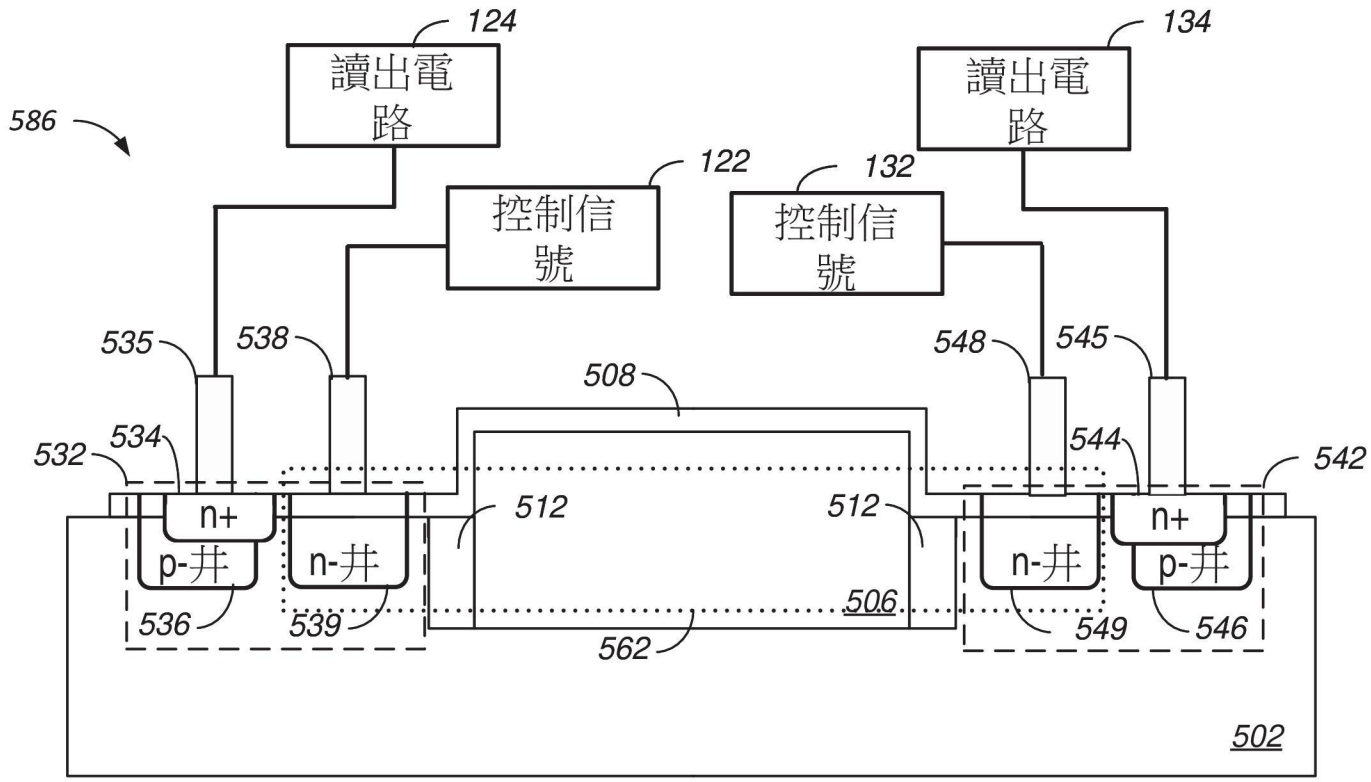

586
124
讀出電路
134
讀出電路
122
控制信號
132
控制信號
535
538
548
545
508
532
534
544
542
n+
p-井
n-井
512
512
n-井
p-井
506
536
539
549
546
562
502

圖5J

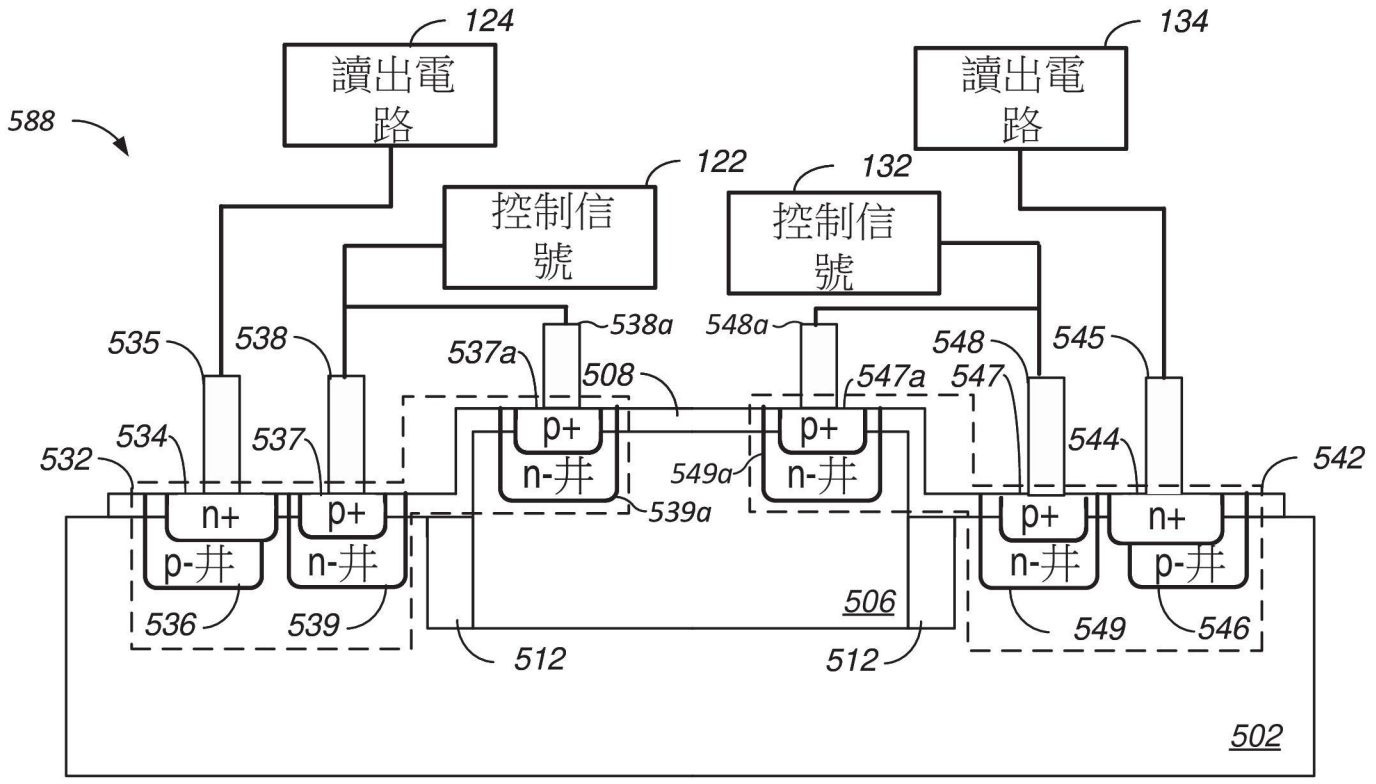

588
124
讀出電路
134
讀出電路
122
控制信號
132
控制信號
535
538
538a
548a
548
545
537a
508
547a
547
532
534
537
549a
544
542
p+
n-井
n+
p-井
539a
506
536
539
549
546
512
512
502

圖5K

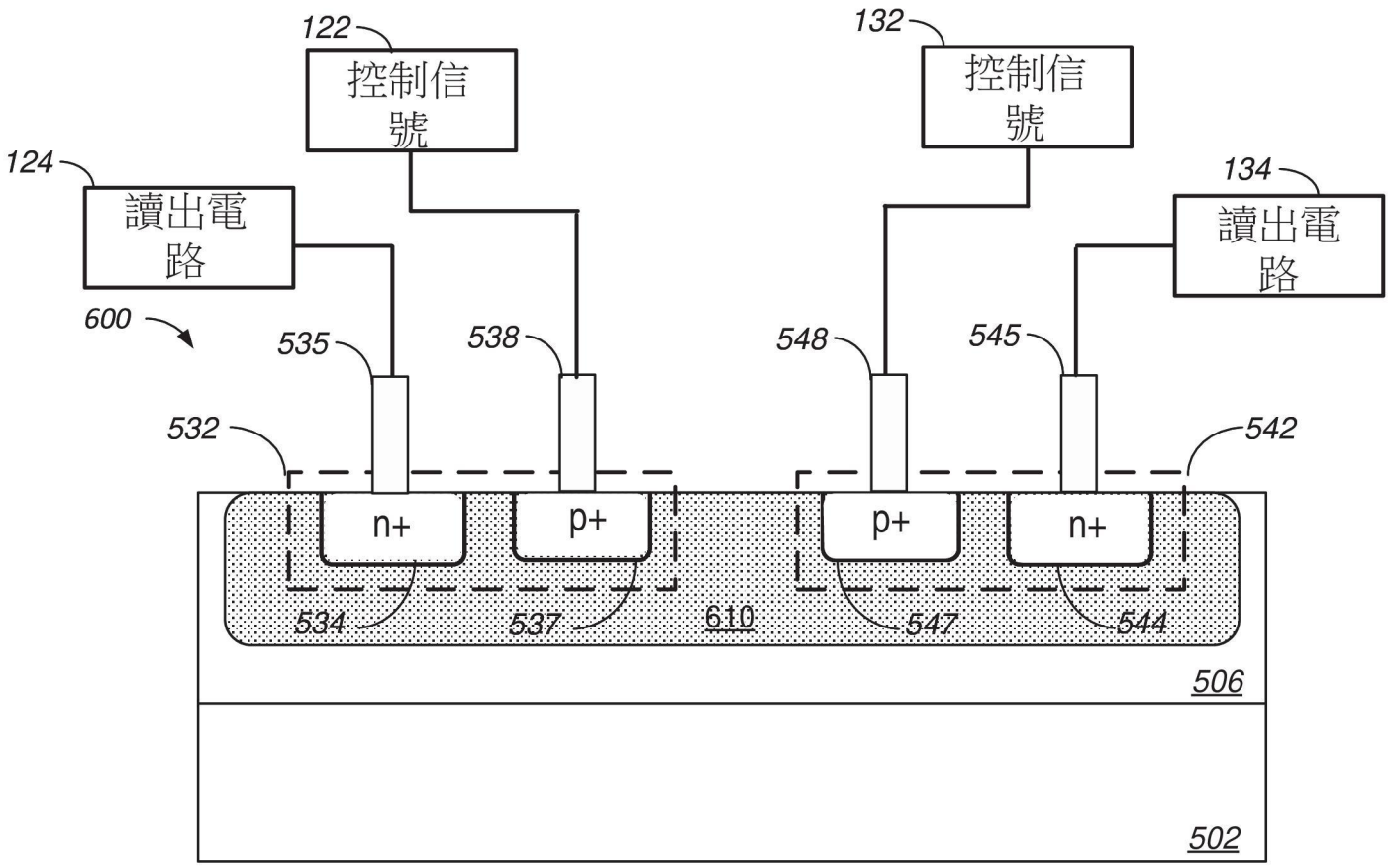

122
控制信號
132
控制信號
124
讀出電路
134
讀出電路
600
535
538
548
545
532
542
n+
p+
p+
n+
534
537
610
547
544
506
502

圖6A

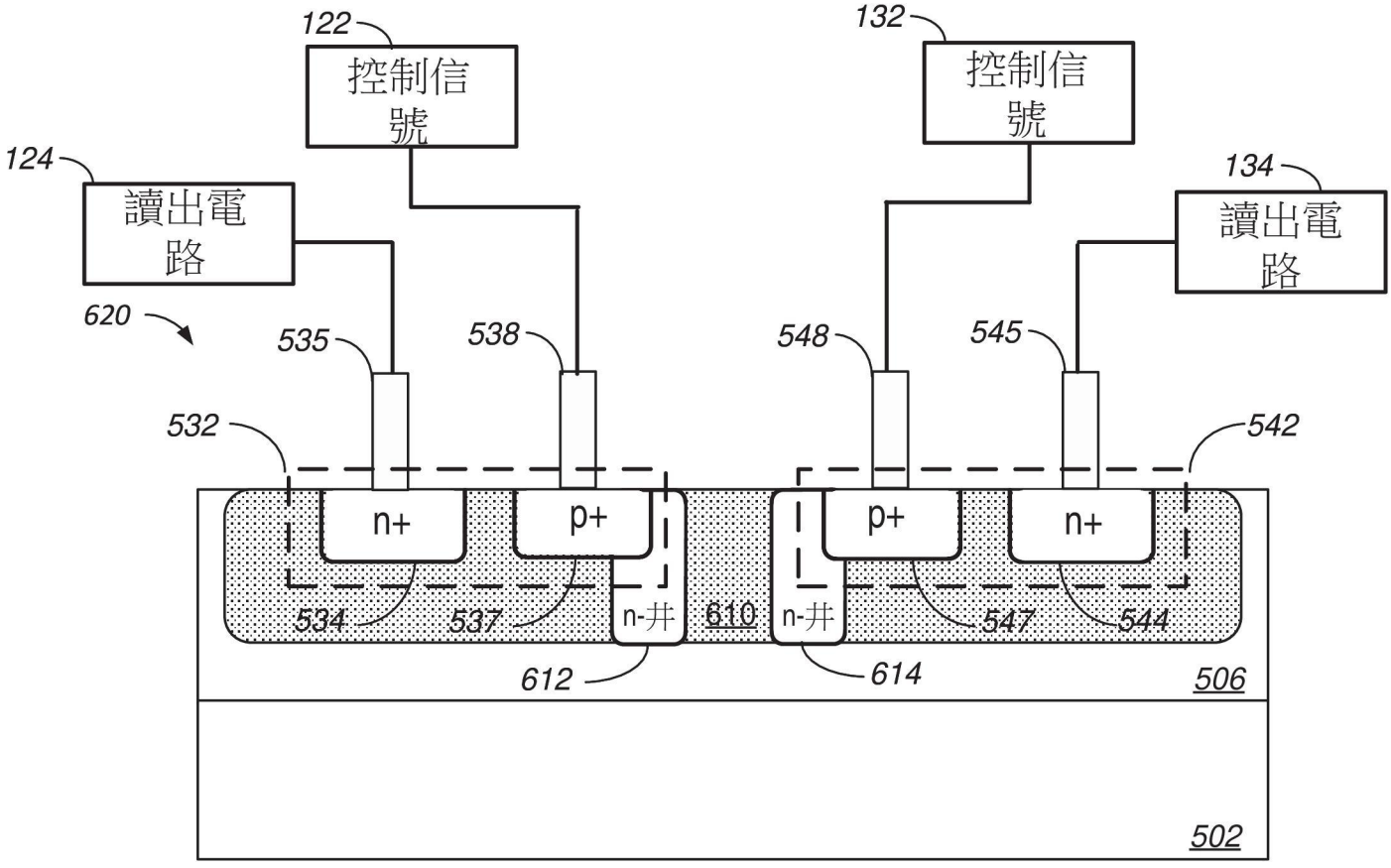

122
控制信號
132
控制信號
124
讀出電路
134
讀出電路
620
535
538
548
545
532
542
n+
p+
p+
n+
534
537
n-井
610
n-井
547
544
612
614
506
502

圖6B

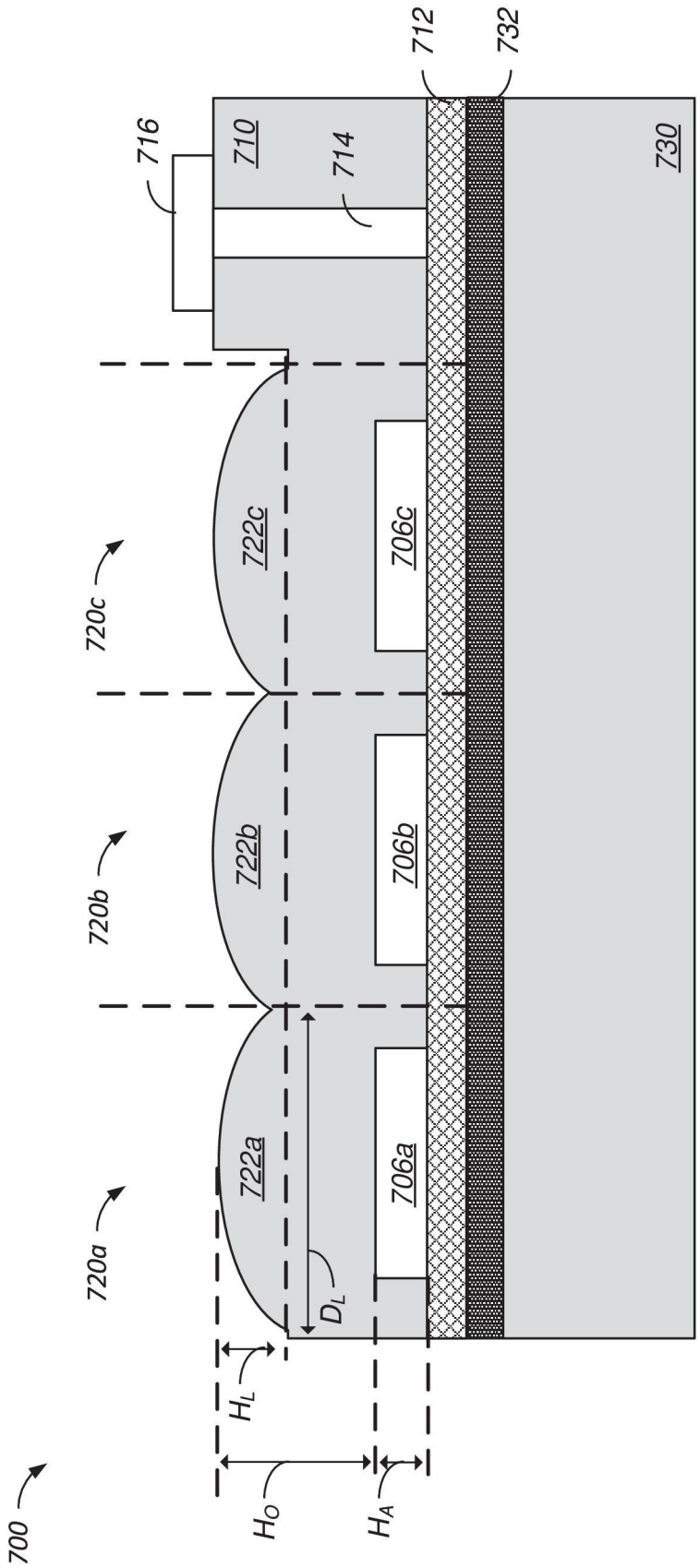

700
716
710
714
712
732
730
720a
720b
720c
722a
722b
722c
706a
706b
706c
D_L
H_L
H_O
H_A

圖7A

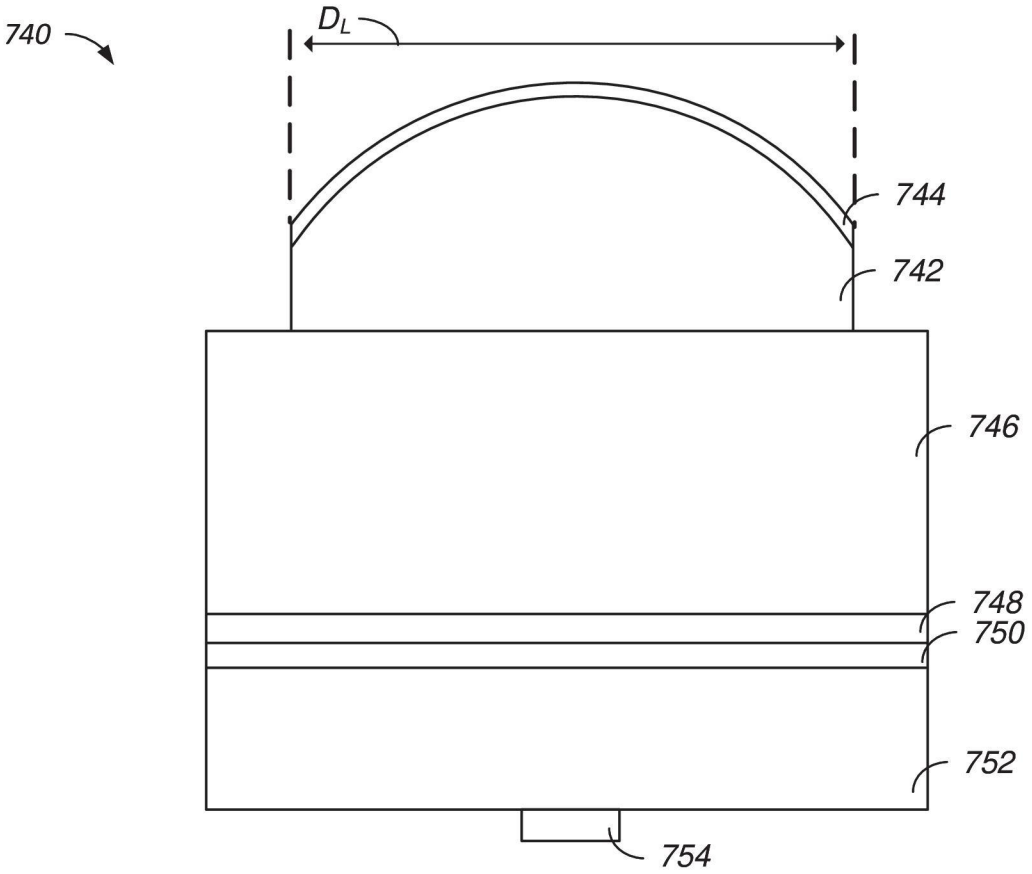


圖7B

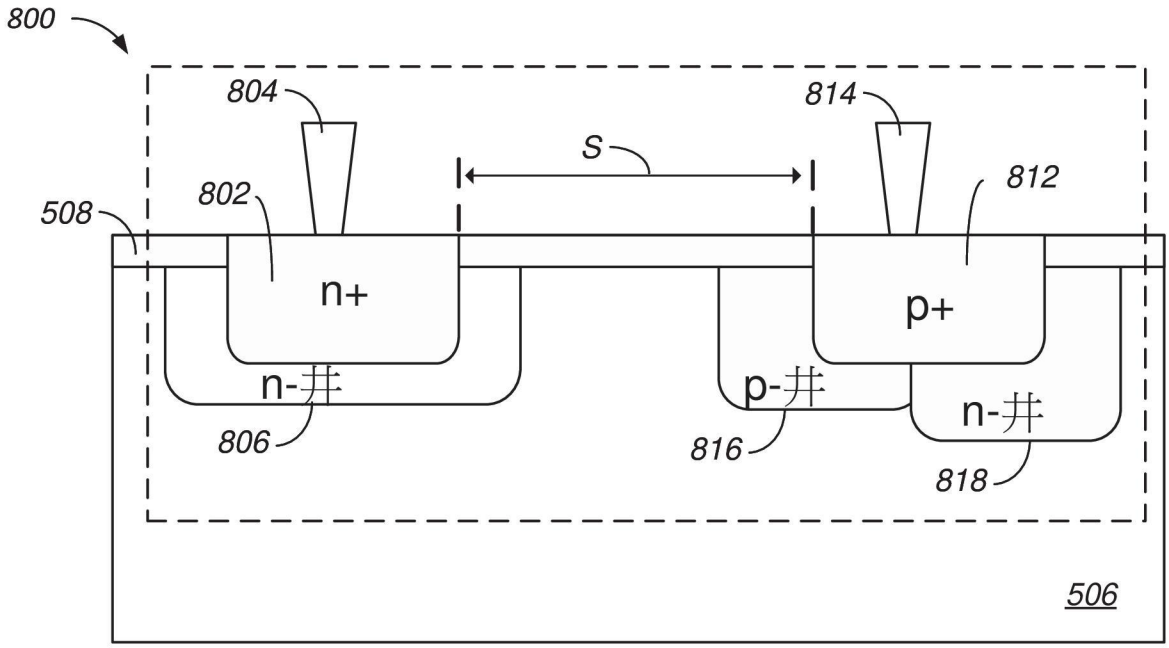

800
804
814
S
802
812
508
n+
p+
n-井
p-井
n-井
806
816
818
506

圖8A

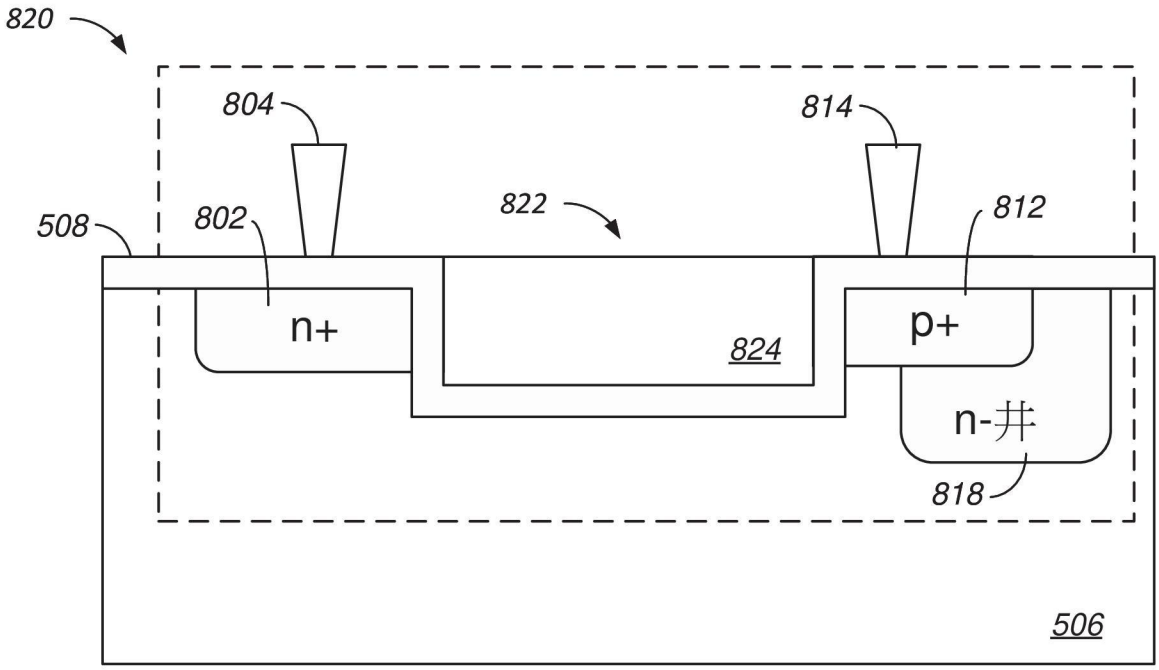

820
804
814
822
802
812
508
n+
824
p+
n-井
818
506

圖8B

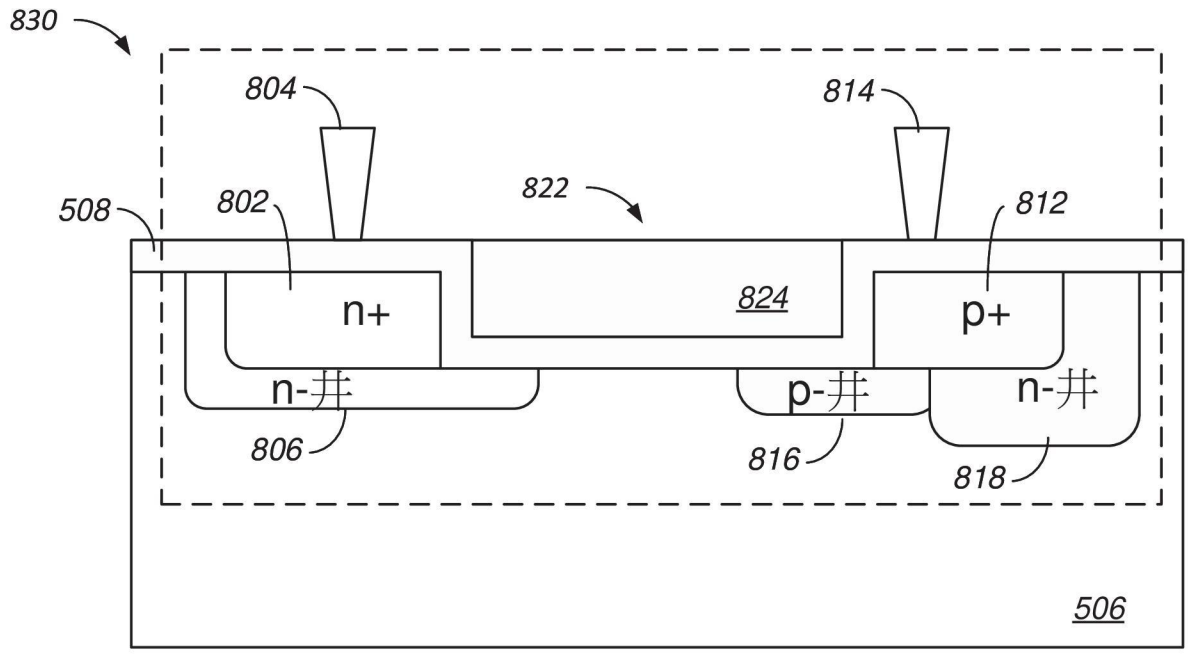


圖8C

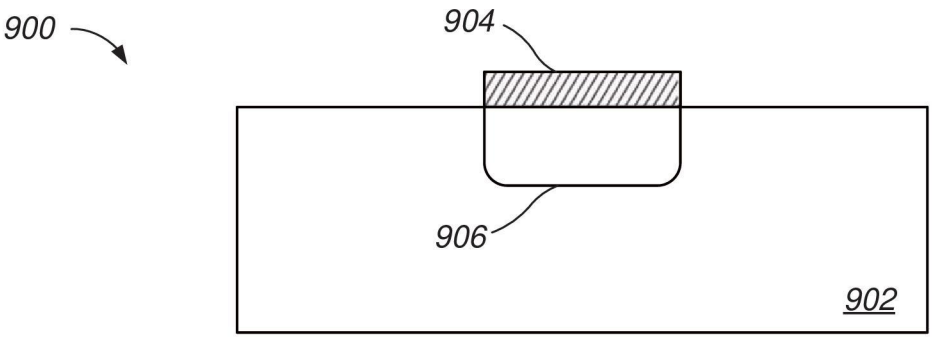


圖9A

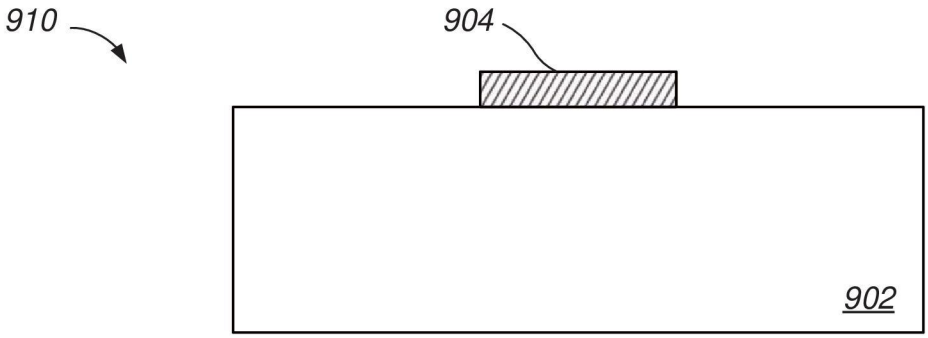


圖9B

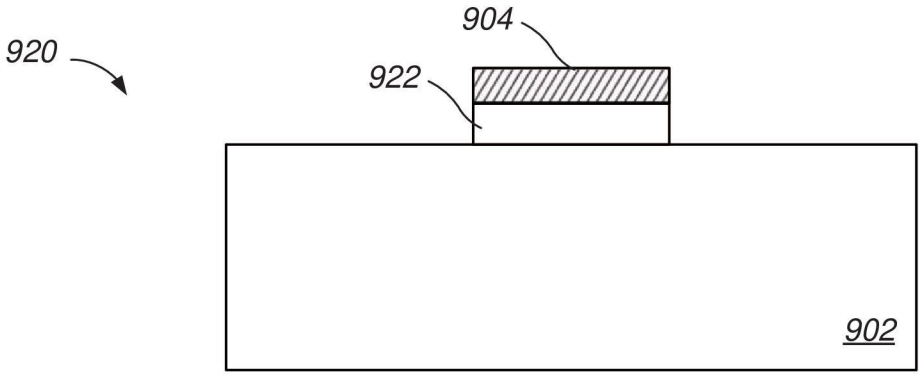


圖9C

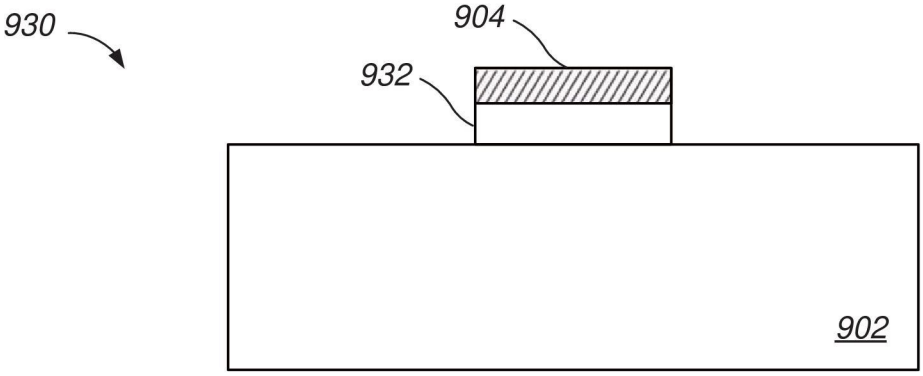


圖9D

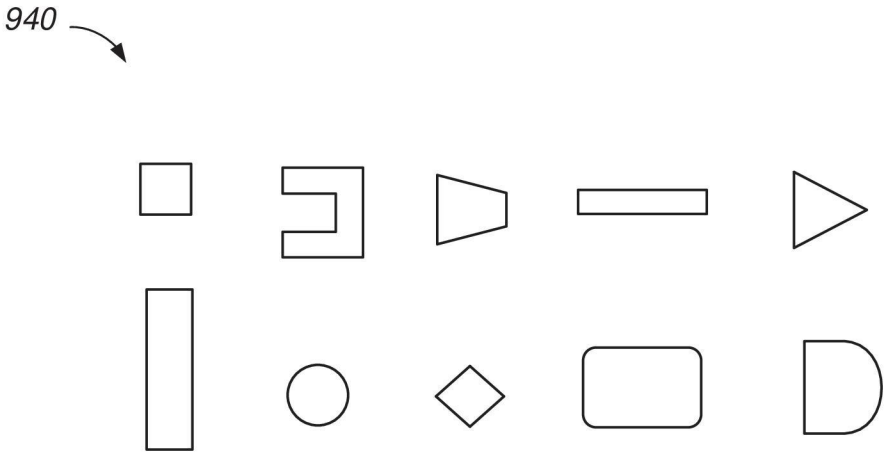


圖9E

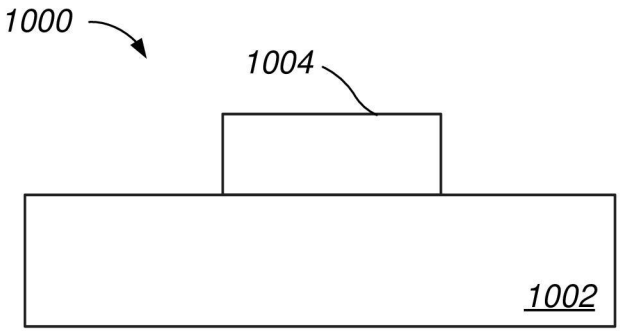


圖10A

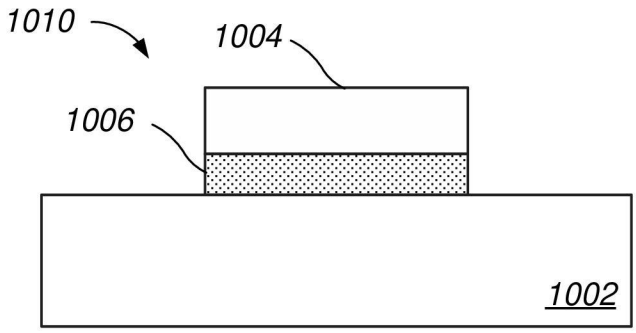


圖10B

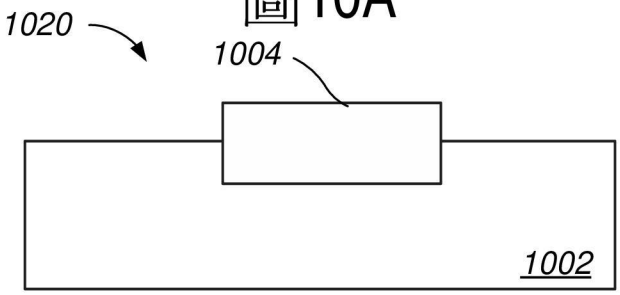


圖10C

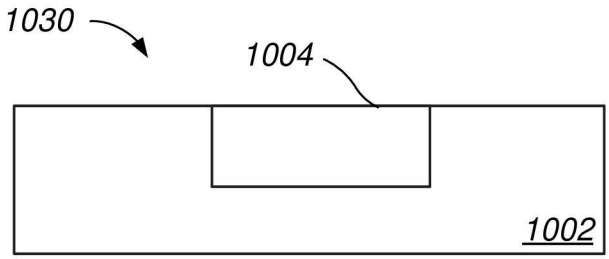


圖10D

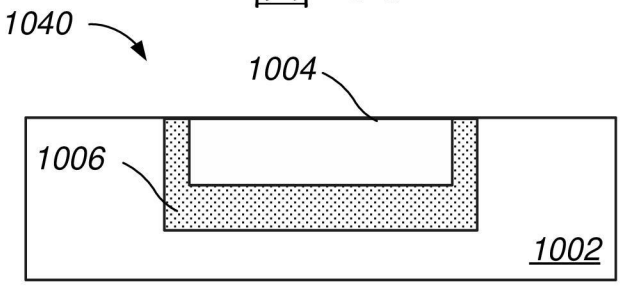


圖10E

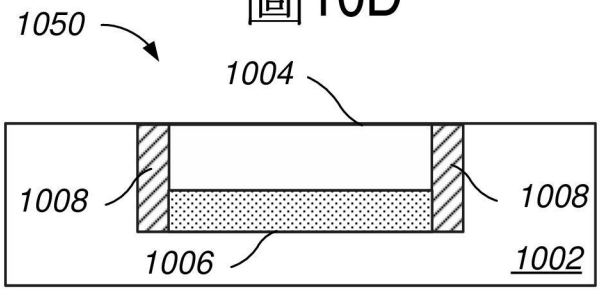


圖10F

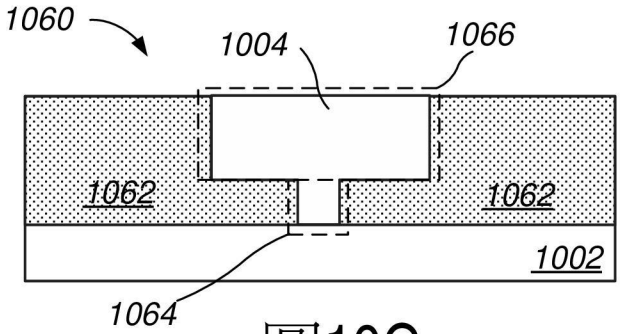


圖10G

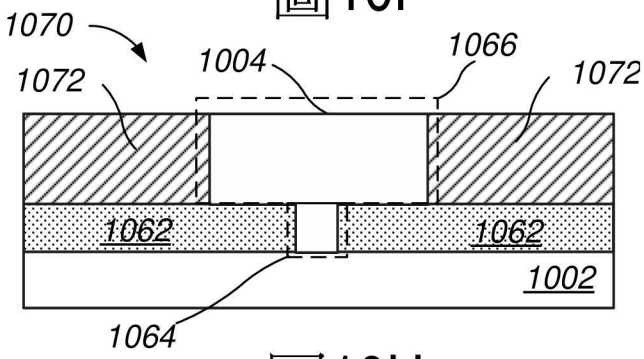


圖10H

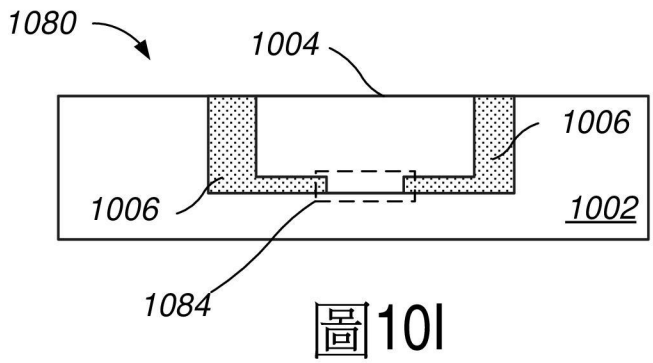


圖10I

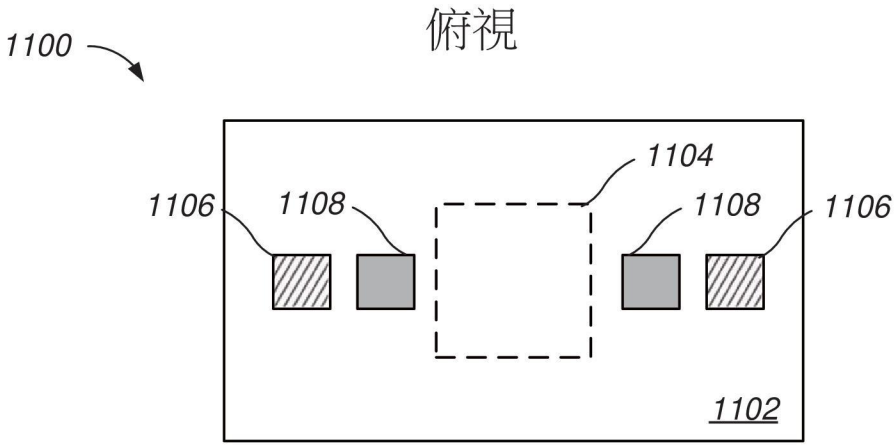

俯視
1100
1104
1106
1108
1108
1106
1102

圖11A

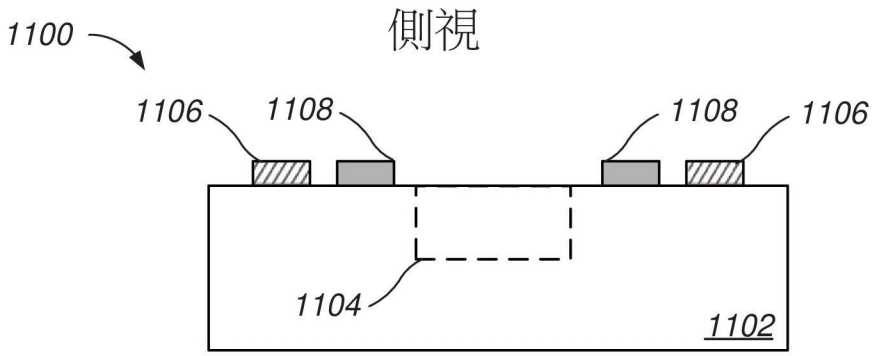

側視
1100
1106
1108
1108
1106
1104
1102

圖11B

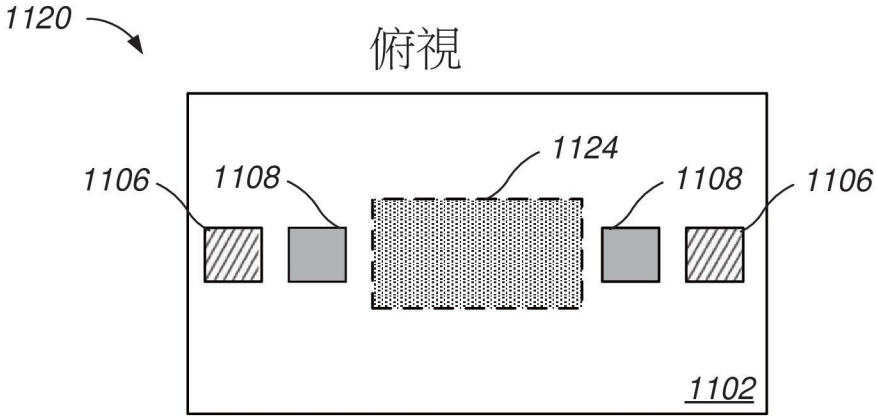


圖11C

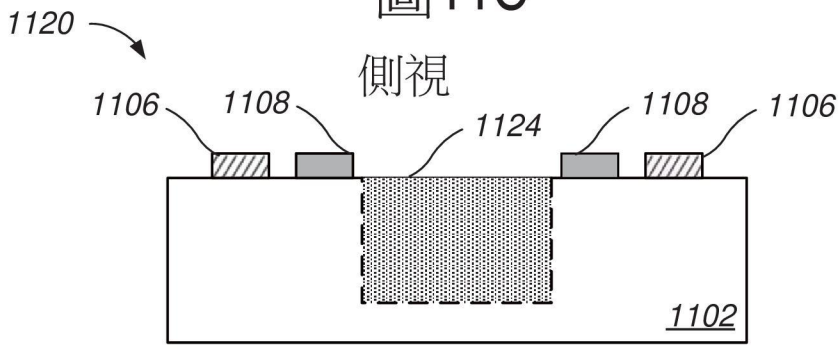


圖11D

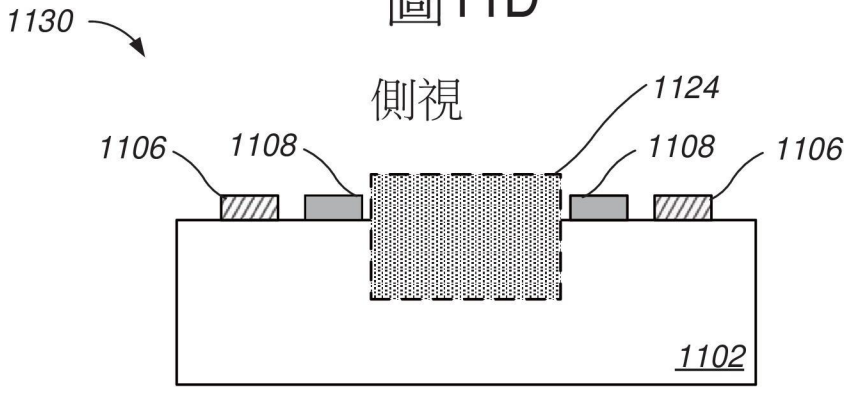


圖11E

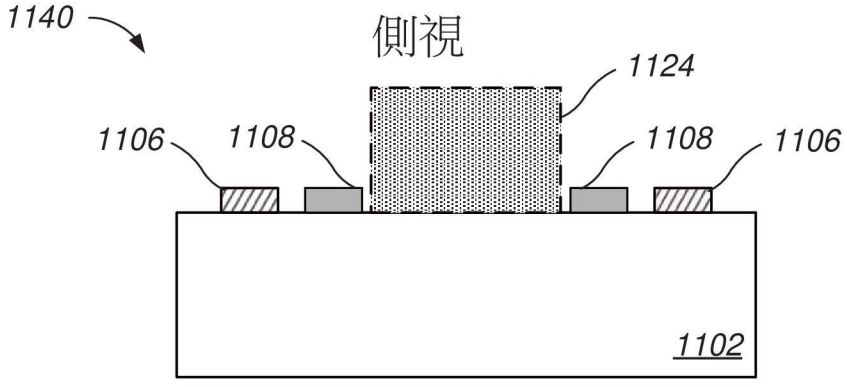


圖11F

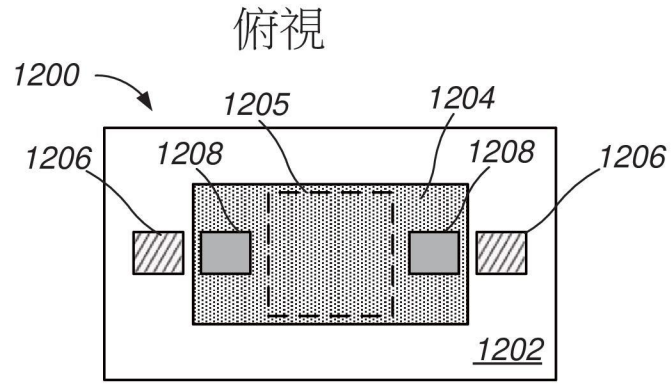


圖12A

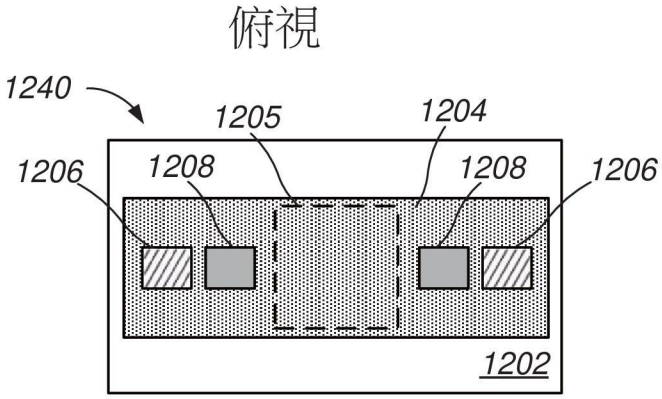


圖12E

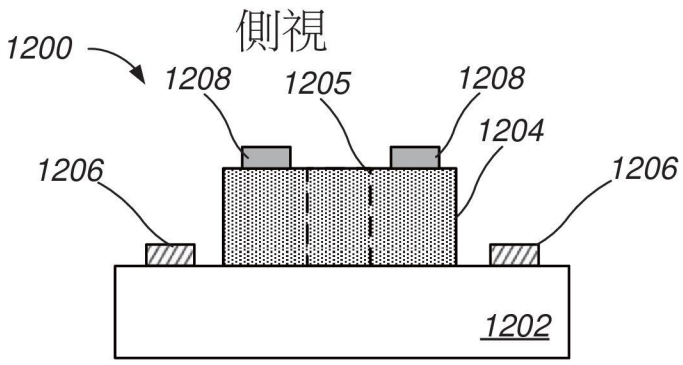


圖12B

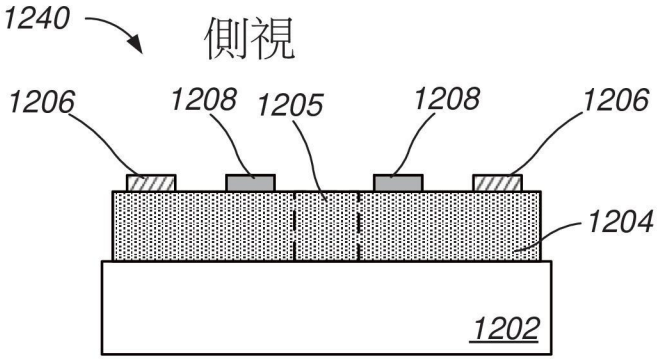


圖12F

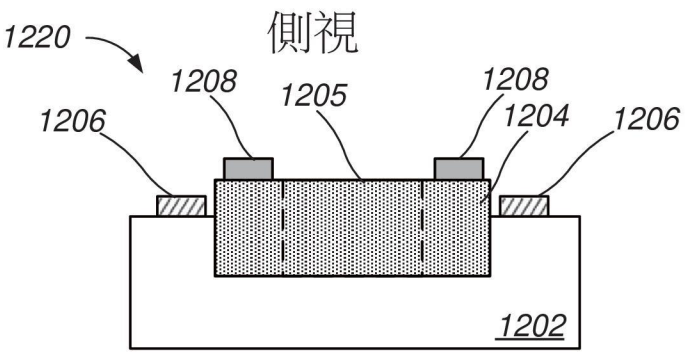


圖12C

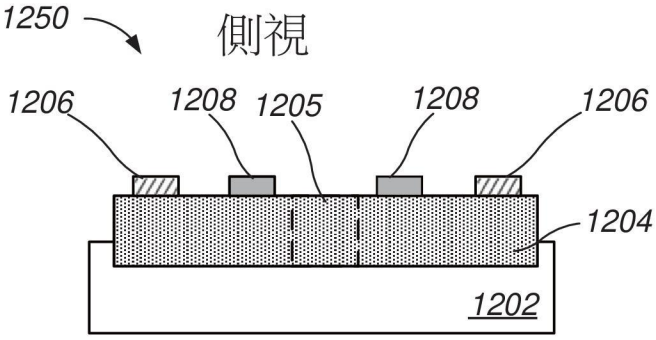


圖12G

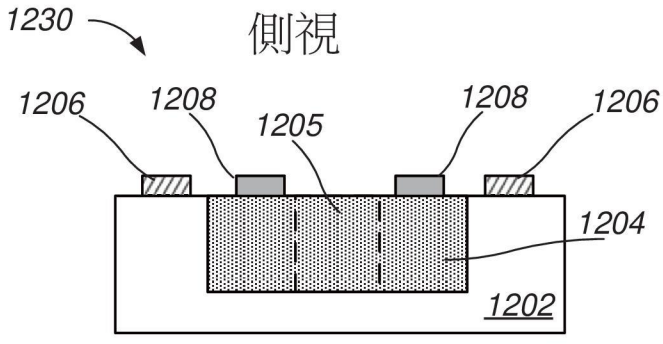


圖12D

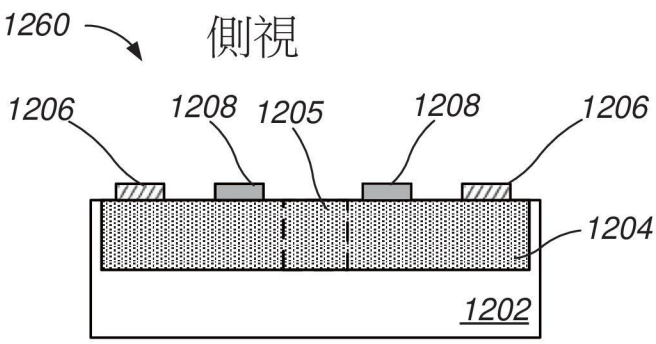


圖12H

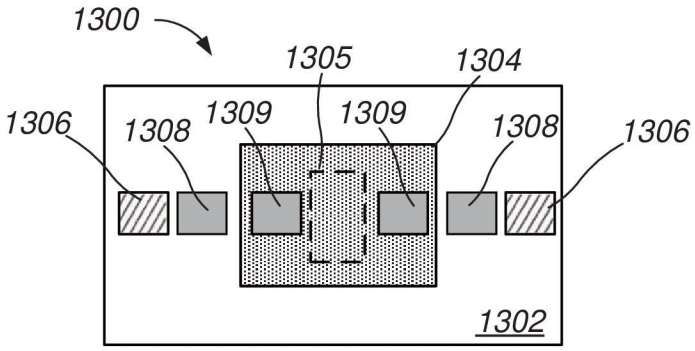


圖13A

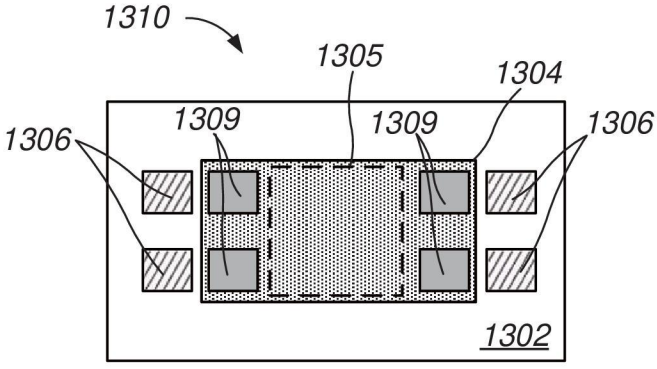


圖13B

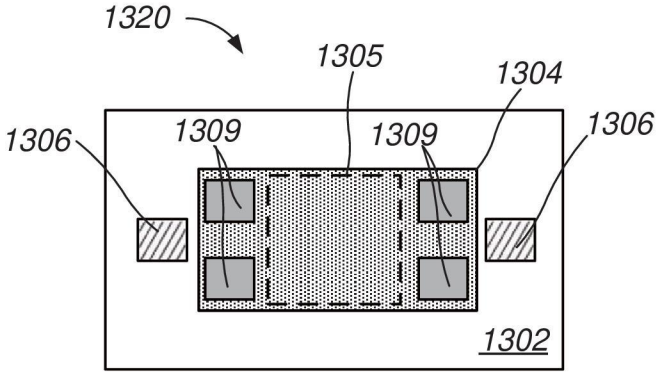


圖13C

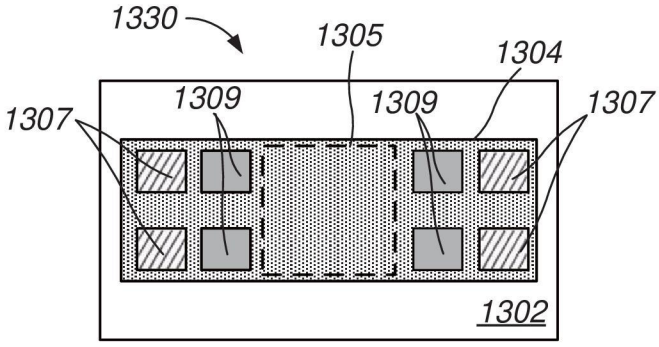


圖13D

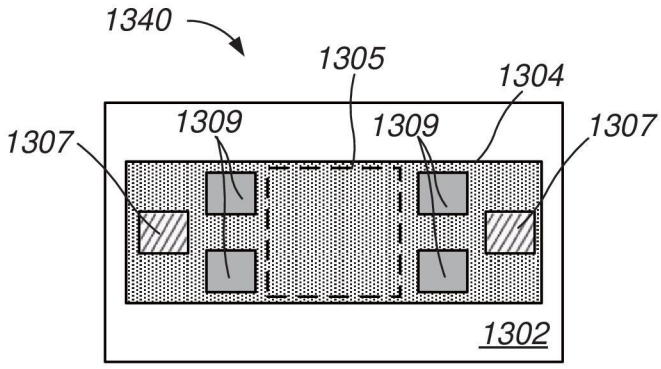


圖13E

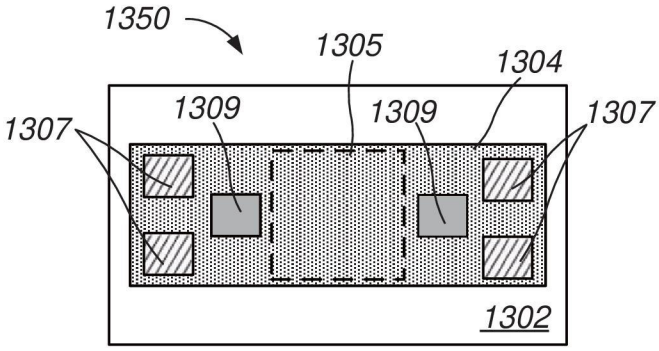


圖13F

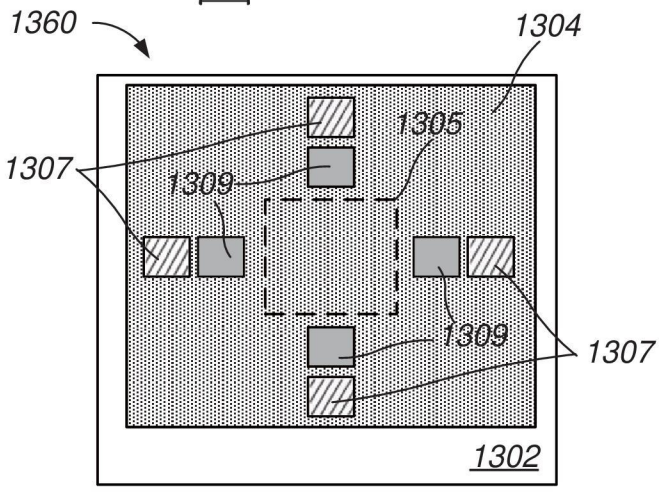


圖13G

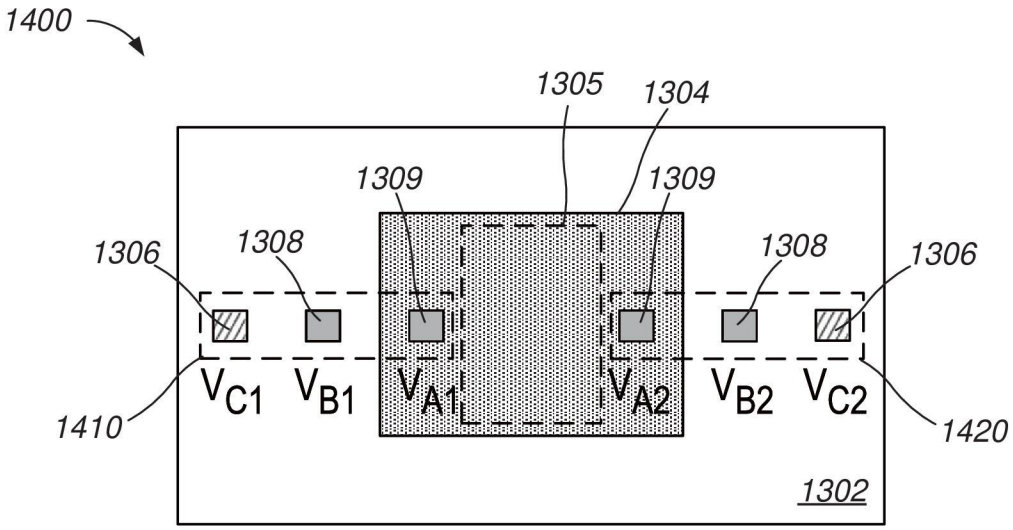

1400
1305
1304
1309
1309
1306
1308
1308
1306
V_{C1}
V_{B1}
V_{A1}
V_{A2}
V_{B2}
V_{C2}
1410
1420
1302

圖14A

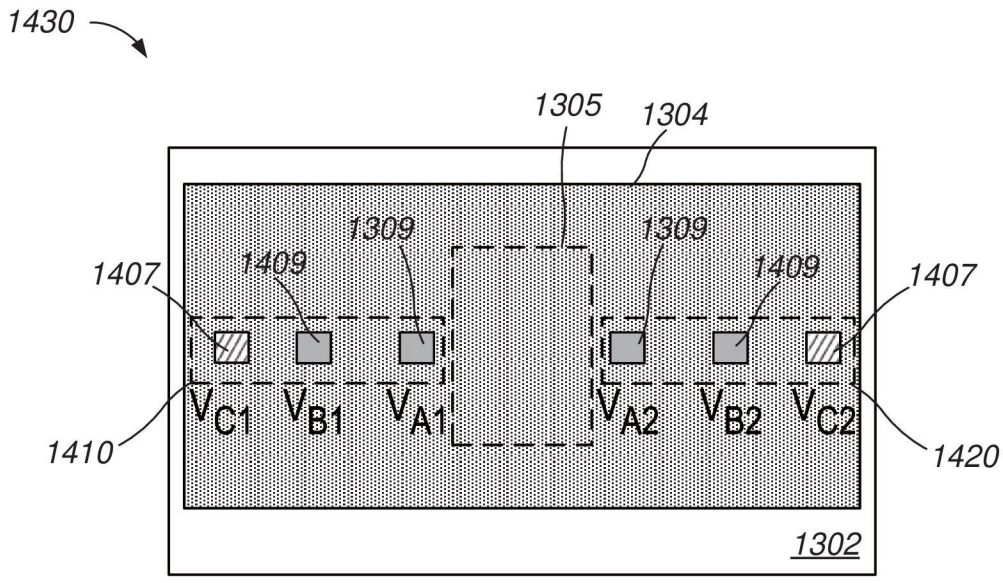

1430
1305
1304
1309
1309
1407
1409
1409
1407
V_{C1}
V_{B1}
V_{A1}
V_{A2}
V_{B2}
V_{C2}
1410
1420
1302

圖14B

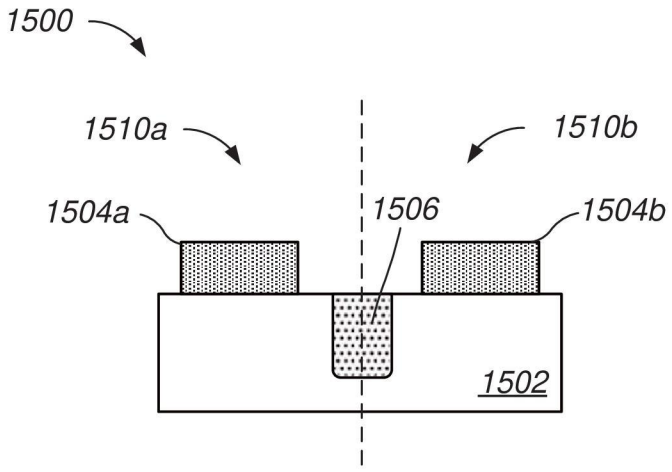


圖15A

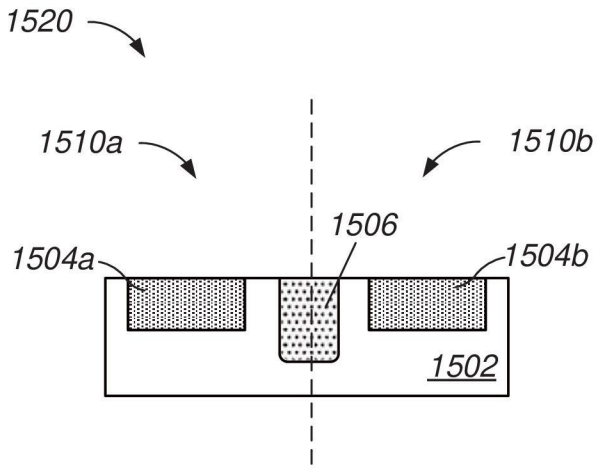


圖15B

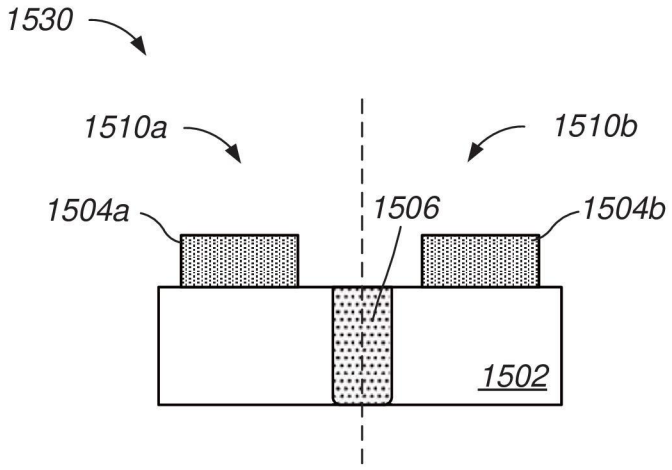


圖15C

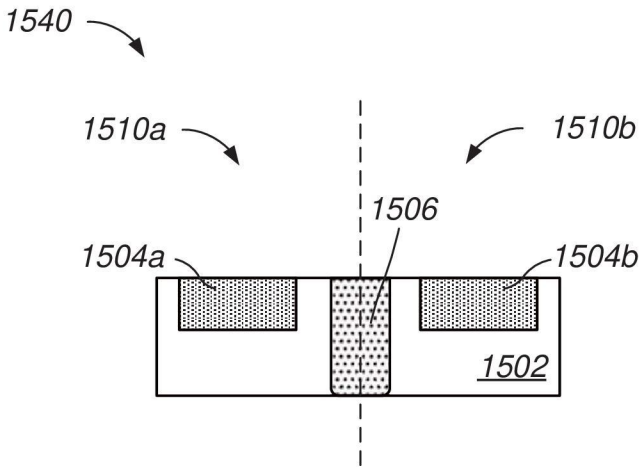


圖15D

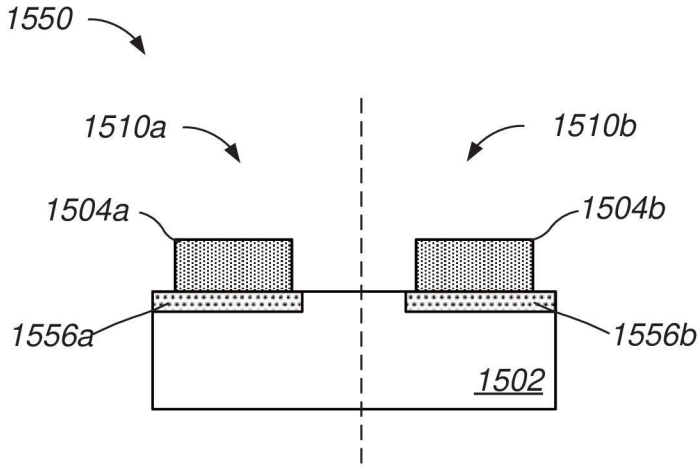


圖15E

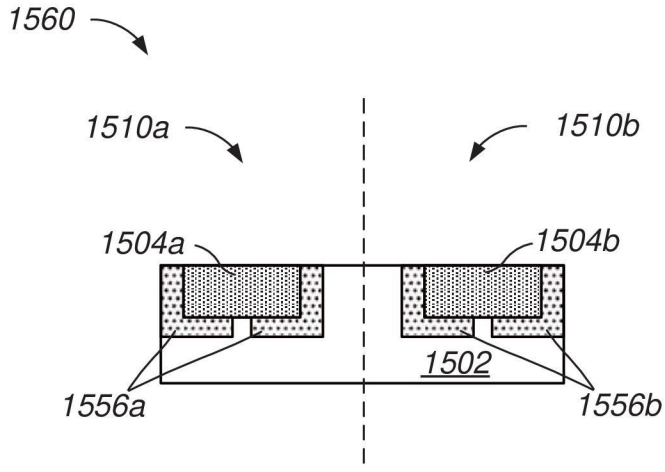


圖15F

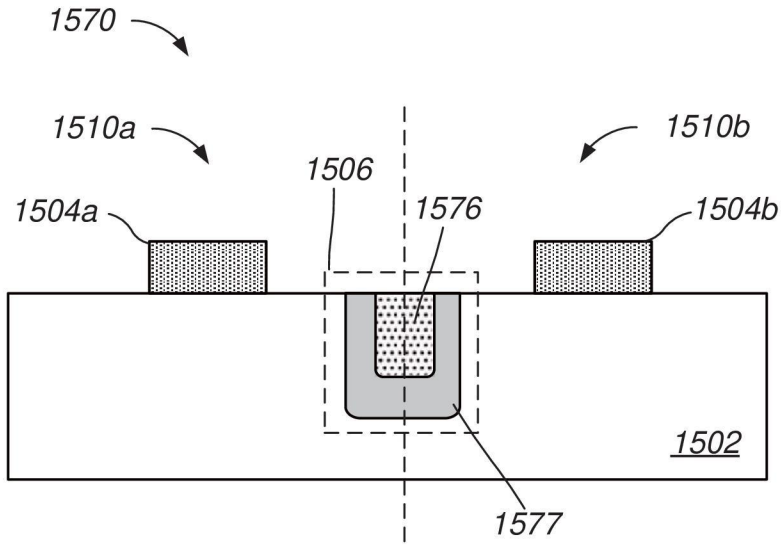


圖15G

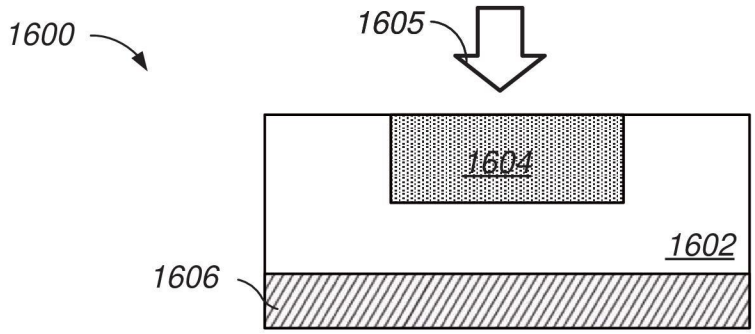


圖16A

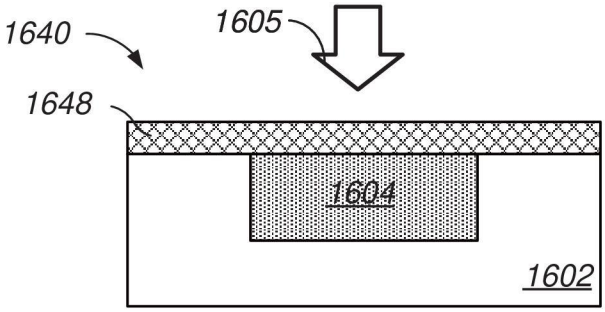


圖16E

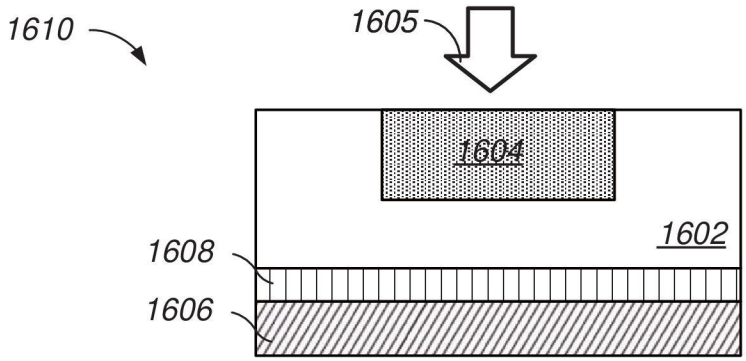


圖16B

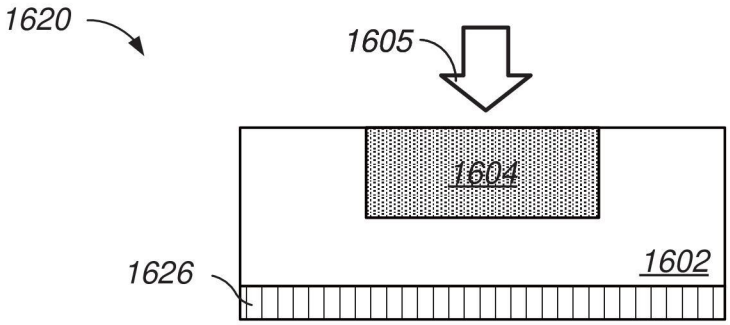


圖16C

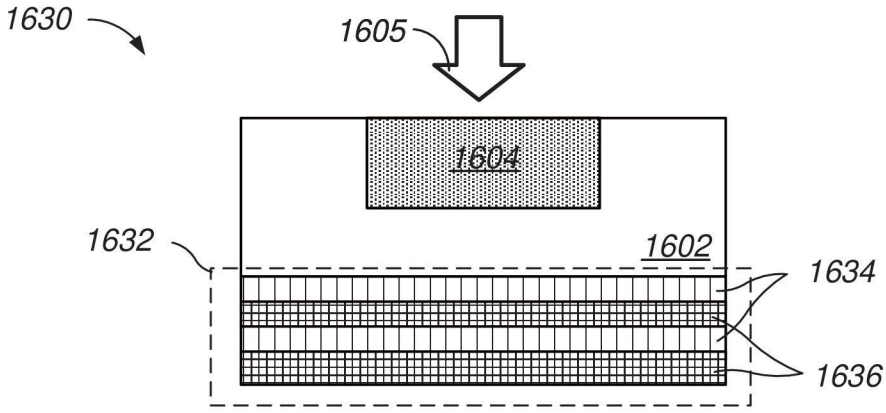


圖16D

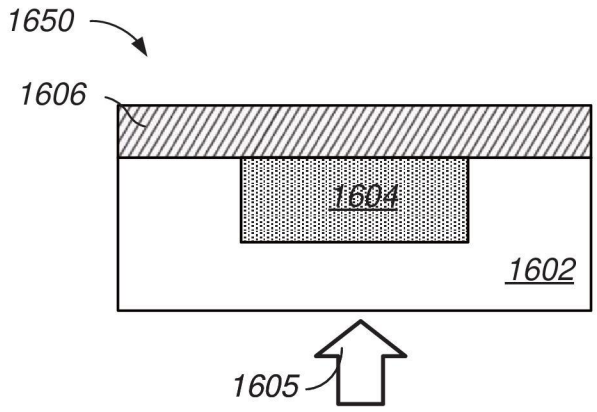


圖16F

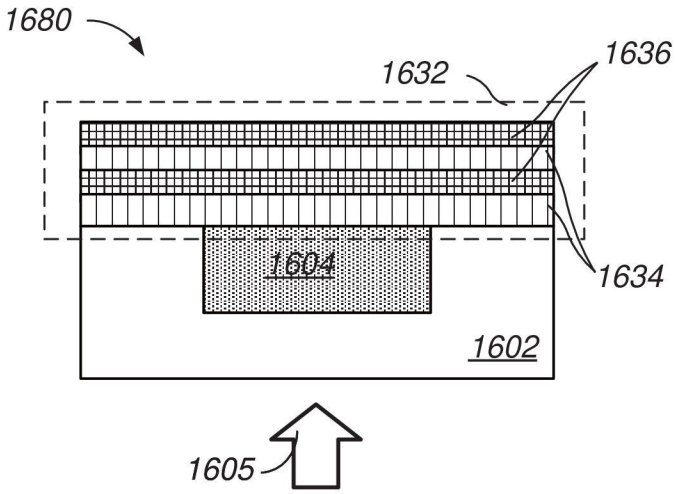


圖16I

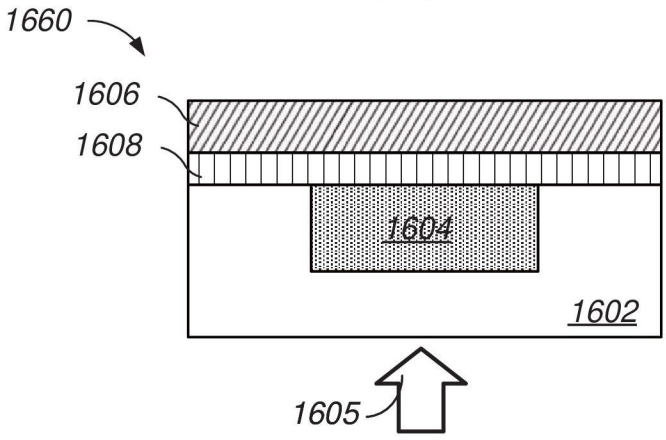


圖16G

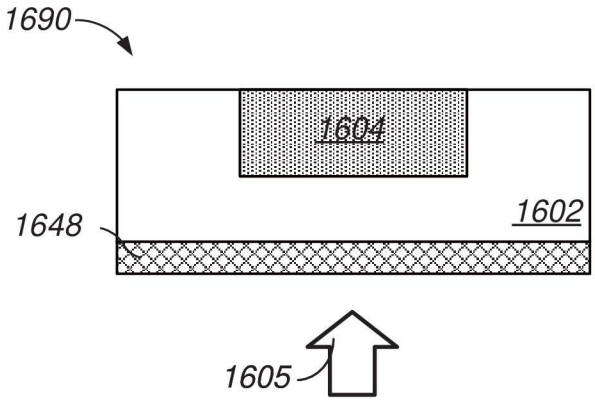


圖16J

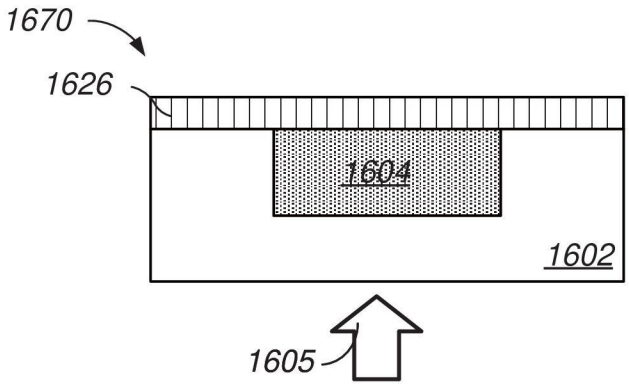


圖16H

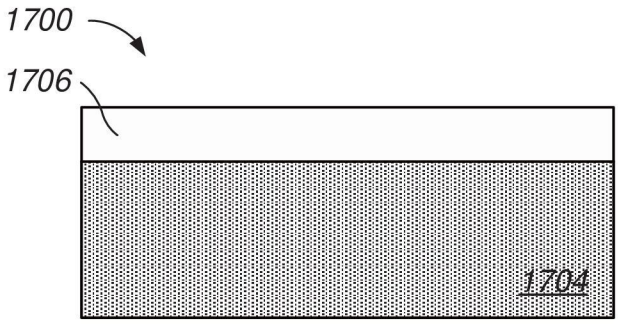


圖17A

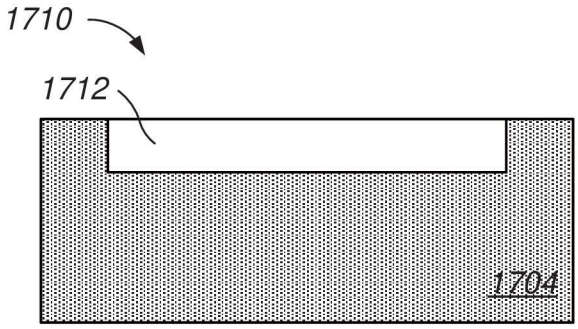


圖17B

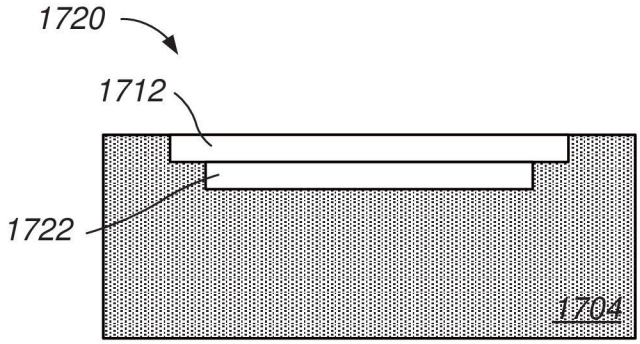


圖17C

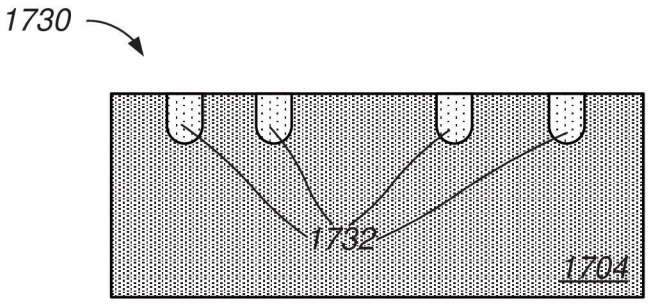


圖17D

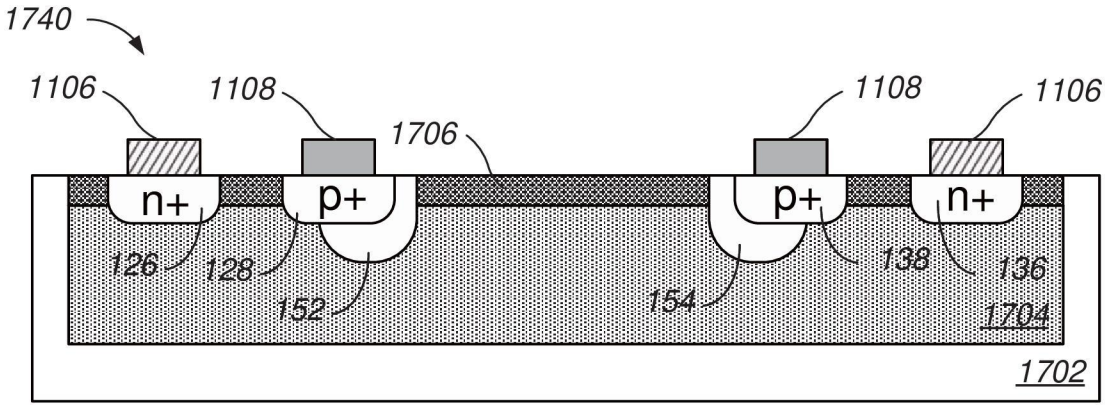


圖17E

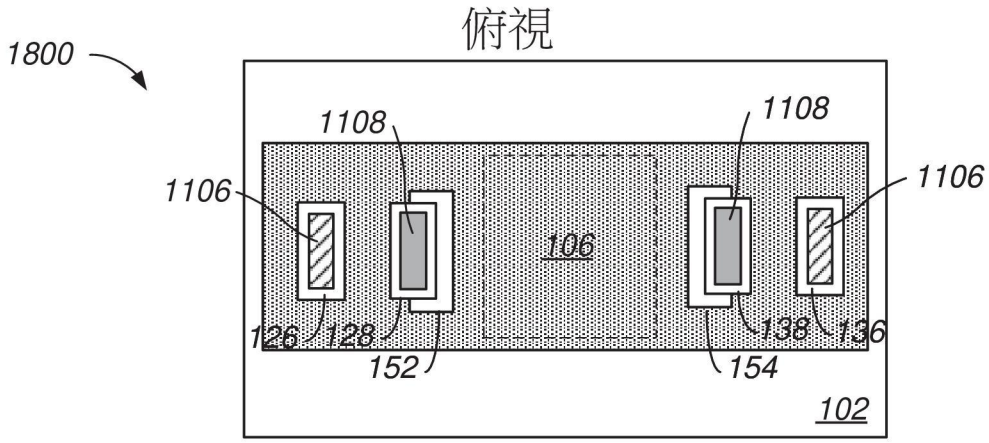


圖18A

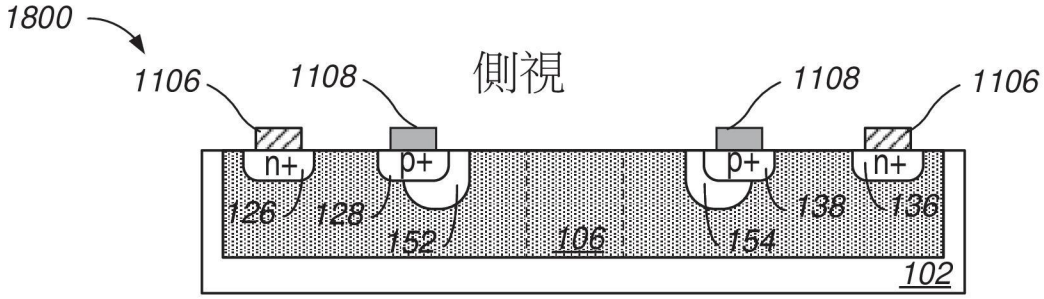


圖18B

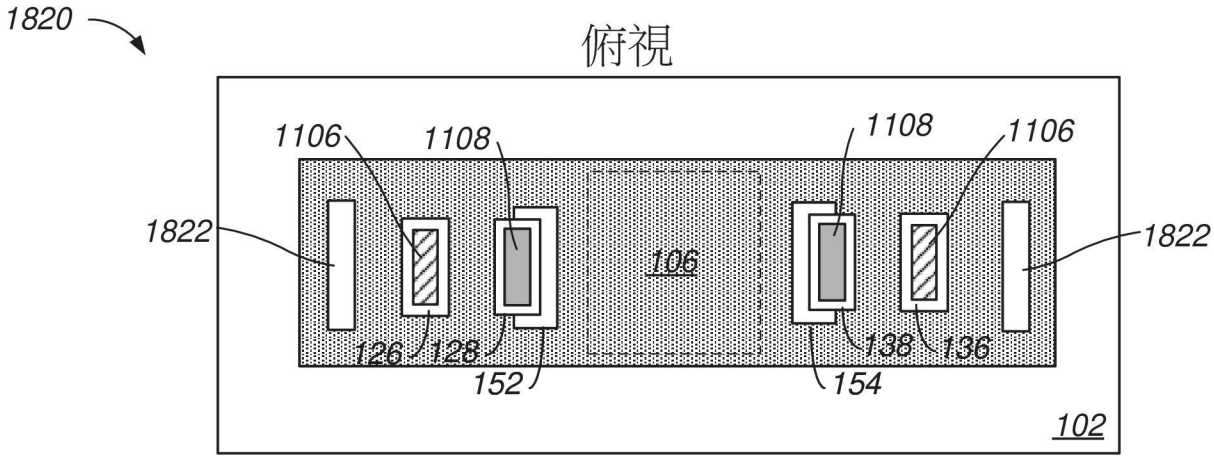


圖18C

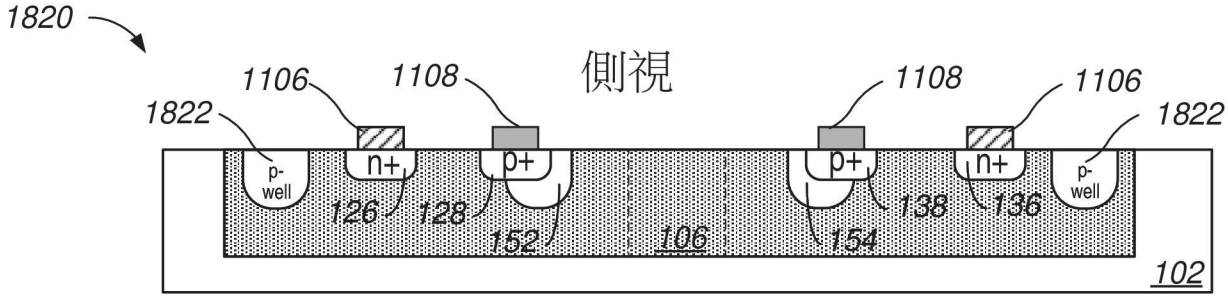


圖18D

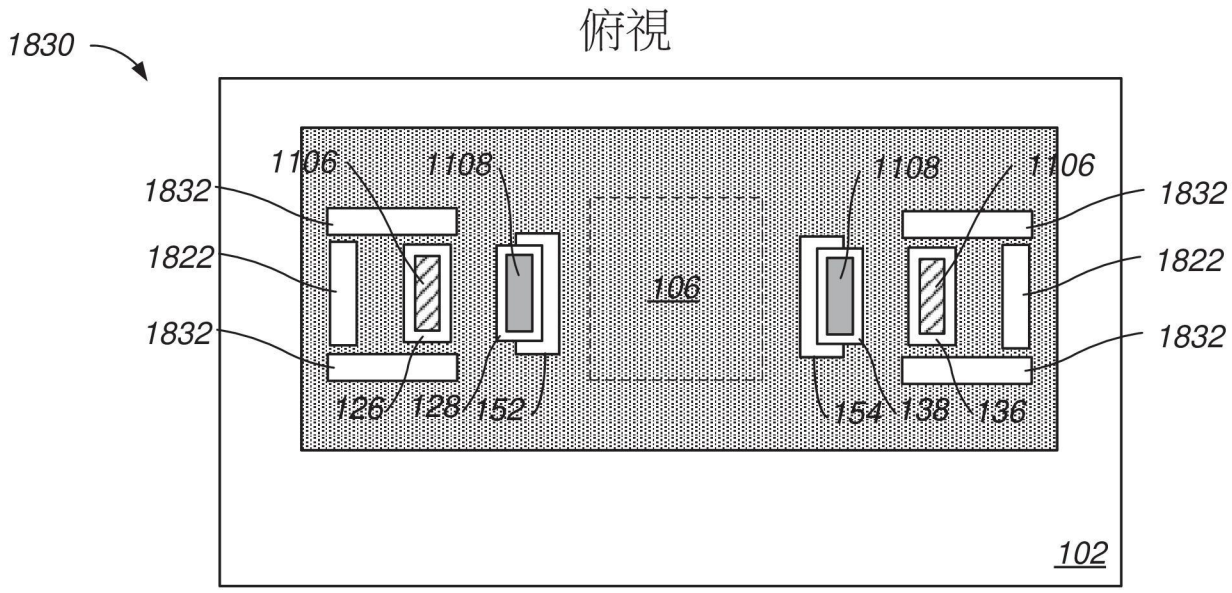


圖18E

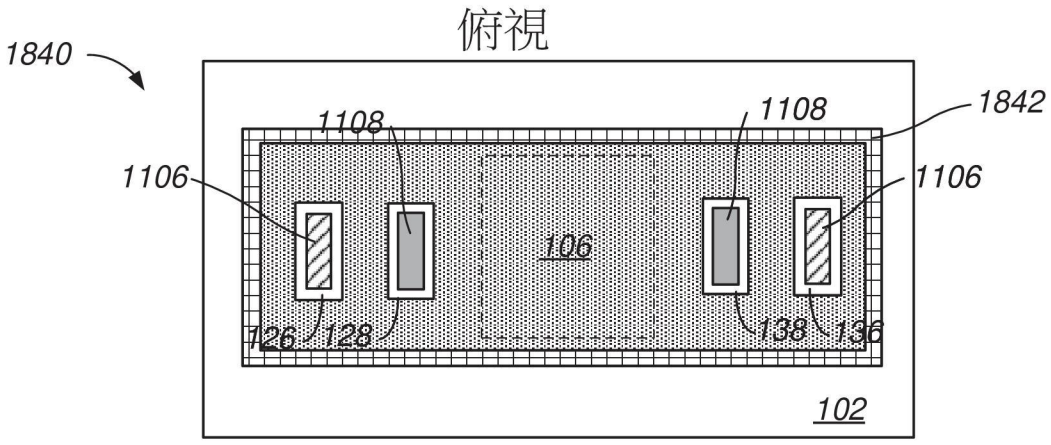


圖18F

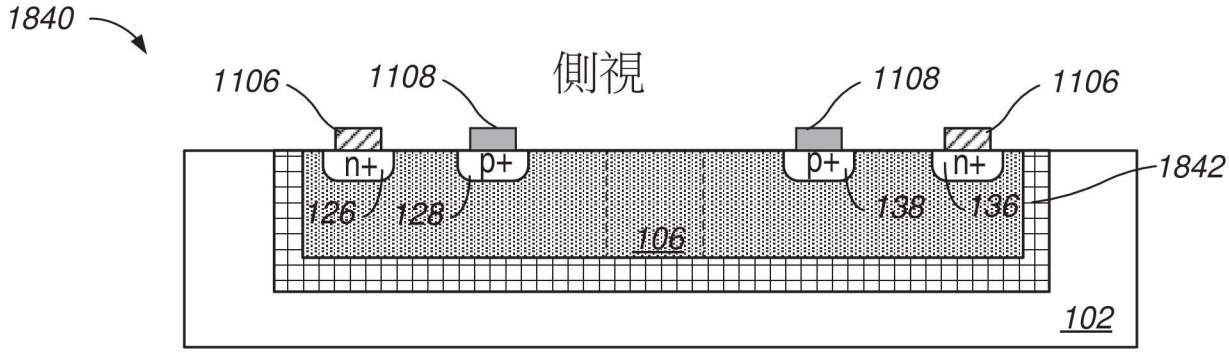


圖18G

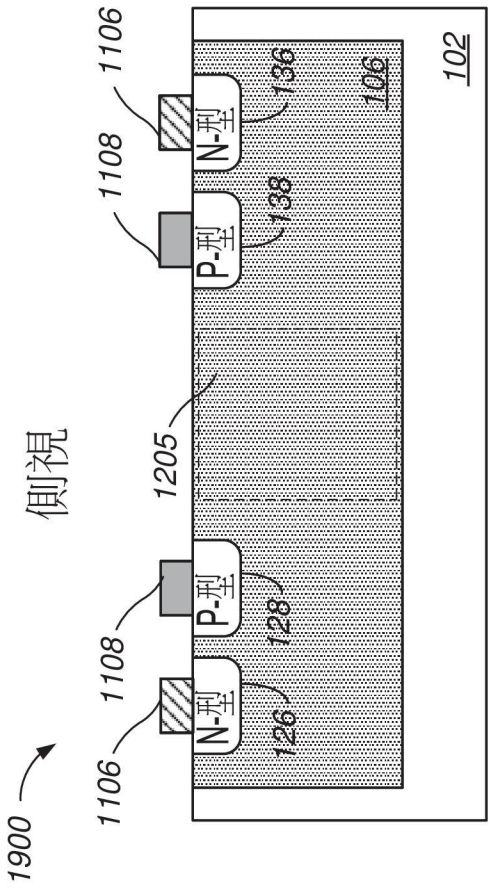


圖19B

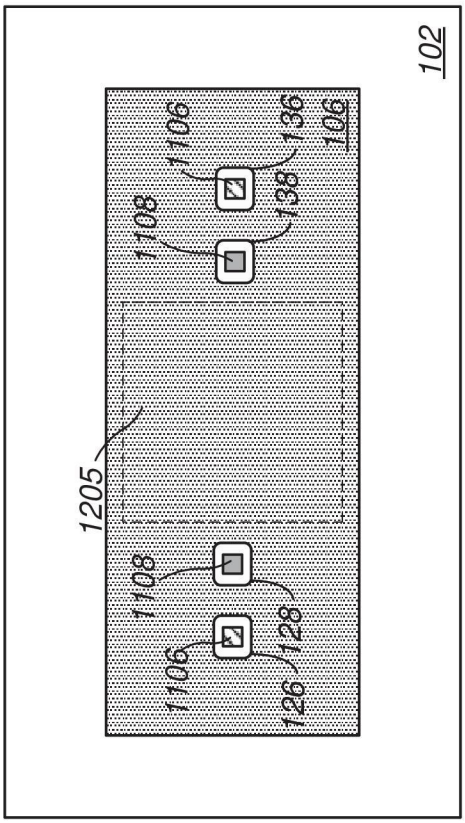


圖19A

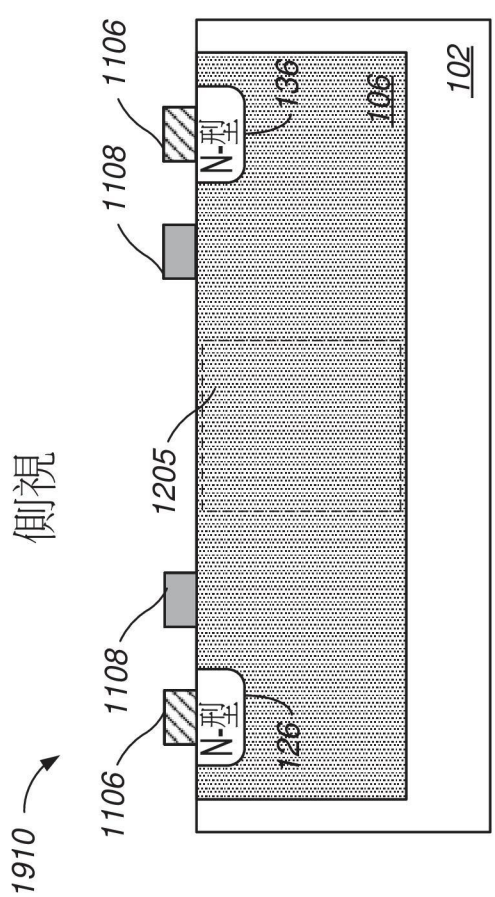


圖19D

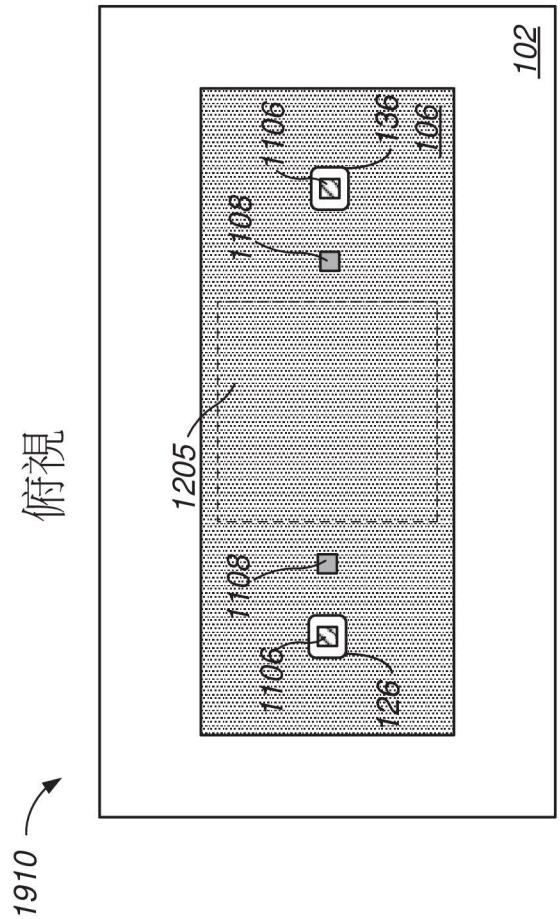


圖19C

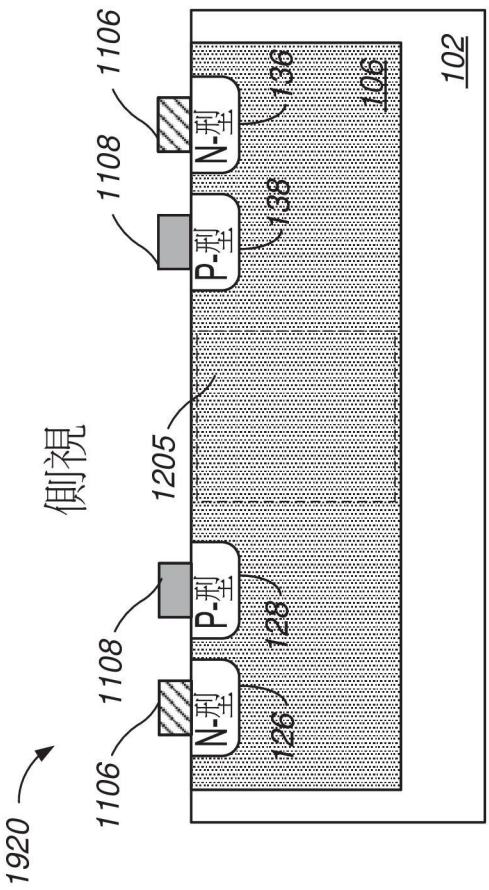


圖19F

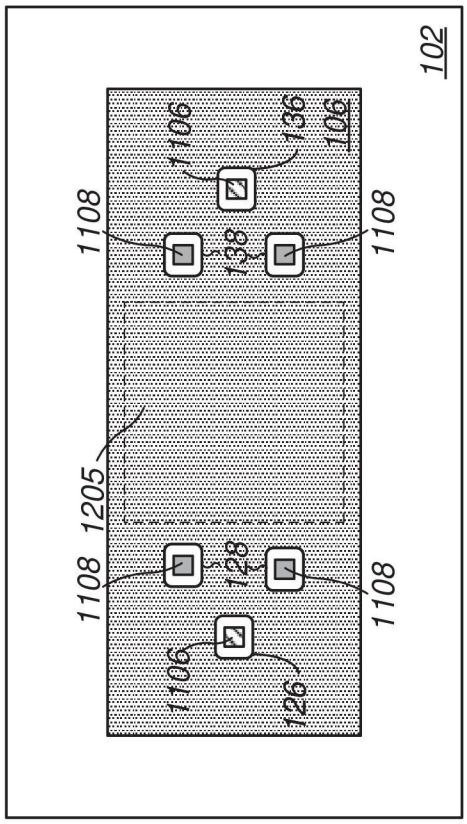


圖19E

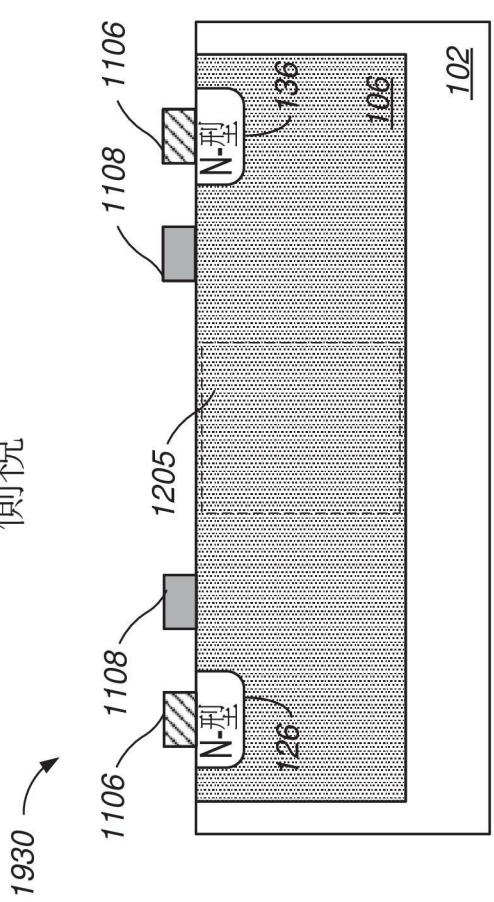


圖19H

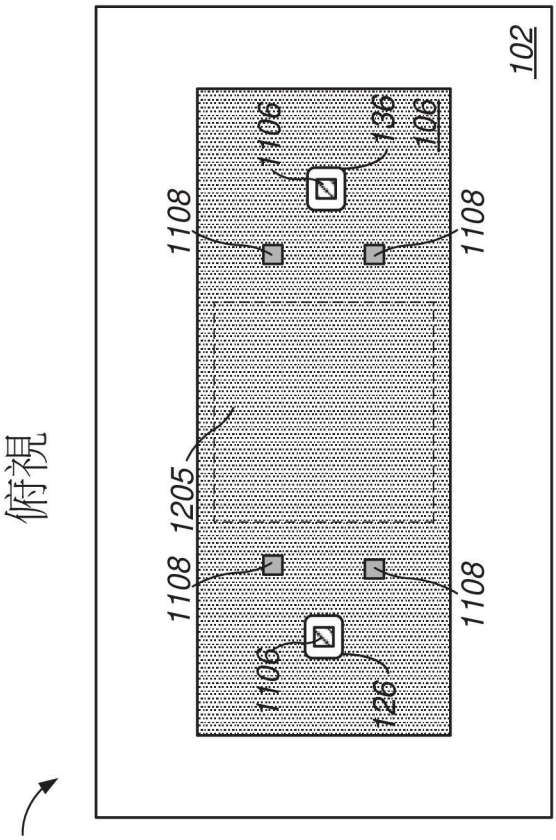


圖19G

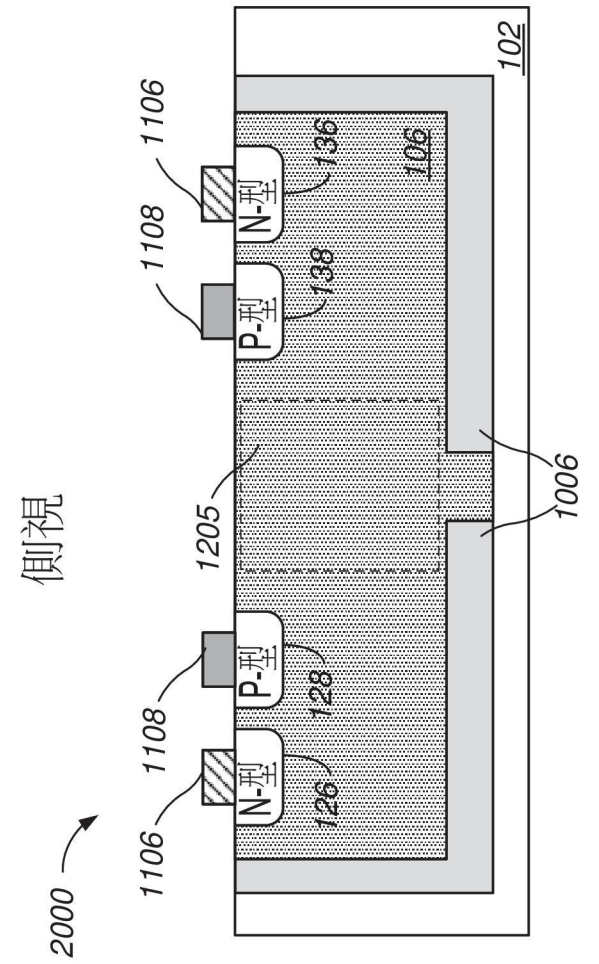

側視
2000
1106
1108
1106
1205
1108
1006
102
N-型
P-型
N-型
P-型
126
128
136
138
106

圖20B

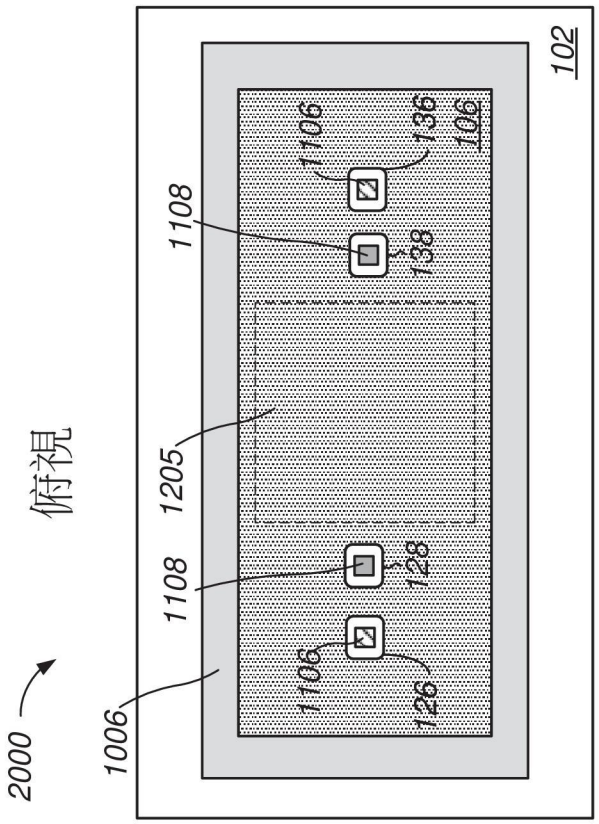

俯視
2000
1006
1108
1205
1108
1106
102
106
106
136
138
128
126

圖20A

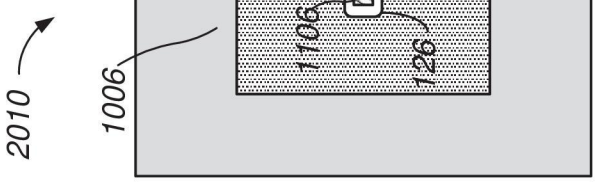


圖20C

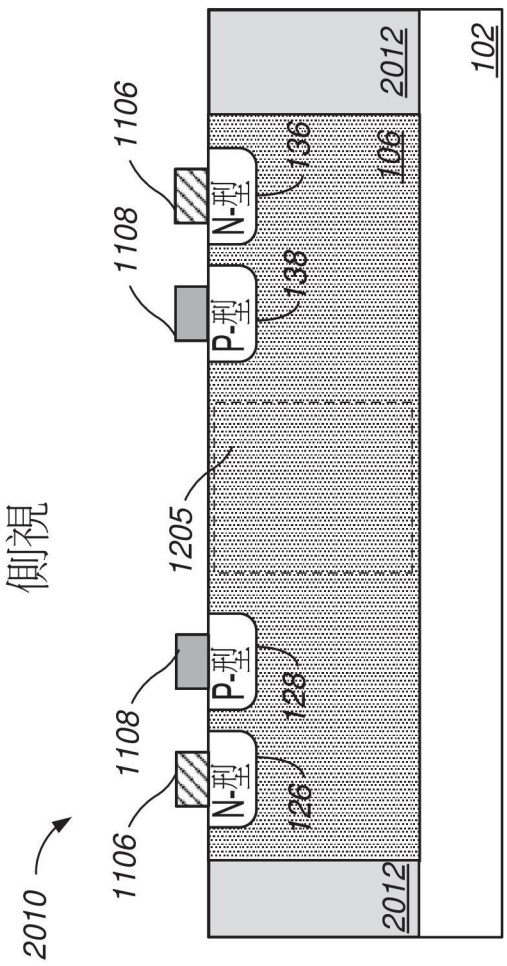


圖20D

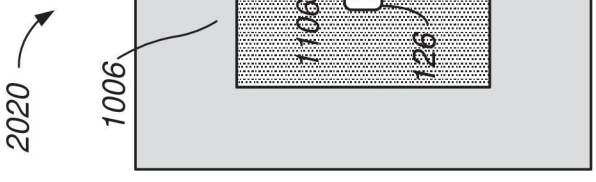


圖20E

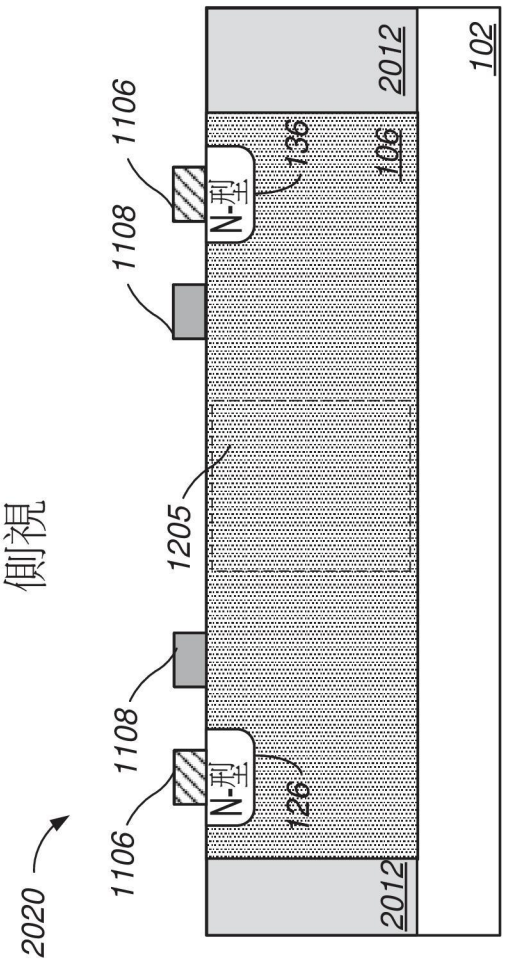


圖20F

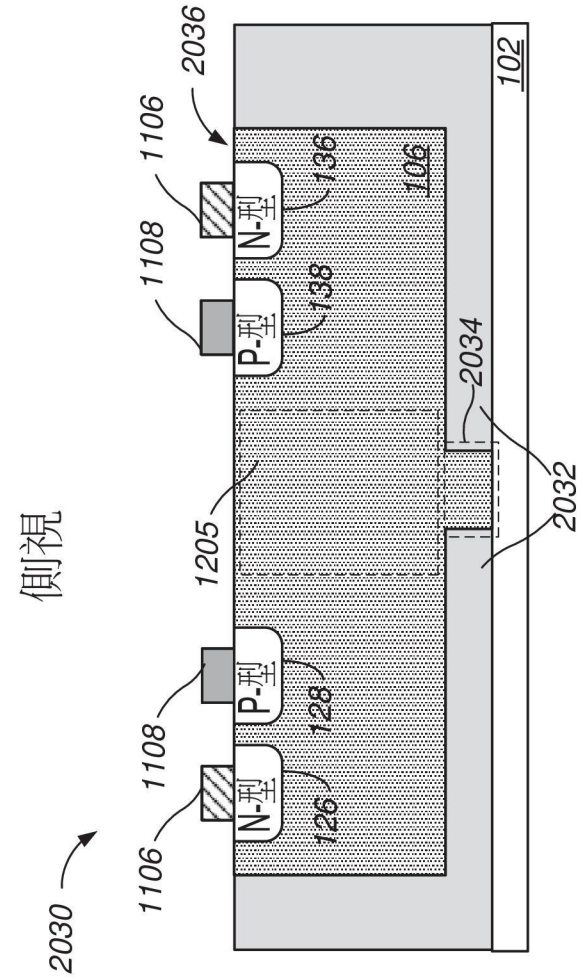


圖20H

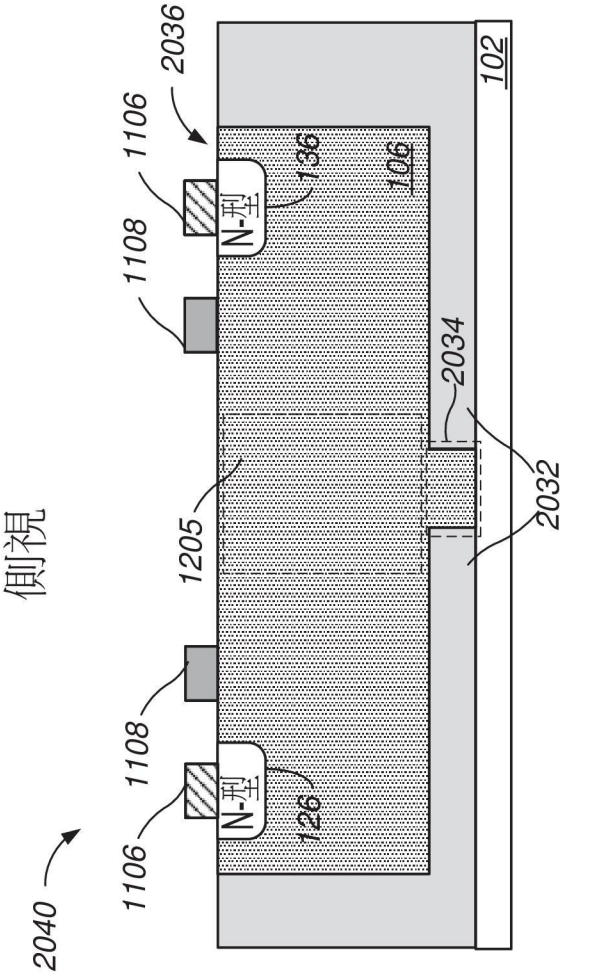


圖20J

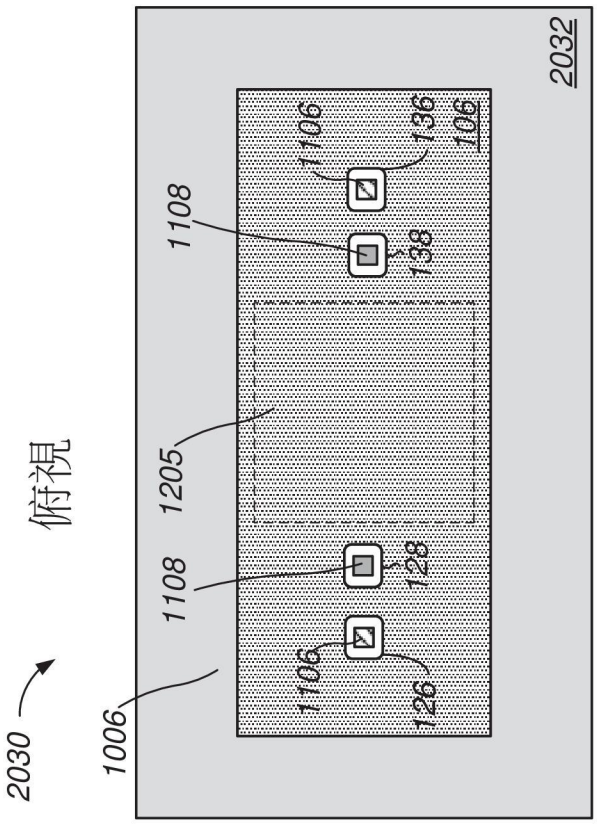


圖20G

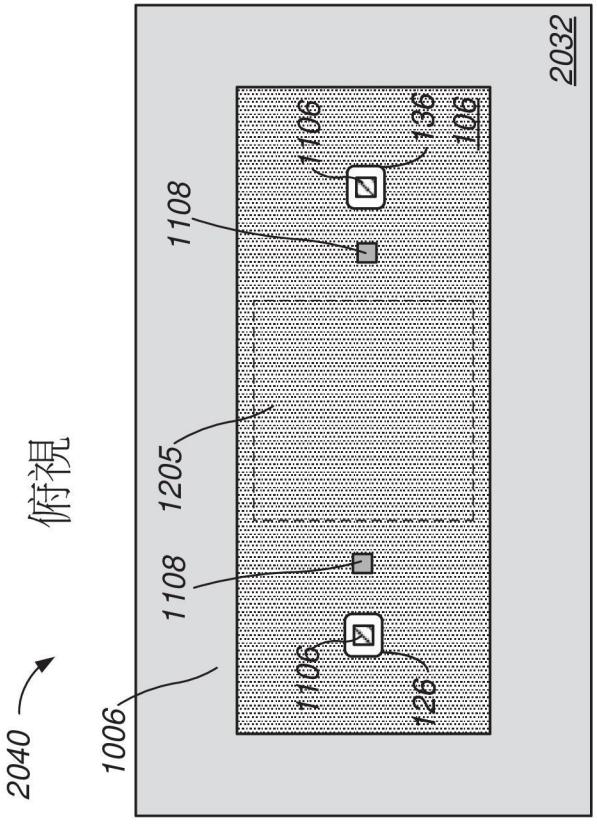


圖20I

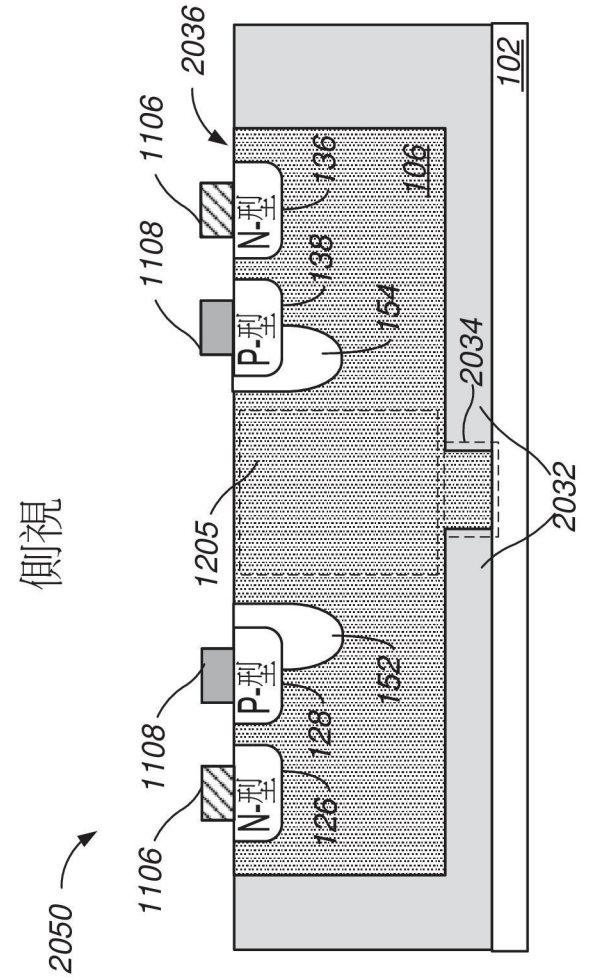

側視
2050
1106
1108
1106
1108
1205
2036
102
106
136
138
154
2034
2032
N-型
P-型
N-型
P-型
126
128
152

圖20L

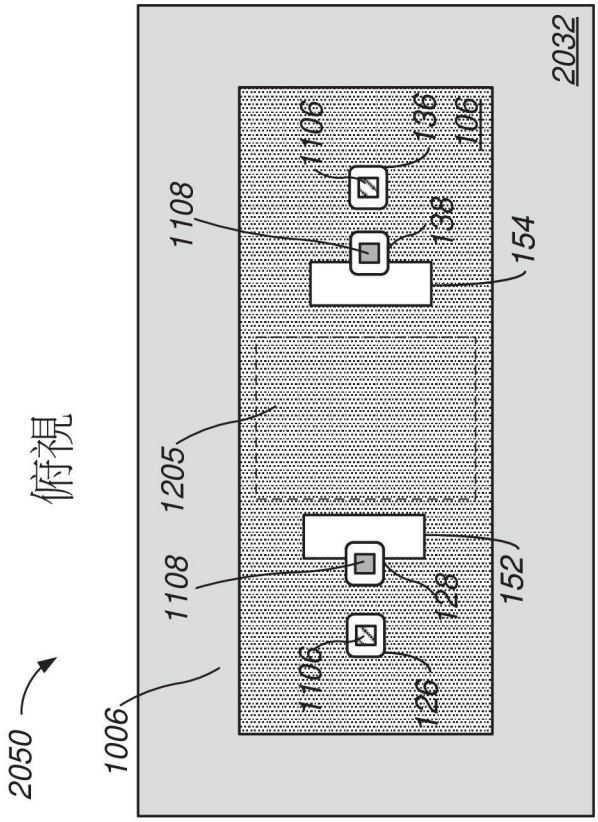

俯視
2050
1006
1106
1108
1205
1106
1108
2032
106
136
138
154
126
128
152

圖20K

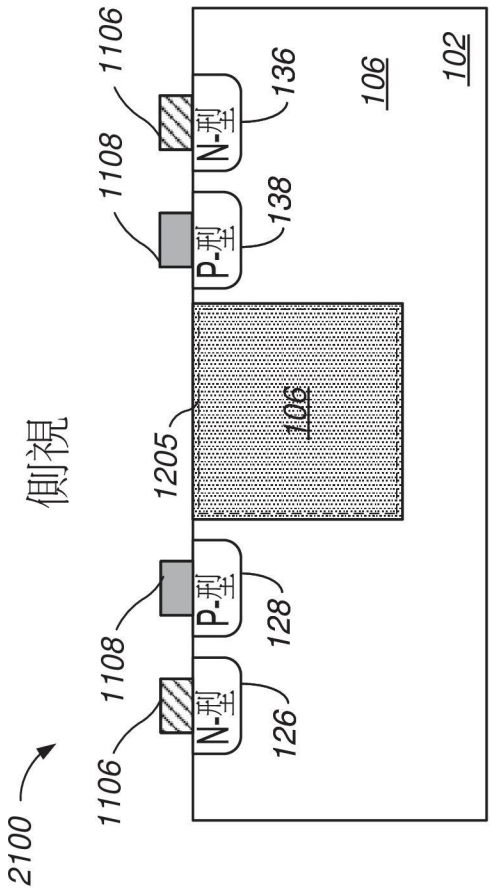

側視
2100
1106
1108
1106
N-型
P-型
N-型
P-型
126
128
136
138
1205
106
102

圖21B

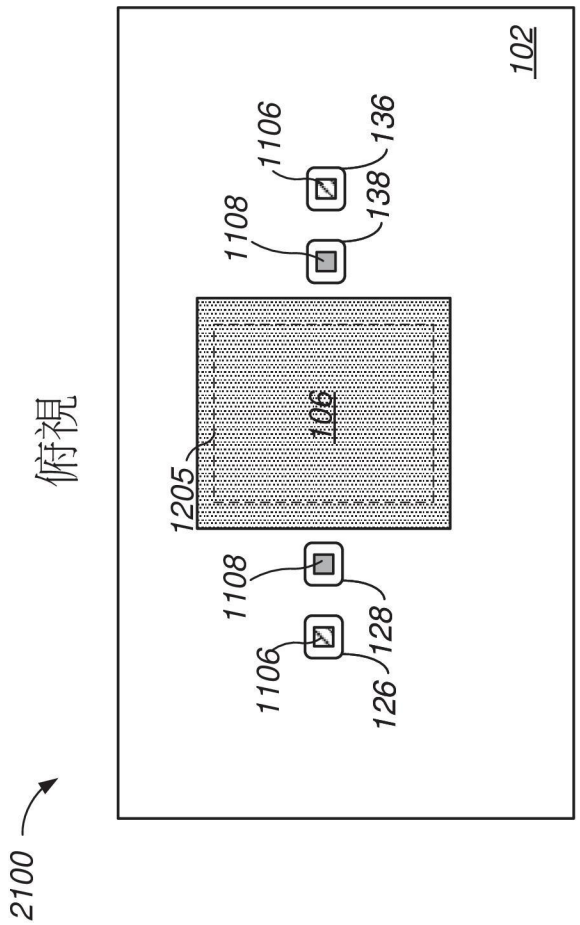

俯視
2100
1106
1108
1106
1108
126
128
136
138
1205
106
102

圖21A

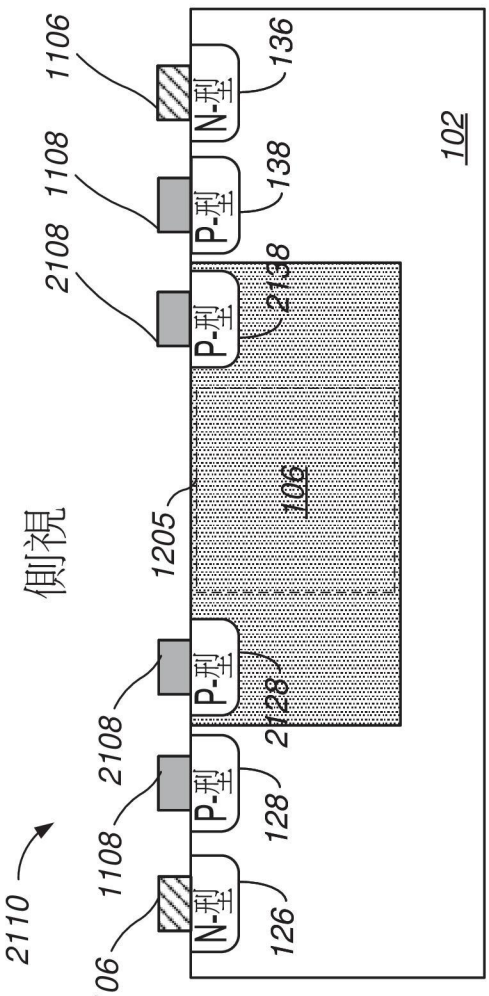


圖21D

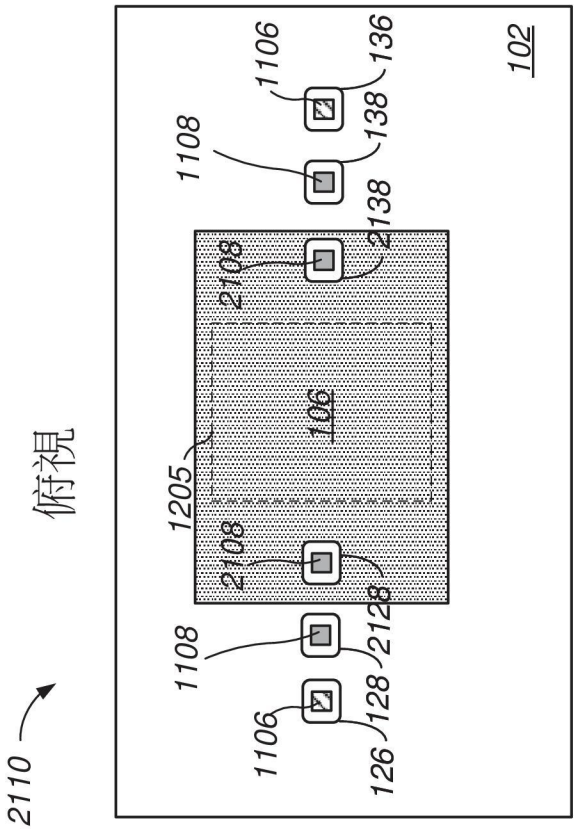


圖21C

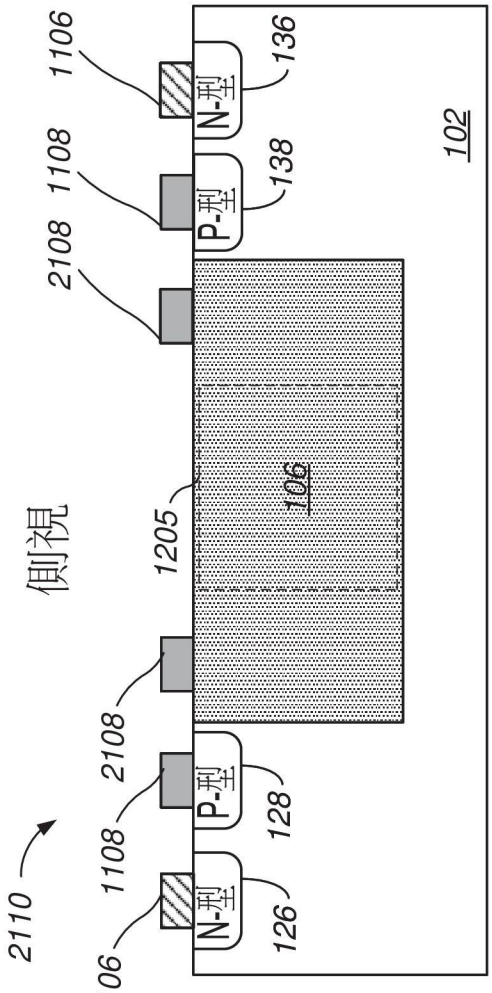


圖21F

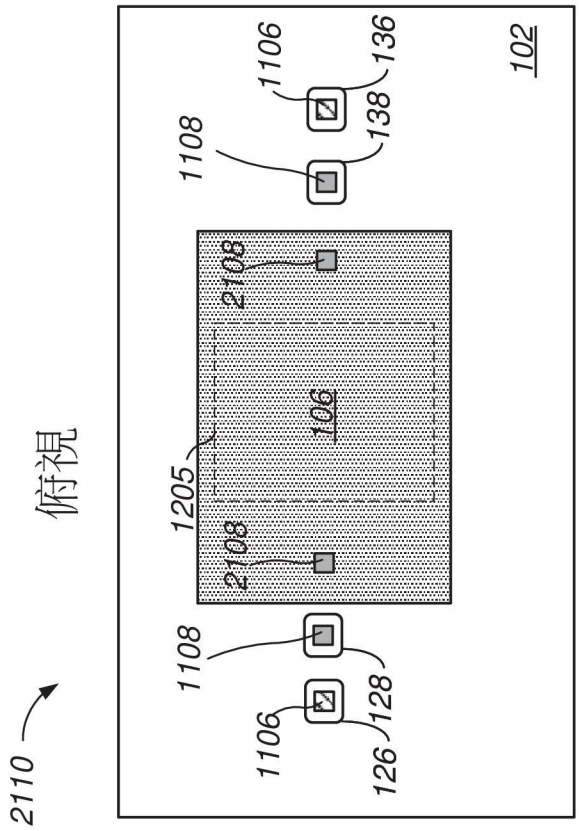


圖21E

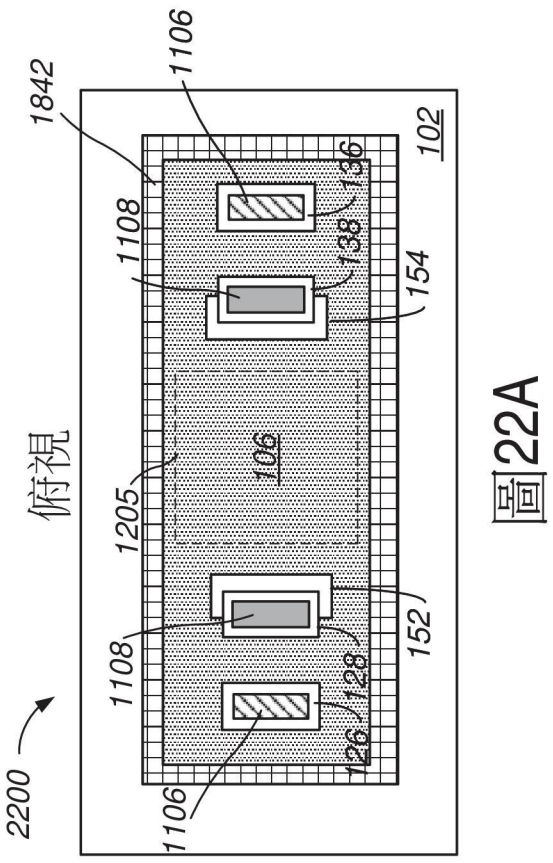


圖22A

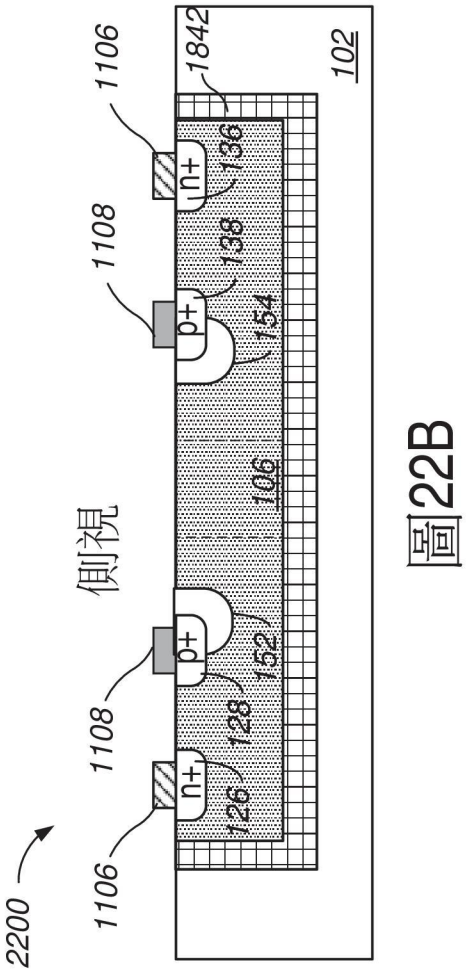


圖22B

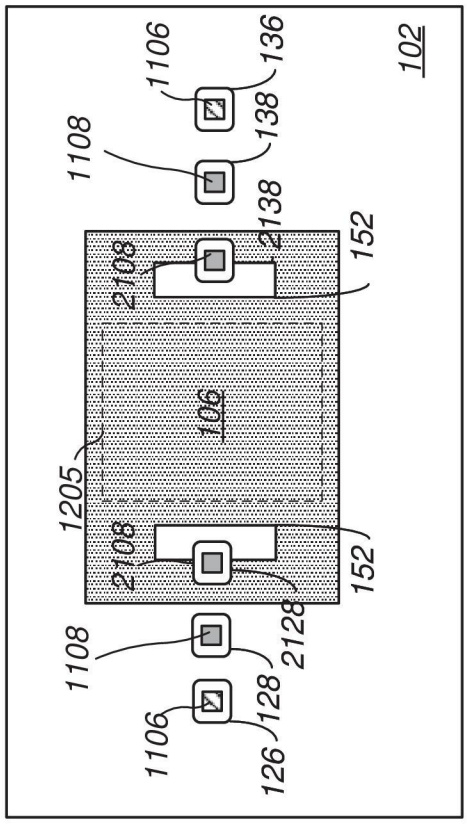


圖22C

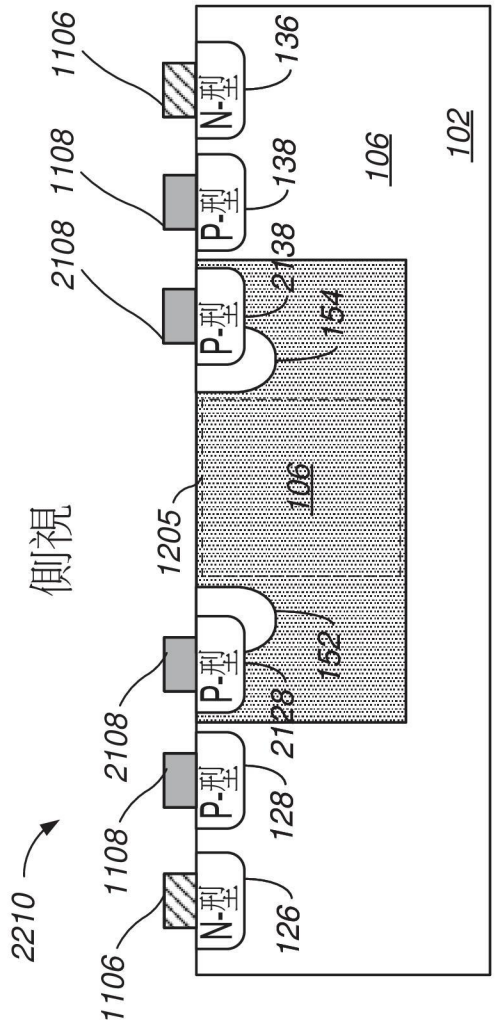


圖22D

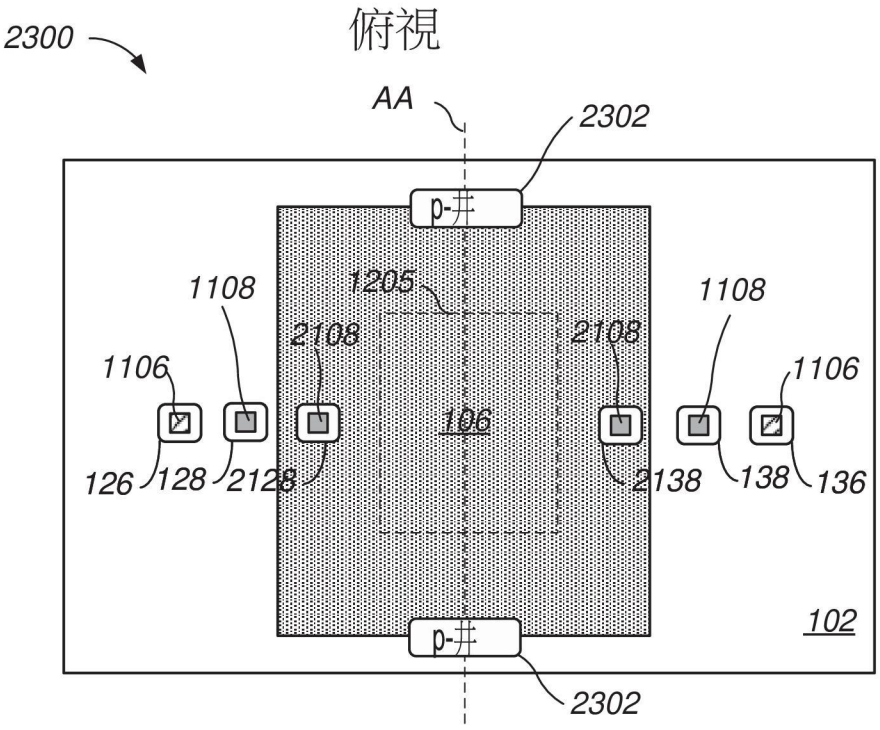

俯視
2300
AA
2302
p-井
1108
1205
1108
2108
2108
1106
1106
106
126
128
2128
2138
138
136
102
p-井
2302

圖23A

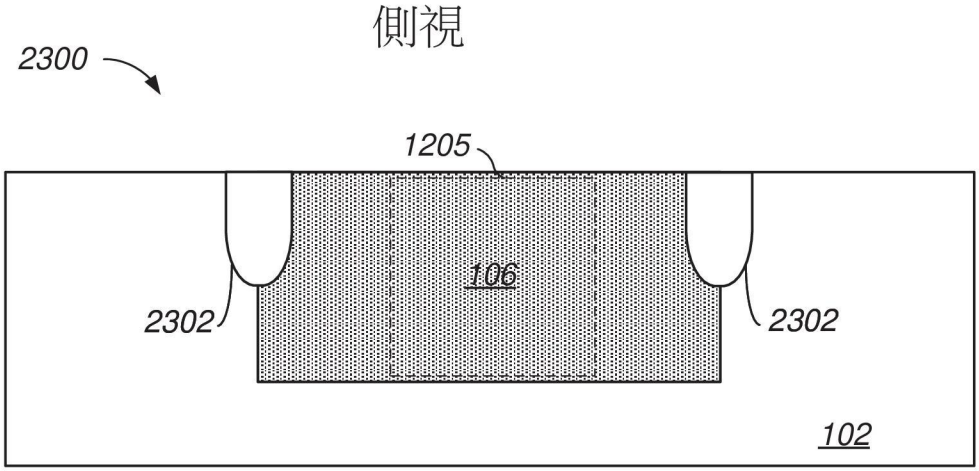

側視
2300
1205
106
2302
2302
102

圖23B

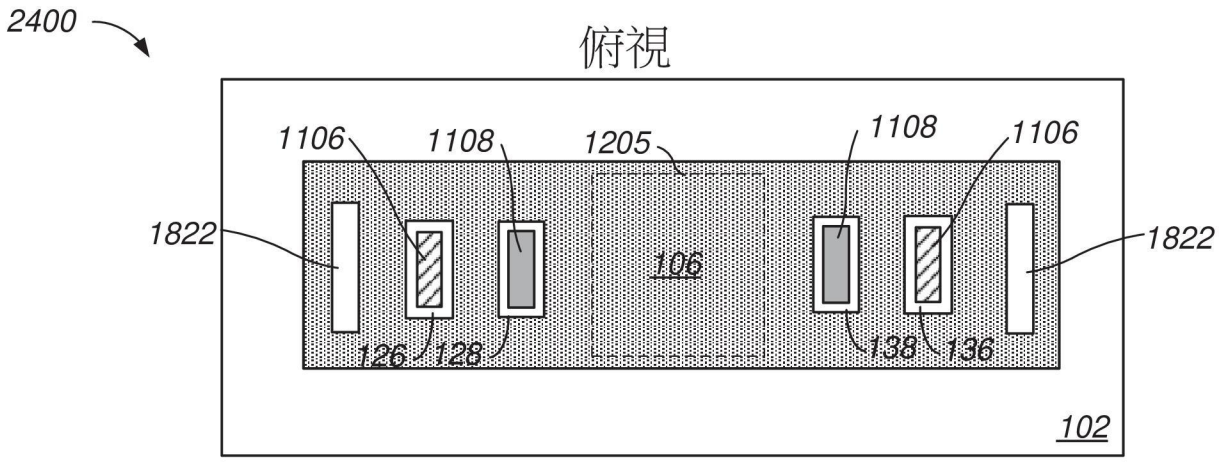


圖24A

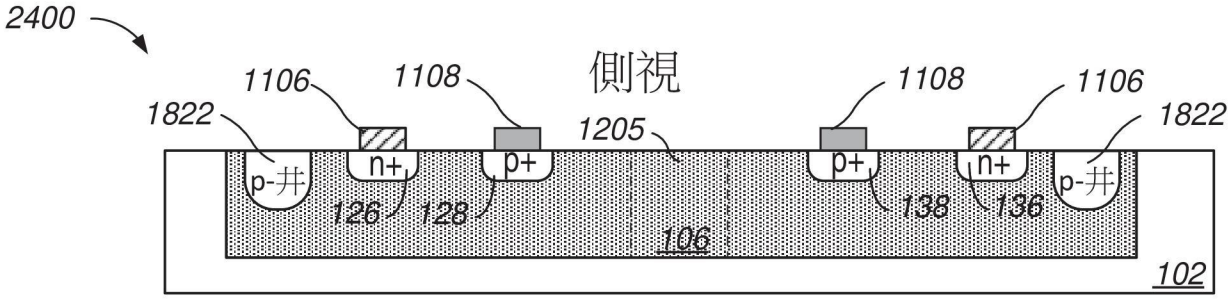


圖24B

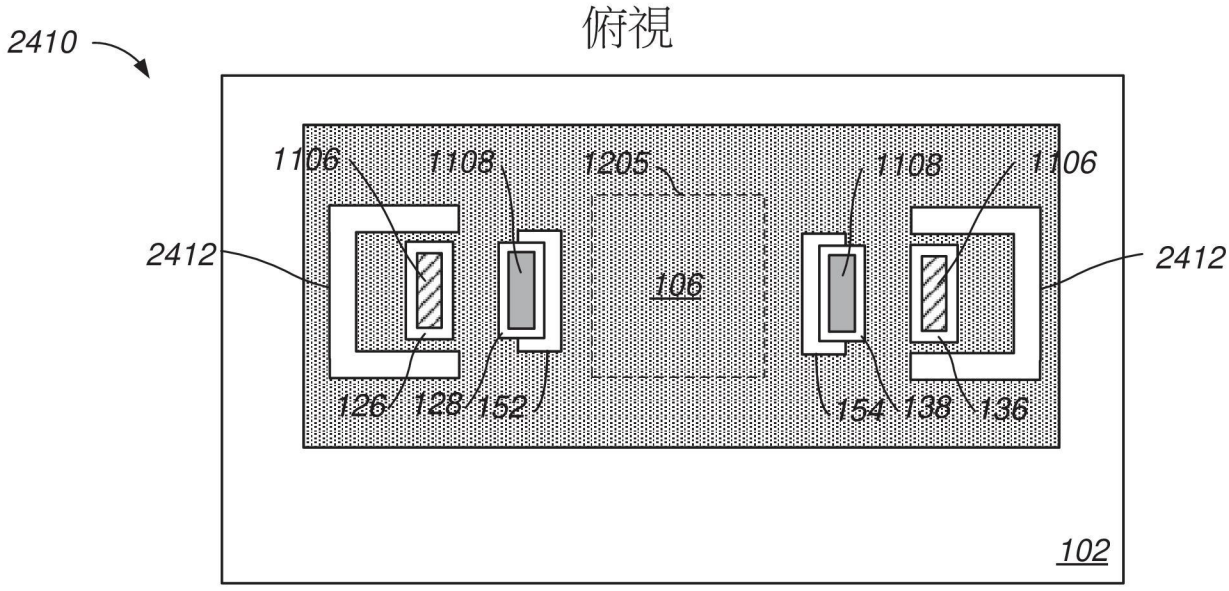


圖24C

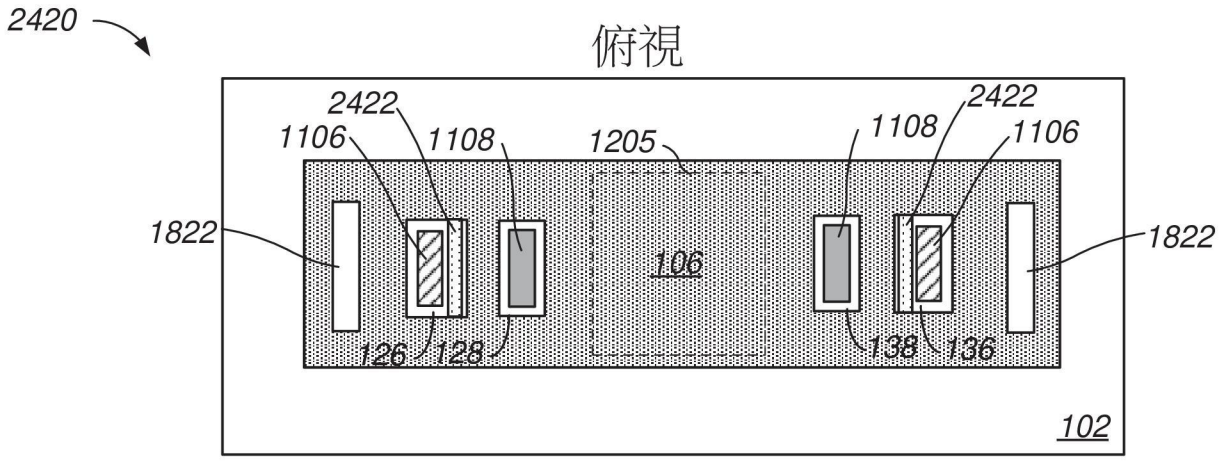


圖24D

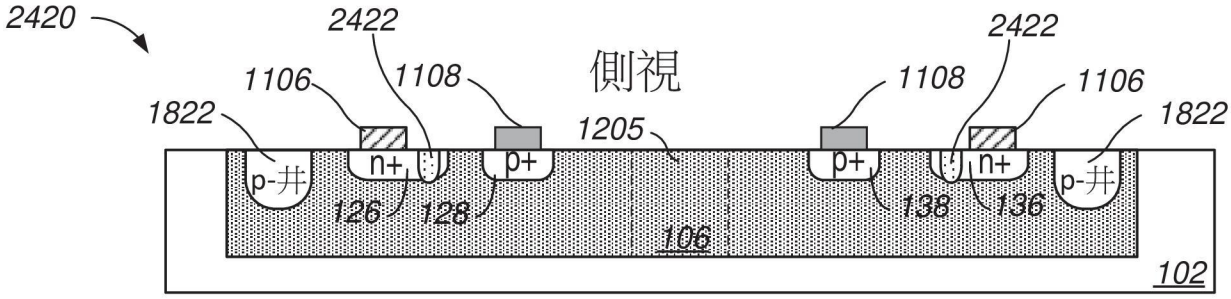


圖24E

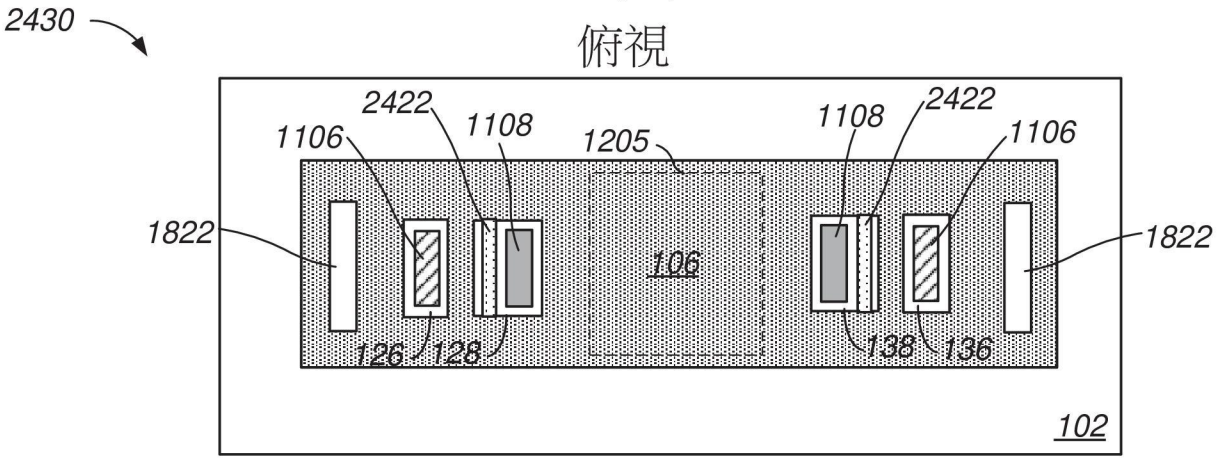


圖24F

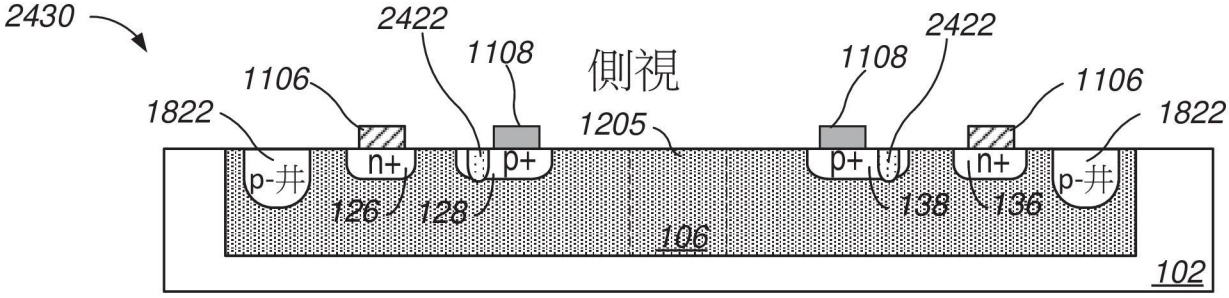


圖24G

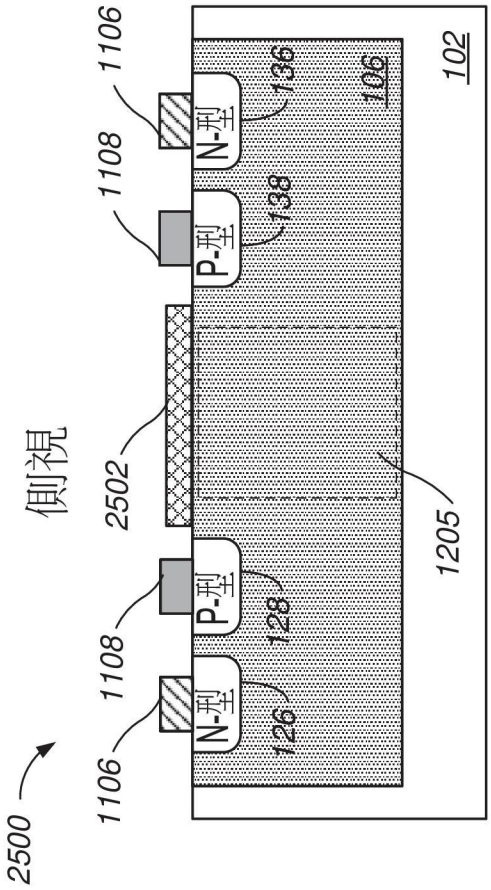


圖25B

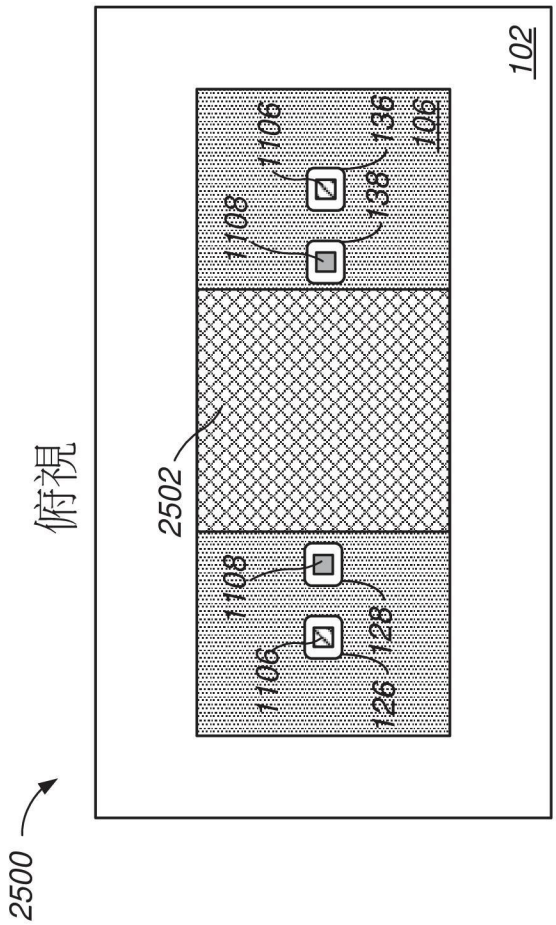


圖25A

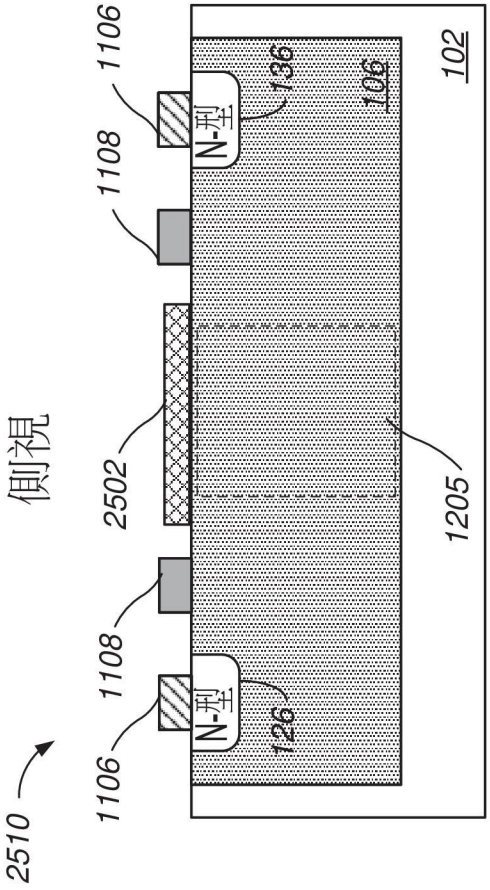


圖25D

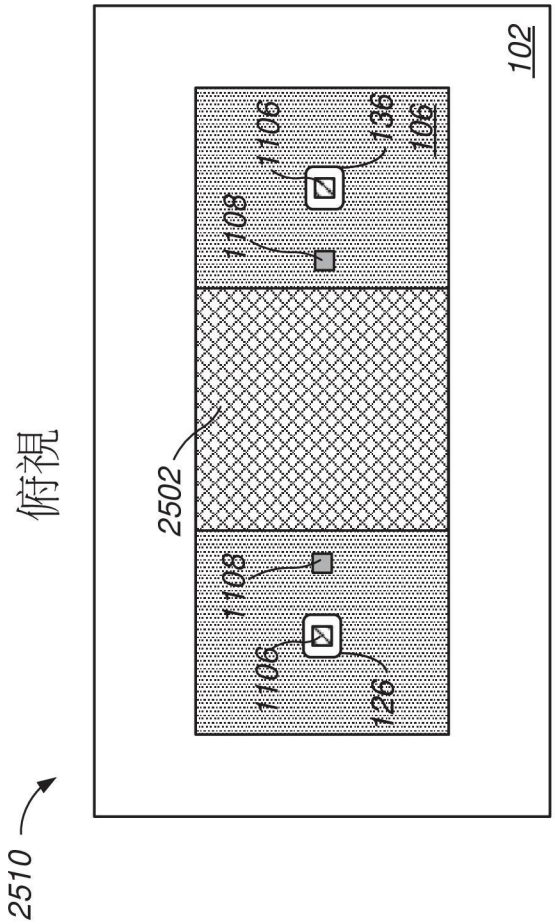


圖25C

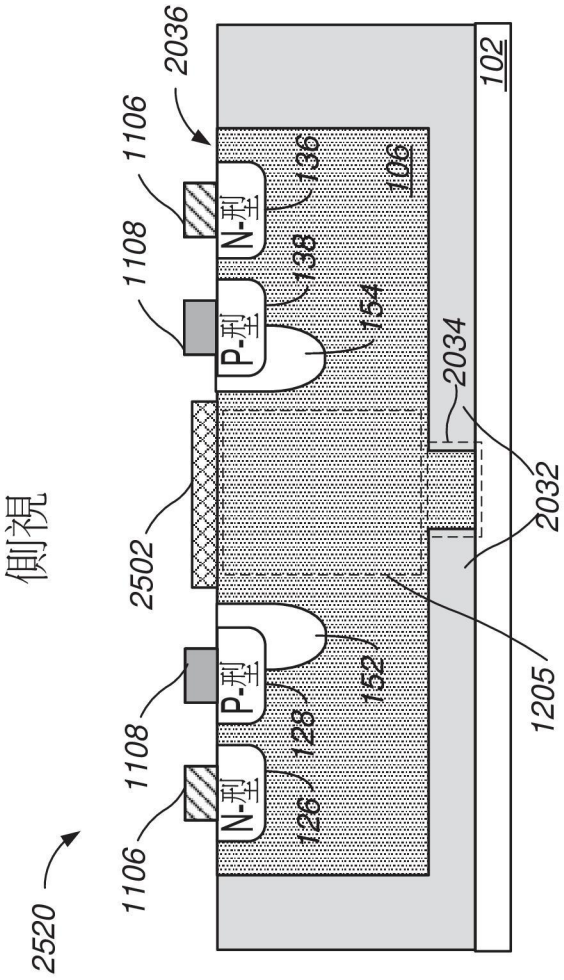


圖25F

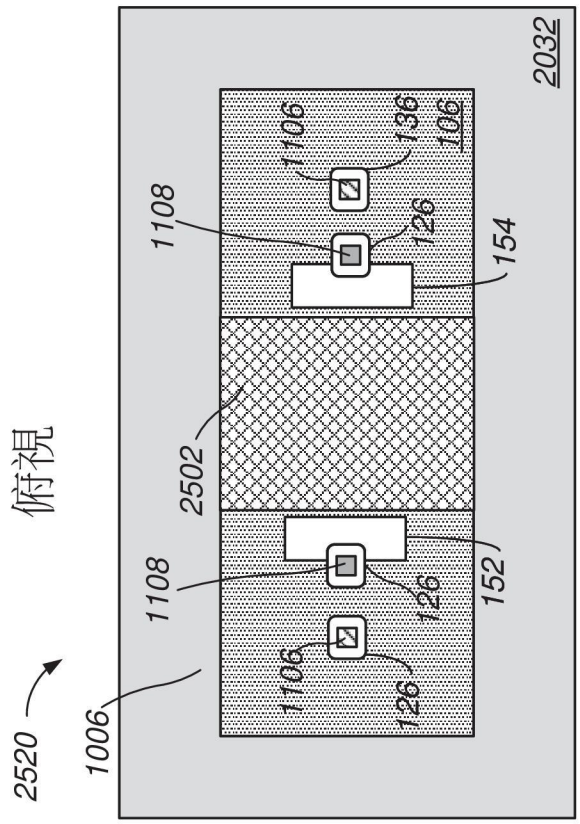


圖25E

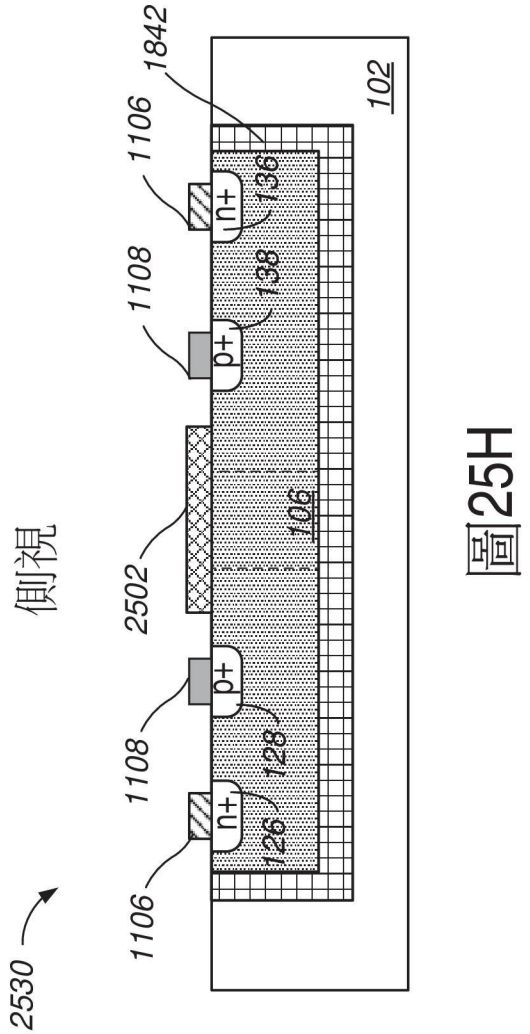


圖25H

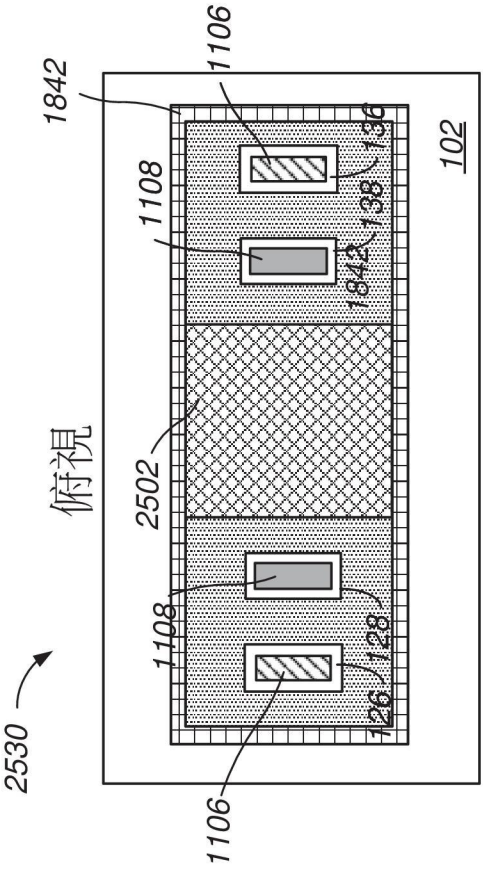


圖25G

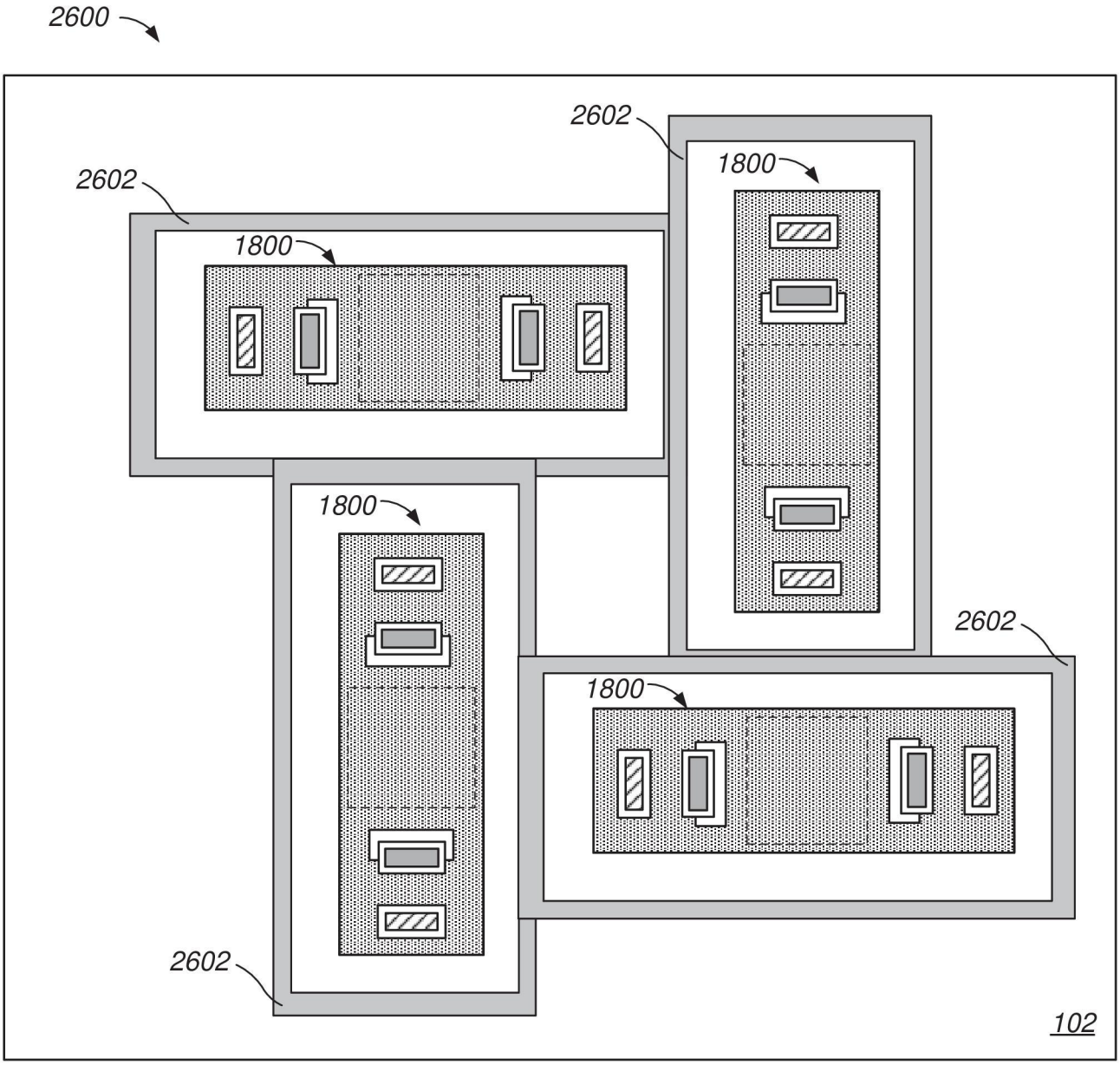


圖26

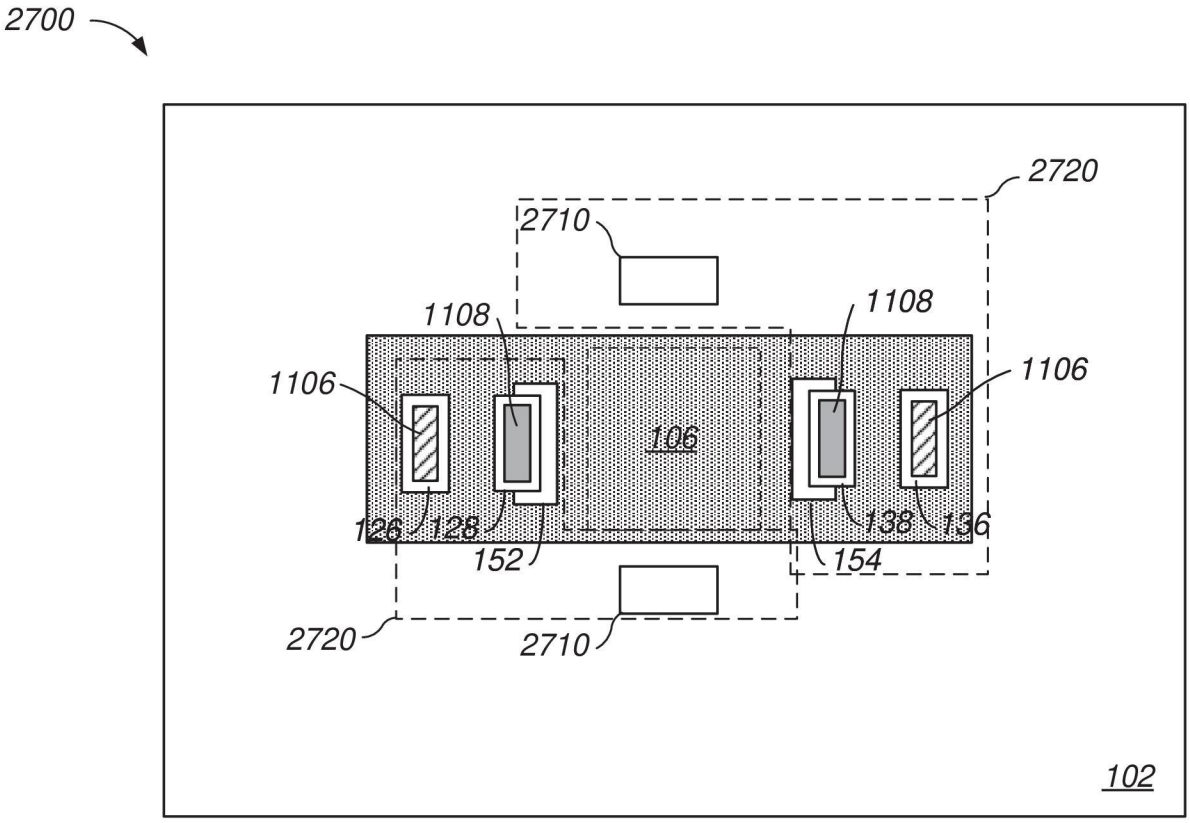

2700
2720
2710
1108
1108
1106
1106
106
126
128
152
138
136
154
2720
2710
102

圖27

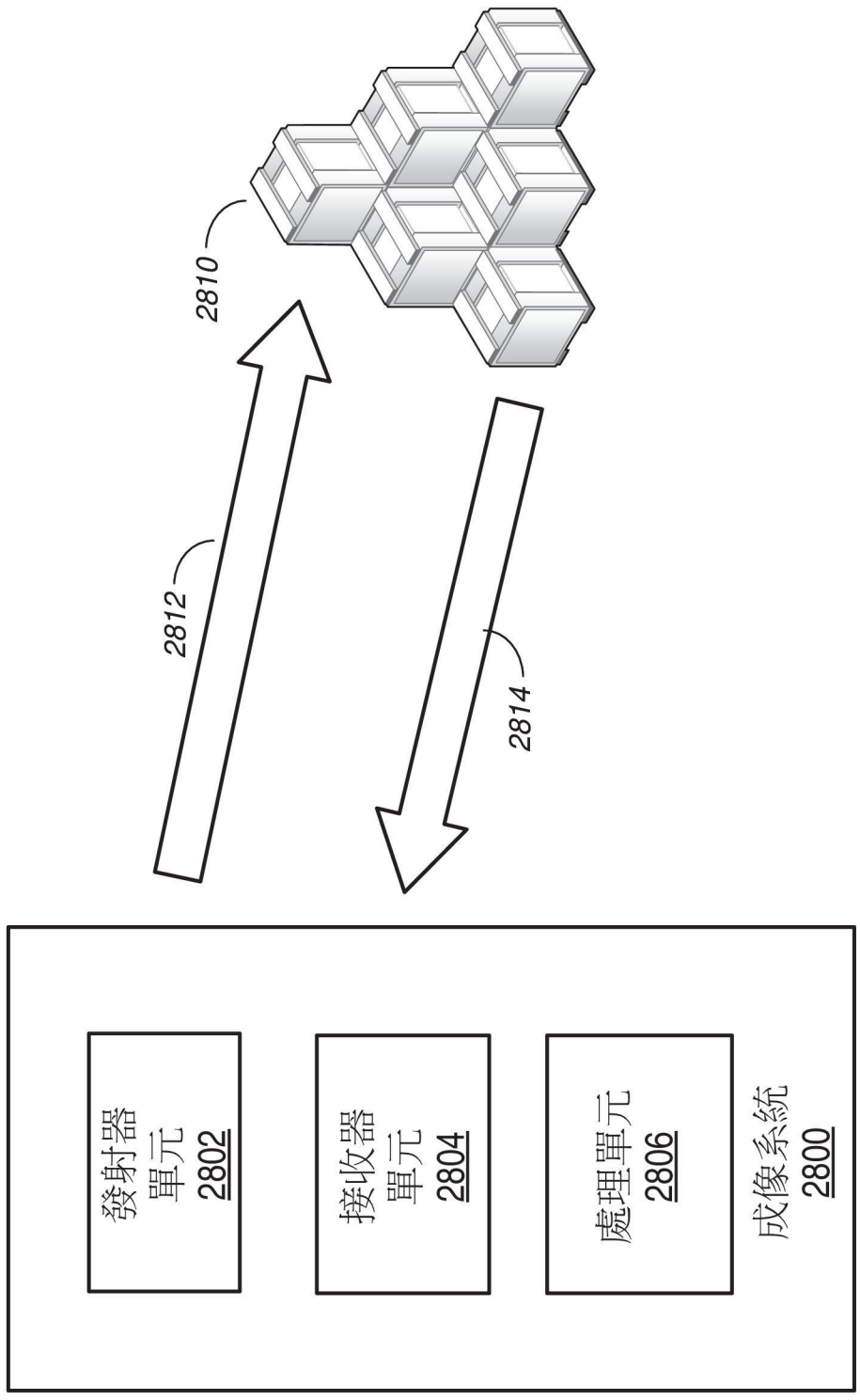


圖28A

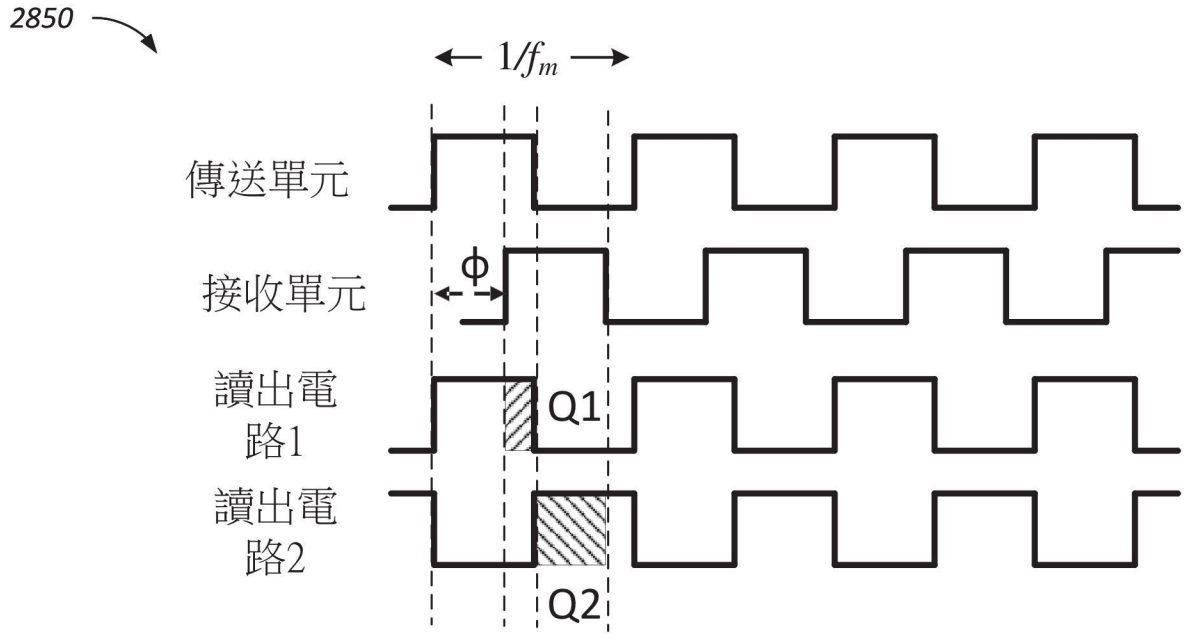

2850
1/f_m
傳送單元
Φ
接收單元
讀出電路1
Q1
讀出電路2
Q2

圖28B

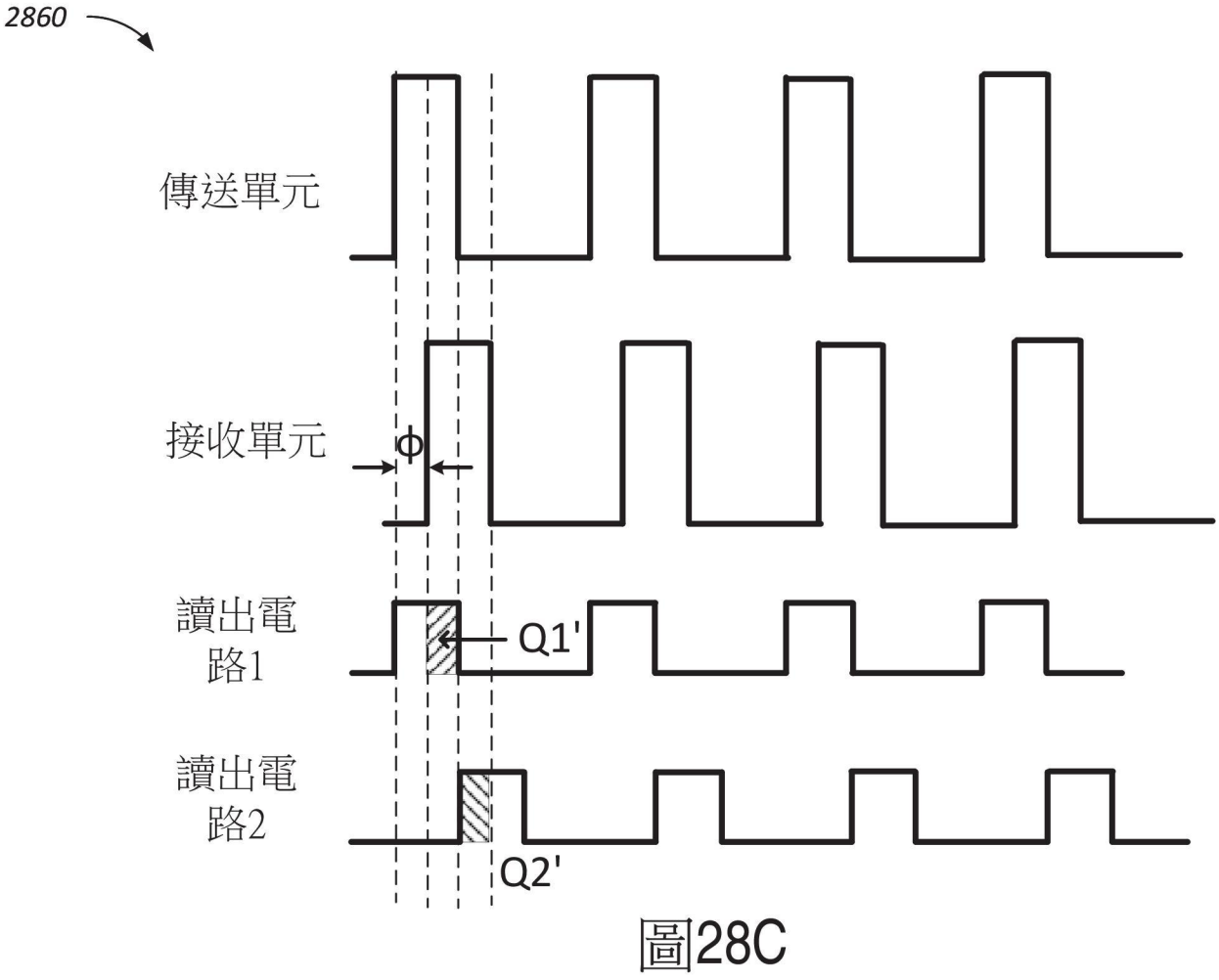

2860
傳送單元
Φ
接收單元
讀出電路1
Q1'
讀出電路2
Q2'

圖28C

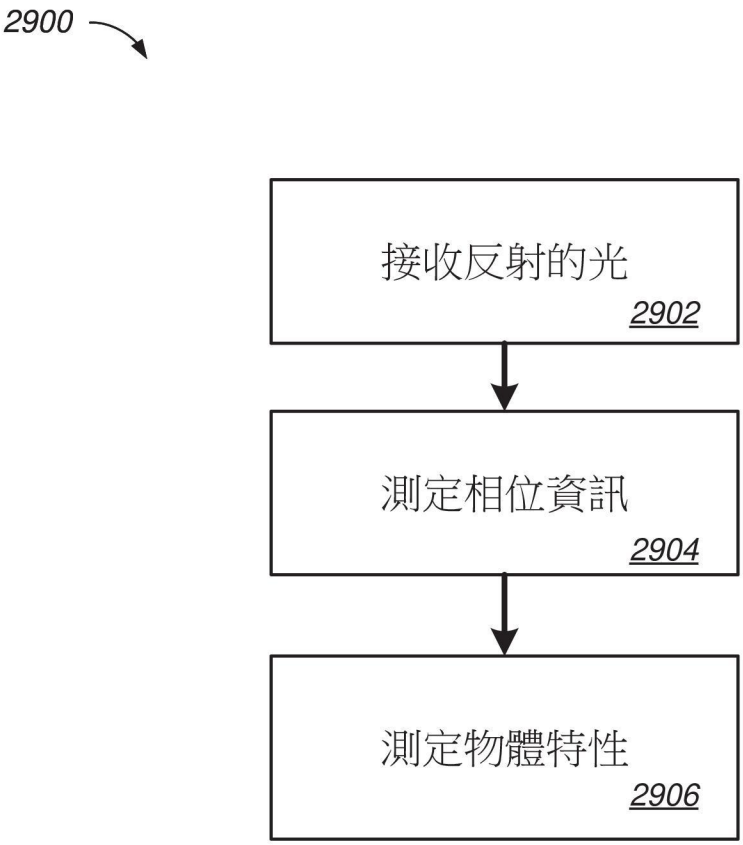


圖29

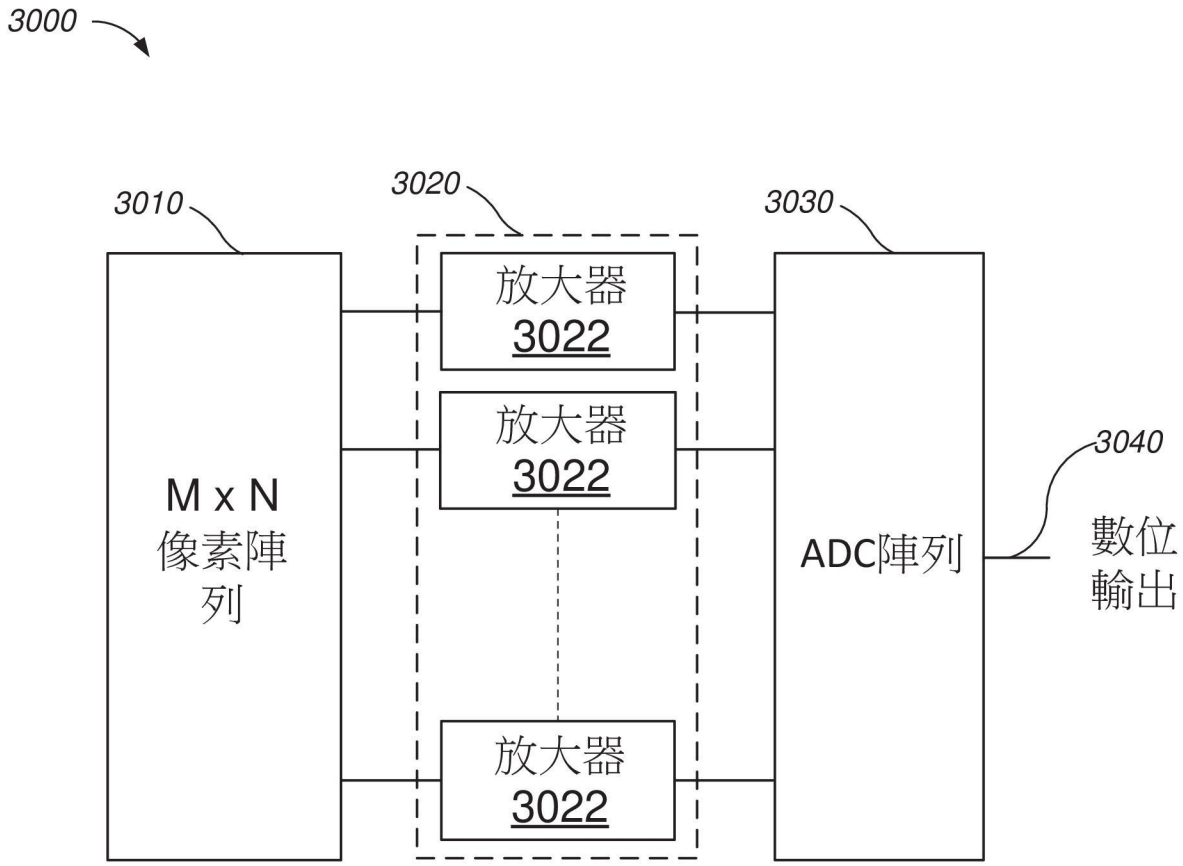

3000
3010
3020
3030
3040
M x N
像素陣
列
放大器
3022
放大器
3022
放大器
3022
ADC陣列
數位
輸出

圖30

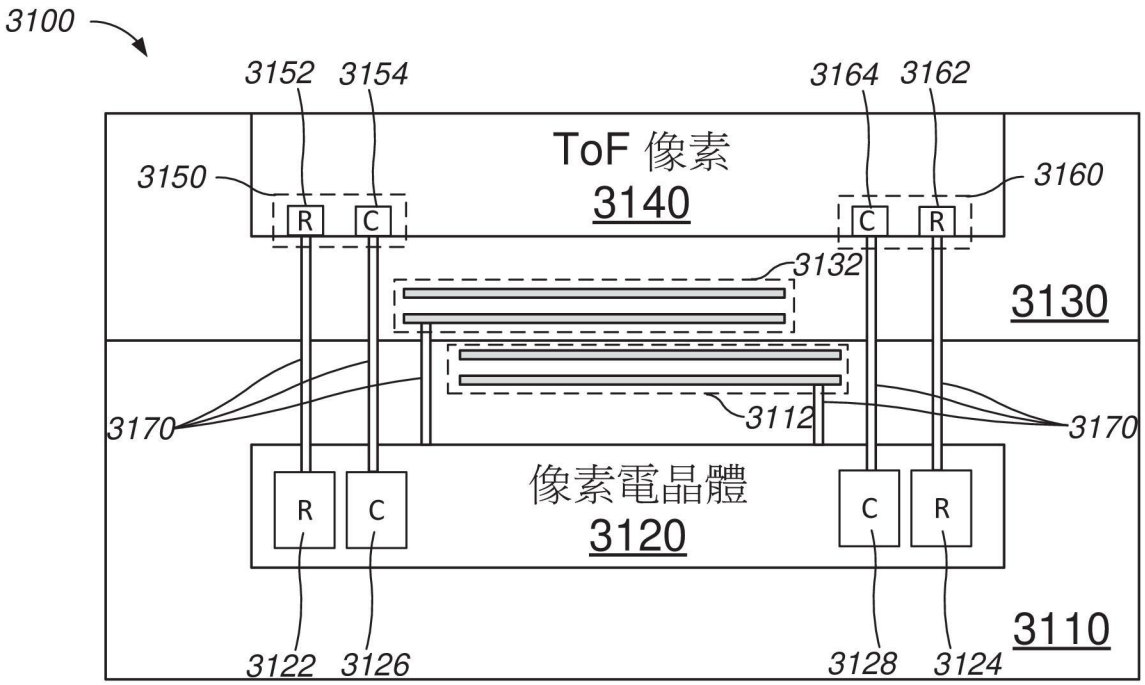

3100
3152
3154
3164
3162
ToF 像素
3140
3150
3160
R
C
C
R
3132
3130
3170
3112
3170
像素電晶體
3120
R
C
C
R
3110
3122
3126
3128
3124

圖31A

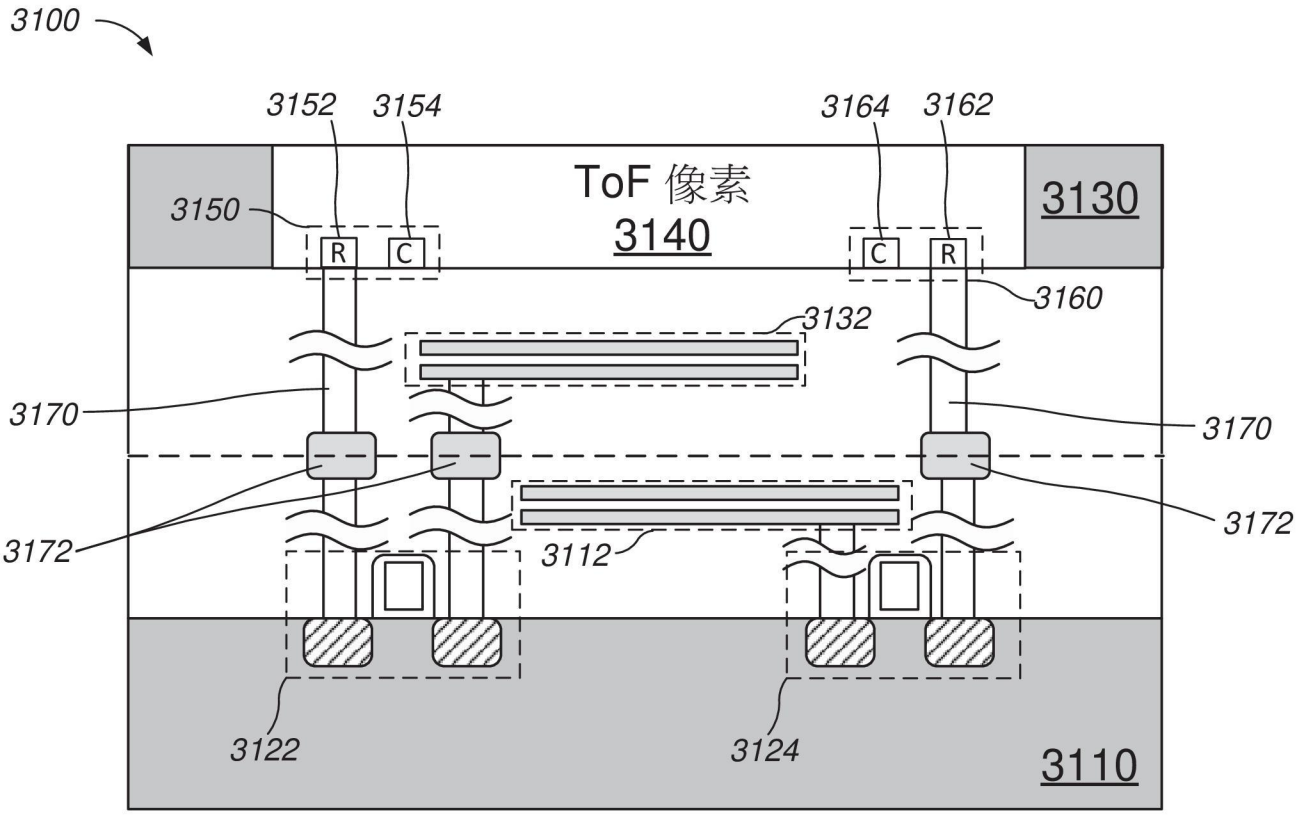

3100
3152
3154
3164
3162
ToF 像素
3140
3130
3150
R
C
C
R
3160
3132
3170
3170
3172
3172
3112
3122
3124
3110

圖31B

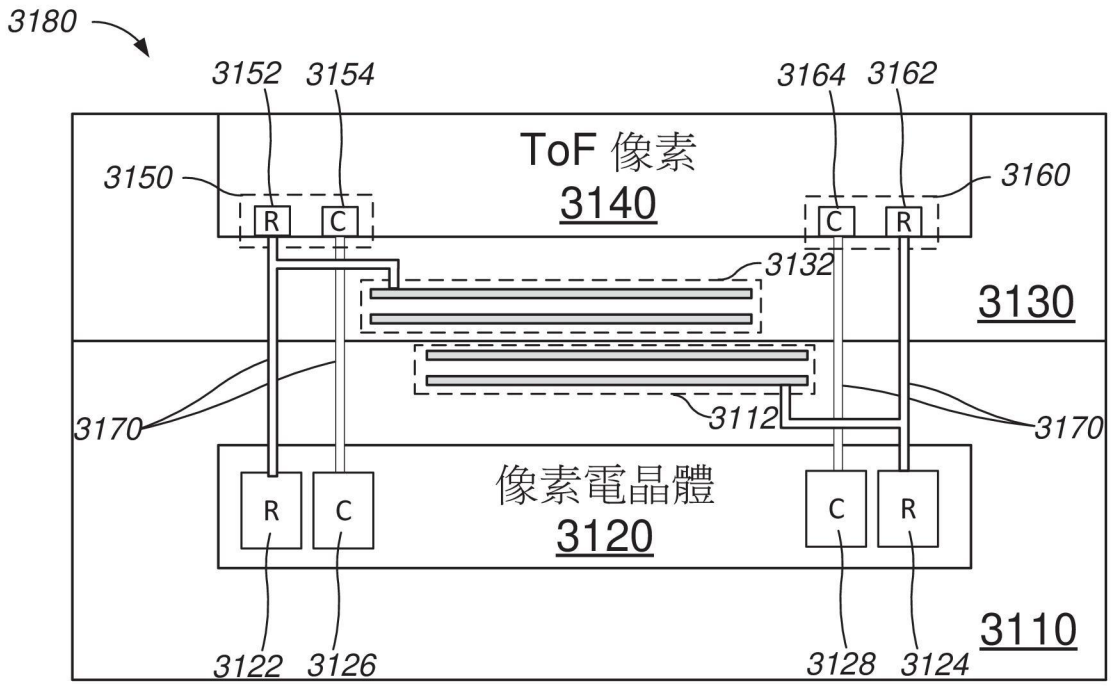

3180
3152
3154
3164
3162
ToF 像素
3140
3150
3160
R
C
C
R
3132
3130
3170
3112
3170
像素電晶體
3120
R
C
C
R
3110
3122
3126
3128
3124

圖31C

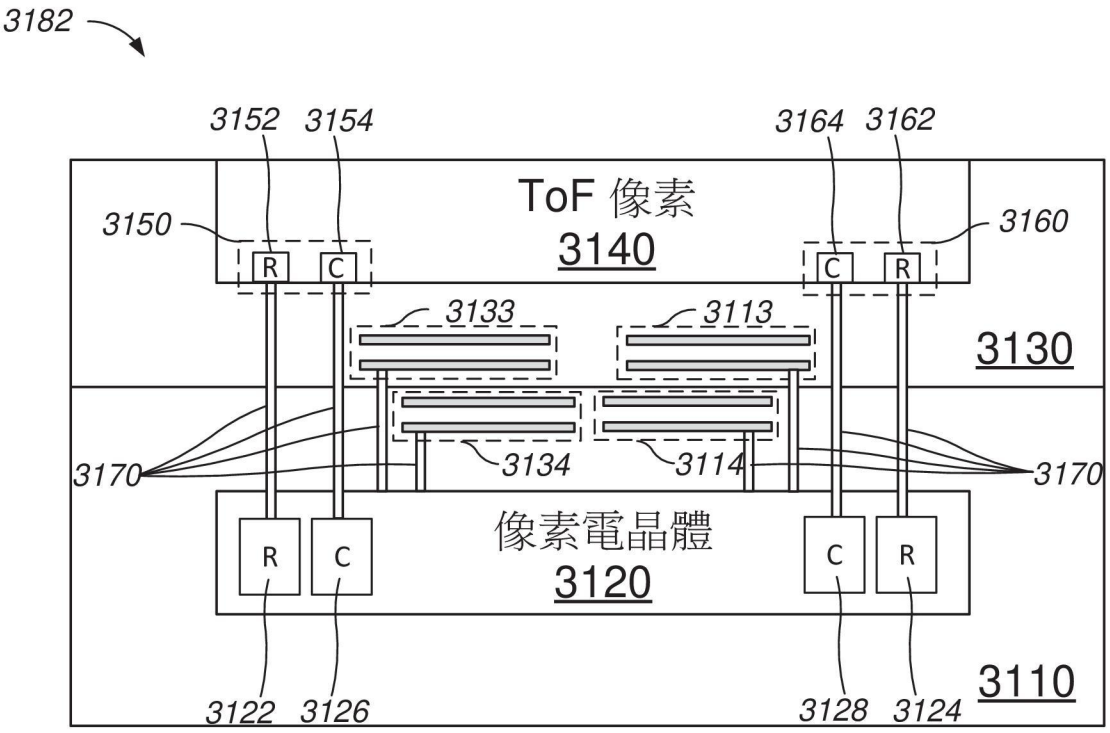

3182
3152
3154
3164
3162
ToF 像素
3140
3150
3160
R
C
C
R
3133
3113
3130
3170
3134
3114
3170
像素電晶體
3120
R
C
C
R
3110
3122
3126
3128
3124

圖31D

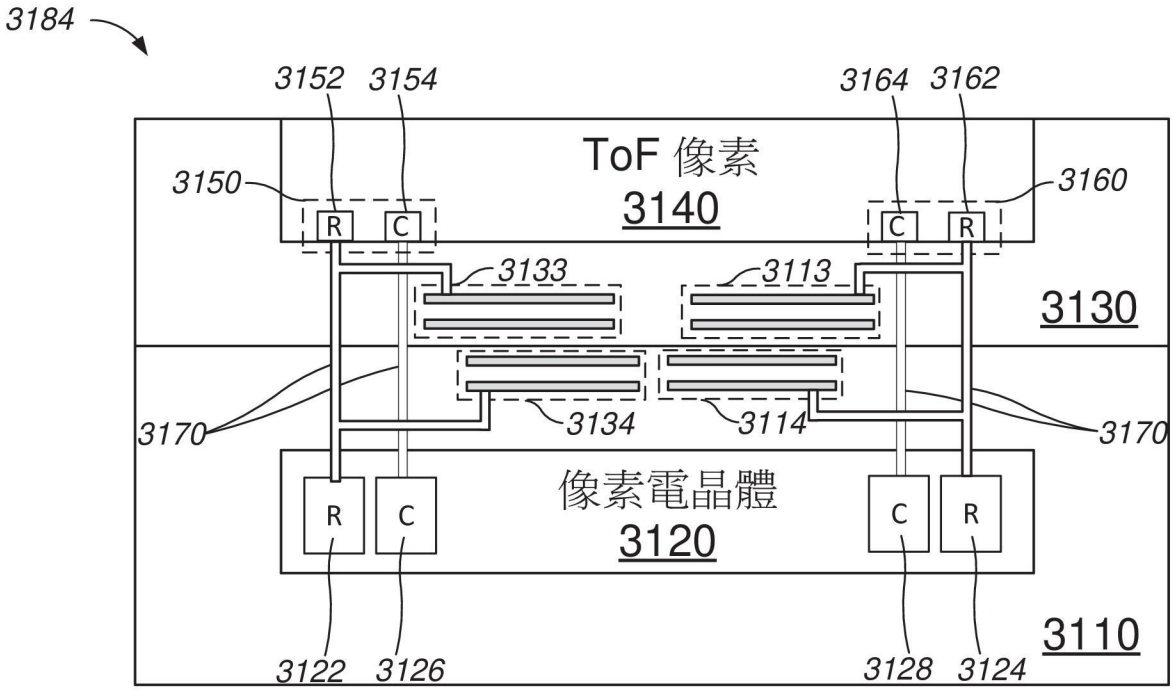

3184
3152
3154
3164
3162
ToF 像素
3140
3150
3160
R
C
C
R
3133
3113
3130
3170
3134
3114
3170
像素電晶體
3120
R
C
C
R
3110
3122
3126
3128
3124

圖31E

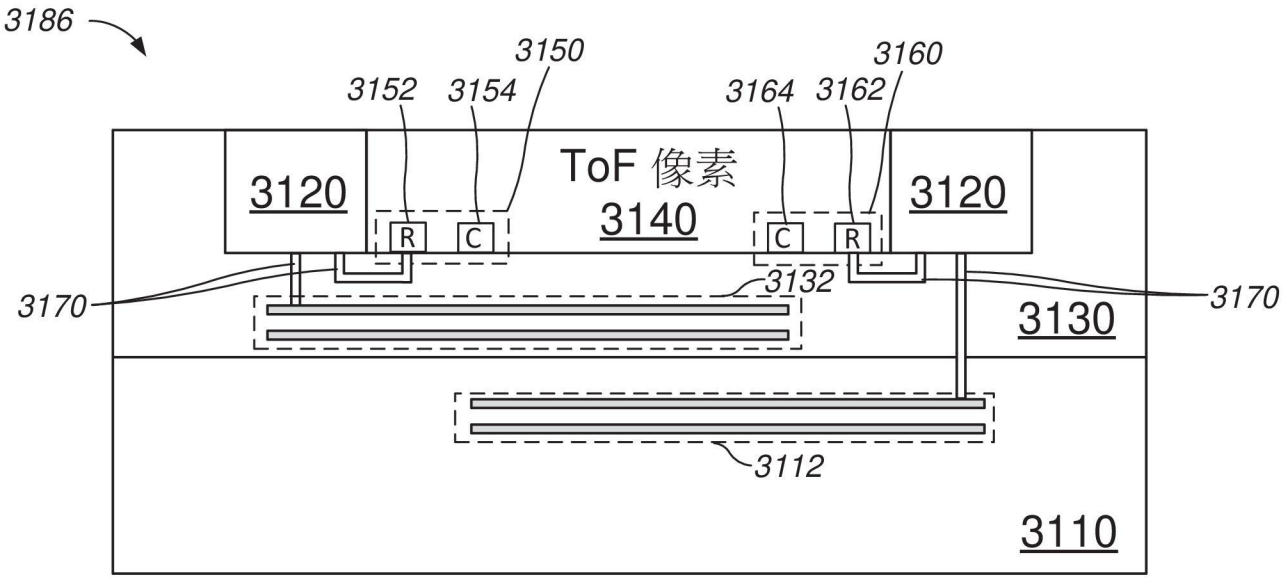

3186
3150
3160
3152
3154
3164
3162
3120
ToF 像素
3140
3120
R
C
C
R
3170
3132
3170
3130
3112
3110

圖31F

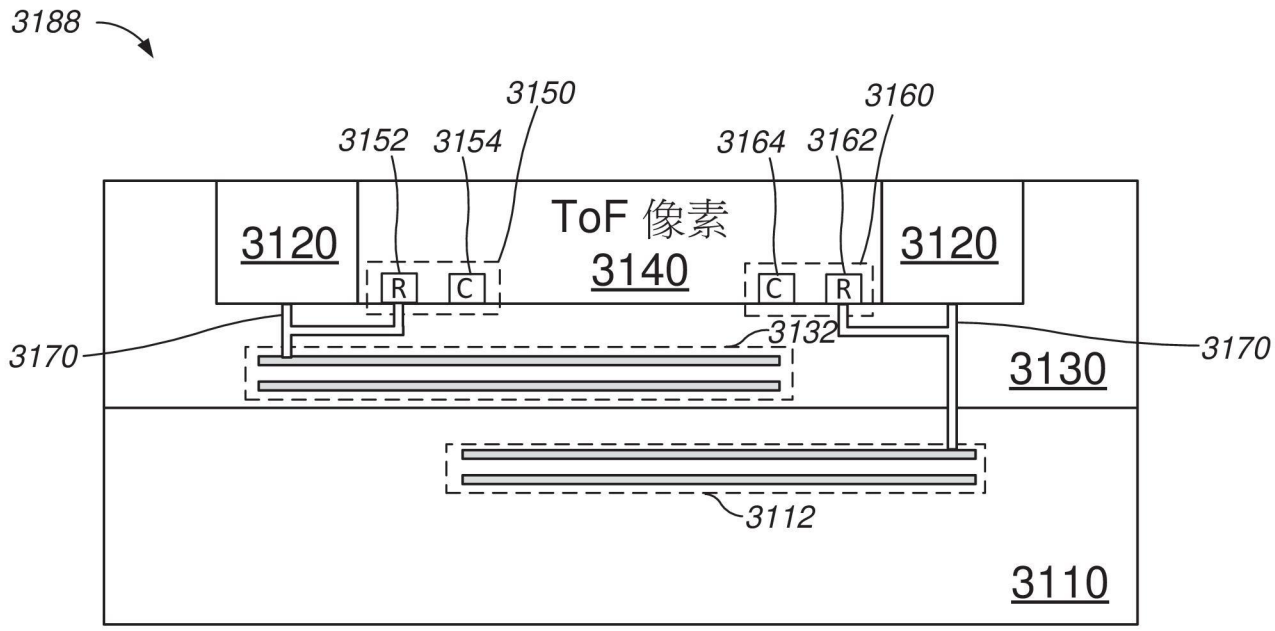

3188
3150
3160
3152
3154
3164
3162
ToF 像素
3140
3120
3120
R
C
C
R
3132
3170
3170
3130
3112
3110

圖31G

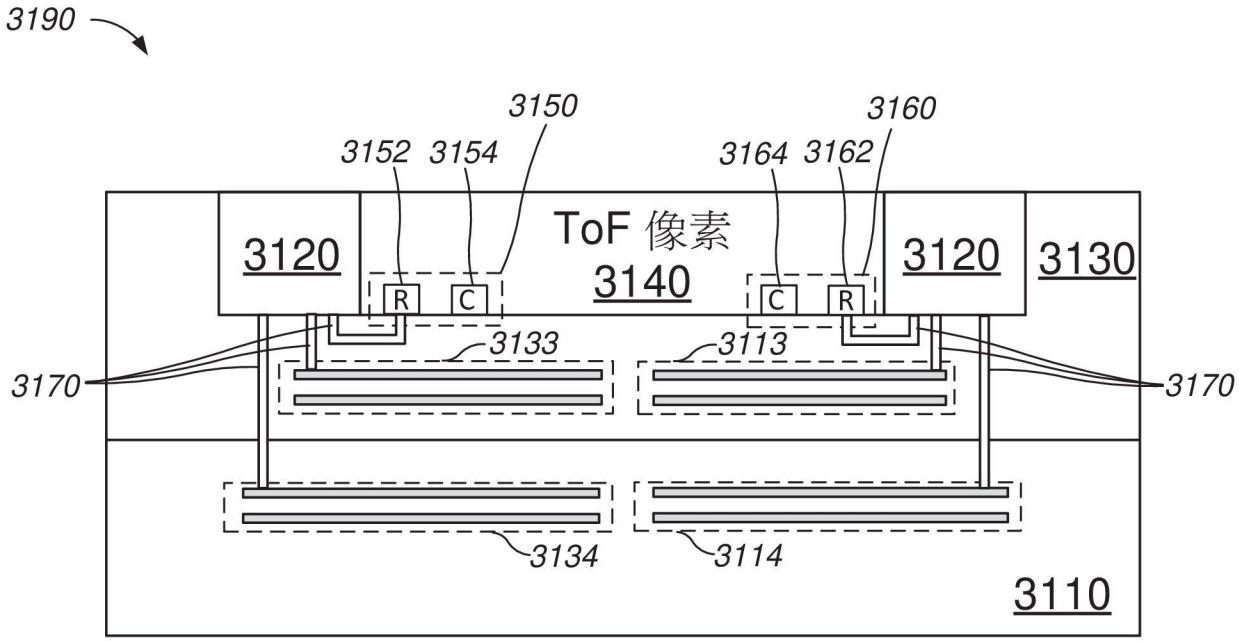

3190
3150
3160
3152
3154
3164
3162
ToF 像素
3140
3120
3120
3130
R
C
C
R
3133
3113
3170
3170
3134
3114
3110

圖31H

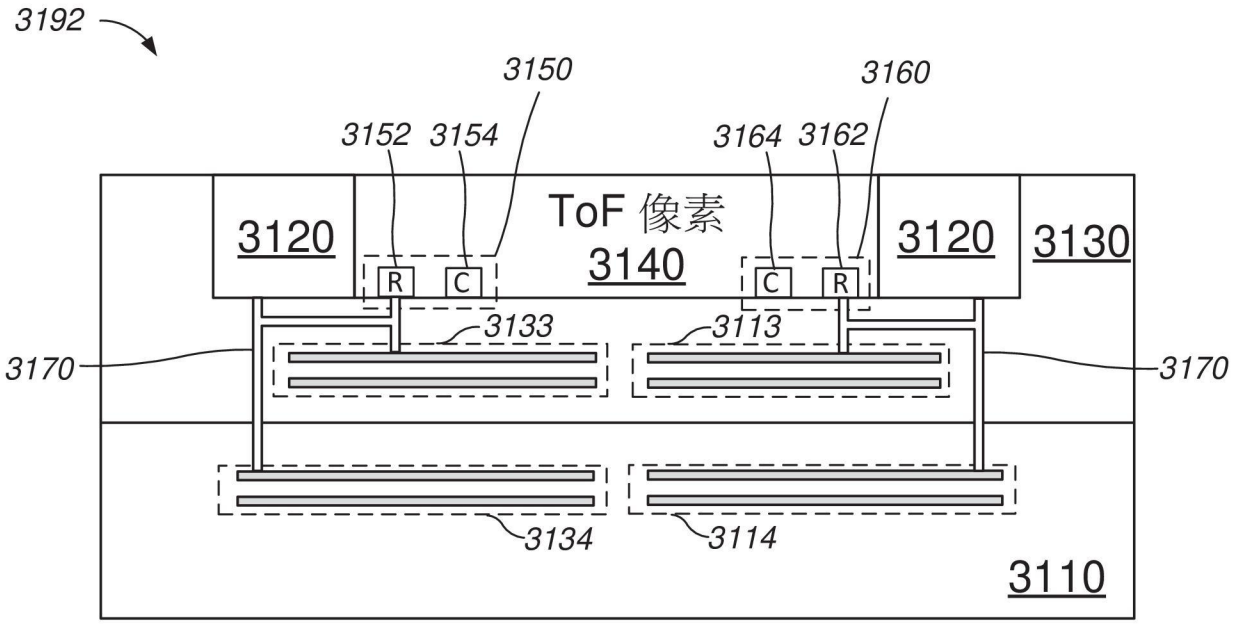

3192
3150
3160
3152
3154
3164
3162
ToF 像素
3140
3120
3120
3130
R
C
C
R
3133
3113
3170
3170
3134
3114
3110

圖31I

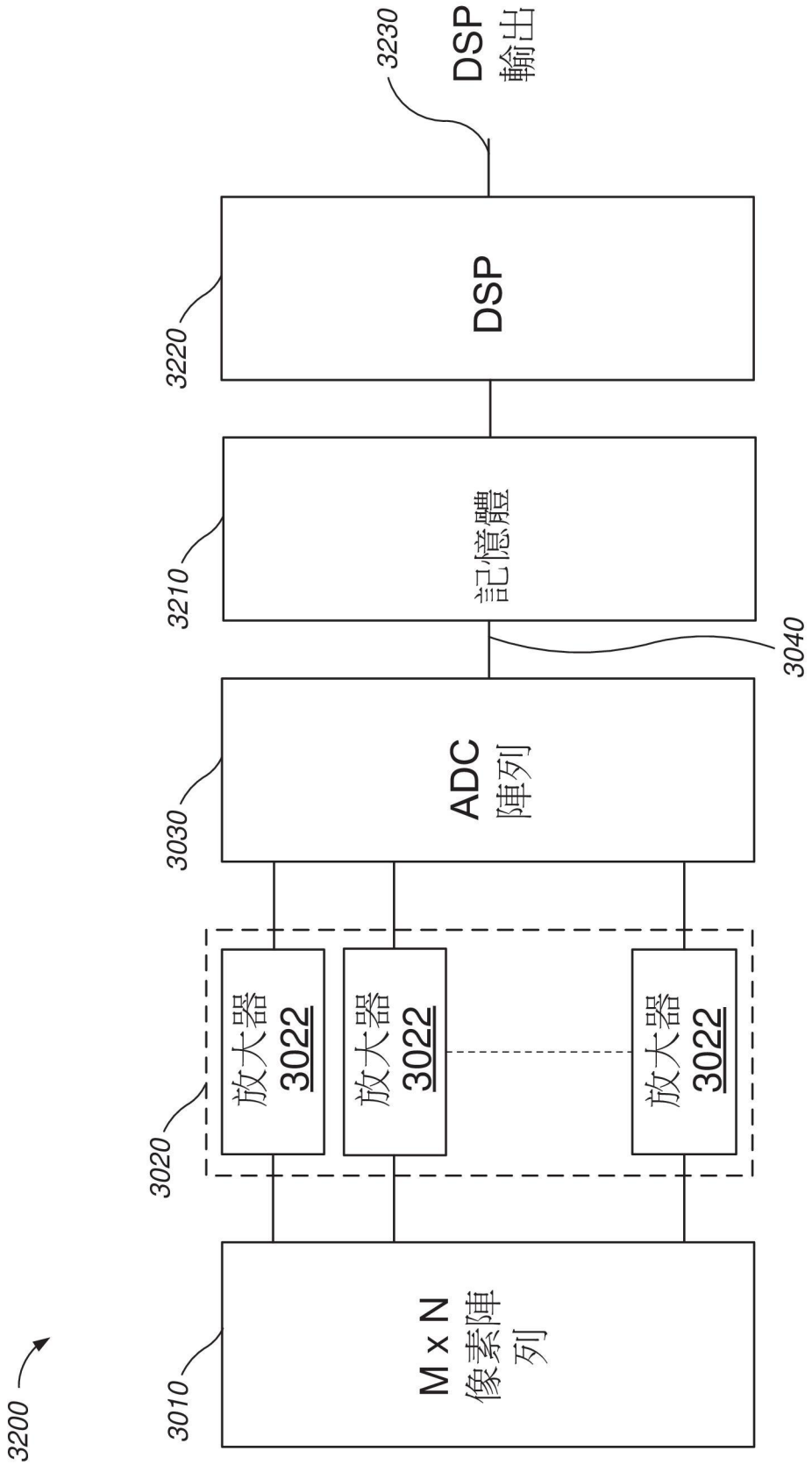

3200
3010
M x N
像素陣
列
3020
放大器
3022
放大器
3022
放大器
3022
3030
ADC
陣列
3040
3210
記憶體
3220
DSP
3230
DSP
輸出

圖32

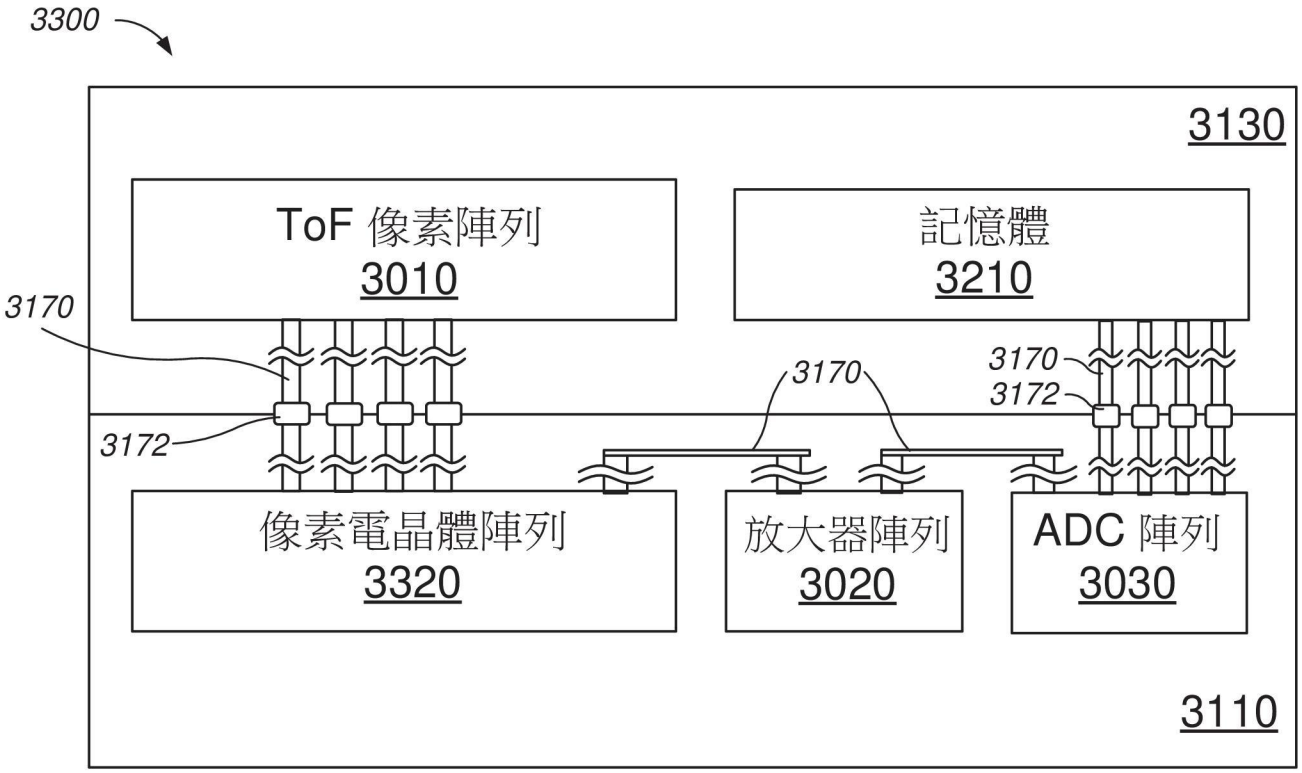

3300
3130
ToF 像素陣列
3010
記憶體
3210
3170
3170
3172
3170
3172
像素電晶體陣列
3320
放大器陣列
3020
ADC 陣列
3030
3110

圖33A

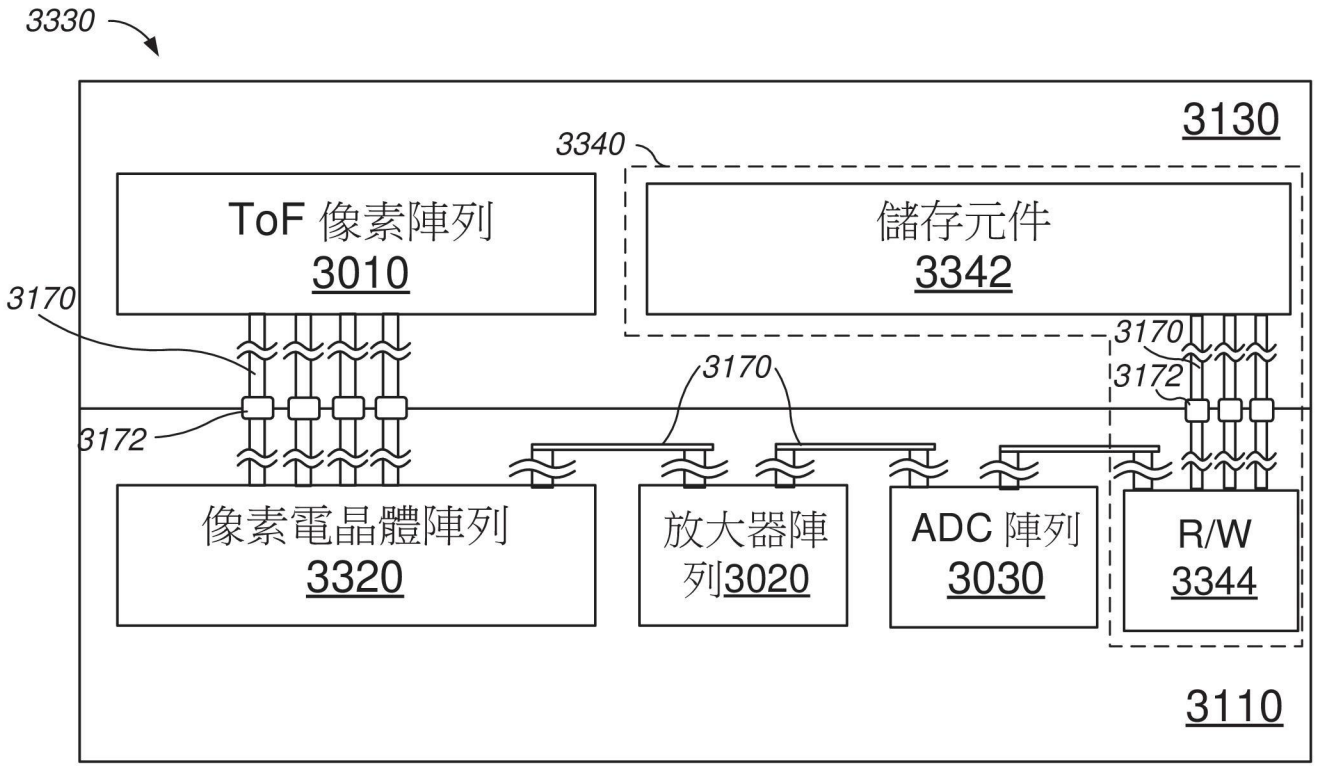

3330
3130
3340
ToF 像素陣列
3010
儲存元件
3342
3170
3170
3172
3170
3172
像素電晶體陣列
3320
放大器陣
列3020
ADC 陣列
3030
R/W
3344
3110

圖33B

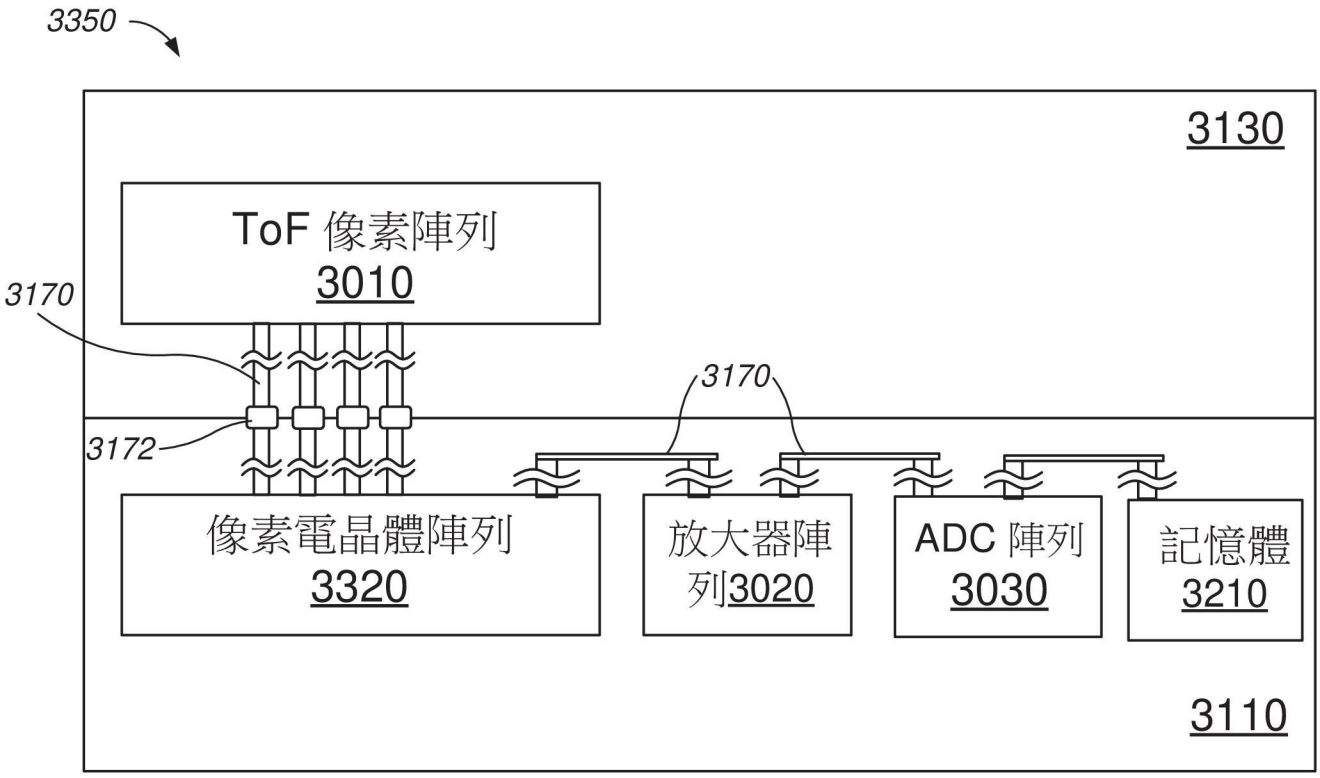

3350
3130
ToF 像素陣列
3010
3170
3170
3172
像素電晶體陣列
3320
放大器陣列3020
ADC 陣列
3030
記憶體
3210
3110

圖33C

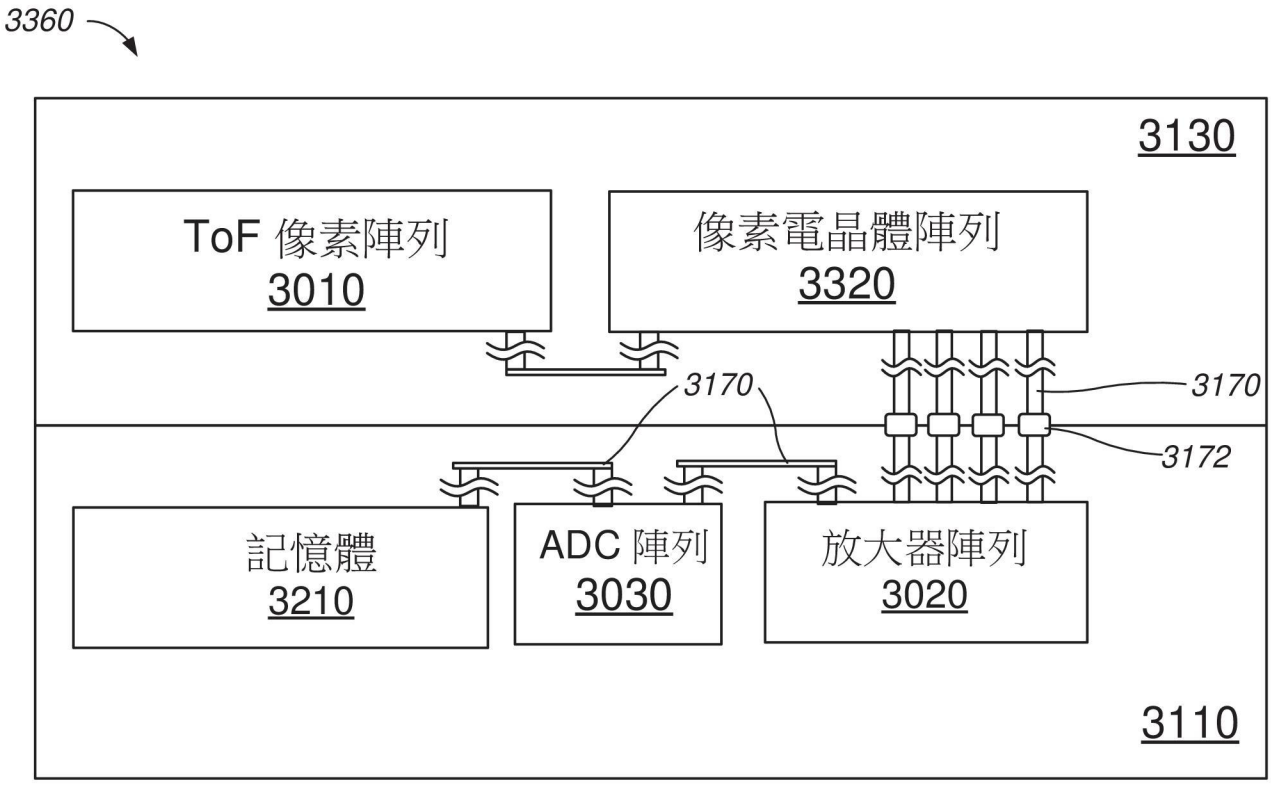

3360
3130
ToF 像素陣列
3010
像素電晶體陣列
3320
3170
3170
3172
記憶體
3210
ADC 陣列
3030
放大器陣列
3020
3110

圖33D

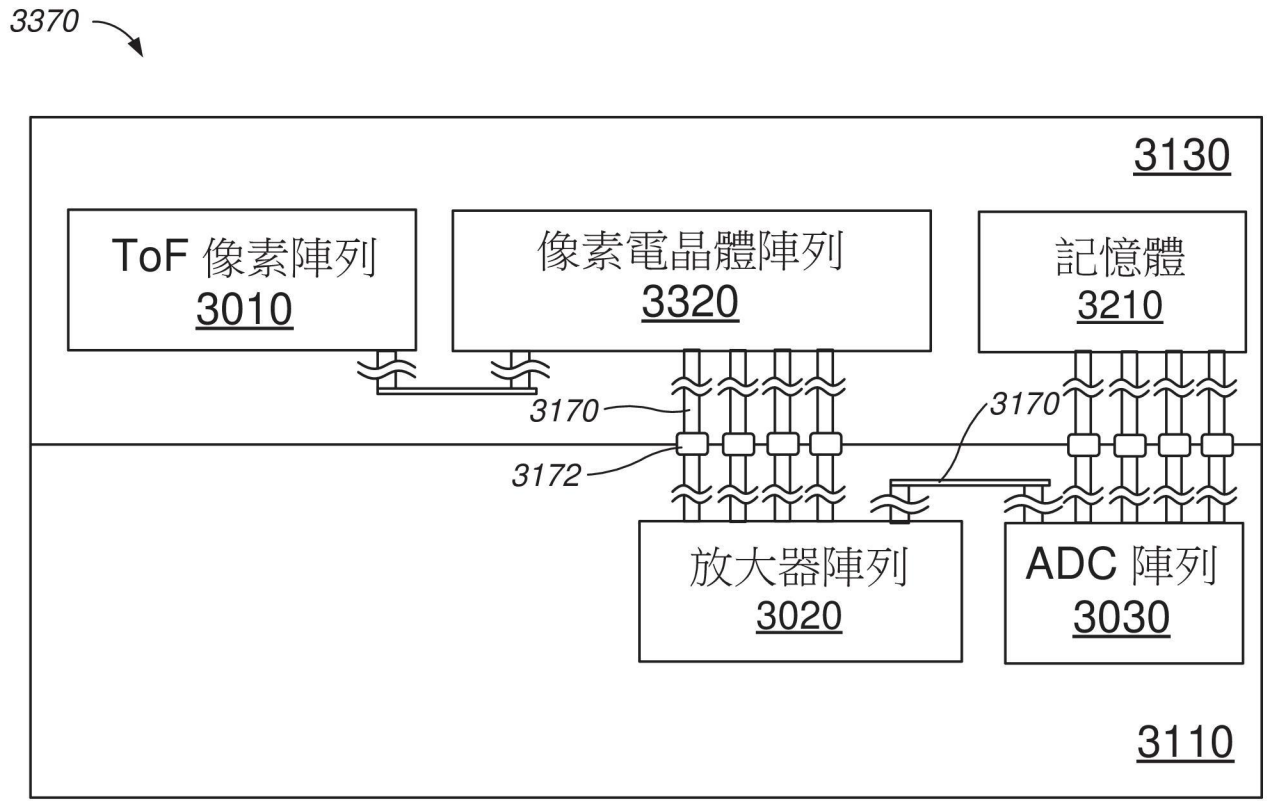

3370
3130
ToF 像素陣列
3010
像素電晶體陣列
3320
記憶體
3210
3170
3170
3172
放大器陣列
3020
ADC 陣列
3030
3110

圖33E

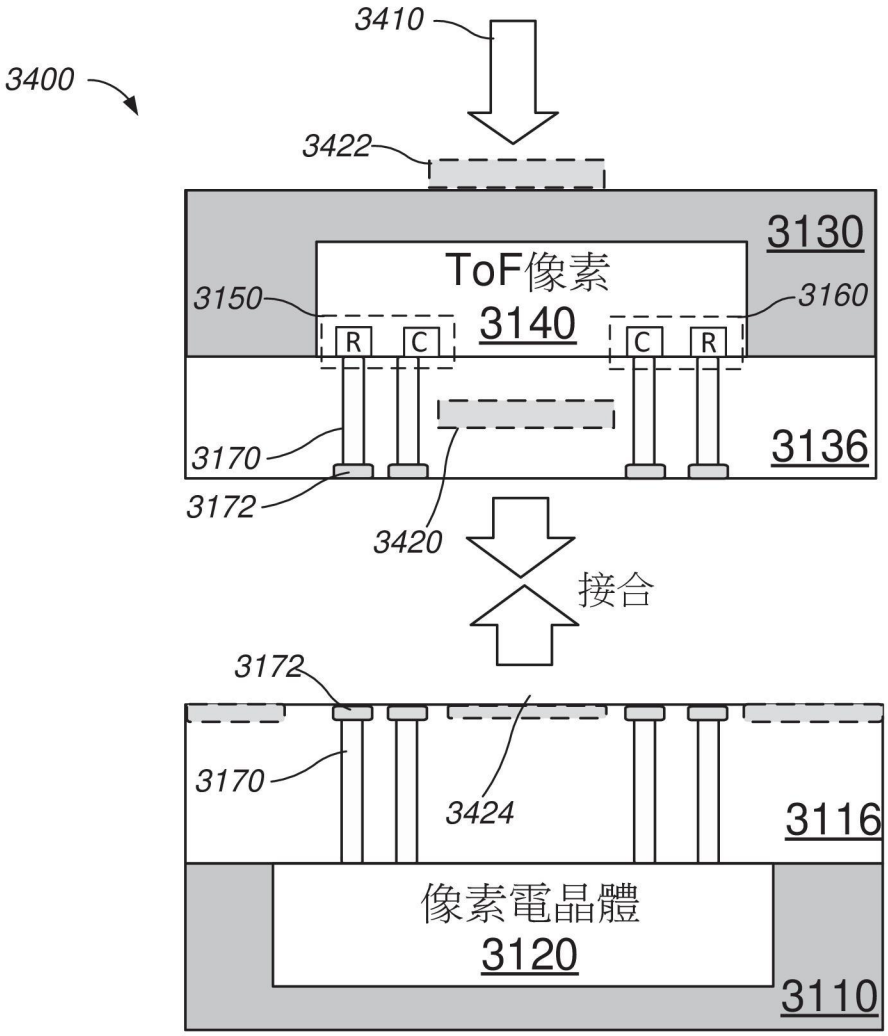

3400
3410
3422
3130
ToF像素
3140
3150
3160
R
C
C
R
3170
3172
3420
3136
接合
3172
3170
3424
3116
像素電晶體
3120
3110

圖34

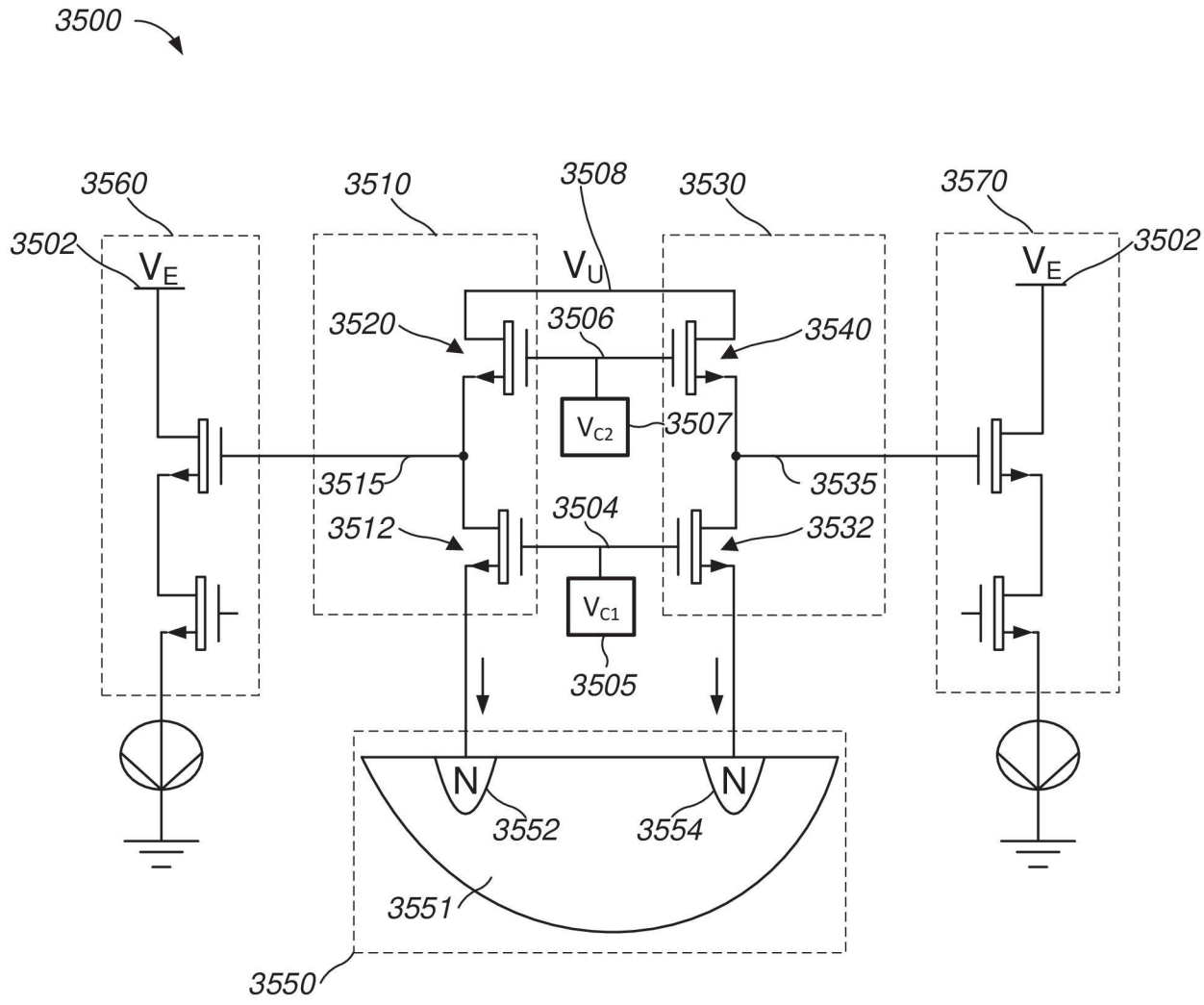

3500
3560
3510
3508
3530
3570
3502
VE
VU
VE
3502
3520
3506
3540
VC2
3507
3515
3535
3504
3512
3532
VC1
3505
N
N
3552
3554
3551
3550

圖35

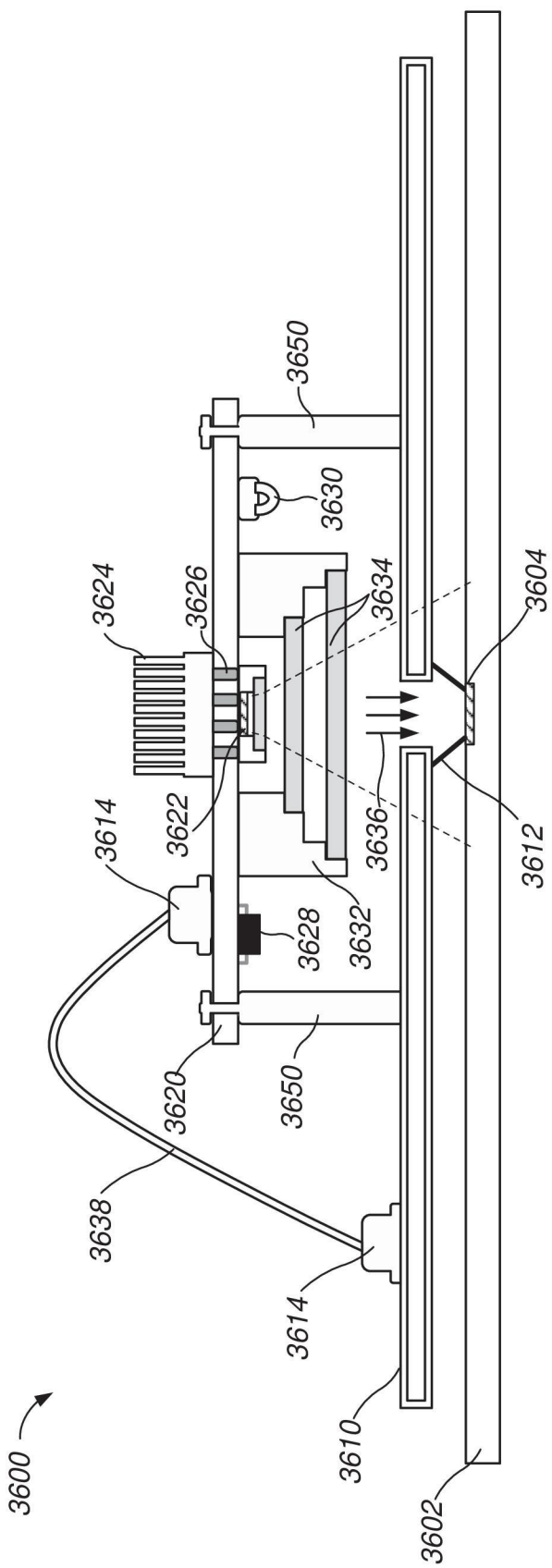

3600
3602
3610
3612
3614
3620
3622
3624
3626
3628
3630
3632
3634
3636
3638
3650
3604

圖36A

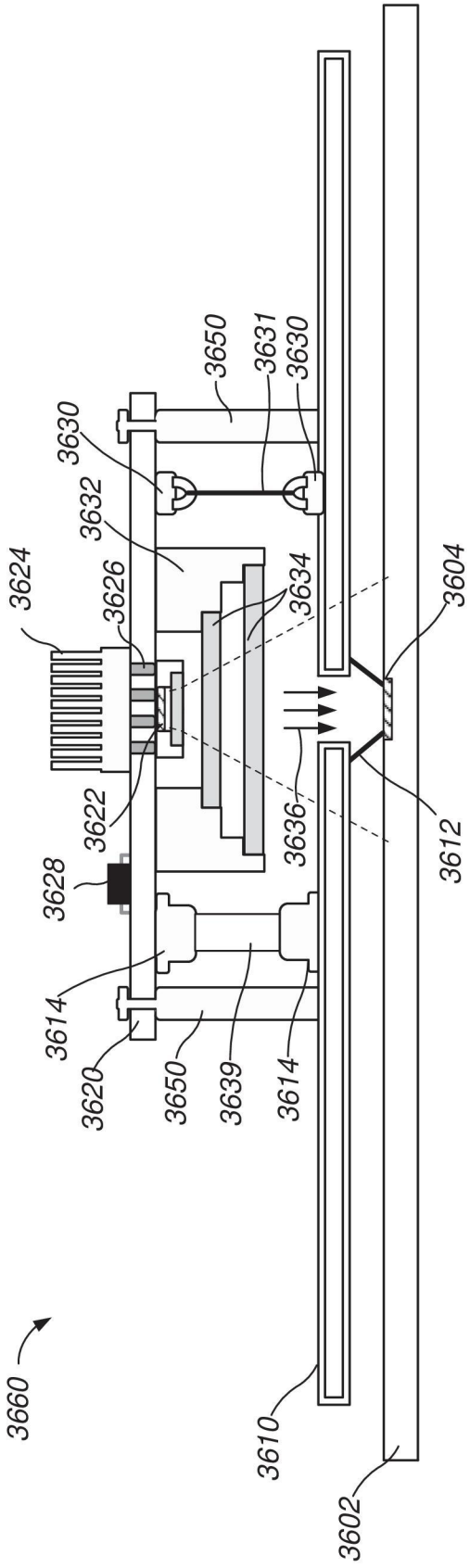

3660
3602
3610
3612
3614
3620
3622
3624
3626
3628
3630
3631
3632
3634
3636
3639
3650
3604

圖36B

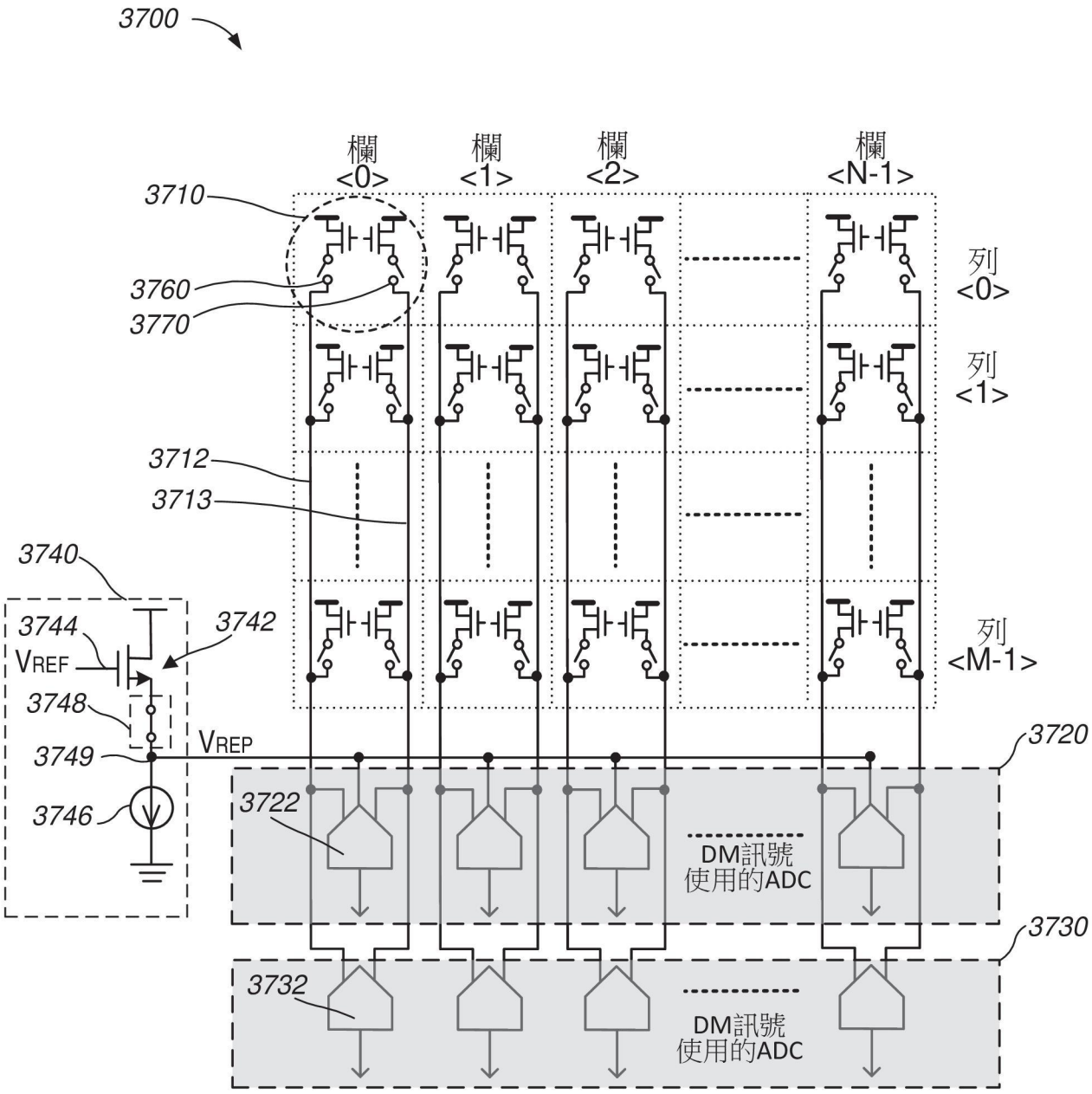

3700
欄 <0>
欄 <1>
欄 <2>
欄 <N-1>
3710
3760
3770
列 <0>
列 <1>
3712
3713
列 <M-1>
3740
3744
VREF
3742
3748
3749
VREP
3746
3720
3722
DM訊號 使用的ADC
3730
3732
DM訊號 使用的ADC

圖37A

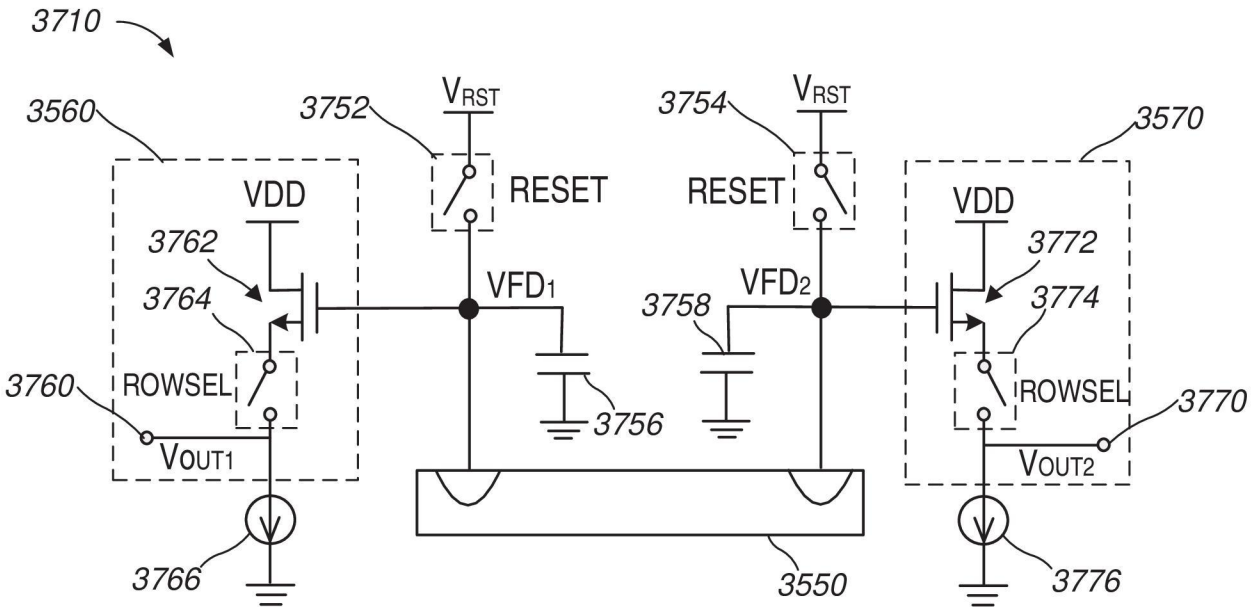

3710
3560
3752
VRST
3754
VRST
3570
VDD
RESET
RESET
VDD
3762
3772
VFD1
VFD2
3764
3758
3774
3760
ROWSEL
ROWSEL
3770
3756
VOUT1
VOUT2
3766
3550
3776

圖37B

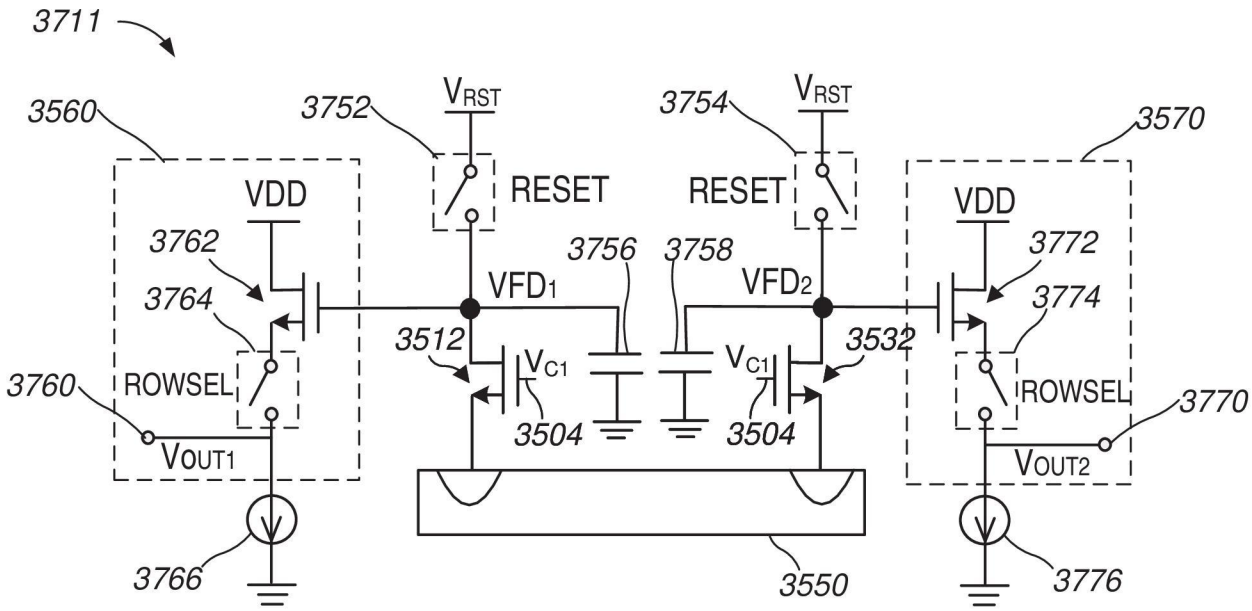

3711
3560
3752
VRST
3754
VRST
3570
VDD
RESET
RESET
VDD
3762
3756
3758
3772
VFD1
VFD2
3764
3774
3512
VC1
VC1
3532
3760
ROWSEL
ROWSEL
3770
3504
3504
VOUT1
VOUT2
3766
3550
3776

圖37C

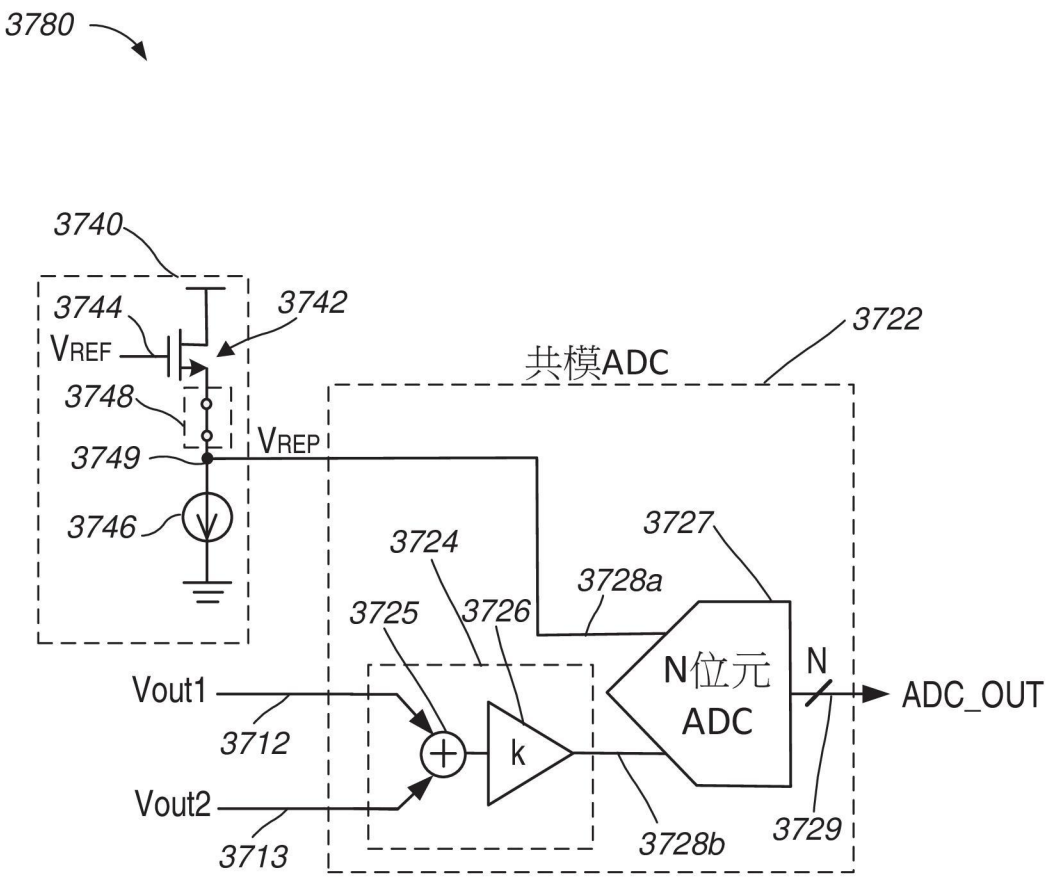

3780
3740
3744
VREF
3742
3748
3749
VREP
3746
3722
共模ADC
3724
3727
3728a
3725
3726
N位元
ADC
N
ADC_OUT
Vout1
3712
k
Vout2
3713
3728b
3729

圖37D

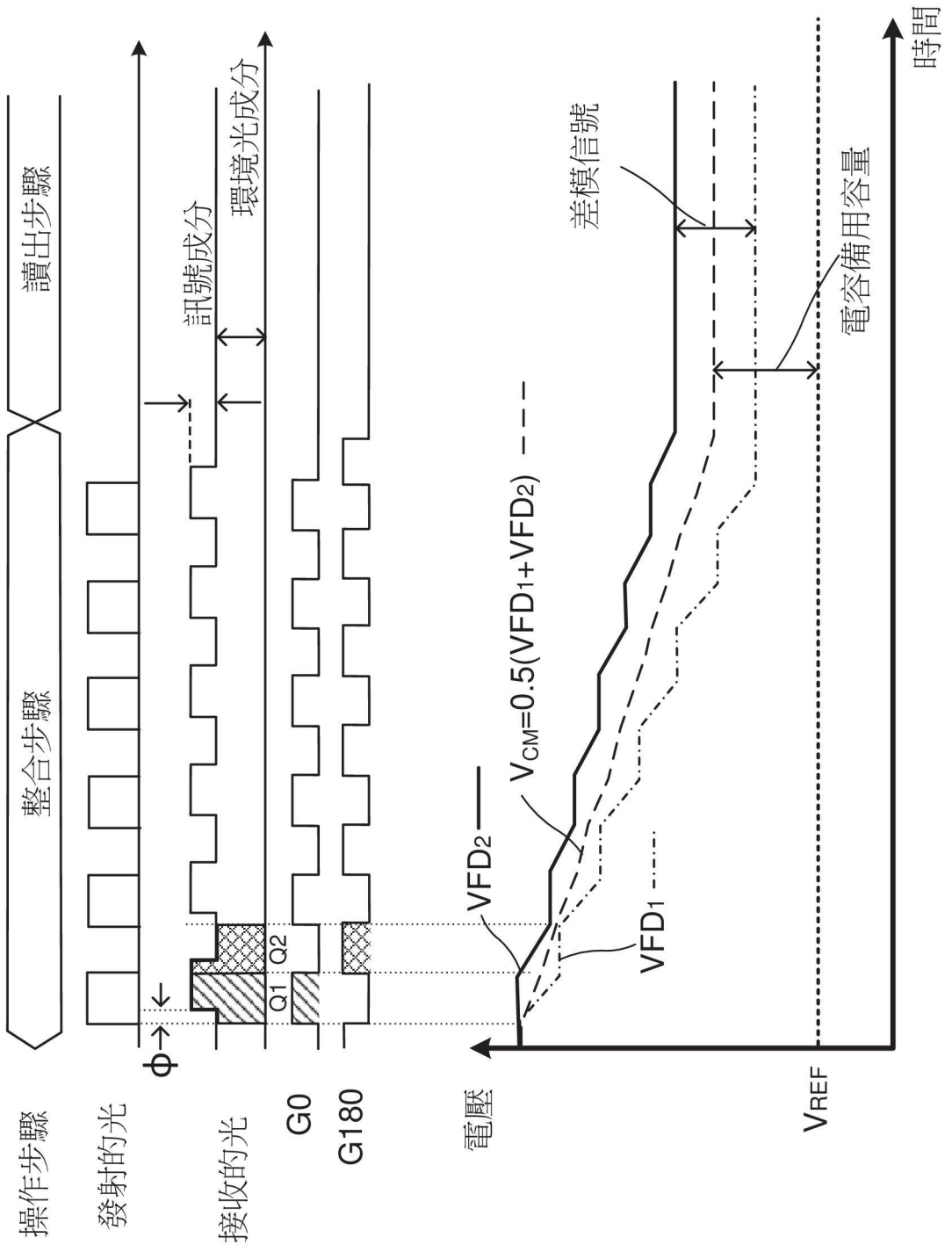

操作步驟
整合步驟
讀出步驟
發射的光
訊號成分
環境光成分
接收的光
Q1
Q2
Φ
G0
G180
電壓
VFD2
VCM=0.5(VFD1+VFD2)
VFD1
差模信號
電容備用容量
VREF
時間

圖37E

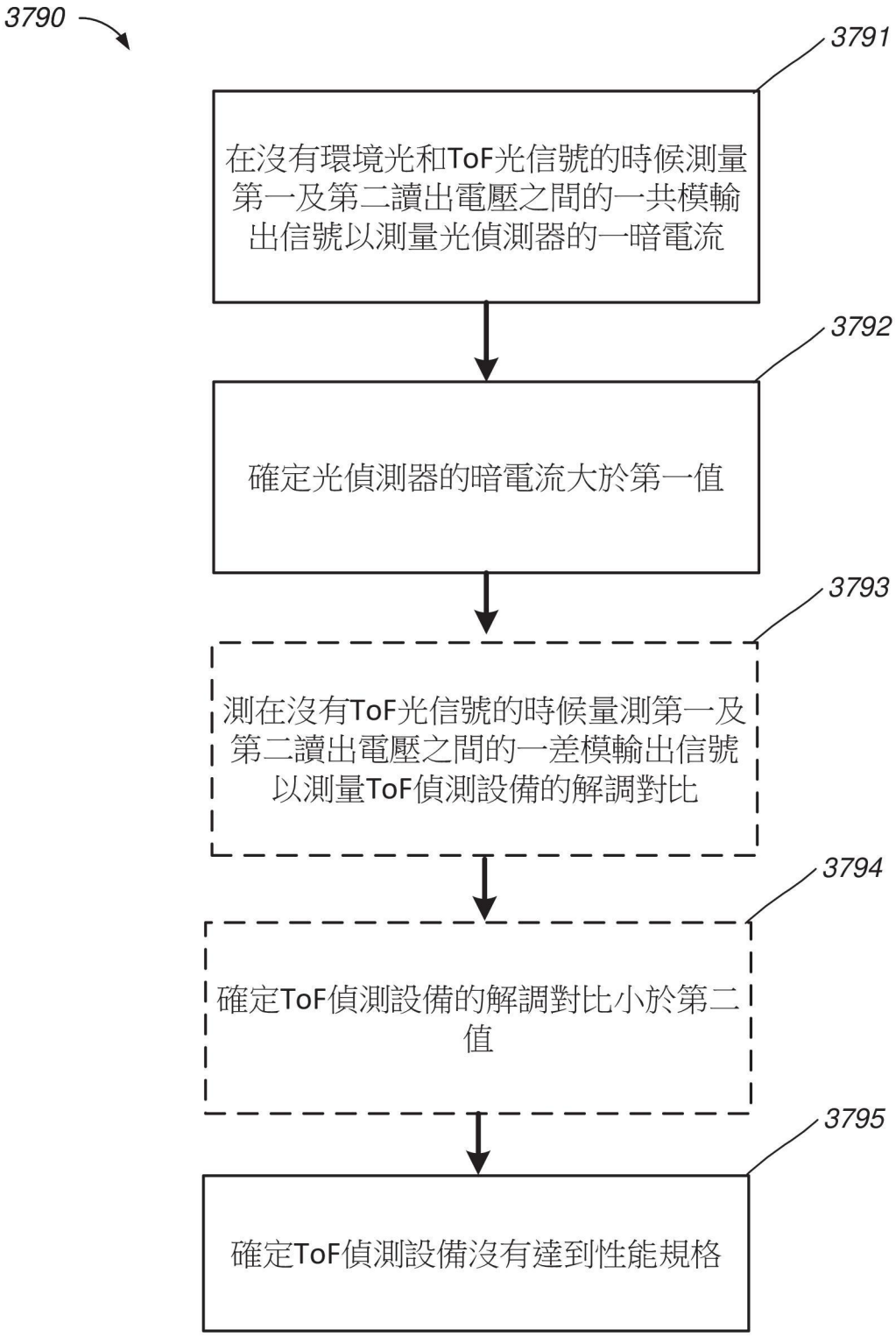

3790
3791
在沒有環境光和ToF光信號的時候測量第一及第二讀出電壓之間的一共模輸出信號以測量光偵測器的一暗電流
3792
確定光偵測器的暗電流大於第一值
3793
測在沒有ToF光信號的時候量測第一及第二讀出電壓之間的一差模輸出信號以測量ToF偵測設備的解調對比
3794
確定ToF偵測設備的解調對比小於第二值
3795
確定ToF偵測設備沒有達到性能規格

圖37F

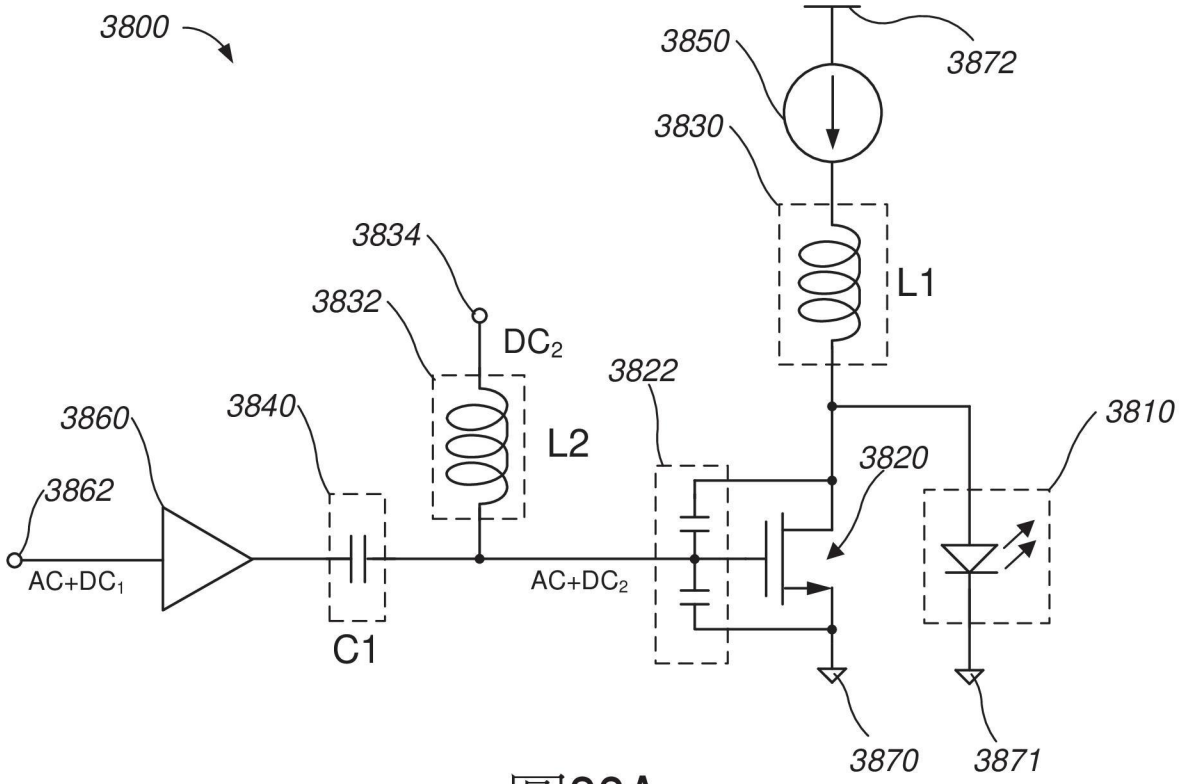

3800
3850
3872
3830
3834
3832
DC2
L1
L2
3822
3840
3860
3810
3820
3862
AC+DC1
AC+DC2
C1
3870
3871

圖38A

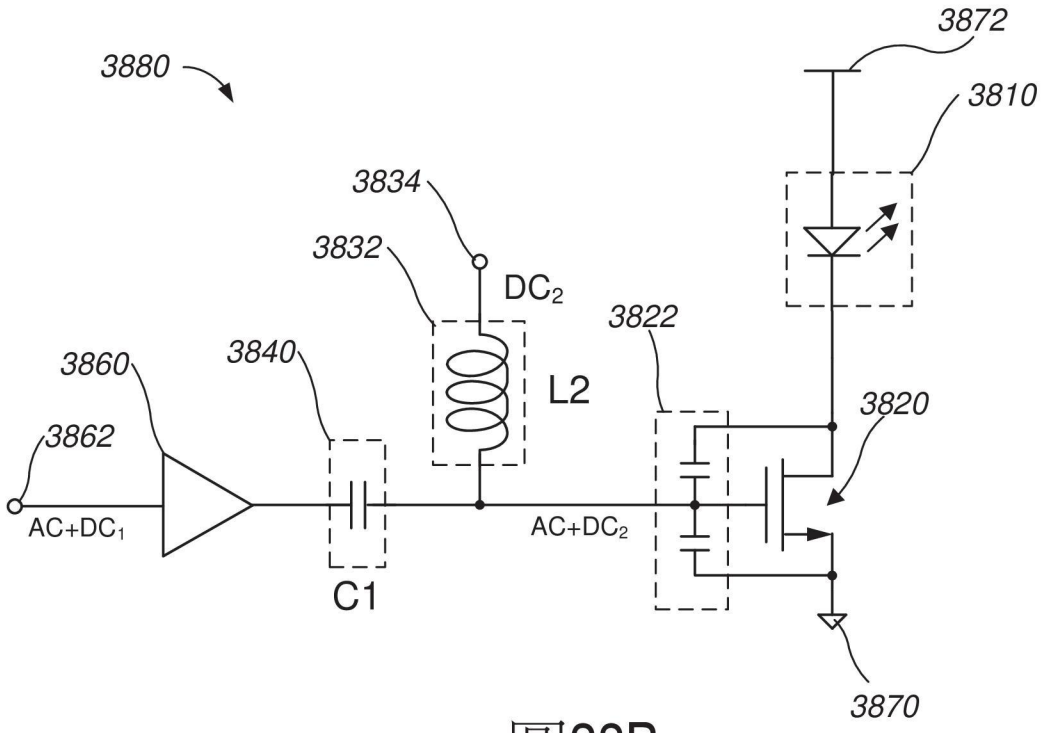

3880
3872
3810
3834
3832
DC2
3822
3840
3860
L2
3820
3862
AC+DC1
AC+DC2
C1
3870

圖38B