

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G06F 12/08

(45) 공고일자 1996년08월21일
(11) 공고번호 특1996-0011279

(21) 출원번호	특1992-0001755	(65) 공개번호	특1992-0016941
(22) 출원일자	1992년02월07일	(43) 공개일자	1992년09월25일
(30) 우선권 주장	91-016716 1991년02월08일 일본(JP) 91-019849 1991년02월13일 일본(JP) 후지쓰 가부시끼가이샤 세끼자와 다다시 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지		
(72) 발명자	사토오 다이조오 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지 후지 쓰 가부시끼가이샤 내 후지히라 아쓰시 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지 후지 쓰 가부시끼가이샤 내		
(74) 대리인	장용식		

심사관 : 오홍수 (책자공보 제4606호)

(54) 데이터 처리 캐시메모리 및 이를 장착한 데이터 프로세서

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

데이터 처리 캐시메모리 및 이를 장착한 데이터 프로세서

[도면의 간단한 설명]

제1도는 캐시메모리를 사용한 제1종래기술의 데이터 프로세서의 구성을 도시하는 블록도.

제2도는 캐시메모리를 사용한 제2종래기술의 데이터 프로세서의 구성을 도시하는 블록도.

제3도는 캐시메모리를 사용한 제3종래기술의 데이터 프로세서의 구성을 도시하는 블록도.

제4도는 본 발명의 제1태양에 따라서 캐시메모리의 기본구성을 도시하는 블록도.

제5도는 본 발명의 제1태양에 따라서 실시예의 구성을 도시하는 블록도.

제6도는 제5도에 도시된 명령어 사전판독기의 구성을 도시하는 블록도.

제7도는 제5도에 도시된 데이터 메모리의 구성을 대략 도시하는 블록도.

제8a도 및 제8b도는 확장부를 가지고 또는 확장부없이 두개의 명령어를 CPU가 동시에 처리할 수 있는 구성을 도시하는 블록도.

제9a도 및 제9c도는 각각 가변길이 확장부를 갖는 두개의 명령어를 CPU가 동시에 처리할 수 있는 다른 구성을 도시하는 블록도.

제10도는 캐시메모리를 사용하는 제4종래기술의 데이터 프로세서의 구성을 도시하는 블록도.

제11도는 본 발명의 제2태양에 따라서 캐시메모리의 기본구성을 구성하는 블록도.

제12도는 본 발명의 제2태양에 따라 실시예의 구성을 도시하는 블록도.

[발명의 상세한 설명]

본 발명은 데이터 프로세서에서, 고속 계산처리를 실행하는 CPU(중앙처리장치)와 상대적으로 저속 동작을 수행하는 메인메모리 사이에 접속된 캐시메모리에 관한 것이다. 특히, 메인메모리로부터의 명령어 데이터를 처리함으로써, CPU내에서 명령어 데이터의 고속해독을 실현하는데 적합한 캐시메모리

의 구성에 관한 것이다.

[종래기술]

최근, 1사이클내에서 명령어의 보다 많은 부분을 실행하는 CPU가 개발되어 있지만, 이 CPU는 더 고속으로 계산처리를 실행하도록 요구받고 있다. 결국에, 각각의 CPU에 접속된 캐시메모리도 고속동작을 수행하도록 요구받고 있다.

고속 계산처리를 실현하는 한가지 접근방법으로서, 동작클록의 주파수를 증가시키는 안이 제안될 수 있다.

그러나, 이 안은 예컨대 트랜지스터-트랜지스터 논리회로에 의해 구성된 주변회로가 주파수에 대한 요구조건을 만족시킬 수 없기 때문에 실현되기가 어렵다. 따라서, 동작클록의 주파수를 증가시키지 않고 고속계산처리를 실현하는 다른 접근방법이 요구된다.

그 요구를 만족시키는 접근방법으로서, 복수의 명령어를 동시에 실행하는 기술이 알려져 있는데, 이것은 대략2가지 범주로 분류된다. 그 하나는 각 명령어가 고정길이를 갖는 경우이며, 다른 하나는 각 명령어가 가변길이를 갖는 경우이다. 복수의 고정길이 명령어를 처리하는 데이터 프로세서에 있어서는, 어떤 명령어에 후속되는 다음 명령어의 위치가 고정되어 있으며, 이에 따라 해독을 통해 인접한 두 명령어를 동시에 실행하는 것이 가능하다.

그러나, 실시간 운영체제중심(The Real time Operating System Nucleus, TRON) 명세서에서 처럼, 복수의 가변길이 명령어를 처리하는 데이터 프로세서에 있어서는, 문제점이 나타난다. 즉 후속되는 명령어의 위치가 변하기 때문에, 즉 고정되어 있지 않기 때문에, 후속되는 명령어의 위치를 어떤 수단으로 알려주지 않는 한, 인접한 두 명령어의 동시 실행은 불가능하다.

그래서 TRON 명세서에서 처럼, 가변길이명령어를 처리하는 종래 기술의 데이터 프로세서에서는, 복수의 명령어를 동시 실행해서 고속 계산처리를 실현하는 것은 불가능하다는 문제가 생긴다. 바꾸어 말하면, 고속계산처리를 실현하기 위해서는, CPU와 메인메모리 사이에 접속된 캐시메모리에 있어서 메인메모리로부터 명령어의 처리능력이 향상되어야만 한다. 이를 해결하기 위하여, 여러가지 접근방법이 제안되었지만, 효과적인 개선방법은 제안되지 않았다.

종래 기술의 문제점들은 앞으로 본 발명의 바람직한 실시예와 대비해서 자세히 설명한다.

[발명의 요약]

본 발명의 목적은 명령어가 가변길이 명령어이더라도 CPU가 이들을 동시에 판독할 수 있도록 하여, 고속계산처리를 실현하는데 적합하도록 한 캐시메모리를 제공하는 것이다.

본 발명의 제1태양에 따라, 메모리로부터 획득된 적어도 하나의 가변길이 명령어를 저장하고 그리고 저장된 정보를 제어유닛에 공급하는 캐시메모리가 제공되는 데, 이 캐시메모리는 상기 메모리로부터 획득된 가변길이 명령어의 명령어 길이를 해독하는 명령어길이 해독유닛; 및 상기 메모리로부터 가변길이 명령어를 상기 명령어 길이 해독유닛에 의해 얻어진 명령어길이 정보와 함께 저장하는 명령어 기억유닛을 포함하고 있고, 상기 가변길이 명령어와 그 명령어 길이정보는 제어유닛에 공급된다.

또한 본 발명의 제2태양에 따라, 메모리로부터 획득된 명령어 데이터를 저장하고 그리고 저장된 정보를 제어유닛에 공급하는 캐시메모리가 제공되는데, 이 캐시메모리는 상기 명령어 데이터의 해독을 위한 보조장치로서 사전해독된 정보를 발생하는 유닛; 상기 사전 해독된 정보를 상기 명령어 데이터와 함께 저장하는 메모리유닛; 이 메모리유닛으로부터 출력된 사전 해독된 정보를 캐시 적중(hit) 상태에서, 대응하는 명령어 데이터와 함께 검사하는 유닛; 검사된 사전해독정보가 무효한지, 즉 틀린지를 증명하여 상기 메모리유닛내의 대응하는 사전해독 정보를 올바른 정보로 재기록하는 재기록 유닛; 및 검사된 사전 해독정보가 무효한지 즉 틀린지를 증명하여 상기 제어 유닛에 검사결과가 반영된 제어정보를 출력하는 제어정보 출력유닛을 포함하고 있다.

본 발명의 다른 목적과 태양은 첨부된 도면을 참조하여 바람직한 실시예를 통해 이하 상세히 설명될 것이다.

[바람직한 실시예의 설명]

설명하는데 있어 여러 도면에 사용된 동일한 참조부호는 동일한 구성요소를 나타내므로 반복적인 설명은 피한다.

본 발명의 제1태양에 따른 바람직한 실시예를 제1도 내지 제9c를 참조하여 설명한다.

바람직한 실시예의 이해를 돕기 위해, 제1도 내지 제3도를 참조하여 종래 관련기술을 먼저 설명한다.

제1도에는 캐시메모리를 사용하는 제1종래기술의 데이터 프로세서의 구성이 도시되어 있다. 도면에서, 참조번호 1a는 데이터 프로세서내에 있는 CPU(2)와 메인메모리(3) 사이에 접속된 캐시메모리를 나타낸다. 캐시메모리(1a)는 메인메모리(3)로부터 획득된 명령어를 저장하는 명령어 기억유닛(4)과, CPU(2)로부터 출력된 명령어 주소와 캐시메모리(1a)내에 보유한 비교주소를 비교하여, 캐시 적중상태인지 캐시 실패상태인지를 판단하는 캐시 적중/실패 판단유닛(5)을 포함하고 있다.

이렇게 구성되고, CPU(2)가 명령어를 인출하는 데이터 프로세서에서, CPU(2)는 먼저 캐시메모리(1a)를 주소 액세스한다. 인출하고자 하는 명령어가 캐시메모리(15)에 존재하는 경우에(즉, 캐시 적중 상태), 그 명령어는 CPU(2)에 입력된다. 반면에, 인출하고자 하는 명령어가 캐시메모리(1a)내에 존재하지 않는 경우에(즉, 캐시 실패 상태), 주소 액세스는 메인메모리(3)에 대해 행해져서, 대응하는 명령어가 판독된다. 상기 명령어는 CPU(2)에 입력되고 캐시메모리(1a)의 명령어 기억유닛(4)내에 저장된다.

상기 구성에서, CPU(2)는 복수의 명령어를 처리할 수 있도록 구성된 것으로 가정한다. 각 명령어가 고정길이를 갖는 경우에, 임의의 명령어에 후속되는 명령어의 위치는 고정되어 있으며, 따라서 CPU(2)는 해독을 통해 복수의 명령어를 동시에 실행할 수 있다.

그러나, 각 명령어가 가변길이를 갖는 경우에는, 후속되는 명령어의 위치가 변한다. 따라서 후속되는 명령어의 위치를 어떤 수단이 알려주지 않으면, CPU(2)는 복수의 명령어를 동시에 실행할 수 없다.

제2도에는 캐시메모리를 사용하는 제2종래기술의 데이터 프로세서의 구성이 도시되어 있다.

도시된 데이터 프로세서는 복수의 가변길이 명령어를 동시에 실행할 수 있게 되어 있으며, CPU(2a)와 메인 메모리(3) 사이에서 명령어 주소와 가변길이 명령어를 입력받아 전달하는 캐시메모리(1)를 포함하고 있다. CPU(2a)는 캐시메모리(1)로부터의 명령어 데이터를 일시적으로 저장하는 명령어 레지스터(8)이 명령어 레지스터(8)로부터의 명령어 데이터를 사전해독하여 그 명령어 길이를 얻는 명령어 사전해독기(6), 소정의 시간(사전해독하는데 요하는 시간에 해당)동안 상기 명령어 레지스터(8)로부터의 명령어 데이터를 저장하는 명령어 레지스터(9), 및 상기 명령어 사전해독기(6)로부터의 사전 해독된 소정의 정보(즉, 명령어 길이정보)와 상기 명령어 레지스터(9)로부터의 명령어 데이터를 해독하는 명령어 해독기(7)를 포함하고 있다.

이 구성에 따라서, 명령어 사전해독기(6)와 명령어 레지스터(9)를 사용하여 상기 명령어 해독기(7)에 두 개의 명령어를 동시에 공급함으로써, 이 두 명령어를 동시에 실행할 수 있다.

그러나, 이 구성은 명령어 데이터를 사전 해독하는데 시간이 걸린다는 단점을 갖고 있다. 또한 명령어는 가변데이터를 갖고 있으므로, 명령어 사전해독기(6)가 두개의 가변길이 명령어를 동시에 사전 해독하는 것은 쉽지 않다. 그 결과 명령어들을 명령어 해독기(7)에 연속적으로 공급하는 것이 불가능하므로 계산처리속도가 낮아진다.

제3도에는 캐시메모리를 사용하는 제3종래기술의 데이터 프로세서의 구성이 도시되어 있다. 이 도면에서, 참조번호 1b는 CPU(2)와 메인메모리(3) 사이에서 명령어 주소와 가변길이 명령어를 입력받아 전달하는 전달하는 캐시메모리를 나타낸다. 캐시메모리(1b)는 메인메모리(3)로부터 획득된 가변길이 명령어를 저장하는 명령어 레지스터(8a), 이 명령어 레지스터(8a)로부터의 가변길이 명령어를 해독하는 명령어 해독기(7a), 및 이 명령어 해독기(7a)로부터의 해독된 정보를 저장하는 명령어 기억유닛(4a)을 포함하고 있다.

그러나, 이 구성은 명령어 기억유닛(4a)의 데이터 크기가 명령어 길이가 가장 긴 데이터의 크기만큼의 크기가 되도록 선택되어야만 한다는 단점을 갖고 있다. 그래서, 캐시메모리(1b)에 명령어 해독기(7a)가 제공되는 상기의 구성은 실제적인 사용이나 적용에 있어서는 적합하지 않다.

제4도에는 본 발명의 제1태양에 따른 캐시메모리의 기본구성이 도시되어 있다.

이 도면에서, 참조번호 10은 외부메모리[즉, 메인메모리(30)]로부터 획득된 적어도 하나의 가변길이 명령어를 처리하고 이 처리된 정보를 외부제어유닛[즉, CPU(20)]에 공급하는 캐시메모리를 나타낸다. 캐시메모리(10)는 외부메모리로부터 획득된 가변길이 명령어의 명령어 길이를 해독하는 명령어 길이해독유닛(11), 및 상기 외부메모리로부터의 가변길이 명령어를 상기 명령어 길이 해독유닛에 의해 얻어진 명령어 길이 정보와 함께 저장하는 명령어 기억유닛(12)을 포함하고 있고, 상기 가변길이 명령어와 그 명령어 길이정보는 외부 제어유닛에 공급된다. 상기 구성에서, 캐시메모리(10)가 캐시 적중상태인 경우에, 대응하는 가변길이 명령어와 그 명령어길이 정보는 명령어 기억유닛(12)으로부터 판독되어 CPU(20)에 공급된다. 그래서, CPU(20)는 복수의 가변길이 명령어를 동시해독할 수 있다. 이것은 고속계산처리에 기여한다.

반면에, 캐시메모리(10)가 캐시 실패상태인 경우에는, 대응하는 가변길이 명령어가 메인메모리(30)로부터 획득되어 캐시메모리(10)에 입력되며, 그 명령어 길이는 명령어 길이 해독유닛(11)에 의해 해독된다.

다음에, 관련 가변길이 명령어와 그 명령어 길이정보는 CPU(20)에 공급된다. 따라서, 관련 가변길이 명령어가 CPU(20)에 의해 해독될 때까지 요하는 시간은 캐시 적중상태에서 보다 더 길어지게 된다. 그러나 이 경우(캐시 실패상태)에도 물론 CPU(20)에서 복수의 가변길이 명령어를 동시해독하는 것이 가능하다.

제5도에는 본 발명의 제1태양에 따른 바람직한 실시예의 구성이 도시되어 있다.

이 도면에서, 참조번호 100은 CPU(20)를 포함하고 있는 모놀리식 마이크로 프로세서(MP)에 집적된 캐시메모리를 나타낸다. 즉, 캐시메모리(100)는 단일의 반도체 기판(도시하지 않음)에 CPU(20)와 더불어 형성된다.

캐시메모리(100)에서, 참조번호 115는 CPU(20)로부터 주소를 입력받는 명령어 주소 입력유닛을 나타내며, 이때 명령어에 대응하는 상기 주소는 캐시메모리(100) 혹은 메인메모리(30)로부터 인출된다.

참조번호 116는 CPU(20)에서 출력된 명령어 주소와 유닛(116)내에 보유한 비교주소(태그)를 비교하고 그리고 이 비교결과를 기초로 캐시 적중상태인지 캐시 실패상태인지를 판단하는 캐시 적중/실패 판단유닛을 나타낸다. 캐시 적중/실패 판단유닛(116)은 랜덤 액세스 메모리(RAM)로 구성되어 상기 비교주소를 보유하고 있는 태그메모리(117), 및 명령어 주소를 상기 비교주소와 비교하는 주소비교유닛(118)을 포함하고 있다.

참조번호 119는 주소 비교유닛(118)이 캐시 실패상태임을 알려줄 때, 명령어 주소 입력유닛(115)으로부터의 상기 명령어주소를 메모리(30)로 출력하는 명령어 주소 출력유닛을 나타낸다.

또한, 참조번호 120은 메인메모리(30)에서 출력된 적어도 하나의 가변길이 명령어를 입력받는 명령

어 데이터 입력유닛을 나타낸다.

참조번호 121은 본 발명의 특징인 명령어 사전해독기(121)를 나타낸다. 명령어 사전해독기(121)는 CPU(20)에 설치된 명령어 해독기(후에 설명)에 의해 해독되기전에, 메인메모리(30)로부터 획득된 가변길이 명령어를 해독해서, 그 명령어 길이정보를 만들어 낸다. 예를 들어, 명령어 길이 정보는 아래표와 같이 만들어진다.

[표 1]

명령어 길이 정보 (혹은 사전 해독된 결과)			내 용
0	0	0	사전해독안됨
1	0	0	매개코드
1	0	1	명령어의 엔드(END)
1	1	0	명령어의 헤드(HEAD)
1	1	1	명령어의 헤드/엔드

참조번호 122는 가변길이 명령어 및 대응하는 명령어 길이 정보가 포함되어 있는 명령어를 저장하는 명령어 기억유닛을 나타낸다. 또한, 참조번호 123은 우회유닛(bypassing unit)을 나타내며, 참조번호 124는 명령어 데이터 출력유닛을 나타낸다. 명령어 기억유닛(122)은 입/출력버퍼(125)와, RAM에 의해 구성되어 명령어 데이터 입력유닛(120)에서 입력받은 명령어와 명령어 사전 해독기(121)에 의해 얻어진 대응하는 명령어 길이정보를 저장하는 데이터 메모리(126)를 포함하고 있다.

주소 비교유닛(118)이 상기 입/출력 버퍼(125)에 캐시 적중상태임을 알려오는 경우, 입/출력버퍼(125)는 데이터 메모리(126)로부터 대응하는 명령어와 그 명령어 길이 정보를 판독하고 그리고 판독된 데이터를 명령어 데이터 출력유닛(124)에 전달한다. 반면에, 주소비교유닛(118)이 입/출력 버퍼(125)에 캐시 실패상태임을 알려오는 경우에는, 입/출력버퍼(125)는 명령어 데이터 입력유닛(120)으로부터 대응하는 명령어 데이터를 명령어 사전해독기(121)로부터 그 명령어 길이정보를 입력받고, 그리고 입력받은 데이터를 데이터 메모리(126)에 기록한다.

또, 주소비교유닛(118)이 우회유닛(123)에 캐시 실패상태임을 알려오는 경우, 우회유닛(123)은 명령어 데이터입력유닛(120)으로부터 대응하는 가변길이 명령어를 명령어 사전해독기(121)로부터 그 명령어 길이 정보를 입력받고, 그리고 입력받은 데이터를 명령어 데이터 출력유닛(124)에 전달한다.

명령어 데이터 출력유닛(124)은 명령어 기억유닛(122) 또는 우회유닛(123)으로부터 명령어(또는, 가변길이 명령어)와 그 대응하는 명령어 길이정보를 입력받고 그리고 입력받은 데이터를 CPU(20)로 출력한다.

제6도에는 명령어 사전해독기(121)의 구성이 도시되어 있다.

본 실시예에서, 가변길이 명령어 데이터는 명령어 데이터 입력유닛(120)으로부터 64비트의 데이터폭을 갖는 버스를 통해 전달되어, 명령어 사전해독기(121)에 입력되도록 입력될 4개의 데이터 블록으로 분할된다. 참조번호 121 내지 214는 각 데이터 블록에서 대응하는 16비트[1반 워드(1HW)] 데이터를 래치하는 명령어 래치회로를 각각 나타낸다. 참조번호 221 내지 224는 대응하는 명령어 래치회로로부터의 16비트 데이터의 형식(format)을 해독하는 형식해독기를 각각 나타내며, 참조번호 231 내지 234는 대응하는 16비트 데이터중에서 8비트를 기초로 유효주소를 해독하는 유효주소 해독기를 각각 나타낸다.

또한, 참조번호 2471 내지 244는 대응하는 형식 해독기와 유효주소 해독기의 해독된 결과를 기초로 명령어 길이를 결정하는 명령어 길이 결정회로를 각각 나타낸다. 이 경우에, 각각의 명령어 길이 결정회로(241 내지 243)는 명령어 헤드표시회로(260)의 제어를 받아, 하부랭크측의 명령어 길이 결정회로(들)를 제어한다. 예를들어, 명령어 길이 결정회로(243)는 명령어 헤드표시회로(260)와 명령어 길이 결정회로(241,242)의 제어를 받아, 명령어 길이 결정회로(244)를 제어한다. 명령어 길이 결정회로(244)는 상부 랭크측의 명령어 길이 결정회로(241 내지 243)의 제어를 받는다.

참조번호 250은 명령어 길이 결정회로(241 내지 244)의 각 출력을 기초로 입력 가변길이 명령어 데이터에 대한 명령어 길이정보를 발생하는 출력패턴 발생회로를 나타낸다. 출력패턴발생회로(250)는 상기 4개의 데이터블록중의 어느 블록이 가변길이 명령어의 헤드에 있는지를 지시하는 제어신호를 발생한다. 명령어 헤드표시회로(260)는 상기 제어신호에 응답하여, 명령어 길이 결정회로(241 내지 243)의 인에이블 또는 디스에이블을 제어한다.

제7도에는 데이터 메모리(126)의 구성이 개략적으로 도시되어 있다.

제7도에 도시된 바와 같이, 데이터 메모리(126)는 4개의 블록(B1 내지 B4)으로 분할되어 있으며, 이때 각 블록은 16비트(1HW)의 명령어 데이터와 그 대응하는 3비트 명령어 길이 정보를 가지고 있다. 즉, 명령어 데이터(또는, 가변길이 명령어 데이터)는 최대 64비트로 되어 있다.

본 발명에 따른 캐시메모리의 상기 구성에서, 메인메모리(30)로부터 획득된 가변길이 명령어는 명령어 사전해독기(121)에 의해 해독된 대응하는 명령어 길이정보와 함께 명령어 기억유닛(122)에 저장되어 있다.

그러므로, 캐시메모리(100)가 캐시 적중상태인 경우, 대응하는 가변길이 명령어와 그 명령어 길이정보는 명령어 기억유닛(122)으로부터 판독되어, 명령어 데이터 출력유닛(124)을 통해 CPU(20)에 공급

된다. 그래서 CPU(20)는 후술되는 바와 같이, 복수의 가변길이 명령어를 동시 해독할 수 있다. 이는 고속 계산처리에 기여한다.

또한, 캐시메모리(100)가 캐시 실패상태인 경우에는, 대응하는 가변길이 명령어가 메인메모리(30)로부터 획득되어 캐시메모리(100)에 입력되며, 그 명령어 길이는 명령어 사전해독기(121)에 의해 해독된다. 다음에, 관련 가변길이 명령어와 그 대응하는 명령어 길이 정보는 CPU(20)에 공급된다. 따라서, 관련 가변길이 명령어가 CPU(20)에 의해 해독될 때까지 요하는 시간은 캐시 적중상태에서 보다 더 길어진다. 그러나, 이와 같은 경우에 있어서도, CPU(20)에서 복수의 가변길이 명령어를 동시 해독하는 것이 물론 가능하다.

제8a 및 8b도에는 CPU(20)가 확장부를 가지고 또는 확장부없이 두개의 명령어를 동시 처리할 수 있는 구성이 도시되어 있다. 이 도면에서, 참조번호 C는 기본부와 확장부로 된 하나의 세트 또는 복수의 세트들의 조합에 의해 구성되어 있는 명령어코드 열(train) (즉, 단일의 명령어)을 나타낸다. 상기 기본부는 명령어의 종류를 분류한 코드를 포함하고 있고, 확장부는 기본부의 지정에 의해 추가되고 가변길이를 갖는다. 참조번호 301은 제5도에 도시된 캐시메모리(100)일 수 있는 캐시메모리를 나타낸다. 참조번호 315는 예컨대 사전해독기에 의해 구성된 표시(mark)첨부유닛을 나타낸다. 표시첨부유닛(315)은 명령어 코드열 C의 모든 단위길이 데이터가 기본부 인지 아닌지를 판단하여, 소정의 표시 M을 첨부한다.

참조번호 302는 명령어 코드열 C을 판독하고 이를 저장하는 코드 메모리유닛(303), 표시 M을 저장하는 표시메모리유닛(316) 상기 코드메모리유닛(303)에 기록주소를 지정하는 기록포인터(306), 로드메모리유닛(303)으로부터 선택적으로 출력될 소정의 명령어 코드열의 헤드위치를 지정하는 판독 포인터(307), 이 판독포인터(307)의 출력과 표시메모리유닛(316)으로부터의 정보에 응답하여 소정의 명령어 코드열의 출력위치를 지정하는 출력위치표시회로(317), 및 이 출력위치 표시회로(317)의 출력과 표시메모리유닛(316)으로부터의 정보에 응답하여 코드메모리유닛(303)으로부터의 소정의 명령어 코드열을 선택적으로 출력하는 출력선택회로(308)를 포함하고 있는 명령어 버퍼유닛을 나타낸다.

참조번호 309는 프로그램가능 논리 배열(PLA)에 의해 구성된 명령어 해독기를 나타내며, 참조번호 310은 명령어 레지스터를 나타낸다. 이들 명령어 해독기(309)와 명령어 레지스터(310)는 버스(314)를 통해 상기 출력 선택회로(308)에 접속되어 있다. 버스(314)는 복수의 서로 다른 필드(X, Y)로 구분되어 있다.

상기 출력선택회로(308)와 출력위치표시 회로(317)는 제어유닛(320)을 구성하고 있다. 전체적으로, 제어유닛(320)은 표시 M이 소정의 범위내에서 소정의 명령어 코드열의 기본부를 표시하는 특정부에 링크되어 있고, 버스(314)의 한 필드로 출력될 링크데이터를 제어한다.

동일한 방식으로, 제어유닛(320)은 표시 M이 버스(314)의 다른 필드로 출력될, 소정의 명령어 코드열의 확장부를 표시하는 부분을 제어한다.

버스(314)로 출력된 명령어 코드열은 명령어 레지스터(310)를 통해 즉시/변위발생회로(312)에 입력된다. 이 회로(312)는 명령어 해독기(309)로부터의 정보를 기초로 소정의 계산을 실행하고, 실행결과를 명령어 실행유닛(313)으로 출력한다. 또, 참조번호 311은 명령어 실행유닛(313)에 의해 실행될 마이크로 명령어를 제어하는 마이크로 ROM을 나타낸다.

제9a도 내지 제9c도에는 가변길이 확장부를 각각 갖는 두개의 명령어를 CPU(20)가 동시 처리할 수 있는 또다른 구성이 도시되어 있다.

그 기본구성과 동작은 한쌍의 출력선택회로(308a, 308b)와, 한쌍의 명령어 해독기(309a, 309b)와, 한쌍의 명령어 레지스터(310a, 310b)와, 한쌍의 명령어 실행유닛(313a, 313b)이 제공되어 있는 것을 제외하고는 제8a 및 8b도에서의 것과 근본적으로 동일하다.

각각의 명령어 실행유닛(313a, 313b)은 대응하는 명령어 해독기(309a, 309b)로부터의 정보 및 대응하는 명령어 레지스터(310a, 310b)의 출력을 기초로 각 명령어를 직접 실행시킨다.

제어표시 M은 명령어 버퍼유닛(302a)의 제어를 위해 단위 코드길이당 적어도 2비트를 필요로 한다. 예를들어 0은 기본부를 제외한 부분을 표시하고; 1은 이전의 기본부와 동시에 해독 가능한 기본부를 표시하며; 10은 이전의 기본부와 동일한 명령어내의 기본부이지만 그것과 동시에 해독될 수 없는 기본부를 표시하고; 11은 이전의 기본부와는 다른 명령어의 기본부를 표시한다.

한쌍의 명령어 해독기(309a, 309b)가 제공되어 있기 때문에, 1사이클내에서 처리될 명령어 코드의 최대길이는 명령어 해독기가 1개인 경우의 길이의 두배가 된다. 이러한 단점을 해결하기 위해, 판독포트의 갯수가 명령어 해독기가 1개인 경우의 갯수의 두배로 늘어난다.

또한, 출력선택회로(308a 및 308b)는 서로 다른 구성을 가지고 있다. 즉, 명령어 해독기(309a)로 보내질 명령어 코드열은 제1판독포트의 출력으로부터 선택되는 반면에, 명령어 해독기(309b)로 보내질 명령어 코드열은 제1판독 포트내에 또는 제1판독포트와 제2판독 포트내에 위치한다. 결국에, 제2출력선택회로(308b)는 제1 및 제2판독 포트의 모든 출력중에서 버스로 보낼 출력을 선택해야만 한다.

다음에, 본 발명의 제2태양에 따른 바람직한 실시예를 제10도 내지 제12도와 제2도를 참조하여 설명한다.

제1실시예에서와 마찬가지로, 제10도와 제2도를 참조하여 종래기술을 먼저 설명한다.

제2도는 앞에서 설명되었으므로 생략되었음에 유의하라.

제10도에는 캐시메모리를 사용한 제4종래기술의 데이터 프로세서의 구성이 도시되어 있다. 이 구성에서 참고기호 1c는 CPU(2)와 메인메모리(3) 사이에서 명령어 데이터와 명령어 주소를 입력받아 전달하는 캐시메모리를 나타낸다. 캐시메모리(1c)는 CPU(20)로부터 명령어 주소를 입력받는 명령어 주소 입력유닛(41), 캐시 적중상태에서 명령어 주소를 메인메모리(3)로 출력하는 명령어주소출력유닛

(42), 메인메모리(3)로부터 대응하는 명령어 데이터를 입력받는 명령어 데이터 입력유닛(43), 소정의 조건하에서 명령어 데이터 및 대응하는 사전해독된 정보(후에 설명됨)를 CPU(20)로 출력하는 명령어 데이터 출력유닛(44), 명령어 주소 입력유닛(41)으로부터의 명령어 주소와 비교주소를 비교하여 캐시 적중상태인지 캐시 실패상태인지를 판단하는 주소비교유닛(45) 명령어 데이터 입력유닛(43)으로부터의 명령어 데이터를 사전 해독하는 명령어 사전 해독기(46), 및 사전해독된 정보를 대응하는 명령어 데이터와 함께 저장하고 그리고 주소비교유닛(45)의 판단 결과를 기초로 명령어 데이터 및 사전해독된 정보를 명령어 데이터 출력유닛(44)으로 출력하는 데이터 메모리유닛(47)을 포함하고 있다.

이 구성 따라서, 사전 해독된 정보는 대응하는 명령어 데이터와 함께 데이터 메모리유닛(47)에 저장되어있기 때문에, 캐시 적중상태에서 명령어 데이터와 사전 해독된 정보는 CPU(20)에 동시에 공급될 수 있다. 즉, CPU(20)는 두개의 명령어를 동시에 해독할 수 있다.

그러나, 적재(loading)가 데이터 메모리유닛(47)에의 명령어 데이터의 등록시의 랩어라운드(wraparound)에 의해 모든 데이터 블록단위로 수행되는 문제점이 있다. 즉, 각 데이터블록의 헤드부분이 명령어의 블록인지를 구별하는 것은 불가능하므로, 통상 사전해독된 유효정보를 저장하는 것을 불가능하다. 예컨대 분기처리를 기초로, 데이터 블록의 중간부터 액세스를 시작하는 경우에 이러한 문제가 생긴다. 또한, 사전해독된 정보가 심지어 캐시 적중상태에서도 무효임이 증명되는 경우, 명령어 데이터를 다시 사전 해독해야 한다. 그러나 이것은 상기 장점(두개 명령어의 동시 해독)을 없애므로 적합하지 않다.

제11도에는 본 발명의 제2태양에 따른 캐시메모리의 기본구성이 도시되어 있다. 이 구성에서, 참조번호 10a(또는 10b)는, 외부메모리(예를 들면 메인메모리(30))로부터 획득된 명령어 데이터 A를 처리하고 그리고 처리된 정보를 외부제어유닛(예를 들면, CPU(20)에 공급하는 캐시메모리를 가리킨다. 캐시메모리(10a)는, 명령어 데이터의 해독의 보조장치로서 사전해독정보 B를 발생하기 위한 유닛(14); 사전해독정보를 상기 명령어 데이터와 함께 저장하기 위한 메모리유닛(15); 캐시 적중상태에서, 상기 메모리유닛으로부터 출력된 사전해독정보를 대응하는 명령어 데이터와 함께 검사하기 위한 유닛(16); 검사된 사전해독정보가 무효 또는 틀린 것으로 증명된 경우에, 메모리유닛의 대응하는 사전 해독정보를 올바른 정보로 재기록하기 위한 재기록유닛(17); 및 검사된 사전해독정보가 무효 또는 틀린 것으로 증명된 경우에 검사결과가 반영된 제어정보를 외부제어유닛으로 출력하기 위한 제어정보출력유닛(18, 18a또는 18b)을 포함하고 있다. 상기 제어정보출력유닛은 검사된 사전해독정보가 무효 또는 틀린 것으로 증명된 경우에 사전해독정보가 무효라는 것을 CPU(20)에 알리기 위한 유닛(18)에 의해 구성가능하다. 반면에, 제어정보출력유닛은 검사된 사전해독정보가 무효 또는 틀린 것으로 증명된 경우에 다시 사전 해독된 정보를 CPU(20)로 출력하기 위한 유닛(18a)으로 구성가능하고, 또는 검사된 사전해독유닛이 무효 또는 틀린 것으로 증명된 경우에 CPU(20)에 공급될 대응하는 사전해독정보를 올바른 정보로 재기록하기 위한 유닛(18b)으로 구성될 수 있다.

또한, 본 발명의 변형예에서, 캐시메모리(10b)는 캐시적중상태에서 대응하는 명령어 데이터와 함께 메모리유닛(15)으로부터 출력된 사전해독정보를 검사하는 기능 및 사전해독정보B를 발생하는 기능을 갖는 유닛(19)을 포함하고 있다.

본 발명의 제2태양에 따라, 사전해독정보B와 함께 명령어 데이터A는 메모리유닛(15)에 저장되어 있고, 캐시메모리가 캐시 적중상태인 경우에 명령어 데이터 및 대응하는 사전해독정보는 메모리유닛(15)으로부터 판독되어 CPU(20)에 공급된다. 따라서 CPU(20)는 명령어 사전해독에서의 오버헤드없이 사전해독정보를 활용할 수 있으며, 따라서 동시에 복수의 명령어를 해독할 수 있다. 이는 계산 처리의 고속화에 기여한다.

또, 검사유닛(16)은 메모리유닛(15)으로부터 출력된 사전해독정보가 유효한지 무효한지를 검사하고, 사전해독정보가 무효인 것으로 증명된 경우 재기록유닛(17)은 무효한 사전해독정보를 올바른 정보로 재기록한다. 결과적으로, 다음(제2)명령어 인출 및 그 이후에서의 오버헤드를 제거할 수 있다. 따라서, 적재가 메모리유닛(15)에의 명령어 데이터 등록에서의 랩어라운드에 의해 모든 데이터 블록단위로 실행된다고 하더라도, 통상, 유효한 사전 해독정보를 저장할 수 있다. 환언하면, 사전해독되지 않은 정보가 메모리유닛(15)에 등재되는 경우에 발생할 수 있는 성능 저하를 방지할 수 있다. 이는 CPU(20)의 성능 개선에 기여한다.

더욱이, CPU(20)가 가변길이 명령어를 처리하는 경우에, 가변길이 명령어에 대응하는 명령어 길이 정보는 상기 사전해독정보로 대체되어 동일한 방법으로 처리된다.

제12도에는 본 발명의 제2태양에 따른 바람직한 실시예의 구성이 도시되어 있다.

도시된 구성 및 그 동작은 하기 설명되는 다수의 사항을 제외하고는제5도의 것과 본질적으로 동일하며, 따라서 그 설명은 생략한다.

먼저, 본 실시예의 캐시메모리(100a)는 제5도의 캐시메모리(100)에서 사용된 명령어 길이 정보 대신에 사전해독정보를 처리한다. 그러나, CPU(20)는 가변길이 명령어를 처리하는 경우에는, 상기 사전해독명령어는 그 가변길이 명령어에 대응하는 명령어 길이 정보로 대체될 수 있다.

캐시 실패상태일 때, 명령어 사전해독기(121a)는 명령어 데이터 입력유닛(130)으로부터의 명령어 데이터를 사전해독한다. 또, 캐시 적중상태일 때, 명령어 사전해독기(121a)는 입/출력버퍼(125a)로부터의 사전해독정보가 대응하는 명령어 데이터에 대해 올바른 정보인지를 검사하고, 검사된 결과(사전 해독된 결과)를 출력한다.

데이터 메모리(126a)는 RAM으로 구성되어, 명령어 데이터 입력유닛(120)에서 입력받은 명령어 데이터 및 대응하는 사전 해독정보를 저장한다.

주소비교유닛(118)이 입/출력버퍼(125a)에 캐시 적중상태임을 알려오는 경우, 입/출력버퍼(125a)는 데이터 메모리(126a)로부터 대응하는 명령어 데이터 및 그 사전해독정보를 판독하고 판독한 데이터

를 명령어 데이터 출력유닛(124a)에 전송한다. 반면에, 주소비교유닛(118)이 입/출력버퍼(125a)에 캐시 실패상태임을 알려오는 경우, 입/출력버퍼(125a)는 명령어 데이터 입력유닛(120)으로부터 대응하는 명령어 데이터 그리고 명령어 사전해독기(121a)로부터 그 사전 해독 결과를 입력받고 입력받은 데이터를 데이터 메모리(126a)의 지정주소에 기록한다. 또, 입/출력버퍼(125a)는 명령어 사전해독기(121a)로부터의 재기록 명령어를 기초로 데이터 메모리(126a)의 지정주소에 기록된 사전해독정보를 올바른 정보로 재기록하는 기능을 갖는다.

캐시 실패상태일 때, 명령어 데이터 출력유닛(124a)은 명령어 데이터 입력유닛(120)으로부터 대응하는 명령어 데이터 그리고 명령어 사전해독기(121a)로부터의 사전 해독 결과를 입력받고 입력받은 데이터를 CPU(20)로 전송한다.

또, 캐시 적중상태인 경우, 명령어 데이터 출력유닛(124a)은 입/출력버퍼(125a)로부터 대응되는 명령어 데이터 및 그 사전해독정보를 입력받고 입력받은 데이터를 CPU(20)로 전송한다.

더욱이, 명령어 사전해독기(121a)로부터의 사전해독결과가 무효를 나타내는 경우, 명령어 데이터 출력유닛(124a)은 사전 해독정보가 무효라는 것을 CPU(20)에 알리고, 입/출력버퍼(125a)에 의해 재기록된 올바른 사전 해독정보를 CPU(20)로 전송한다.

명령어 사전해독기(121a)에 의한 사전해독결과, 즉 정보는 전술한 표에 도시되어 있다.

사전해독결과는 모든 명령어 길이 단위로 생성되어, 대응하는 명령어 데이터와 함께 데이터 메모리(126a)에 저장된다. 또, 사전해독결과는 명령어의 케드를 지시하는 명령어 데이터로 개시하고 상기 명령어의 엔드를 지시하는 명령어 데이터로 종료하는 명령어가 단일의 명령어로서 처리됨을 나타낸다. 1명령어 길이 단위의 명령어의 경우, 명령어의 헤드와 엔드를 지시하는 사전해독정보가 그 명령에 첨부된다. 적재가 램퍼라운드에서 모든 데이터 블록 단위로 실행되는 경우에, 즉 명령어 헤드가 식별될 수 없는 경우에, 사전해독되지 않은상태임을 지시하는 사전해독정보가 명령어에 첨부된다.

본 실시예의 캐시메모리(100a)에 따라, 명령어 데이터 입력유닛(120a)으로부터의 명령어데이터와 명령어 사전해독기(121a)로부터의 대응하는 사전해독결과는, 캐시 실패상태에서 입/출력버퍼(125a)를 통해 데이터 메모리(126a)의 지정주소에 기억된다. 반면에, 캐시 적중상태인 경우, 대응하는 명령어 데이터와 사전해독정보는 데이터 메모리(126a)로부터 판독되어 입/출력 버퍼(125a)와 명령어데이터 출력유닛(124a)을 통해 CPU(20)로 공급된다. 따라서, CPU(20)는 아무런 오버헤드없이 데이터 메모리(126a)로부터 공급된 사전해독정보를 활용할 수 있으며, 따라서 복수의 명령어를 동시에 해독할 수 있다.

또한, 명령어 사전해독기(121a)는 데이터 메모리(126a)로부터 출력된 사전해독정보가 유효한지 무효한지를 검사하고, 그리고 사전해독정보가 무효인 것으로 증명된 경우, 입/출력버퍼(125a)는 명령어 사전해독기(121a)로부터의 재기록 명령어를 기초로 무효사전해독정보를 올바른 정보로 재기록한다. 결과적으로, 그 다음(제2)명령어 인출 및 그 이후에서 오버헤드를 제거할 수 있다.

즉, 사전해독을 다시하기위한 시간이 데이터 메모리(126a)로부터의 사전해독정보가 무효인 것으로 증명된 경우에 필요할지라도, 그 시간은 제1명령어 인출에서만 필요하다. 상기 시간은 캐시 실패상태(즉, 메인메모리(30)로부터의 명령어 인출)의 경우에 비해 무시할 수 있는 시간이다.

더욱이, 데이터 메모리(126a)에의 명령어 데이터 등록에서의 램퍼라운드에서 모든 데이터 블록단위로 적재가 실행된다 할지라도, 통상 유효사전해독정보를 기억할 수 있다. 결과적으로, 사전해독이 안된 정보가 데이터 메모리(126a)에 등재되는 경우에 발생할 수 있는 성능저하를 방지할 수 있다. 이것은 CPU(20)의 성능 개선에 기여한다.

본 발명이 개시되어, 두 실시예의 방법으로 설명되어 왔다고는 하지만, 본 발명의 다른 실시예 및 변형이 본 발명의 의의 및 본질적인 형태로부터 변하지 않고 가능하다는 것은, 본 기술에 숙련된 사람들에게 명백하다.

(57) 청구의 범위

청구항 1

메모리로부터의 적어도 하나의 가변길이 명령어를 저장하고 그리고 저장된 정보를 제어수단으로 출력하기 위한 캐시메모리에 있어서, 상기 캐시메모리는 상기 메모리로부터의 가변길이 명령어의 명령어 길이를 해독하기 위한 명령어 길이 해독수단; 및 상기 메모리로부터의 가변길이 명령어와 상기 명령어 길이 해독수단으로부터의 대응하는 명령어 길이정보를 저장하고, 가변길이명령어 및 대응하는 명령어 길이정보를 상기 제어수단에 출력하기 위한 명령어 기억수단으로 구성되어 있고, 상기 명령어 기억수단은 상기 메모리로부터 출력되는 가변길이 명령어와 상기 명령어 길이 해독수단으로부터의 대응하는 명령어 길이정보를 저장하기 위한 메모리수단; 및 상기 메모리수단내에 상기 명령어 및 대응하는 명령어 길이정보가 존재함을 지시하는 캐시적중이 발생할때, 상기 메모리수단으로부터 명령어 및 대응하는 명령어 길이정보를 판독하고, 상기 메모리수단으로부터의 상기 명령어와 명령어 길이정보를 상기 제어수단에 전송하며, 그리고 상기 메모리수단내에 상기 명령어 및 대응하는 명령어 길이정보가 존재하지 않음을 지시하는 캐시실패가 발생할 때, 상기 메모리로부터 출력되는 명령어와 상기 명령어 길이 해독수단으로부터의 대응하는 명령어 길이정보를 입력받고, 입력받은 상기 명령어 및 대응하는 명령어 길이정보를 상기 메모리 수단에 기록하기 위한 수단으로 구성되어 있는 것을 특징으로 하는 캐시메모리.

청구항 2

제1항에 있어서, 상기 명령어 및 대응하는 명령어 길이정보가 상기 메모리수단에 저장된 후, 캐시실

패가 발생할 때 상기 메모리로부터 출력된 명령어와 상기 명령어 길이 해독수단으로부터의 대응하는 명령어 길이정보를 입력받고, 입력받은 상기 메모리수단에 저장되어 있는 명령어 및 대응하는 명령어 길이정보를 상기 제어수단에 전달하기 위한 수단을 더 포함하고 있는 것을 특징으로 하는 캐시메모리.

청구항 3

제1항에 있어서, 상기 메모리는 데이터 블록으로 분할되어 있고, 상기 명령어 길이해독수단은 헤드를 가지고 있는, 상기 메모리로부터 출력된 가변길이명령어 데이터를 래치하기 위한 수단; 모든 데이터 블록에 대한 상기 가변길이 명령어 데이터로부터의 명령어 형식 및 유효주소를 해독하고 해독 결과를 제공하기 위한 수단; 모든 데이터 블록에 대한 해독 결과를 기초로 명령어 길이를 결정하기 위한 명령어 길이결정수단; 결정된 명령어 길이를 기초로, 래치된 가변 길이 명령어 데이터에 대한 명령어 길이 정보를 발생하고, 그리고 데이터 블록중 어느 블록이 상기 가변길이 명령어의 헤드에 있는지를 지시하는 제어신호를 발생하기 위한 수단; 및 상기 제어신호에 응답하여, 상기 명령어 길이 결정수단의 동작을 제어하기 위한 수단으로 구성되어 있는것을 특징으로 하는 캐시메모리.

청구항 4

제3항에 있어서, 캐시메모리가 캐시적중상태인지 캐시실패상태인지를 판단하기 위한 캐시 적중/실패 판단수단을 더 포함하고 있는 것을 특징으로 하는 캐시메모리.

청구항 5

제4항에 있어서, 캐시 적중/실패판단수단은, 비교주소를 보유하기 위한 수단, 및 상기 제어수단으로부터 공급된 명령어주소와 상기 비교주소를 비교하여 캐시메모리가 캐시적중상태인지 캐시실패상태인지를 판단하는 수단으로 구성되어 있는 것을 특징으로 하는 캐시메모리.

청구항 6

메인메모리에 접속되어 있는 데이터 프로세서에 있어서, 상기 데이터 프로세서는 가변길이 명령어를 인출하기 위해 명령어 주소를 출력하기 위한 처리수단 및 상기 처리수단과 상기 메인메모리 사이에 접속된 캐시메모리로 구성되어 있고, 상기 캐시메모리는 상기 메인메모리로부터의 가변길이 명령어의 대응하는 명령어 길이를 해독하기 위한 명령어 길이 해독수단; 및 상기 메인메모리로부터의 상기 가변길이 명령어와 상기 명령어 길이 해독수단으로부터의 대응하는 명령어 길이정보를 저장하고, 상기 가변길이 명령어 및 대응하는 명령어 길이정보를 상기 처리수단으로 출력하기 위한 명령어 기억수단을 포함하고 있으며, 상기 처리수단은, 각각 기본부 및 확장부를 가지고 있는 복수의 세트로 구성된 명령어 코드열을 저장하기 위한 코드기억수단; 상기 명령어 코드열의 데이터가 기본부인지를 판단하고, 기본부이면 그 기본부에 대한 제어표시를 첨부하기 위한 수단; 상기 제어표시를 저장하기 위한 표시기억수단; 상기 코드기억수단으로부터 선택적으로 출력될 명령어 코드열의 헤드위치를 지정하기 위한 헤드위치 지시수단; 상기 헤드위치 지시수단 및 표시기억수단의 출력에 응답하여, 명령어 코드열의 출력위치를 지정하기 위한 출력위치지시수단; 상기 출력위치 지시수단 및 표시기억수단의 출력에 응답하여, 상기 코드기억수단으로부터의 명령어 코드열을 선택적으로 출력하기 위한 선택적 출력수단; 상기 선택적 출력수단으로부터 출력된 명령어 코드를 해독하기 위한 명령어 코드해독수단; 상기 선택적 출력수단으로부터 출력된 명령어 코드열을 저장하기 위한 레지스터수단; 상기 명령어코드 해독수단 및 레지스터수단의 출력에 응답하여, 명령어의 즉시 주소값과 명령어의 변위주소값중 어느 하나를 발생하기 위한 발생수단; 및 상기 발생수단의 출력을 기초로 명령어를 실행하기 위한 수단으로 구성되어 있는 것을 특징으로 하는 데이터프로세서.

청구항 7

제5항에 있어서, 상기 명령어 기억수단은 상기 메모리로부터 공급된 명령어 및 명령어 길이 해독수단에 의해 얻어진 대응하는 명령어 길이정보를 저장하기 위한 메모리수단; 및 캐시적중상태에서, 상기 메모리수단으로부터 대응하는 명령어 및 그 명령어 길이정보를 판독하고 판독된 데이터를 상기 제어수단에 전달하고, 그리고 캐시실패상태에서, 상기 메모리로부터 대응하는 명령어를, 상기 명령어 길이 해독수단으로부터 그 명령어 길이정보를 입력받고 입력받은 데이터를 상기 메모리수단에 기록하기 위한 수단으로 구성되어 있는 것을 특징으로 하는 데이터프로세서.

청구항 8

제7항에 있어서, 캐시실패상태에서, 상기 메모리로부터 대응하는 명령어를 명령어 길이 해독수단으로부터 그 명령어 길이 정보를 입력받고, 입력받은 데이터를 상기 제어수단에 전달하는 수단을 더 포함하고 있는것을 특징으로 하는 데이터프로세서.

청구항 9

제7항에 있어서, 상기 메모리는 데이터 블록으로 분할되어 있고, 상기 명령어 길이 해독수단은 헤드를 가지고 있는, 상기 메모리로부터 출력된 가변길이 명령어 데이터를 래치하기 위한 수단; 모든 데이터 블록에 대한 가변길이 명령어 데이터로부터의 명령어 형식과 유효주소를 해독하기 위한 수단; 모든 데이터 블록에 대한 해독결과를 기초로 명령어 길이를 결정하기 위한 수단; 결정된 명령어 길이를 기초로, 래치된 가변길이 명령어 데이터에 대한 명령어 길이 정보를 발생하고, 데이터 블록중 어느 블록이 상기 가변길이 명령어의 헤드에 있는지를 지시하는 제어신호를 발생하는 수단; 및 상기 제어신호에 응답하여, 상기 명령어 길이 결정수단의 동작을 제어하기 위한 수단으로 구성되어 있는 것을 특징으로 하는 데이터프로세서.

청구항 10

메인메모리에 접속되어 있는 데이터 프로세서에 있어서, 상기 데이터 프로세서는 가변길이 명령어를

인출하기 위해 명령어 주소를 출력하기 위한 처리수단; 및 상기 처리수단과 상기 메인메모리 사이에 접속된 캐시메모리로 구성되어 있고, 상기 캐시메모리는 상기 메인메모리로부터의 가변길이 명령어의 대응하는 명령어 길이를 해독하기 위한 명령어 길이 해독수단; 및 상기 메인메모리로부터의 상기 가변길이 명령어와 상기 명령어 길이 해독수단으로부터의 대응하는 명령어 길이정보를 저장하고, 상기 가변길이 명령어 및 대응하는 명령어 길이정보를 상기 처리수단으로 출력하기 위한 명령어 기억수단을 포함하고 있고, 상기 처리수단은 각각 기본부 및 확장부를 가지고 있는 복수의 세트로 구성된 명령어 코드열을 저장하기 위한 코드기억수단; 명령어 코드열의 데이터가 기본부인지를 판단하고 그 기본부에 제어표시를 첨부하기 위한 수단; 상기 제어표시를 저장하기 위한 표시기억수단; 상기 코드기억수단으로부터 선택적으로 출력될 명령어 로드열의 헤드위치를 두판독포트에 의하여 지정하기 위한 헤드위치지시수단; 상기 헤드위치 지시수단 및 표시기억수단의 출력에 응답하여, 명령어 코드열의 출력위치를 지정하기 위한 출력위치지시수단; 상기 출력위치지시수단의 출력과 상기 표시기억수단의 출력에 응답하여, 상기 코드기억수단으로부터의 명령어 코드열의 각각의 할당된 부분을 선택적으로 각각 출력하기 위한 한쌍의 출력선택유닛; 대응하는 출력선택유닛으로부터 출력된 명령어 로드를 각각 해독하기 위한 한쌍의 해독유닛; 대응하는 출력선택유닛으로부터 출력된 명령어 코드를 각각 저장하기 위한 한쌍의 레지스터유닛; 및 대응하는 해독유닛 및 대응하는 레지스터 유닛의 출력을 기초로 각각의 명령어를 각각 실행하기 위한 한쌍의 명령어 실행유닛으로 구성되는 것을 특징으로 하는 데이터프로세서

청구항 11

제10항에 있어서, 명령어 기억수단은 상기 메모리로부터 공급된 명령어 및 상기 명령어 길이 해독수단에 의해 얻어진 대응하는 명령어 길이정보를 저장하기 위한 메모리수단; 및 캐시적중상태에서, 상기 메모리수단으로부터 대응하는 명령어 및 그 명령어 길이정보를 판독하고 판독된 데이터를 제어수단에 전달하고, 그리고 캐시실패상태에서, 상기 메모리로부터 대응하는 명령어를, 명령어 길이 해독수단으로부터 그 명령어 길이 정보를 입력받고, 입력받은 데이터를 상기 메모리수단에 기록하기 위한 수단으로 구성되어 있는 것을 특징으로 하는 데이터프로세서.

청구항 12

제11항에 있어서, 캐시실패 상태에서 상기 메모리로부터 대응하는 명령어를, 상기 명령어 길이 해독수단으로부터 그 명령어 길이 정보를 입력받고, 입력받은 데이터를 상기 제어수단에 전달하는 수단을 더 포함하고있는 것을 특징으로 하는 데이터프로세서.

청구항 13

제11항에 있어서, 상기 메모리는 데이터 블록으로 분할되어 있고, 상기 명령어 길이 해독수단은 헤드를 가지고 있는, 상기 메모리로부터 출력된 가변길이 명령어 데이터를 래치하기 위한 수단; 모든 데이터 블록에 대한 가변길이 명령어 데이터로부터의 명령어 형식과 유효 주소를 해독하고 해독결과를 제공하는 수단; 해독결과를 기초로 명령어 길이를 결정하기 위한 명령어 길이결정수단; 결정된 명령어 길이를 기초로, 래치된 가변길이 명령어 데이터에 대한 명령어 길이 정보를 발생하고, 복수의 데이터 블록중 어느 블록이 가변길이 명령어의 헤드에 있는지를 지시하는 제어신호를 발생하는 수단; 및 상기 제어신호에 응답하여, 상기 명령어 길이 결정수단의 동작을 제어하기 위한 수단으로 구성되어 있는 것을 특징으로 하는 데이터프로세서.

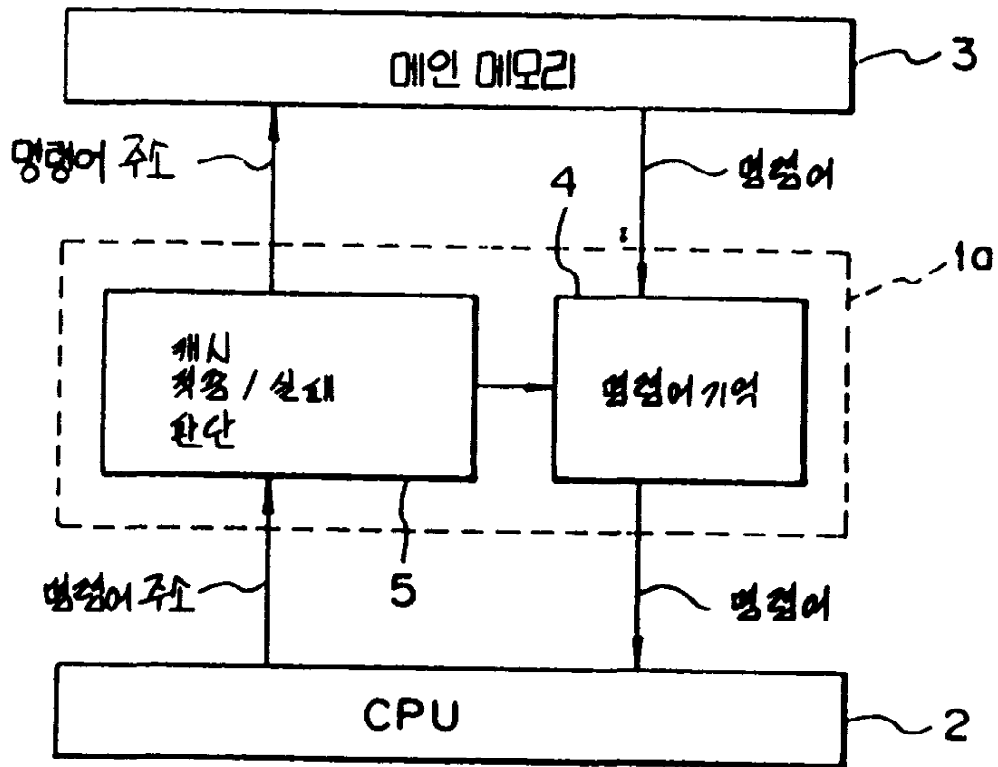
청구항 14

데이터 처리시스템에 있어서, 메인메모리, 가변길이 명령어의 명령어 주소를 출력하기 위한 프로세서; 및 상기 메인메모리와 상기 프로세서 사이에 접속된 캐시메모리로 구성되어 있고, 상기 캐시메모리는 상기 메인메모리와 상기 프로세서에 연결되어, 가변길이 명령어를 저장하기 위한 명령어 메모리; 상기 프로세서에 연결되어, 상기 가변길이 명령어의 명령어 길이에 대응하는 정보를 저장하기 위한 명령어 길이에메모리; 상기 메인메모리, 상기 명령어 길이에메모리 및 상기 프로세서에 연결되어, 상기 메인메모리로부터의 가변길이 명령어의 명령어길이에 대응하는 정보를 해독하기 위한 명령어 길이 해독기; 상기 명령어 메모리, 상기 메인메모리 및 상기 프로세서에 연결되어, 상기 명령어 주소에 응답한 캐시적중상태에서 상기 명령어 메모리 및 상기 명령어 길이 메모리로 하여금 가변길이 명령어 및 이 가변길이 명령어의 대응하는 명령어 길이를 상기 프로세서로 출력하게 하고, 그리고 상기 명령어 주소에 응답한 캐시실패상태에서 상기 메인메모리 및상기 명령어 해독기로 하여금 가변 길이 명령어 및 이 가변길이 명령어의 대응하는 명령어 길이를 상기 프로세서로 출력하게 하는 캐시적중 감출회로로 구성되어 있는 것을 특징으로 하는 데이터 처리시스템.

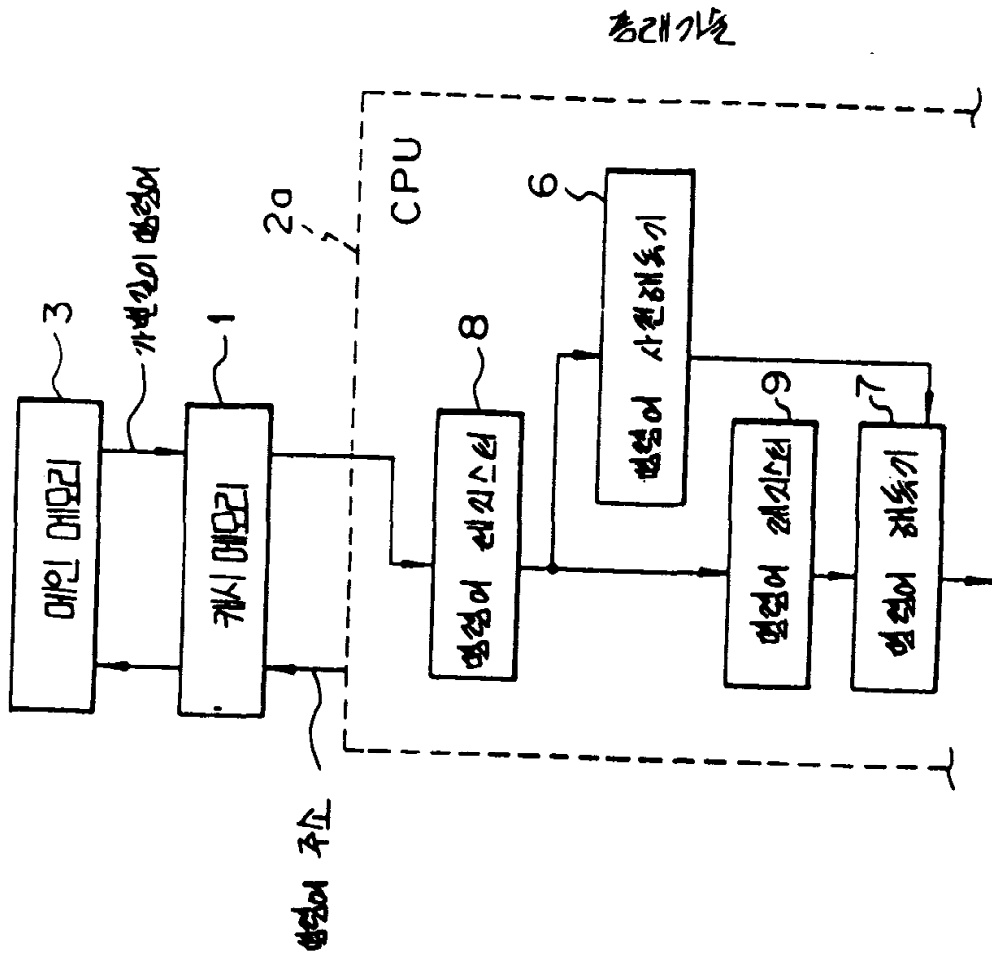
도면

도면1

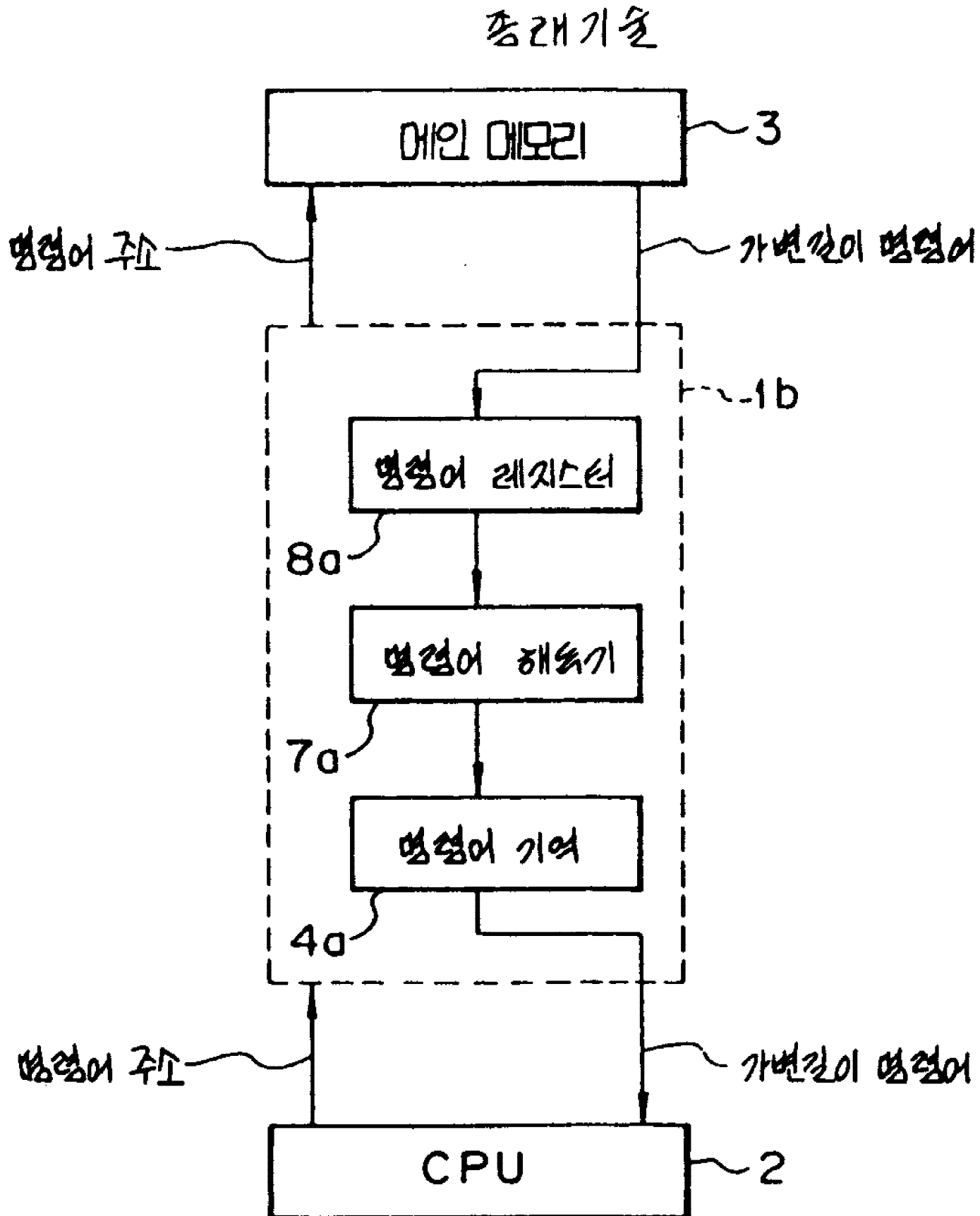
총리기술



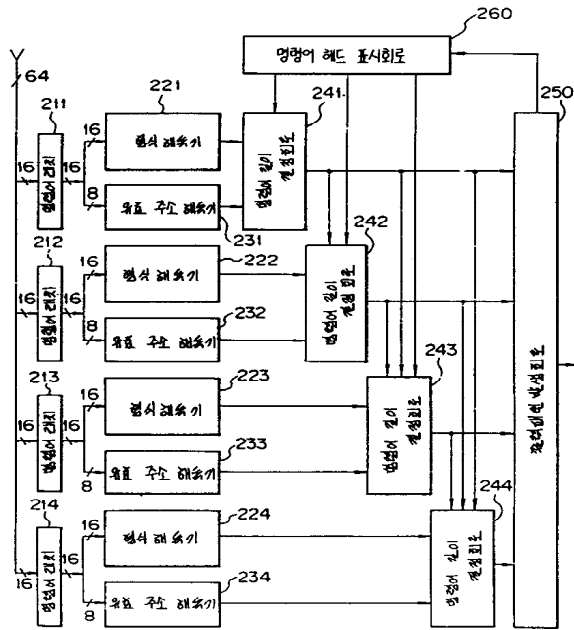
도면2



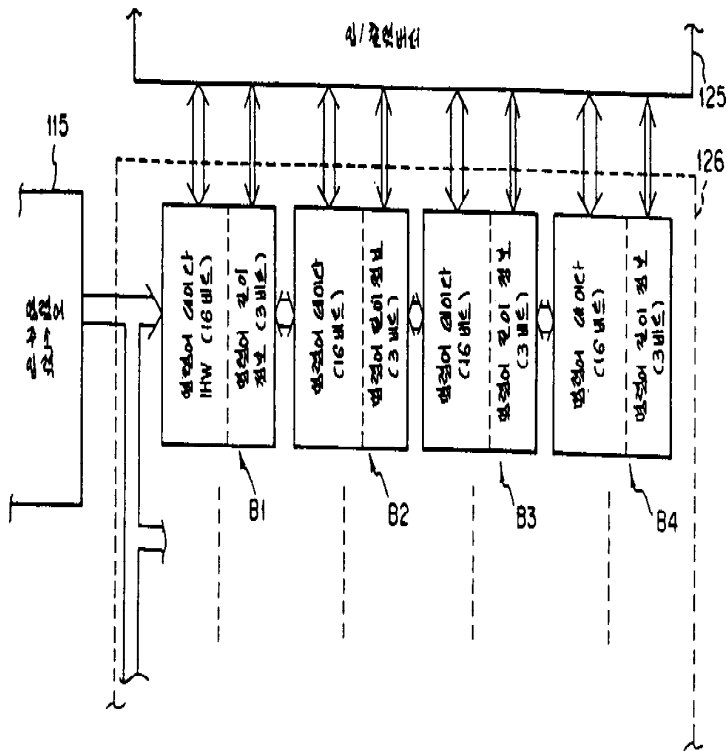
도면3



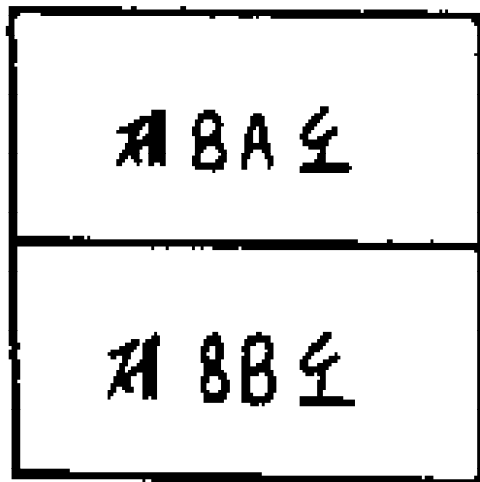
도면6



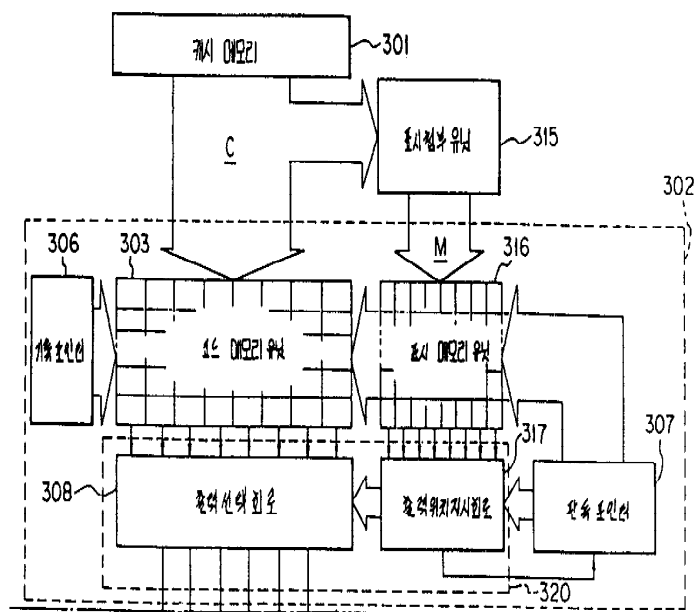
도면7



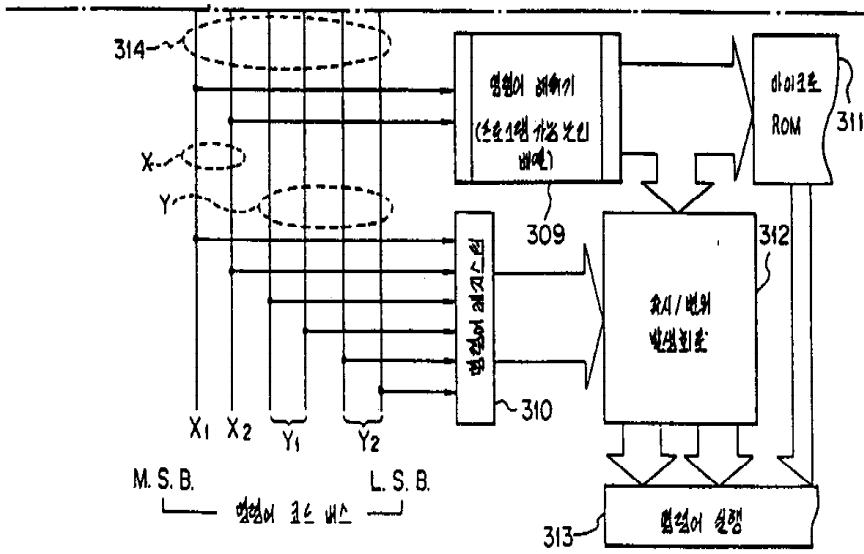
도면8



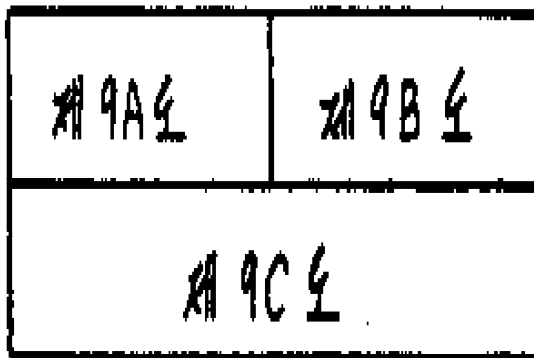
도면8A



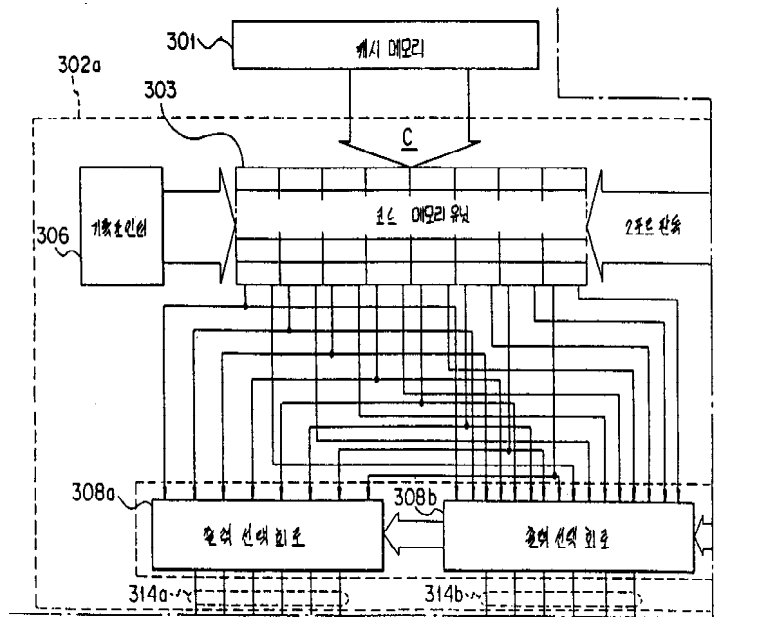
도면88



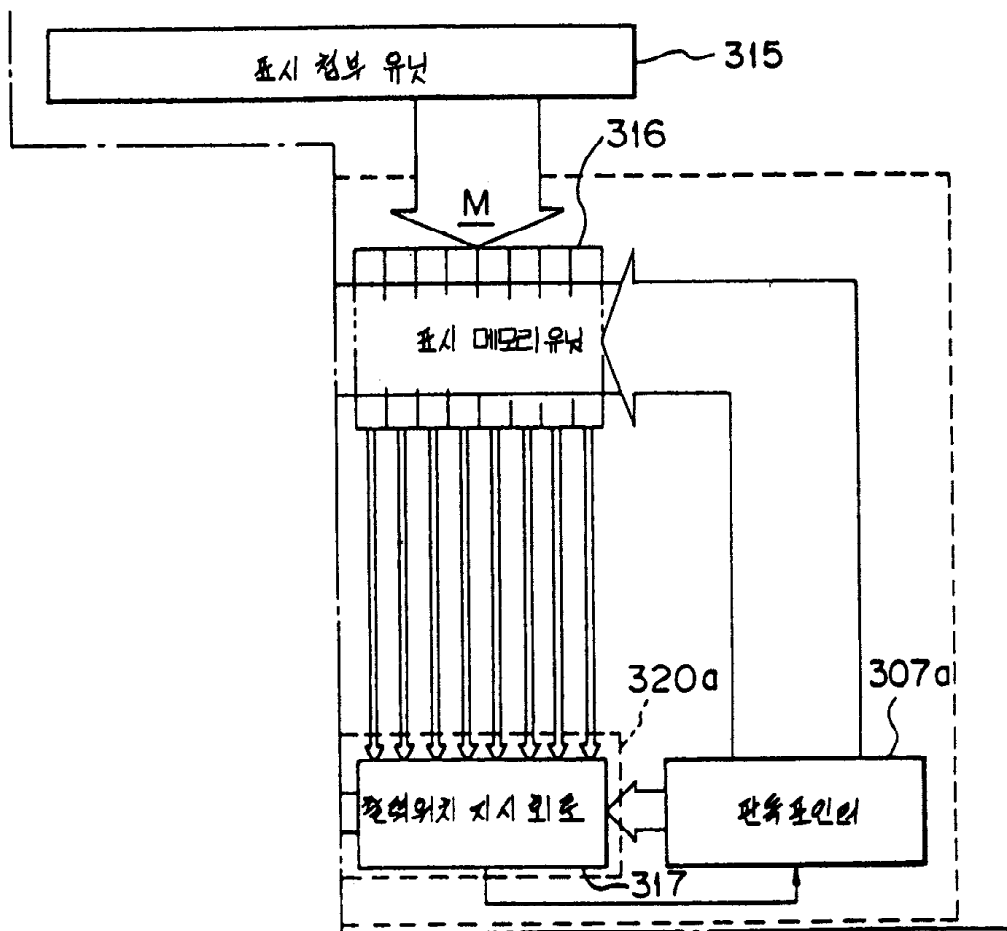
도면9



도면9A



도면9B



도면 12

