

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4550288号  
(P4550288)

(45) 発行日 平成22年9月22日(2010.9.22)

(24) 登録日 平成22年7月16日(2010.7.16)

(51) Int.Cl.

H03M 1/36 (2006.01)

F 1

H03M 1/36

請求項の数 37 (全 14 頁)

(21) 出願番号 特願2000-592945 (P2000-592945)  
 (86) (22) 出願日 平成12年1月5日 (2000.1.5)  
 (65) 公表番号 特表2002-534890 (P2002-534890A)  
 (43) 公表日 平成14年10月15日 (2002.10.15)  
 (86) 國際出願番号 PCT/US2000/000173  
 (87) 國際公開番号 WO2000/041310  
 (87) 國際公開日 平成12年7月13日 (2000.7.13)  
 審査請求日 平成19年1月5日 (2007.1.5)  
 (31) 優先権主張番号 60/115,129  
 (32) 優先日 平成11年1月6日 (1999.1.6)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 503455363  
 レイセオン カンパニー  
 アメリカ合衆国 マサチューセッツ州 O  
 2451 ウォルサム ウィンター スト  
 リート 870  
 (74) 代理人 100062144  
 弁理士 青山 葵  
 (74) 代理人 100091465  
 弁理士 石井 久夫  
 (72) 発明者 トム・ピー・イー・ブローカート  
 アメリカ合衆国 91302 カリフォルニア  
 州カラバサス、ノース・シーノサス・ブレ  
 イス・ナンバー・エフ3925番

審査官 栗栖 正和

最終頁に続く

(54) 【発明の名称】共鳴トンネルダイオードブリッジを用いたアナログ信号量子化装置

## (57) 【特許請求の範囲】

## 【請求項1】

クロック信号を受けるために接続した第1の端子と、第1の入力信号を受けるために接続した第2の端子と、を有する第1の負性抵抗素子と、

クロック信号を受けるために接続した第1の端子と、第2の入力信号を受けるために接続した第2の端子とを、有する第2の負性抵抗素子と、

第1の入力信号を受けるために接続された第1の端子と、反転クロック信号を受けるために接続された第2の端子と、を有する第3の負性抵抗素子と、

第2の入力信号を受けるために接続された第1の端子と、反転クロック信号を受けるために接続された第2の端子と、を有する第4の負性抵抗素子と、

第1の負性抵抗素子の第2の端子と第3の負性抵抗素子の第1の端子とに接続されて出力信号を出す出力端子と、

第2の負性抵抗素子の第2の端子と第4の負性抵抗素子の第1の端子と接続されて反転出力信号を出す反転出力端子と、

を含むアナログ信号量子化ブリッジ装置。

## 【請求項2】

第1、第2、第3及び第4の負性抵抗素子が各々、共鳴トンネルダイオードである請求項1の装置。

## 【請求項3】

さらに、第1、第2、第3及び第4の負性抵抗素子をクロック信号に対して同じ方向に

10

20

バイアスする手段を含む請求項 1 の装置。

【請求項 4】

第 1、第 2、第 3 及び第 4 の負性抵抗素子が各々、並列の第 1 と第 2 のトンネルダイオードとを含み、第 1 のトンネルダイオードが、第 2 のトンネルダイオードに対して反対方向にバイアスされている請求項 1 の装置。

【請求項 5】

第 1 及び第 2 の入力信号が、可変電流を含む請求項 1 の装置。

【請求項 6】

出力信号が可変電圧を含む請求項 1 の装置。

【請求項 7】

出力信号が、-1、0、+1 で表せる 3 水準の 1 つである請求項 1 の装置。 10

【請求項 8】

第 1 の入力信号が、X バンド領域の信号である請求項 1 の装置。

【請求項 9】

さらに、クロック信号を受ける第 1 の端子と、反転クロック信号を受ける第 2 の端子と、を有する第 5 の負性抵抗素子を含む請求項 1 の装置。

【請求項 10】

第 1、第 2、第 3、第 4 及び第 5 の負性抵抗素子が各々、共鳴トンネルダイオードを含む請求項 9 の装置。 20

【請求項 11】

さらに、第 1、第 2、第 3、第 4 及び第 5 の負性抵抗素子をクロック端子に対して同じ方向にバイアスする手段を含む請求項 9 の装置。

【請求項 12】

第 1、第 2、第 3 及び第 4 の負性抵抗素子が各々、並列な第 1 の共鳴トンネルダイオードと第 2 の共鳴トンネルダイオードを含み、第 1 の共鳴トンネルダイオードが、第 2 の共鳴トンネルダイオードとは反対方向にバイアスされている請求項 9 の装置。

【請求項 13】

第 1 及び第 2 の入力信号が、可変電流を含む請求項 9 の装置。

【請求項 14】

出力信号が、可変電圧を含む請求項 9 の装置。 30

【請求項 15】

出力信号が、-1、0、+1 で表せる 3 水準の 1 つである請求項 9 の装置。

【請求項 16】

さらに、第 1 の入力端子と第 2 の入力端子と第 1 の出力端子と第 2 の出力端子とを有するクロック増幅器と、

クロック信号をクロック増幅器の第 1 の入力端子に接続する手段と、

反転クロック信号をクロック増幅器の第 2 の入力端子に接続する手段と、

クロック増幅器の第 1 の出力端子を第 1 の負性抵抗素子の第 1 の端子及び第 2 の負性抵抗素子の第 1 の端子に接続する手段と、

クロック増幅器の第 2 の出力端子を第 3 の負性抵抗素子の第 2 の端子及び第 4 の負性抵抗素子の第 2 の端子に接続する手段と、 40

を含む請求項 1 の装置。

【請求項 17】

さらに、クロック信号をクロック端子に接続するキャパシタと、反転クロック信号を反転クロック端子に接続するキャパシタとを含む請求項 1 の装置。

【請求項 18】

負性抵抗素子を有する量子化ブリッジであって、ブリッジ入力端子、反転ブリッジ入力端子、クロック端子及び反転クロック端子を有し、さらに、

クロック端子と接続した第 1 の端子と、ブリッジ入力端子と接続した第 2 の端子と、を有する第 1 の負性抵抗素子と、 50

クロック端子と接続した第1の端子と、反転ブリッジ入力端子と接続した第2の端子と、を有する第2の負性抵抗素子と、

ブリッジ入力端子に接続した第1の端子と、反転クロック端子と接続した第2の端子と、を有する第3の負性抵抗素子と、

反転ブリッジ入力端子と接続した第1の端子と、反転クロック端子と接続した第2の端子と、を有する第4の負性抵抗素子と、を含む量子化ブリッジと、

第1の入力信号と第2の入力信号とを受けて増幅して出力をブリッジに供給する入力増幅器と、

クロック信号と反転クロック信号とを受けて増幅し、出力を受けるブリッジと接続されたクロック増幅器と、

ブリッジ入力端子に接続されて出力信号を出す出力端子と、

反転ブリッジ入力端子に接続されて反転出力信号を出す反転出力端子と、を含むアナログ信号量子化装置。

【請求項19】

負性抵抗素子を有する量子化ブリッジであって、ブリッジ入力端子、反転ブリッジ入力端子、クロック端子及び反転クロック端子を有し、さらに、

クロック端子と接続した第1の端子と、ブリッジ入力端子と接続した第2の端子と、を有する第1の負性抵抗素子と、

クロック端子と接続した第1の端子と、反転ブリッジ入力端子と接続した第2の端子と、を有する第2の負性抵抗素子と、

ブリッジ入力端子に接続した第1の端子と、反転クロック端子と接続した第2の端子と、を有する第3の負性抵抗素子と、

反転ブリッジ入力端子と接続した第1の端子と、反転クロック端子と接続した第2の端子と、を有する第4の負性抵抗素子と、を含む量子化ブリッジと、

第1の入力信号と第2の入力信号とを受けて増幅して出力をブリッジに供給する入力増幅器と、

クロック信号を受ける第1の結合素子であって、その出力をブリッジが受けるように接続された当該第1の結合素子と、

反転クロック信号を受ける第2の結合素子であって、その出力をブリッジが受けるように接続された当該第2の結合素子と、

ブリッジ入力端子に接続されて出力信号を出す出力端子と、

反転ブリッジ入力端子に接続されて反転出力信号を出す反転出力端子と、を含むアナログ信号量子化装置。

【請求項20】

第1の結合素子と第2の結合素子とが各々、キャパシタと直列に接続した抵抗とを含む請求項19の装置。

【請求項21】

負性抵抗素子を有する変調器ブリッジであって、ブリッジ入力端子、反転ブリッジ入力端子、クロック端子及び反転クロック端子を有し、さらにクロック端子に接続された第1の端子及びブリッジ入力端子に接続された第2の端子を有する第1の負性抵抗素子、

クロック端子に接続された第1の端子及び反転ブリッジ入力端子に接続された第2の端子を有する第2の負性抵抗素子、

ブリッジ入力端子に接続された第1の端子及び反転クロック端子に接続された第2の端子を有する第3の負性抵抗素子、及び

反転ブリッジ入力端子に接続された第1の端子及び反転クロック端子に接続された第2の端子を有する第4の負性抵抗素子を含む変調器ブリッジと、

増幅のために入力信号及び反転入力信号を受ける入力増幅器と、

ブリッジに適合した出力を有し、入力増幅器から増幅された信号を受けるために接続されたブリッジ増幅器と、

ブリッジ増幅器に適合した出力を有し、ブリッジからの出力を受けるために接続された

10

20

30

40

50

フィードバック増幅器と、

増幅のためにクロック信号及び反転クロック信号を受けるクロック増幅器と、  
クロック増幅器からの出力を受けるために接続されたブリッジと、  
ブリッジ入力端子に接続した、出力信号を出す出力端子と、  
反転ブリッジ入力端子に接続した、反転出力信号を出す反転出力端子と、を含む連続-  
時間変調器。

【請求項 2 2】

ブリッジ増幅器がさらに第1の入力端子及び第2の入力端子を含み、第1の入力端子に接続された第1の端子及び第2の入力端子に接続された第2の端子を有するキャパシタをさらに含む請求項2 1の装置。

10

【請求項 2 3】

クロック増幅器がブリッジ増幅器の増幅定数よりも約4～10倍の増幅定数を有する請求項2 1の装置。

【請求項 2 4】

第1、第2、第3及び第4の負性抵抗素子がクロック端子に対して同じ方向にバイアスされている請求項2 1の装置。

【請求項 2 5】

第1、第2、第3及び第4の負性抵抗素子が各々、並列な第1の共鳴トンネルダイオードと第2の共鳴トンネルダイオードを含み、第1の共鳴トンネルダイオードが、第2の共鳴トンネルダイオードとは反対方向にバイアスされている請求項2 1の装置。

20

【請求項 2 6】

第5の負性抵抗素子がクロック端子に接続された第1の端子及び反転クロック端子に接続された第2の端子をさらに含む請求項2 1の装置。

【請求項 2 7】

第1、第2、第3、第4及び第5の負性抵抗素子が各々、共鳴トンネルダイオードを含む請求項2 6の装置。

【請求項 2 8】

第1、第2、第3、第4及び第5の負性抵抗素子がクロック端子に対し同じ方向にバイアスされている請求項2 6の装置。

30

【請求項 2 9】

第1、第2、第3及び第4の負性抵抗素子が各々、並列な第1の共鳴トンネルダイオードと第2の共鳴トンネルダイオードを含み、第1の共鳴トンネルダイオードが、第2の共鳴トンネルダイオードとは反対方向にバイアスされている請求項2 6の装置。

【請求項 3 0】

負性抵抗素子を有する変調器ブリッジであって、ブリッジ入力端子、反転ブリッジ入力端子、クロック信号を受けるクロック端子及び反転クロック信号を受ける反転クロック端子を有し、さらにクロック端子に接続された第1の端子及びブリッジ入力端子に接続された第2の端子を有する第1の負性抵抗素子、

クロック端子に接続された第1の端子及び反転ブリッジ入力端子に接続された第2の端子を有する第2の負性抵抗素子、

40

ブリッジ入力端子に接続された第1の端子及び反転クロック端子に接続された第2の端子を有する第3の負性抵抗素子、及び

反転ブリッジ入力端子に接続された第1の端子及び反転クロック端子に接続された第2の端子を有する第4の負性抵抗素子を含む変調器ブリッジと、

それ自身の増幅のために入力信号及び反転入力信号を受ける増幅器と、

増幅器に適合した出力を有し、ブリッジからの出力を受けるために接続されたフィードバック増幅器と、

ブリッジ入力端子に接続した、出力信号を出す出力端子と、

反転ブリッジ入力端子に接続した、反転出力信号を出す反転出力端子と、を含む連続-  
時間変調器。

50

**【請求項 3 1】**

増幅器がさらに第1の入力端子及び第2の入力端子を含み、上記第1の入力端子に接続された第1の端子及び上記第2の入力端子に接続された第2の端子を有するキャパシタをさらに含む請求項3\_0の装置。

**【請求項 3 2】**

第1、第2、第3及び第4の負性抵抗素子がクロック端子に対し同じ方向にバイアスされている請求項3\_0の装置。

**【請求項 3 3】**

第1、第2、第3及び第4の負性抵抗素子が各々、並列な第1の共鳴トンネルダイオードと第2の共鳴トンネルダイオードを含み、第1の共鳴トンネルダイオードが、第2の共鳴トンネルダイオードとは反対方向にバイアスされている請求項3\_0の装置。 10

**【請求項 3 4】**

反転クロック端子に接続された第2の端子及びクロック端子に接続された第1の端子を有する第5の負性抵抗素子をさらに含む請求項3\_0の装置。

**【請求項 3 5】**

第1、第2、第3、第4及び第5の負性抵抗素子が各々、共鳴トンネルダイオードを含む請求項3\_4の装置。

**【請求項 3 6】**

第1、第2、第3、第4及び第5の負性抵抗素子が各々、クロック端子に対して同じ方向にバイアスされている請求項3\_4の装置。 20

**【請求項 3 7】**

第1、第2、第3及び第4の負性抵抗素子が各々、並列な第1の共鳴トンネルダイオードと第2の共鳴トンネルダイオードを含み、第1の共鳴トンネルダイオードが、第2の共鳴トンネルダイオードとは反対方向にバイアスされている請求項3\_4の装置。

**【発明の詳細な説明】****【0001】****発明の技術分野**

本発明は、概して、電子的量子化に関し、特に、共鳴トンネルダイオードブリッジを用いたアナログ信号の量子化装置に関する。

**【0002】****発明の背景**

アナログ - デジタル変換器は様々な設計によって作られてきた。従来、これらの設計はトランジスタを用いて実施されている。例えば、一般的な実施の1つでは、交差結合した一組のトランジスタが含まれる。しかしながら、アナログ - デジタル変換器にトランジスタを用いて実施するのに関連したいくつかの欠点がある。

**【0003】**

第一に、デジタル回路に用いられる装置はどんどん小さくなっている。これらの装置は、サイズが小さくなることによって量子力学的効果が現れはじめる。量子力学的効果により、従来のトランジスタの電気的特性は容認できなくなる。第二に、トランジスタ利用アナログ - デジタル変換器は、トランジスタのスイッチング速度によって限界となり、いくつかの適用においては遅すぎる。最後に、従来のトランジスタは二安定状態に限定されている。したがって、トランジスタを用いた装置は、一般的にはアナログ信号をバイナリデジタル信号にただ変換するだけで、多値論理に用いるのを難しくしている。 40

**【0004】****発明の開示**

本発明により、共鳴トンネルダイオードブリッジを用いてアナログ信号を量子化する装置を提供して、今まで発展してきた量子化装置に伴う欠点や問題点を実質上除去しましたは減少するものある。

**【0005】**

本発明の1つの実施形態においては、共鳴トンネルダイオードブリッジを用いてアナロ 50

グ信号を量子化する装置を提供するが、装置は、第1の負性抵抗素子を含んでいる。第1の負性抵抗素子は、クロック信号を受けるために結合される第1の端子と、第1の入力信号を受けるために結合される第2の端子を有する。第2の負性抵抗素子は、クロック信号を受けるために結合される第1の端子と、第2の入力信号を受けるために結合される第2の端子を有する。第3の負性抵抗素子は、第1の入力信号を受けるために結合される第1の端子と、反転クロック信号を受けるために結合される第2の端子を有する。第4の負性抵抗素子は、第2の入力信号を受けるために結合される第1の端子と、反転クロック信号を受けるために結合される第2の端子を有する。出力端子は、第1の負性抵抗素子の第2の端子、及び第3の負性抵抗素子の第1の端子に結合している。出力端子は出力信号を出力する。反転出力端子は、第2の負性抵抗素子の第2の端子、及び第4の負性抵抗の第1の端子に結合している。反転出力端子は反転出力信号を出力する。

#### 【0006】

本発明の技術的長所は、アナログ信号の量子化のために改良した装置の提供を含んでいる。特に、共鳴トンネルダイオードのような負性抵抗素子が、アナログ - デジタル変換器の一部として含まれている。したがって、トランジスタに依拠することが避けられる。その結果として、不利益な量子力学的效果は、最小限になるか又は存在せずに、スイッチング速度は上昇し、そして多値論理を用いることが可能となる。

#### 【0007】

本発明における他の技術的長所は、以下の図面、説明、及び請求項から、この分野の専門家にあっては、容易に理解することができるであろう。

ここで、本発明およびその長所のより完全な理解のために、添付の図と関連して、以下の説明が参照される。

#### 【0008】

##### 発明の詳細な説明

本発明の好ましい実施の形態及び効果は、図1から図10を参照して詳細に理解されるが、ここに同じ番号が同じ部材を示す。

#### 【0009】

図1は、本発明の教示に基づいて、負性抵抗素子として使用される共鳴トンネルダイオード(RTD)10の模式図である。RTD10は、入力信号を受け取る入力端子11と、出力信号を出す出力端子12と、2つのトンネル障壁層13と、量子井戸層14と、から構成されている。

#### 【0010】

図2は、RTD10のような負性抵抗素子の、電圧に対する電流の関係を示すグラフである。このI-V曲線の形状は、トンネル障壁層13と量子井戸層14の厚さを非常に薄くした場合に現れる量子効果に依存する。層13及び14の厚さは、大体、10~20原子厚みである。

#### 【0011】

微小振幅の電圧が入力端子11に印加されると、電子は2つのトンネル障壁層13をトンネリングしない。これは、無視できる程度の電流しか流れないこと、及びRTD10のスイッチが切れているためである。電圧を大きくしていくと、入力端子11で受け取る電子のエネルギーも増加し、これら電子の波長は減少する。入力端子11が特定の電圧レベルに達すると、電子の波長の特定の値が量子井戸層14の内部に適合(fit)するようになる。この点で、一つのトンネル障壁層13をトンネリングする電子が量子井戸層14の中に留まり、共鳴状態となる。これにより、電子は第2のトンネル障壁層13をトンネリングして出力端子12に到達することが可能となる。このようにして、入力端子11から出力端子12への電流の流れが完成し、RTD10のスイッチが入る。しかし、電圧レベルが増加し続けると、終には、電子はトンネル障壁層13をトンネリングするに必要な波長を持つことができず、RTD10のスイッチが切れる。RTD10のような負性抵抗素子のこのような特性、すなわち、電圧を増加させた時、オン状態とオフ状態との間を交互にスイッチングする特性は、図2に示した3つの安定状態の中の一つの状態で動作するよ

10

20

30

40

50

うに電圧を印加することを可能にする。これらの3つの安定状態とは、負バイアスの谷領域16、プレピーク領域17、そして正バイアスの谷領域18である。

【0012】

R T D 1 0 のトンネル障壁層13と量子井戸層14とを非常に薄くした場合に現れる別の特性は、スイッチング速度に関するものである。これらの層13と14は、10~20原子厚み程度であるので、電子は、入力端子11から出力端子12まで約0.01μを移動するだけで良い。この短い距離により、R T D 1 0 は非常に速い速度でスイッチのオンとオフとを行うことができる。

【0013】

図3と図4は、本発明に基づいてアナログ信号を量子化する装置20と40を示す回路図である。装置20と40は、第1の共鳴トンネルダイオード22と、第2の共鳴トンネルダイオード24とで構成されている。装置20と40は、また、アナログ入力信号を受ける入力端子26と、クロック信号を受けるクロック端子28と、反転クロック信号を受け取る反転クロック端子30と、量子化された出力信号を出す出力端子32と、から構成されている。

10

【0014】

本発明の一実施の形態によれば、入力端子26で受けた入力は、電流可変信号からなり、一方、出力端子32での出力は電圧可変信号からなる。装置20と40の一つの実施において、入力信号はXバンド領域(10GHz以上)で変化する。図3の装置20において、R T D 2 2 と24は、クロック端子28に対して同じ方向にバイアスされている。図4の装置40において、R T D 2 2 と24は、それぞれ、並列に接続され、互いに逆方向にバイアスされた対から成る。

20

【0015】

本発明によれば、出力端子32は、入力信号が第1の閾値よりも大きい時は+1の電圧信号を出力し、入力信号が第2の閾値よりも小さい時は-1の電圧信号を出力し、入力信号が第1と第2の閾値の間にある時はゼロの電圧信号を出力する。

【0016】

図3に示した実施の形態において、装置20は1個のR T D 2 2と1個のR T D 2 4とから成る。この実施の形態は、よりコンパクトな配置を提供するものであり、図4に示した実施の形態、すなわち、R T D 2 2と24がそれぞれ対で構成されているものよりも高速で動作する。しかし、図4に示した実施の形態は、より対称的な配置を提供し、図3に示した実施の形態に存在する可能性のある偶数次高調波を減少させることができる。

30

【0017】

図5,6,7は、本発明に基づいてアナログ信号を量子化するブリッジ50,70,80を示す回路図である。ブリッジ50,70,80は、第1の共鳴トンネルダイオード52と、第2の共鳴トンネルダイオード54と、第3の共鳴トンネルダイオード56と、第4の共鳴トンネルダイオード58と、から成る。ブリッジ50,70,80は、また、入力信号を受け取る入力端子60と、反転入力信号を受け取る反転入力端子62と、クロック信号を受け取るクロック端子64と、反転クロック信号を受け取る反転クロック端子66と、から成る。別の実施の形態では、反転入力信号を受け取る反転入力端子62に、基準信号を受け取る基準端子を用いることができる。

40

【0018】

図5に示した実施の形態において、R T D 5 2, 5 4, 5 6, 5 8は、それぞれ、クロック端子64に対し、同じ方向にバイアスされている。図6に示した実施の形態では、R T D 5 2, 5 4, 5 6, 5 8は、それぞれ、並列に接続され、互いに逆方向にバイアスされた一対のダイオードから構成されている。図7に示した装置80は、第5の共鳴トンネルダイオード82を含んでいる。この実施の形態では、R T D 5 2, 5 4, 5 6, 5 8, 8 2は、それぞれ、クロック端子64に対し、同じ方向にバイアスされている。しかし、別の形態として、R T D 5 2, 5 4, 5 6, 5 8, 8 2は、それぞれ、並列に接続され、互いに逆方向にバイアスされた一対のR T Dから構成されても良い。

50

## 【0019】

ブリッジ50,70では、RTD52,54,56,58は、入力電流がゼロの時、ブレピーク領域17で動作する(図2参照)。これにより、ゼロの出力信号が出力される。しかし、入力電流が特定のレベルに達すると、非対称性により-1又は+1の出力信号が出力される。

## 【0020】

クロック信号のレベルが増加する時に、出力信号が-1又は+1のいずれになるかの決定がなされる。この場合、ブリッジ50,70は、正電位にバイアスされ、RTD52,54,56,58の内の2つは、負バイアスの谷領域16で-1Vの出力信号を出力するか、あるいは、正バイアスの谷領域18で+1Vの出力信号を出力するように動作する。もし入力電流レベルによりRTD52が切換わると、RTD58も切換わる。しかし、もし入力電流レベルによりRTD54が切換わると、RTD56は2番目に切換わる。もしRTD52,58が切換わると、出力信号は+1Vになり、RTD54,56が切換わると、出力信号は-1Vになる。

10

## 【0021】

クロック信号のレベルが減少する時に、出力信号が-1又は+1のいずれになるかの決定がなされる。この場合、ブリッジ50,70は、負電位にバイアスされ、RTD52,54,56,58の内の2つは、クロック信号の増加に関係して説明したように、負バイアスの谷領域16、図2を参照、又は正バイアスの谷領域18のいずれかの状態に強いられる。前述のように、RTD52,58あるいはRTD54,56のいずれかが切換わる。しかし、この場合、もしRTD52,58が切換わると、出力信号は-1であり、もしRTD54,56が切換わると、出力信号は+1である。

20

## 【0022】

ブリッジ80では、第5のRTD82は非対称性を作り出す。すなわち、RTDの対である、52と58、又は54と56のいずれか一方が、負バイアスの谷領域16又は正バイアスの谷領域18の状態をとるように強いられる。この配置では、出力信号ゼロをもたらすような入力信号は実質的に有り得ない。そのため、ブリッジ80が第5のRTDを含むような実施の形態においては、出力信号は3値の代わりに2値になる。

## 【0023】

ブリッジ50と70の場合のように、ブリッジ80は、クロックが増加した時とクロックが減少した時の両方の出力信号の値を決定する。したがって、ブリッジ50,70,80は、各クロックサイクルに対し、2つの出力を行う。例えば、1秒当たり25ギガのサンプリングを行うには、12.5GHzのクロックで十分である。

30

## 【0024】

図5および7に示す実施形態では、シングルRTD52,54,56,58と、図7のRTD82とがブリッジを備えており、これらは図6に示される実施形態よりも小型の設計であり、より高速で作用する。しかしながら、図6の実施形態はより対称で、図5および7に示される実施形態に存在し得る偶数次高調波を減少させる。

## 【0025】

図8は、直結動作モードにおけるアナログ信号を量子化するための装置90を示す回路図である。装置90は、図5、6または7に示される実施形態の1つによって構成されたブリッジ100を有する。このように、ブリッジ100は、アナログ入力信号を受けるための入力端子60と、反転入力信号を受けるための反転入力端子62と、クロック信号を受けるためのクロック端子64と、反転クロック信号を受けるための反転クロック端子66とを有する。あるいは他の実施形態では、反転入力信号を受けるための反転入力端子62は、基準信号を受けるための基準端子であってもよい。

40

## 【0026】

図8に示す実施形態によると、入力は、装置入力端子102で受けた電圧可変信号を有する。反転入力信号は装置入力端子104で受信される。入力増幅器106は、入力端子60と反転入力端子62とにそれぞれ接続された出力を有し、入力信号および反転入力信

50

号は、入力増幅器 106 の入力端子 60 および反転入力端子 62 にそれぞれ印加される。同様に、クロック信号はクロック入力端子 108 で受けて、反転クロック信号はクロック入力端子 110 で受ける。クロック信号および反転クロック信号は、クロック増幅器 112 に付与され、クロック増幅器 112 は、クロック端子 64 に付与される第 1 の出力と、クロック端子 66 に付与される第 2 の出力とをそれぞれ有している。

【0027】

装置 90 からの出力信号は装置出力端子 114 で与えられ、反転装置出力は反転装置出力端子 116 で与えられる。一つの実施形態では、出力は、電流が可変する信号を有する。装置出力端子 114 は、ブリッジ 100 の入力端子 60 に結合されており、反転装置出力端子 116 は、ブリッジ 100 の反転入力端子 62 に結合されている。

10

【0028】

ブリッジ 100 が図 5 または図 6 に従って構成される場合には、出力信号は、-1、0、および +1 で表される 3 つのレベルを有する。本発明によると、入力増幅器 106 は、入力信号および反転入力信号を増幅し、クロック増幅器 112 は、クロック信号を増幅する。この増幅によって、第 1 の閾値よりも入力信号が大きい場合に、出力信号に +1 が形成され、第 2 の閾値よりも入力信号が小さい場合に、出力信号に -1 が形成され、第 1 の閾値と第 2 の閾値との間に入力信号がある場合に、出力信号に 0 が形成される。

【0029】

図 7 に従ってブリッジ 100 が構成された場合、出力信号は -1 および +1 によって表される 2 つのレベルのうちの 1 つを有する。本発明によると、入力増幅器 106 は、入力信号および反転入力信号を増幅させ、クロック増幅器 112 はクロック信号および反転クロック信号を増幅させる。この増幅によって、第 1 の閾値よりも入力信号が大きい場合に、出力信号に +1 が形成され、第 2 の閾値よりも入力信号が小さい場合に、出力信号に -1 が形成される。

20

【0030】

図 9 は、容量結合動作モードでアナログ信号を量子化するための装置 120 の回路図である。装置 120 は、図 5、図 6 または図 7 に示された実施形態のうちの 1 つに従って構成されたブリッジ 100 を有する。このように、ブリッジ 100 は、アナログ入力信号を受けるための入力端子 60 と、反転入力信号を受けるための反転入力端子 62 と、クロック信号を受けるためのクロック端子と、反転クロック信号を受けるための反転クロック端子 66 とを有する。あるいは、他の実施形態によると、反転入力信号を受けるための反転入力端子 62 は、基準信号を受けるための基準端子であってもよい。

30

【0031】

図 9 に示される実施形態によると、入力は、装置入力端子 102 で受けた電流可変信号を有する。反転入力信号は、装置入力端子 104 で受ける。入力信号および反転入力信号は、それぞれ、入力増幅器 106 の入力端子 60 および反転入力端子 62 に与えられ、入力増幅器 106 は、入力端子 60 に接続された出力と、反転入力端子 62 に接続された出力とを、それぞれ、有する。これと同様に、クロック信号はクロック入力端子 108 で受けて、反転クロック信号はクロック入力端子 110 で受ける。クロック信号と反転クロック信号とはそれぞれ、抵抗器 124 とキャパシタ 126 に印加され、次に、クロック端子 64 および反転クロック端子 66 に、それぞれ、接続される。

40

【0032】

出力信号は、装置出力端子 114 で装置 120 から与えられ、反転出力信号は、反転装置出力端子 116 で与えられる。出力は、電圧可変信号を含む。装置出力端子 114 は、入力端子 60 でブリッジ 100 に結合され、反転装置出力端子 116 は、反転入力端子 62 でブリッジ 100 に結合される。

【0033】

図 9 に示される容量結合動作モードにおいて、ブリッジ 100 が、図 5、図 6 または図 7 に示される実施形態に従って構成されるか否かに拘わらず、出力は -1 と +1 とで表される 2 つのレベルのうちの 1 つを有する。本発明によると、入力増幅器 106 は、入力信

50

号および反転入力信号を増幅させる。装置 120 に対して、入力信号が第 1 の閾値よりも大きい場合、装置出力 114 における出力信号は +1 であり、入力信号が第 2 の閾値よりも小さい場合、 -1 である。

#### 【0034】

図 10 は、本発明に係る連続 - 時間変調器 130 を示す回路図である。変調器 130 は、図 5、図 6 及び図 7 に示す実施形態の 1 つであるプリッジ 100 を備える。そして、プリッジ 100 は、アナログ入力信号を受け取るための入力端子 60 と、反転入力信号を受けるための反転入力端子 62 と、クロック信号を受け取るためのクロック端子 64 と、反転クロック信号を受け取るための反転クロック端子 66 とを備える。他の実施形態では、反転入力信号を受け取るための反転入力端子 62 は、リファレンス信号を受けるためのリファレンス端子であっても良い。

#### 【0035】

図 10 に示した変調器の場合、入力には電流の変化する信号が含まれ、その入力はシステム入力端子 132 に入力される。反転入力信号は、システム入力端子 133 によって受け取られる。入力信号と、反転された入力信号は、入力増幅器 134 に送られる。入力増幅器 134 は、接続配線 136 及び 138 の各々に出力を有する。配線 136 及び 138 は、各々、プリッジ増幅器 144 の端子 140 及び 142 に接続している。プリッジ増幅器 144 は、146 及び 148 に接続する配線に出力している。接続配線 146 及び 148 は、各々、入力端子 60 と反転入力端子 62 に接続している。また、入力端子 60 及び反転入力端子には、接続配線 150 及び 152 が接続している。これらの接続配線は、端子 60 及び 62 における信号をフィードバック増幅器 154 に送り、フィードバック増幅器 154 は、接続配線 156 及び 158 に出力している。接続配線 156 及び 158 は、各々、端子 140 及び 142 につながれており、これによってプリッジ信号をプリッジ増幅器 144 にフィードバックする。キャパシタ 160 は、接続配線 136 と 138 の間を容量性結合にしている。

#### 【0036】

クロック信号は、クロック入力端子 162 に入力され、反転されたクロック信号は、反転クロック入力端子 164 で入力される。クロック信号と反転クロック信号は、クロック増幅器 166 に送られる。クロック増幅器 166 は、接続配線 168 及び 170 に出力している。接続配線 168 及び 170 は、各々、クロック端子 64 及び反転クロック端子 66 に接続されている。

#### 【0037】

また、変調器 130 は、出力信号用の出力端子 172 と、反転出力信号用の反転出力端子 174 を備える。出力には、電圧の変化する信号が含まれる。出力端子 172 は、入力端子 60 においてプリッジ 100 に接続されている。反転出力端子 174 は、反転入力端子 62 においてプリッジ 100 に接続されている。

#### 【0038】

プリッジ 100 が、図 5 及び 6 の態様に従って構成されている場合、出力信号は、 -1 、 0 、 +1 で表される 3 つのレベルのいずれかを有する。本発明によれば、入力増幅器 134 は、入力信号と反転入力信号とを増幅し、プリッジ増幅器 144 は、端子 140 及び 142 において受けた信号の増幅を行い、フィードバック増幅器 154 は、接続配線 150 及び 152 上に受信された信号の増幅を行い、クロック増幅器 166 は、クロック信号と反転クロック信号を増幅する。変調器 130 については、端子 172 における出力信号は、入力信号が第 1 のしきい値よりも大きければ +1 であり、入力信号が第 2 のしきい値よりも小さければ -1 であり、入力信号が第 1 のしきい値と第 2 のしきい値の間にあれば 0 である。

#### 【0039】

プリッジ 100 が、図 7 の態様に従って構成されている場合、出力信号は、 -1 と +1 で表される 2 つのレベルの一方を有する。入力増幅器 134 は、そこに送られた信号を増幅し、プリッジ増幅器 144 は、受信した信号を増幅し、フィードバック増幅器 154 は

10

20

30

40

50

、それへの入力を増幅し、クロック増幅器 166 は、クロック信号を増幅する。出力端子 172 では、入力信号が第 1 のしきい値よりも大きければ +1 であり、入力信号が第 2 のしきい値よりも小さければ -1 である。

【0040】

クロック増幅器 166 による増幅度は、ブリッジ増幅器 144 による増幅度よりも、4 倍から 10 倍大きい。このことは、デジタル信号の出力を高めており、その結果アナログフィードバックが相対的に減少している。また、このことは、出力抵抗を下げ、スピードと感度の両方を増加させる。

【0041】

本発明を、種々の実施形態について説明したが、この分野の専門家であれば種々の変形が可能である。本発明は、こうした変形もクレームの技術的範囲に属するものとして包含することを意図したものである。 10

【図面の簡単な説明】

【図 1】 本発明の説明に従った負性抵抗素子として用いるための共鳴トンネルダイオード (RTD) の概略図である。

【図 2】 図 1 に示した負性抵抗素子の、電圧に対する電流のグラフである。

【図 3】 本発明の第一実施例にしたがって、アナログ信号を量子化する装置を示した回路図である。

【図 4】 本発明の第二実施例によるアナログ信号量子化装置を示した回路図である。

【図 5】 本発明のさらなる実施例にしたがって、アナログ信号を量子化するためのブリッジを示した回路図である。 20

【図 6】 本発明のさらなる実施例にしたがって、アナログ信号量子化のためのブリッジを示した回路図である。

【図 7】 本発明のさらなる実施例によるアナログ信号量子化のためのブリッジを示した回路図である。

【図 8】 直結動作モードにある図 5、6 及び 7 のブリッジを示した回路図である。

【図 9】 容量結合型動作モードにある図 5、6 及び 7 のブリッジを示した回路図である。 30

【図 10】 本発明の他の実施例にしたがって構成された連続時間変調器の回路図である。

【図1】

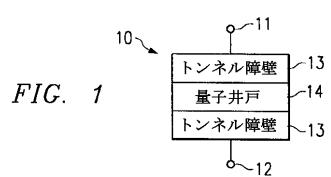


FIG. 1

【図3】

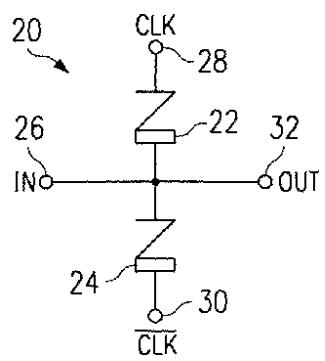


FIG. 3

【図2】

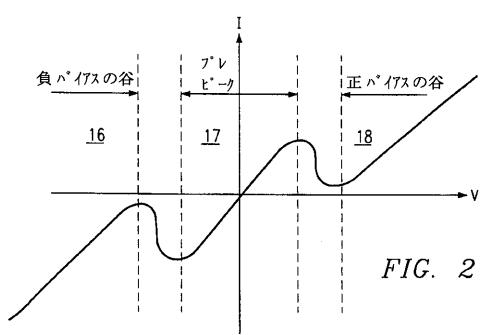


FIG. 2

【図4】

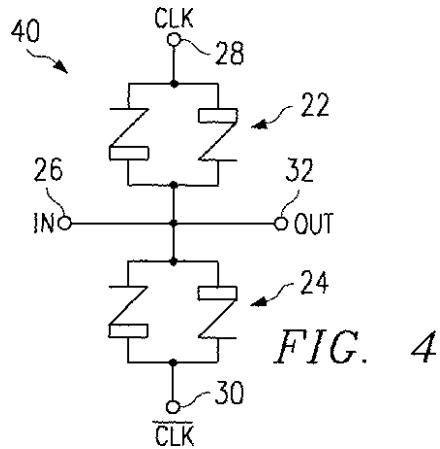


FIG. 4

【図5】

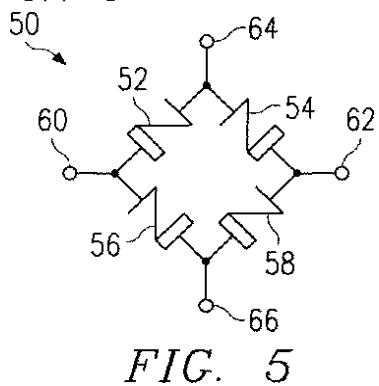


FIG. 5

【図6】

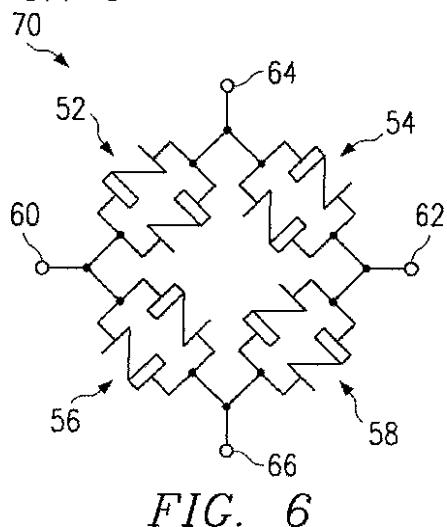


FIG. 6

【図7】

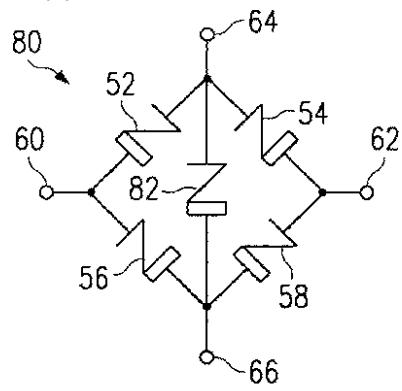


FIG. 7

【図8】

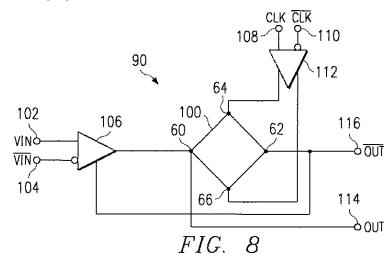


FIG. 8

【図9】

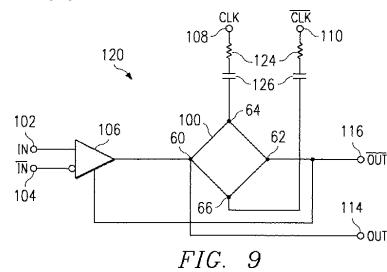


FIG. 9

【図10】

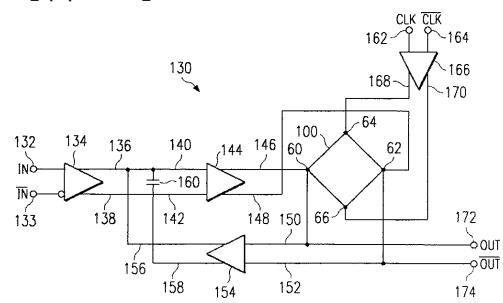


FIG. 10

---

フロントページの続き

- (56)参考文献 特開平10-308669 (JP, A)  
特開平09-046220 (JP, A)  
特開平07-030130 (JP, A)  
特開平04-099966 (JP, A)  
特開平08-307396 (JP, A)  
伏見和郎, 「エサキダイオードを用いたパルス回路」, 電気通信学会雑誌, 日本, 電気通信学会  
, 1964年 4月, 第47巻4号, 115-123頁  
T. H. Kuo et al., "A Novel A/D Converter Using Resonant Tunneling Diodes", IEEE J. of  
Solid-State Circuits, 米国, IEEE, 1991年 2月, Vol. 26, No. 2, pp. 145-149

(58)調査した分野(Int.Cl., DB名)

H03M 1/00-1/88