



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0052059  
(43) 공개일자 2014년05월02일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 29/49 (2006.01)  
(21) 출원번호 10-2014-7007670  
(22) 출원일자(국제) 2012년08월14일  
심사청구일자 없음  
(85) 번역문제출일자 2014년03월24일  
(86) 국제출원번호 PCT/US2012/050812  
(87) 국제공개번호 WO 2013/028412  
국제공개일자 2013년02월28일  
(30) 우선권주장  
13/217,177 2011년08월24일 미국(US)

(71) 출원인  
퀄컴 엠이엠에스 테크놀로지스, 인크.  
미국 92121-1714 캘리포니아 샌디에고 모어하우스  
드라이브 5775  
(72) 발명자  
홍, 존 현철  
미국 92121 캘리포니아 샌디에고 모어하우스 드라  
이브 5775  
이, 중 욱  
미국 92121 캘리포니아 샌디에고 모어하우스 드라  
이브 5775  
(74) 대리인  
특허법인 남앤드남

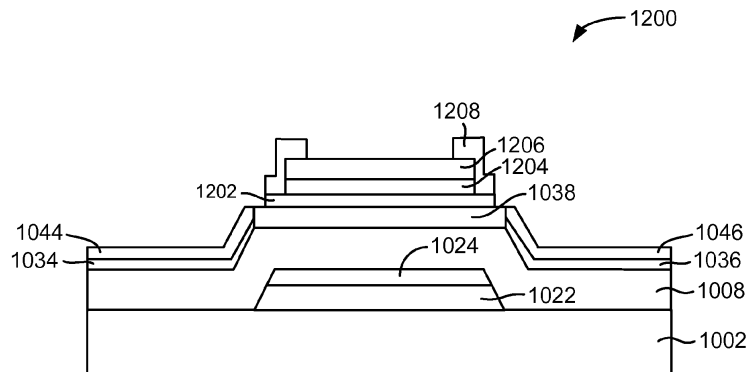
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 실리콘사이드 갭 박막 트랜지스터

(57) 요약

본 개시내용은 박막 트랜지스터 디바이스들을 제조하기 위한 시스템들, 방법들 및 장치를 제공한다. 일 양상에  
서, 기판 표면 상에 실리콘층을 포함하는 기판이 제공된다. 금속층이 실리콘층 상에 형성된다. 제1 유전층이  
금속층 및 기판 표면의 노출된 영역들 상에 형성된다. 금속층 및 실리콘 층이 처리되고, 금속층은 실리콘층과  
반응하여 실리콘사이드층, 및 실리콘사이드층과 유전층 사이의 갭을 형성한다. 비정질 실리콘층이 제1 유전층 상에  
형성된다. 비정질 실리콘층이 가열되고 냉각된다. 기판 표면에 오버레이하는 비정질 실리콘층은 갭에 오버레이  
하는 비정질 실리콘층보다 더 빠른 속도로 냉각된다.

대표도 - 도12



## 특허청구의 범위

### 청구항 1

방법으로서,

표면을 가지는 기판을 제공하는 단계 - 상기 기판은 상기 기판 표면의 영역 상에 제1 실리콘층을 포함하고, 상기 제1 실리콘층은 상기 기판 표면들의 영역들을 노출시킴 - ;

상기 제1 실리콘 층 상에 제1 금속층을 형성하는 단계;

상기 기판 표면의 상기 노출된 영역들 및 상기 제1 금속층 상에 제1 유전층을 형성하는 단계;

상기 제1 금속층 및 상기 제1 실리콘층을 처리하는 단계 - 상기 제1 금속층은 상기 제1 실리콘층과 반응하여 제1 실리사이드 층, 및 상기 제1 실리사이드층과 상기 제1 유전층 사이의 제1 갭을 형성함 - ;

상기 제1 유전층 상에 비정질 실리콘층을 형성하는 단계 - 상기 비정질 실리콘층은 상기 기판 표면의 상기 노출된 영역들에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역, 및 상기 제1 갭에 오버레이하는 제3 실리콘 영역을 포함하고, 상기 제3 실리콘 영역은 상기 제1 실리콘 영역 및 상기 제2 실리콘 영역 사이에 존재함 - ;

상기 비정질 실리콘 층을 가열하는 단계; 및

상기 비정질 실리콘 층을 냉각시키는 단계

를 포함하고, 상기 제1 실리콘 영역 및 상기 제2 실리콘 영역은 상기 제3 실리콘 영역보다 더 빠른 속도로 냉각되는, 방법.

### 청구항 2

제1항에 있어서,

상기 제1 금속층은 티타늄, 니켈, 몰리브덴, 탄탈륨, 텅스텐, 플래티늄 및 코발트 중 적어도 하나를 포함하는, 방법.

### 청구항 3

제1항 또는 제2항에 있어서,

상기 제3 실리콘 영역은 단일 실리콘 입자 또는 실리콘 입자들을 포함하고, 상기 제1 및 제2 실리콘 영역들은 상기 제3 실리콘 영역 내의 단일 실리콘 입자 또는 실리콘 입자들보다 더 작은 비정질 실리콘 또는 실리콘 입자들을 포함하는, 방법.

### 청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 비정질 실리콘층을 가열하기 전에, 상기 비정질 실리콘층 상에 제2 유전층을 형성하는 단계를 더 포함하는, 방법.

### 청구항 5

제1-3항 중 어느 한 항에 있어서,

상기 제1, 제2 및 제3 실리콘 영역들 상에 제2 유전층을 형성하는 단계;

상기 제2 유전층의 일부분들을 제거하여 상기 제1 실리콘 영역 및 상기 제2 실리콘 영역을 노출시키는 단계; 및

제1 금속 접촉부가 상기 제1 실리콘 영역에 접촉하고 제2 금속 접촉부가 상기 제2 실리콘 영역에 접촉하는, 금속 접촉부들을 형성하는 단계를 더 포함하는, 방법.

### 청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 제1 실리콘사이드층 및 상기 제1 유전층 사이의 상기 제1 갭은 진공 갭인, 방법.

#### 청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제1 유전층을 형성하기 전에, 상기 제1 금속층의 일부 및 상기 제1 실리콘층의 일부분을 제거하는 단계를 더 포함하고, 상기 제1 금속층 및 상기 제1 실리콘층을 처리한 이후, 상기 제1 유전층은 상기 갭 내에 상기 기관의 표면에 접촉하는 지지대를 포함하는, 방법.

#### 청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 비정질 실리콘층을 가열하는 단계는 엑시머 레이저 어닐링을 통해 수행되는, 방법.

#### 청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 제1 갭의 두께는 약 10 내지 50 나노미터인, 방법.

#### 청구항 10

제1항 또는 제2항에 있어서,

상기 제3 실리콘 영역 상에 제2 유전층을 형성하는 단계;

상기 제2 유전층 상에 제2 금속층을 형성하는 단계;

상기 제2 금속층 상에 제2 실리콘층을 형성하는 단계;

상기 제2 유전층의 일부분 및 상기 제2 실리콘층 상에 유전체 지지대들을 형성하는 단계; 및

상기 제2 금속층 및 상기 제2 실리콘층을 처리하는 단계를 더 포함하고, 상기 제2 금속층은 상기 제2 실리콘층과 반응하여 제2 실리콘사이드 층, 및 상기 제2 실리콘사이드층과 상기 제2 유전층 사이의 제2 갭을 형성하는, 방법.

#### 청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 제1 실리콘 영역 및 상기 제2 실리콘 영역에 n-타입 도펀트를 주입하는 단계를 더 포함하는, 방법.

#### 청구항 12

제1 내지 제11항 중 어느 한 항의 방법에 따라 제조되는 디바이스.

#### 청구항 13

방법으로서,

표면을 가지는 기관을 제공하는 단계 — 상기 기관은 상기 기관의 표면의 영역 상의 실리콘층을 포함하고, 상기 실리콘층은 상기 기관 표면의 영역들을 노출시킴 — ;

상기 실리콘 층 상에 금속층을 형성하는 단계;

상기 금속층 및 상기 실리콘층의 일부분을 제거하여 상기 기관 표면의 일부분을 노출시키는 단계;

상기 금속층, 상기 기관 표면의 노출된 영역들 및 상기 기관 표면의 노출된 부분들 상에 유전층을 형성하는 단계;

상기 금속층 및 상기 실리콘층을 처리하는 단계 — 상기 금속층은 상기 실리콘층과 반응하여 실리콘사이드층, 및

상기 실리콘사이드층과 상기 유전층 사이의 갭을 형성함 - ;

상기 유전층 상에 비정질 실리콘층을 형성하는 단계 - 상기 비정질 실리콘층은 상기 기판 표면의 노출된 영역들에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역, 및 상기 갭에 오버레이하는 제3 실리콘 영역을 포함하고, 상기 제3 실리콘 영역은 상기 제1 실리콘 영역 및 상기 제2 실리콘 영역 사이에 존재함 - ;

상기 비정질 실리콘층을 가열하는 단계; 및

상기 비정질 실리콘층을 냉각시키는 단계

를 포함하고, 상기 제1 실리콘 영역 및 상기 제2 실리콘 영역은 상기 제3 실리콘 영역보다 더 빠른 속도로 냉각되는, 방법.

#### 청구항 14

제13항에 있어서,

상기 금속층은 티타늄, 니켈, 몰리브덴, 탄탈륨, 텅스텐, 플래티늄 및 코발트 중 적어도 하나를 포함하는, 방법.

#### 청구항 15

제13항 또는 제14항에 있어서,

상기 제3 실리콘 영역은 단일 실리콘 입자 또는 실리콘 입자들을 포함하고, 상기 제1 및 제2 실리콘 영역들은 상기 제3 실리콘 영역 내의 단일 실리콘 입자 또는 실리콘 입자들보다 더 작은 비정질 실리콘 또는 실리콘 입자들을 포함하는, 방법.

#### 청구항 16

제13항 내지 제15항 중 어느 한 항에 있어서,

상기 제1 실리콘 영역 및 상기 제2 실리콘 영역에 n-타입 도펀트를 주입하는 단계를 더 포함하는, 방법.

#### 청구항 17

장치로서,

표면을 가지는 기판;

상기 기판 표면과 연관된 제1 실리콘사이드층;

제1 유전층 - 상기 제1 유전층의 적어도 일부분은 상기 기판 표면 상에 있음 - ;

상기 제1 실리콘사이드층 및 상기 제1 유전층 사이의 제1 진공 갭; 및

상기 제1 유전층 상의 실리콘 층 - 상기 실리콘층은 제1 실리콘 영역, 제2 실리콘 영역 및 제3 실리콘 영역을 포함하고, 상기 제3 실리콘 영역은 상기 제1 진공 갭에 오버레이하고, 상기 제3 실리콘 영역은 상기 제1 실리콘 영역 및 상기 제2 실리콘 영역 사이에 존재하고, 상기 제3 실리콘 영역은 단일 실리콘 입자 또는 실리콘 입자들을 포함하고, 상기 제1 및 제2 실리콘 영역들은 상기 제3 실리콘 영역 내의 단일 실리콘 입자 또는 실리콘 입자들보다 더 작은 비정질 실리콘 또는 실리콘 입자들을 포함함 - 을 포함하는, 장치.

#### 청구항 18

제17항에 있어서,

상기 제1 실리콘사이드층은 티타늄 실리콘사이드, 니켈 실리콘사이드, 몰리브덴 실리콘사이드, 탄탈륨 실리콘사이드, 텅스텐 실리콘사이드, 플래티늄 실리콘사이드 및 코발트 실리콘사이드 중 적어도 하나인, 장치.

#### 청구항 19

제17항 또는 제18항에 있어서,

상기 제1 진공 갭은 약 10 내지 50nm 두께인, 장치.

#### 청구항 20

제17항 내지 제19항 중 어느 한 항에 있어서,  
상기 제1 진공 챔의 두께는 대기압의 변경으로 인해 증가하거나 감소하도록 구성되는, 장치.

#### 청구항 21

제17항 내지 제20항 중 어느 한 항에 있어서,  
상기 장치는 절대 압력 판독을 생성하도록 구성되는, 장치.

#### 청구항 22

제21항에 있어서,  
상기 절대 압력 판독은 상기 제1 실리콘층에 고정 전위(potential)을 인가하고, 상기 제1 및 제2 실리콘 영역들 사이의 전류 흐름을 결정함으로써 생성되는, 장치.

#### 청구항 23

제17항 내지 제22항 중 어느 한 항에 있어서,  
상기 제1 실리콘 영역 및 상기 제2 실리콘 영역에는 n-타입 도펀트가 주입되는, 장치.

#### 청구항 24

제17항 내지 제23항 중 어느 한 항에 있어서,  
상기 제3 실리콘 영역 상의 제2 유전층;  
제2 실리콘층;  
상기 제2 유전층 및 상기 제2 실리콘층 사이의 제2 진공 챔; 및  
상기 제2 유전층의 일부분 상의 유전체 지지대들  
을 더 포함하고, 상기 유전체 지지대들은 상기 제2 유전층으로부터 상기 제2 실리콘층을 분리시키는, 장치.

#### 청구항 25

제17항 내지 제24항 중 어느 한 항에 있어서,  
디스플레이;  
상기 디스플레이와 통신하도록 구성되는 프로세서 - 상기 프로세서는 이미지 데이터를 프로세싱하도록 구성됨 - ; 및  
상기 프로세서와 통신하도록 구성되는 메모리 디바이스  
를 더 포함하는, 장치.

#### 청구항 26

제25항에 있어서,  
상기 디스플레이에 적어도 하나의 신호를 송신하도록 구성되는 드라이버 회로; 및  
상기 드라이버 회로에 상기 이미지 데이터의 적어도 일부분을 송신하도록 구성되는 제어기를 더 포함하는, 장치.

#### 청구항 27

제25항에 있어서,  
상기 프로세서에 상기 이미지 데이터를 송신하도록 구성되는 이미지 소스 모듈을 더 포함하는, 장치.

## 청구항 28

제27항에 있어서,

상기 이미지 소스 모듈은 수신기, 트랜시버, 및 송신기 중 적어도 하나를 포함하는, 장치.

## 청구항 29

제25항에 있어서,

입력 데이터를 수신하고, 상기 프로세서에 상기 입력 데이터를 전달하도록 구성되는 입력 디바이스를 더 포함하는, 장치.

## 명세서

### 기술 분야

[0001] 우선권 청구

[0002] 이 출원은, 그 전체 내용이 인용에 의해 그리고 모든 목적으로 본원에 포함되는, 2011년 8월 24일에 출원된 "SILICIDE GAP THIN FILM TRANSISTOR"라는 명칭의 미국 특허 출원 제13/217,177호(출원인 참조 번호 제 QUALP055/100085호)를 우선권으로 주장한다.

[0003] 이 개시내용은 일반적으로 박막 트랜지스터 디바이스들에 관한 것이며, 더 구체적으로는 박막 트랜지스터 디바이스들에 대한 제조 방법들에 관한 것이다.

### 배경 기술

[0004] 전자기계 시스템들(EMS)은 전기 및 기계 엘리먼트들, 액추에이터들, 트랜스듀서들, 센서들, 광학 컴포넌트들(미러들을 포함) 및 전자 기기들을 가지는 디바이스들을 포함한다. 전자기계 시스템들은, 마이크로스케일 및 나노스케일을 포함하지만 이에 제한되지 않는 다양한 스케일들로 제조될 수 있다. 예를 들어, 마이크로전자기계 시스템(MEMS) 디바이스들은 1마이크론 내지 수백마이크론 이상을 범위로 하는 사이즈들을 가지는 구조들을 포함할 수 있다. 나노전자기계 시스템(NEMS) 디바이스들은, 예를 들어, 수백 나노미터들보다 더 작은 사이즈들을 포함하는, 1 마이크로보다 더 작은 사이즈들을 가지는 구조들을 포함할 수 있다. 전자기계 엘리먼트들은 증착, 에칭, 리소그래피, 및/또는 기판들 및/또는 증착된 물질층들의 일부들을 에칭하거나, 또는 층들을 추가하여 전기 및 전자기계 디바이스들을 형성하는 다른 마이크로기계가공 프로세스들을 사용하여 생성될 수 있다.

[0005] EMS 디바이스의 한가지 타입은 간섭측정 변조기(IMOD)라고 명명된다. 본원에서 사용된 바와 같이, 용어 간섭측정 변조기 또는 간섭측정 광 변조기는 광학적 간섭의 원리들을 사용하여 광을 선택적으로 흡수 및/또는 반사하는 디바이스를 지칭한다. 일부 구현예들에서, 간섭측정 변조기는 한 쌍의 도전판들을 포함할 수 있는데, 도전판들 중 하나 또는 둘 모두는 완전히 또는 부분적으로 투명하고 그리고/또는 반사성일 수 있으며, 적절한 전기 신호의 인가 시에 상대적 모션이 가능할 수 있다. 구현예에서, 하나의 판은 기판 상에 증착된 고정층을 포함할 수 있고, 다른 판은 공기 겹에 의해 고정층으로부터 분리된 반사성 막(membrane)을 포함할 수 있다. 하나의 판의 또다른 판에 대한 포지션은 간섭측정 변조기 상에 입사하는 광의 광학적 간섭을 변경시킬 수 있다. 간섭측정 변조기 디바이스들은 광범위한 애플리케이션들을 가지며, 기존의 물건들을 개선하고, 새로운 제품들, 특히, 디스플레이 능력들을 가지는 물건들을 생성할 시에 사용될 것으로 예상된다.

[0006] 하드웨어 및 데이터 프로세싱 장치는 전자기계 시스템들과 연관될 수 있다. 이러한 하드웨어 및 데이터 프로세싱 장치는 박막 트랜지스터(TFT) 디바이스를 포함할 수 있다. TFT 디바이스는 반도체 물질 내에 소스 영역, 드레인 영역 및 채널 영역을 포함한다.

### 발명의 내용

[0007] 개시내용의 시스템들, 방법들 및 디바이스들 각각은 몇몇 혁신적인 양상들을 가지며, 그 중 어떠한 단일의 양상도 본원에 개시된 바람직한 속성들을 단독으로 담당하지 않는다.

[0008] 이 개시내용에 설명된 발명 대상의 한가지 혁신적 양상은 박막 트랜지스터(TFT) 디바이스를 제조하는 방법에서 구현될 수 있다. 표면을 가지는 기판은 기판 표면의 영역 상의 제1 실리콘층을 포함하며, 제1 실리콘층은 기판

의 영역들을 노출시킨다. 제1 금속층은 제1 실리콘층 상에 형성될 수 있다. 제1 유전층은 제1 금속층 및 기판 표면 상의 노출된 영역들 상에 형성될 수 있다. 제1 금속층 및 제1 실리콘층이 처리되어, 제1 금속층을 제1 실리콘층과 반응시켜서 제1 실리콘사이드층, 및 제1 실리콘사이드층과 제1 유전층 사이에 제1 갭을 형성할 수 있다. 비정질 실리콘층은 제1 유전층 상에 형성될 수 있고, 비정질 실리콘층은 기판 표면의 노출된 영역들에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역, 및 제1 갭에 오버레이하는 제3 실리콘 영역을 포함하고, 제3 실리콘 영역은 제1 실리콘 영역 및 제2 실리콘 영역 사이에 존재한다. 비정질 실리콘층은 가열 및 냉각될 수 있다. 제1 실리콘 영역 및 제2 실리콘 영역은 제3 실리콘 영역보다 더 빠른 속도로 냉각될 수 있다.

[0009] 일부 구현예들에서, 제1 금속층은 티타늄, 니켈, 몰리브덴, 탄탈륨, 텅스텐, 플래티늄, 또는 코발트를 포함한다. 일부 구현예들에서, 제3 실리콘 영역은 단일 실리콘 입자 또는 실리콘 입자들을 포함할 수 있고, 제1 및 제2 실리콘 영역들은 제3 실리콘 영역 내의 단일 실리콘 입자 또는 실리콘 입자들보다 더 작은 비정질 실리콘 또는 실리콘 입자들을 포함할 수 있다. 일부 구현예들에서, 제1 실리콘사이드층 및 제1 유전층 사이의 제1 갭은 진공 갭일 수 있다.

[0010] 이 개시내용에 기술된 발명 대상의 또다른 혁신적인 양상은 또한 박막 트랜지스터(TFT) 디바이스의 제조 방법에서 구현될 수 있다. 표면을 가지는 기판은 기판의 표면의 영역 상의 실리콘층을 포함할 수 있고, 실리콘 층은 기판 표면의 영역들을 노출시킨다. 금속층이 실리콘층 상에 형성될 수 있다. 금속 층 및 실리콘층의 일부분이 제거되어 기판 표면의 일부분을 노출시킬 수 있다. 유전층은 금속층, 기판 표면의 노출된 영역들, 및 기판 표면의 노출된 부분 상에 형성될 수 있다. 금속층 및 실리콘층이 처리되어, 금속층을 실리콘층과 반응시켜 실리콘사이드 층, 및 실리콘사이드층과 유전층 사이의 갭을 형성할 수 있다. 비정질 실리콘층은 유전층 상에 형성될 수 있고, 비정질 실리콘층은 기판 표면의 노출된 영역들에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역, 및 갭에 오버레이하는 제3 실리콘 영역을 포함하고, 제3 실리콘 영역은 제1 실리콘 영역 및 제2 실리콘 영역 사이에 존재한다. 비정질 실리콘층은 가열 및 냉각될 수 있다. 제1 실리콘 영역 및 제2 실리콘 영역은 제3 실리콘 영역보다 더 빠른 속도로 냉각될 수 있다.

[0011] 일부 구현예들에서, 금속층은 티타늄, 니켈, 몰리브덴, 탄탈륨, 텅스텐, 플래티늄, 또는 코발트를 포함한다. 일부 구현예들에서, 제3 실리콘 영역은 단일 실리콘 입자 또는 실리콘 입자들을 포함할 수 있고, 제1 및 제2 실리콘 영역들은 제3 실리콘 영역 내의 단일 실리콘 입자 또는 실리콘 입자들보다 더 작은 비정질 실리콘 또는 실리콘 입자들을 포함할 수 있다.

[0012] 이 개시내용에 설명된 발명 대상의 또다른 혁신적 양상은 또한 장치에서 구현될 수 있다. 장치는 기판 표면과 연관된 제1 실리콘사이드 층을 가지는 표면을 가지는 기판을 포함할 수 있다. 제1 유전층의 적어도 일부분이 기판 표면 상에 존재할 수 있다. 제1 진공 갭은 제1 실리콘사이드층 및 제1 유전층 사이에 존재할 수 있다. 실리콘층은 제1 유전층 상에 있을 수 있고, 실리콘층은 제1 실리콘 영역, 제2 실리콘 영역, 및 제3 실리콘 영역을 포함한다. 제3 실리콘 영역은 제1 진공 갭에 오버레이할 수 있고, 제1 실리콘 영역 및 제2 실리콘 영역 사이에 존재할 수 있다. 제3 실리콘 영역은 단일 실리콘 입자 또는 실리콘 입자들을 포함할 수 있고, 제1 및 제2 실리콘 영역들은 제3 실리콘 영역 내의 단일 실리콘 입자 또는 실리콘 입자들보다 더 작은 비정질 실리콘 또는 실리콘 입자들을 포함할 수 있다.

[0013] 일부 구현예들에서, 제1 실리콘사이드층은 티타늄 실리콘사이드, 니켈 실리콘사이드, 몰리브덴 실리콘사이드, 탄탈륨 실리콘사이드, 텅스텐 실리콘사이드, 플래티늄 실리콘사이드, 또는 코발트 실리콘사이드일 수 있다. 일부 구현예들에서, 제1 진공 갭의 두께는 대기압의 변경으로 인해 증가하거나 감소하도록 구성될 수 있다. 일부 구현예들에서, 장치는 절대 압력 판독을 생성하도록 구성될 수 있다. 일부 구현예들에서, 절대 압력 판독은 고정 전위를 제1 실리콘사이드층에 인가하고, 제1 및 제2 실리콘 영역들 사이의 전류 흐름을 결정함으로써 생성될 수 있다.

[0014] 이 명세서에 설명된 발명 대상의 하나 이상의 구현예들의 상세한 특징들은 첨부 도면들 및 하기 기재에 설명된다. 이 개시내용에 제공된 예들이 주로 전자기계 시스템(EMS) 및 마이크로전자기계 시스템들(MEMS) 기반 디스플레이들의 견지에서 설명되지만, 본원에 제공된 개념들은 액정 디스플레이들, 유기 발광 다이오드("OLED") 디스플레이들, 전계 방출 디스플레이들과 같은 다른 타입들의 디스플레이들에 대해 적용할 수 있다. 다른 특징들, 양상들 및 장점들은 설명, 도면들 및 청구항들로부터 명백해질 것이다. 후속하는 도면들의 상대적 디멘전들이 축척에 맞게 그려지지 않을 수 있다는 점에 유의한다.

## 도면의 간단한 설명

[0015] 도 1은 간섭측정 변조기(IMOD) 디스플레이 디바이스의 일련의 픽셀들 내의 2개의 인접한 픽셀들을 도시하는 등

각(isometric) 뷰의 예를 도시한다.

도 2는 3x3 간섭측정 변조기 디스플레이를 포함하는 전자 디바이스를 예시하는 시스템 블록도의 예를 도시한다.

도 3은 도 1의 간섭측정 변조기에 대한 이동가능한 반사층 포지션 대 인가된 전압을 예시하는 다이어그램의 예를 도시한다.

도 4는 다양한 공통 및 세그먼트 전압들이 인가될 때 간섭측정 변조기의 다양한 상태들을 예시하는 표의 예를 도시한다.

도 5a는 도 2의 3x3 간섭측정 변조기 디스플레이 내의 디스플레이 데이터의 프레임을 예시하는 다이어그램의 예를 도시한다.

도 5b는 도 5a에 예시된 디스플레이 데이터의 프레임을 기록하기 위해 사용될 수 있는 공통 및 세그먼트 신호들에 대한 타이밍도의 예를 도시한다.

도 6a는 도 1의 간섭측정 변조기 디스플레이의 부분적 횡단면의 예를 도시한다.

도 6b-6e는 간섭측정 변조기들의 다양한 구현예들의 횡단면도들의 예를 도시한다.

도 7은 간섭측정 변조기에 대한 제조 프로세스를 예시하는 흐름도의 예를 도시한다.

도 8a-8e는 간섭측정 변조기를 만드는 방법에서의 다양한 스테이지들의 횡단면의 개략적 예시들의 예를 도시한다.

도 9a 및 9b는 박막 트랜지스터 디바이스에 대한 제조 프로세스를 예시하는 흐름도의 예를 도시한다.

도 10a-10e는 박막 트랜지스터 디바이스를 제조하는 방법에서의 다양한 스테이지들의 개략적 예시들의 예를 도시한다.

도 11a 및 11b는 박막 트랜지스터 디바이스에 대한 제조 프로세스를 예시하는 흐름도의 예를 도시한다.

도 12는 부분적으로 제조된 박막 트랜지스터 디바이스의 횡단면의 개략적 예시의 예를 도시한다.

도 13은 박막 트랜지스터 디바이스의 제조 프로세스를 예시하는 흐름도의 예시를 도시한다.

도 14는 부분적으로 제조된 박막 트랜지스터 디바이스의 횡단면의 개략적 예시의 예를 도시한다.

도 15는 박막 트랜지스터 디바이스의 제조 프로세스를 예시하는 흐름도의 예를 도시한다.

도 16a 및 16b는 복수의 간섭측정 변조기들을 포함하는 디스플레이 디바이스를 예시하는 시스템 블록도들의 예를 도시한다.

다양한 도면들 내의 동일한 참조 번호들 및 표기들은 동일한 엘리먼트들을 표시한다.

### 발명을 실시하기 위한 구체적인 내용

[0016] 후속하는 설명은 이 개시내용의 혁신적 양상들을 기술할 목적의 특정 구현예들에 관한 것이다. 그러나 당업자는 본원의 교시들이 다수의 상이한 방식들에 적용될 수 있음을 쉽게 인지할 것이다. 설명된 구현예들은 움직이는(예를 들어, 비디오) 또는 고정적인(예를 들어, 스틸 이미지), 그리고 텍스트, 그래프 또는 도식적인 이미지를 디스플레이하도록 구성될 수 있는 임의의 디바이스 또는 시스템에서 구현될 수 있다. 더 구체적으로, 설명된 구현예들이 모바일 전화들, 멀티미디어 인터넷 인에이블 셀룰러 전화들, 모바일 텔레비전 수신기들, 무선 디바이스들, 스마트폰들, Bluetooth® 디바이스들, 개인 데이터 보조 단말(PDA)들, 무선 전자 메일 수신기들, 핸드헬드 또는 휴대용 컴퓨터들, 넷북들, 노트북들, 스마트북들, 태블릿들, 프린터들, 복사기들, 스캐너들, 팩시밀리 디바이스들, GPS 수신기들/내비게이터들, 카메라들, MP3 플레이어들, 캠코더들, 게임 콘솔들, 손목 시계들, 시계들, 계산기들, 텔레비전 모니터들, 평판 디스플레이들, 전자 판독 디바이스들(즉, e-리더기들), 컴퓨터 모니터들, 자동차 디스플레이들(주행기록계 및 속도계 디스플레이들을 포함함), 조종석 제어들 및/또는 디스플레이들, 카메라 뷰 디스플레이들(예를 들어, 차량 내의 후방 카메라의 디스플레이), 전자 사진들, 전자 게시판들 또는 간판(sign)들, 프로젝터들, 아키텍처 구조들, 마이크로파들, 냉장고들, 스테레오 시스템들, 카세트 레코더들 또는 플레이어들, DVD 플레이어들, CD 플레이어들, VCR들, 라디오들, 휴대용 메모리 칩들, 세척기들, 건조기들, 세척기/건조기들, 주차 계측기들, 패키징(예를 들어, 전자 기계 시스템들(EMS), 마이크로전자기계 시스템들(MEMS) 및 비-MEMS 애플리케이션들에서의), 심미적 구조들(보석 위의 이미지들의 디스플레이) 및 다양한



EMS 디바이스들과 같은, 그러나 이에 제한되지 않는, 다양한 전자 디바이스들 내에 포함되거나 이와 연관될 수 있다는 점이 참작된다. 본원의 교시들은 또한 전자 스위칭 디바이스들, 라디오 주파수 필터들, 센서들, 가속계들, 자이로스코프들, 모션 감지 디바이스들, 자력계들, 가전제품들에 대한 관성 컴포넌트들, 가전제품들의 부품들, 버랙터들, 액정 디바이스들, 전기영동 디바이스들, 구동 방식들, 제조 프로세스들 및 전자 시험 장비와 같은, 그러나 이에 제한되지 않는, 비-디스플레이 애플리케이션들에서 사용될 수 있다. 따라서, 교시들은 도면들에 단독으로 도시된 구현예들에 제한되는 것이 아니라 대신, 당업자에게 쉽게 명백할 바와 같이, 넓은 응용가능성을 가지도록 의도된다.

[0017] 본원에 설명된 일부 실시예들은 박막 트랜지스터(TFT) 디바이스들 및 그 제조 방법들에 관한 것이다. 일부 구현예들에서, 실리사이드를 형성하는 금속의 층이 기판 상의 실리콘층 위에 증착된다. 예를 들어, 실리사이드층을 형성하는 금속들은 티타늄(Ti), 니켈(Ni), 몰리브덴(Mo), 탄탈륨(Ta), 텅스텐(W), 플래티늄(Pt) 및 코발트(Co)를 포함한다. 유전층은 금속층 및 기판 상에 증착되고, 따라서, 금속층 및 실리콘층은 기판과 유전층 사이에 캡슐화된다. 금속층 및 실리콘층이 처리될 때, 금속층은 실리콘층과 반응하여 실리사이드층을 형성한다. 처리 동안, 실리사이드층의 형성에 의해 소모되는 금속층의 일부분은 실리사이드층과 유전층 사이에 진공 갭을 형성한다. 진공 갭은 TFT 디바이스의 게이트 절연체의 일부를 형성할 수 있다. 또한, 진공 갭은 TFT 디바이스의 일부인 추가 구조들의 제조 시에 유용할 수 있다.

[0018] 예를 들어, TFT 디바이스를 제조하기 위해 본원에 설명된 일부 구현예들에서, 기판이 제공될 수 있다. 실리콘층은 기판 표면의 영역에 오버레이하여, 기판 표면의 하나 이상의 다른 영역들을 노출시킬 수 있다. 금속층은 실리콘층 상에 형성될 수 있다. 제1 유전층은 금속층 및 기판 표면의 노출된 영역들 상에 형성될 수 있다. 금속층 및 실리콘층이 처리될 수 있고, 따라서, 금속층은 실리콘층과 반응하여 실리사이드층, 및 실리사이드층과 제1 유전층 사이의 갭을 형성한다. 비정질 실리콘(a-Si)층이 이후 제1 유전층 상에 형성될 수 있다. 비정질 실리콘층은 기판의 노출된 영역들에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역, 및 갭에 오버레이하는 제3 실리콘 영역을 포함할 수 있다. 제3 실리콘 영역은 제1 실리콘 영역 및 제2 실리콘 영역 사이에 있다. 비정질 실리콘층은 이후 가열 및 냉각될 수 있다. 일부 구현예들에서, 제1 실리콘 영역 및/또는 제2 실리콘 영역은 제3 실리콘 영역보다 더 빠른 속도로 냉각될 수 있다.

[0019] 일부 구현예들에서, 제1 실리콘 및 제2 실리콘 영역들은 TFT 디바이스의 소스 및 드레인 영역들을 형성할 수 있고, 제3 실리콘 영역은 TFT 디바이스의 채널 영역을 형성할 수 있고, 실리사이드층은 TFT 디바이스의 게이트를 형성할 수 있고, 갭 및 제1 유전층은 TFT 디바이스의 게이트 절연체를 형성할 수 있다. TFT 디바이스의 제조를 완료하기 위한 추가적인 동작들이 수행될 수 있다.

[0020] 이 개시내용에 설명된 발명 대상의 특정 구현예들은 후속하는 잠재적 장점들 중 하나 이상을 달성하기 위해 구현될 수 있다. 구현예들은 실리콘을 에어 또는 진공 게이트 절연체와 함께 포함하는 TFT 디바이스를 제조하기 위해 사용될 수 있는데, 이는 TFT 디바이스의 성능을 개선할 수 있다. 이러한 TFT 디바이스들은 개선된 전계-효과 이동도를 가져서, 디스플레이 디바이스 기술들에 대해 유용해질 수 있다. 또한, 이러한 TFT 디바이스들 내의 에어 또는 진공 게이트 절연체들은 디바이스 변형들을 야기할 수 있는 오염물 또는 잔여물들이 없을 수 있다. 방법들의 구현예들이 또한 톱(top) 게이트 TFT 디바이스들을 제조하기 위해 사용될 수 있다. TFT 디바이스 내의 톱 게이트는 TFT 디바이스의 게이트 누설 및 게이트 항복(breakdown) 특징들을 개선할 수 있다.

[0021] 또한, 구현예들은 절대 압력 센서로서 사용될 수 있다. 압력 감지 게이트 절연체를 이용하면, 절대 압력은 TFT 디바이스를 통해 흐르는 전류에 관련될 수 있다. 이러한 방식으로 절대 압력을 결정하는 것은 복잡한 회로 없이도 이루어질 수 있다.

[0022] 설명된 구현예들이 적용될 수 있는 적절한 EMS 또는 MEMS 디바이스의 예는 반사성 디스플레이 디바이스이다. 반사성 디스플레이 디바이스들은 광학 간섭의 원리들을 사용하여 그 위에 입사되는 광을 선택적으로 흡수하고 그리고/또는 반사하기 위해 간섭계측 변조기(IMOD)들을 포함할 수 있다. IMOD들은 흡수기, 흡수기에 대해 이동 가능한 반사기, 및 흡수기와 반사기 사이에 정의되는 광학 공진 공동을 포함할 수 있다. 반사기는 둘 이상의 상이한 포지션들로 이동될 수 있는데, 이는 광학 공진 공동의 사이즈를 변경시키고 이에 의해 간섭계측 변조기의 반사성에 영향을 줄 수 있다. IMOD들의 반사 스펙트럼들은 상이한 컬러들을 생성하기 위해 가시 파장들에 걸쳐 시프트될 수 있는 다소 넓은 스펙트럼 대역들을 생성할 수 있다. 스펙트럼 대역의 포지션은 광학 공진 공동의 두께를 변경시킴으로써, 즉, 반사기의 포지션을 변경시킴으로써 조정될 수 있다.

[0023] 도 1은 간섭계측 변조기(IMOD) 디스플레이 디바이스의 일련의 픽셀들 내의 2개의 인접한 픽셀들을 도시하는 등각도의 예를 도시한다. IMOD 디스플레이 디바이스는 하나 이상의 간섭계측 MEMS 디스플레이 엘리먼트들을 포함

한다. 이들 디바이스들에서, MEMS 디스플레이 엘리먼트들의 픽셀들은 밝은 또는 어두운 상태일 수 있다. 밝은 ("릴랙스(relax)된", "개방된" 또는 "온") 상태에서, 디스플레이 엘리먼트는 입사 가시광의 많은 부분을 예들 들어, 사용자에게 반사한다. 반면, 어두운("활성화된", "폐쇄된" 또는 "오프") 상태에서, 디스플레이 엘리먼트는 입사 가시광을 거의 반사하지 않는다. 일부 실시예들에서, 온 및 오프 상태들의 광 반사율 특징들은 반전될 수 있다. MEMS 픽셀들은 흑백 뿐만 아니라 컬러 디스플레이를 허용하는 특정 파장들에서 우세하게 반사하도록 구성될 수 있다.

[0024] IMOD 디스플레이 디바이스는 IMOD들의 행/열 어레이를 포함할 수 있다. 각각의 IMOD는 에어 갭(또한, 광학 갭 또는 공동으로서 지칭됨)을 형성하기 위해 서로로부터 가변적이고 제어가능한 거리에 위치한 한 쌍의 반사층들, 즉, 이동가능한 반사층 및 고정된 부분적 반사층을 포함할 수 있다. 이동가능한 반사층은 적어도 2개의 포지션들 사이에서 이동될 수 있다. 제1 포지션, 즉, 릴랙스된 포지션에서, 이동가능한 반사층은 고정된 부분적 반사층으로부터 상대적으로 먼 거리에 위치될 수 있다. 제2 포지션, 즉, 활성화된 포지션에서, 이동가능한 반사층은 부분적 반사층에 더 가깝게 위치될 수 있다. 2개의 층들로부터 반사하는 입사광은 이동가능한 반사층의 포지션에 따라 건설적으로 또는 파괴적으로 간섭하여, 각각의 픽셀에 대한 전체 반사적 또는 비-반사적 상태를 생성할 수 있다. 일부 구현예들에서, IMOD는 비활성화될 때, 가시 스펙트럼 내의 광을 반사하는 반사 상태에 있을 수 있고, 비활성화될 때, 가시 범위 밖의 광(예를 들어, 적외선 광)을 반사하는 어두운 상태에 있을 수 있다. 그러나, 일부 다른 구현예들에서, IMOD는 비활성화될 때 어두운 상태에 있을 수 있고, 활성화될 때 반사 상태에 있을 수 있다. 일부 구현예들에서, 인가된 전압의 도입은 픽셀들을 구동하여 상태들을 변경시킬 수 있다. 일부 다른 구현예들에서, 인가된 전압이 픽셀들을 구동하여 상태들을 변경시킬 수 있다.

[0025] 도 1의 픽셀 어레이의 도시된 부분은 2개의 인접한 간섭측정 변조기들(12)을 포함한다. (예시된 바와 같이) 좌측의 IMOD(12)에서, 이동가능한 반사층(14)이, 부분적 반사층을 포함하는 광학 스택(16)으로부터 미리 결정된 거리에서 릴랙스된 포지션에 예시되어 있다. 좌측의 IMOD(12)에 걸쳐 인가된 전압  $V_0$ 는 이동가능한 반사층(14)의 활성화를 야기하기에는 불충분하다. 우측의 IMOD(12)에서, 이동가능한 반사층(14)이 광학 스택(16) 근처의 또는 광학 스택(16)에 인접한 활성화된 포지션에 예시되어 있다. 우측의 IMOD(12)에 걸쳐 인가된 전압  $V_{bias}$ 는 활성화된 포지션에서 이동가능한 반사층(14)을 유지하기에 충분하다.

[0026] 도 1에서, 픽셀들(12)의 반사 특징들은 픽셀들(12) 상에 입사하는 광을 표시하는 화살표들(13), 및 좌측의 IMOD(12)로부터 반사하는 광(15)을 통해 일반적으로 예시된다. 상세히 예시되지는 않았지만, 픽셀들(12) 상에 입사하는 광(13)의 대부분이 투명 기관(20)을 통해 광학 스택(16)을 향해 전송될 것임이 당업자에 의해 이해될 것이다. 광학 스택(16)에 입사하는 광의 일부는 광학 스택(16)의 부분적 반사층을 통해 전송될 것이고, 일부는 투명 기관(20)을 통해 다시 반사될 것이다. 광학 스택(16)을 통해 전송되는 광(13)의 일부는 투명 기관(20)을 향해(그리고 이를 통해), 이동가능한 반사층(14)에서 반사될 것이다. 광학 스택(16)의 부분적 반사층으로부터 반사된 광 및 이동가능한 반사층(14)으로부터 반사된 광 사이의 간섭(건설적 또는 파괴적)이 IMOD(12)로부터 반사된 광(15)의 파장(들)을 결정할 것이다.

[0027] 광학 스택(16)은 단일 층 또는 몇몇 층들을 포함할 수 있다. 층(들)은 전극층, 부분적 반사 및 부분적 투과층, 및 투명 유전층 중 하나 이상을 포함할 수 있다. 일부 구현예들에서, 광학 스택(16)은 전기적으로 도전성이고, 부분적으로 투명하고 부분적으로 반사성이며, 예를 들어, 위의 층들 중 하나 이상을 투명 시판(20) 상에 증착함으로써 제조될 수 있다. 전극층은 다양한 금속들, 예를 들어, 인듐 주석 산화물(ITO)과 같은 다양한 물질들로 형성될 수 있다. 부분적 반사층은 다양한 금속들과 같은 부분적으로 반사성인 다양한 물질들, 예를 들어, 크롬(Cr), 반도체 및 유전체로 형성될 수 있다. 부분적 반사층은 물질들의 하나 이상의 층들로 형성될 수 있고, 층들 각각은 단일 물질 또는 물질들의 조합으로 형성될 수 있다. 일부 구현예들에서, 광학 스택(16)은 흡광기 및 도전체 모두로서 역할을 하는 금속 또는 반도체의 단일 반-투명 두께를 포함할 수 있는 반면, (예를 들어, 광학 스택(16)의 또는 IMOD의 다른 구조들의) 상이한, 더욱 도전성인 층들 또는 부분들은 IMOD 픽셀들 사이에 신호들을 버스터리(bus)하는 역할을 할 수 있다. 광학 스택(16)은 또한 하나 이상의 도전층들 또는 도전/흡수층을 커버하는 하나 이상의 절연 또는 유전층들을 포함할 수 있다.

[0028] 일부 구현예들에서, 광학 스택(16)의 층(들)은 평행한 스트라이프들로 패터닝될 수 있고, 하기에 추가로 설명될 바와 같이, 디스플레이 디바이스 내에 행 전극들을 형성할 수 있다. 당업자에 의해 이해될 바와 같이, 용어 "패터닝된"은 마스크 및 에칭 프로세스들을 지칭하도록 본원에서 사용된다. 일부 구현예들에서, 알루미늄(Al)과 같은 높은 도전성 및 반사성 물질은 이동가능한 반사층(14)에 대해 사용될 수 있고, 이들 스트라이프들은 디스플레이 디바이스 내의 열 전극들을 형성할 수 있다. 이동가능한 반사층(14)은 증착된 금속층 또는 층들의 일련

의 평행한 스트라이프들(광학 스택(16)의 행 전극들에 직교함)로서 형성되어, 포스트들(18)의 최상부에 증착된 열들 및 포스트들(18) 사이에 증착된 중간 희생물질을 형성할 수 있다. 희생물질이 에칭될 때, 정의된 갭(19) 또는 광학 공동은 이동가능한 반사층(14) 및 광학 스택(16) 사이에 형성될 수 있다. 일부 구현예들에서, 포스트들(18) 사이의 이격은 대략 1-1000  $\mu\text{m}$ 일 수 있는 반면, 갭(19)은 10,000 옹스트롬( $\text{\AA}$ ) 미만일 수 있다.

[0029] 일부 구현예들에서, 활성화된 상태이든 또는 릴렉스된 상태이든 간에, IMOD의 각각의 픽셀은 본질적으로, 고정된 그리고 이동가능한 반사층들에 의해 형성된 커패시터이다. 전압이 인가되지 않을 때, 이동가능한 반사층(14)은, 도 1의 좌측의 IMOD(12)에 의해 예시된 바와 같이, 이동가능한 반사층(14) 및 광학 스택(16) 사이의 갭(19)을 가지고, 기계적으로 릴렉스된 상태로 유지된다. 그러나, 전위차, 예를 들어, 전압이 선택된 행 및 열 중 적어도 하나에 인가될 때, 대응하는 픽셀에서의 행 및 열 전극들의 교차점에 형성된 커패시터가 충전되고, 정전기력이 전극들을 함께 끌어당긴다. 인가된 전압이 임계를 초과하는 경우, 이동가능한 반사층(14)은 변형되어 광학 스택(16) 근처로 또는 광학 스택(16)의 반대로 이동할 수 있다. 도 1의 우측의 활성화된 IMOD(12)에 의해 예시된 바와 같이, 광학층(16) 내의 유전층(미도시)은 층들(14 및 16) 사이의 분리 거리를 단축시키는 것을 방지하고 제어할 수 있다. 동작은, 인가된 전위차의 극성과는 무관하게 동일하다. 어레이 내의 일련의 픽셀들이 일부 경우들에서 "행들" 또는 "열들"로서 지칭될 수 있지만, 당업자는 한 방향을 "행"으로 그리고 또 다른 방향을 "열"로 지칭하는 것이 임의적임을 쉽게 이해할 것이다. 재언급하자면, 일부 배열들에서, 행들은 열들로 간주될 수 있고, 열들은 행들로 간주될 수 있다. 또한, 디스플레이 엘리먼트들은 직교하는 행들 및 열들("어레이")로 균일하게 배열되거나, 또는 예를 들어, 서로에 대해 특정한 위치적 오프셋들("모자이크")을 가지는 비-선형 구성들로 배열될 수 있다. 용어들 "어레이" 및 "모자이크"는 어느 한 구성을 지칭할 수 있다. 따라서, 디스플레이가 "어레이" 또는 "모자이크"를 포함하는 것으로서 지칭됨에도 불구하고, 엘리먼트들 자체는 임의의 경우, 서로 직교적으로 배열되거나, 또는 균일한 분포로 배치될 필요가 없을 수 있지만, 비대칭적 형상들 및 불균일하게 분포된 엘리먼트들을 가지는 배열들을 포함할 수 있다.

[0030] 도 2는 3x3 간섭측정 변조기 디스플레이를 포함하는 전자 디바이스를 예시하는 시스템 블록도의 예를 도시한다. 전자 디바이스는 하나 이상의 소프트웨어 모듈들을 실행하도록 구성될 수 있는 프로세서(21)를 포함한다. 운영체제의 실행에 더하여, 프로세서(21)는, 웹 브라우저, 전화 애플리케이션, 이메일 프로그램을 포함하는 하나 이상의 소프트웨어 애플리케이션들, 또는 다른 소프트웨어 애플리케이션을 실행하도록 구성될 수 있다.

[0031] 프로세서(21)는 어레이 드라이버(22)와 통신하도록 구성될 수 있다. 어레이 드라이버(22)는 예를 들어, 디스플레이 어레이 또는 패널(30)에 신호들을 제공하는 행 드라이버 회로(24) 및 열 드라이버 회로(26)를 포함할 수 있다. 도 1에 예시된 IMOD 디스플레이 디바이스의 횡단면이 도 2의 라인 1-1에 의해 도시된다. 도 2가 명료함을 위해 IMOD들의 3x3 어레이를 예시하지만, 디스플레이 어레이(30)는 매우 많은 수의 IMOD들을 포함할 수 있고, 열들 내의 IMOD들과는 상이한 개수의 행들 내의 IMOD들을 가질 수 있고, 그 역도 성립한다.

[0032] 도 3은 도 1의 간섭측정 변조기에 대한 이동가능한 반사층 포지션 대 인가된 전압을 예시하는 다이어그램의 예를 도시한다. MEMS 간섭측정 변조기들에 대해, 행/열(즉, 공통/세그먼트) 기록 프로시저는 도 3에 예시된 바와 같이 이들 디바이스들의 히스테리시스 특성들을 사용할 수 있다. 간섭측정 변조기는, 예를 들어, 이동가능한 반사층, 또는 미러로 하여금 릴렉스된 상태에서 활성화된 상태로 변경하게 하기 위해 약 10볼트의 전위차를 요구할 수 있다. 전압이 그 값으로부터 감소할 때, 이동가능한 반사층은 전압을 다시, 예를 들어, 10볼트 미만으로 강하시킴에 따라 자신의 상태를 유지하지만, 이동가능한 반사층은 전압이 2볼트 미만으로 떨어질때까지 완전히 릴렉스하지 않는다. 따라서, 도 3에 도시된 바와 같이, 대략 3 내지 7볼트의 전압 범위가 존재하는데, 여기서, 디바이스가 릴렉스되거나 또는 활성화된 상태 중 어느 하나에서 안정적인 인가 전압의 윈도우가 존재한다. 이는 "히스테리시스 윈도우" 또는 "안정도 윈도우"로서 본원에서 지칭된다. 도 3의 히스테리시스 특성들을 가지는 디스플레이 어레이(30)에 대해, 행/열 기록 프로시저는 한번에 하나 이상의 행들을 어드레스지정하도록 설계될 수 있고, 따라서, 주어진 행의 어드레스지정동안, 활성화되도록 어드레스지정된 행들 내의 픽셀들은 약 10볼트의 전압차에 노출되고, 릴렉스될 픽셀들은 거의 제로 볼트의 전압차에 노출된다. 어드레스지정 이후, 픽셀들은, 이들이 이전 스트로빙(strobing) 상태에서 유지하도록, 대략 5볼트의 안정 상태 또는 바이어스 전압차에 노출된다. 이 예에서, 어드레스지정된 이후, 각각의 픽셀은 약 3-7볼트의 "안정도 윈도우" 내의 전위차를 보게 된다. 이러한 히스테리시스 특징(feature)은 예를 들어, 도 1에 예시된 픽셀 설계가, 동일한 인가 전압 조건들 하에서 활성화된 또는 릴렉스된 기존 상태 중 어느 하나에서 안정적으로 유지하게 한다. 활성화된 상태 또는 릴렉스된 상태에 있는 간에 각각의 IMOD 픽셀이 본질적으로 고정된 그리고 움직이는 반사층들에 의해 형성된 커패시터이므로, 이러한 안정 상태는, 실질적으로 전력의 소모 또는 손실 없이 히스테리시스 윈도우 내의 안정 전압에서 유지될 수 있다. 또한, 인가된 전압차가 실질적으로 고정되어 유지되는 경우, 본질적으로 IMOD 픽



셀 내로 전류가 거의 흐르지 않거나 전혀 흐르지 않는다.

[0033] 일부 구현예들에서, 주어진 행 내의 픽셀들의 상태에 대한 (존재하는 경우) 원하는 변경에 따라, 이미지의 프레임은 열 전극들의 세트를 따라 "세그먼트" 전압들의 형태로 데이터 신호들을 인가함으로써 생성될 수 있다. 어레이의 각각의 행이 차례로 어드레스지정될 수 있고, 따라서, 프레임은 한번에 하나의 행씩 기록된다. 원하는 데이터를 제1 행 내의 픽셀들에 기록하기 위해, 제1 행 내의 픽셀들의 원하는 상태에 대응하는 세그먼트 전압들이 열 전극들 상에 인가될 수 있고, 특정 "공통" 전압 또는 신호의 형태의 제1 행 펄스가 제1 행 전극에 인가될 수 있다. 세그먼트 전압들의 세트는 이후 제2 행 내의 픽셀들의 상태에 대한 (존재하는 경우) 원하는 변경에 대응하도록 변경될 수 있고, 제2 공통 전압은 제2 행 전극에 인가될 수 있다. 일부 구현예들에서, 제1 행 내의 픽셀들은 열 전극들을 따라 인가되는 세그먼트 전압들 내의 변경에 의해 영향을 받지 않으며, 픽셀들이 제1 공통 전압 행 펄스 동안 설정되었던 상태에서 유지된다. 이 프로세스는 이미지 프레임을 생성하기 위해 순차적 방식으로, 행들 또는 대안적으로 열들의 전체 시리즈들에 대해 반복될 수 있다. 프레임들은 초당 일부 원하는 수의 프레임들에서 이 프로세스를 계속 반복함으로써 새로운 이미지 데이터를 이용하여 리프레시 및/또는 업데이트될 수 있다.

[0034] 각각의 픽셀에 걸쳐 인가된 세그먼트 및 공통 신호들의 조합(즉, 각각의 픽셀에 걸친 전위차)은 각각의 픽셀에 대한 결과 상태를 결정한다. 도 4는 다양한 공통 및 세그먼트 전압들이 인가될 때 간섭측정 변조기의 다양한 상태들을 예시하는 표의 예를 도시한다. 당업자에 의해 쉽게 이해될 바와 같이, "세그먼트" 전압들은 열 전극들 또는 행 전극들 중 어느 하나에 인가될 수 있고, "공통" 전압들은 열 전극들 또는 행 전극들 중 다른 하나에 인가될 수 있다.

[0035] 도 4에(뿐만 아니라 도 5b에 도시된 타이밍도에) 예시된 바와 같이, 릴리즈 전압  $VC_{REL}$ 이 공통 라인을 따라 인가될 때, 공통 라인을 따르는 모든 간섭측정 변조기 엘리먼트들은, 세그먼트 라인들을 따라 인가되는 전압들, 즉, 높은 세그먼트 전압  $VS_H$  및 낮은 세그먼트 전압  $VS_L$ 과는 무관하게, 대안적으로 릴리즈된 또는 비활성화된 상태에서 지칭되는, 릴랙스된 상태에 놓일 것이다. 특히, 릴리즈 전압  $VC_{REL}$ 이 공통 라인을 따라 인가될 때, 변조기에 걸친 포텐셜 전압(대안적으로, 픽셀 전압으로서 지칭됨)은, 높은 세그먼트 전압  $VS_H$  및 낮은 세그먼트 전압  $VS_L$  모두가 그 픽셀에 대한 대응하는 세그먼트 라인을 따라 인가될 때 릴랙스 윈도우(도 3을 참조, 또한 릴리즈 윈도우로서 지칭됨) 내에 있다.

[0036] 높은 유지 전압  $VC_{HOLD_H}$  또는 낮은 유지 전압  $VC_{HOLD_L}$ 과 같은 유지 전압이 공통 라인에 인가될 때, 간섭측정 변조기의 상태는 일정하게 유지될 것이다. 예를 들어, 릴랙스된 IMOD는 릴랙스된 포지션에서 유지될 것이고, 활성화된 IMOD는 활성화된 포지션에서 유지될 것이다. 유지 전압들은, 높은 세그먼트 전압  $VS_H$  및 낮은 세그먼트 전압  $VS_L$  모두가 대응하는 세그먼트 라인을 따라 인가될 때 픽셀 전압이 안정도 윈도우 내에서 유지되도록 선택될 수 있다. 따라서, 세그먼트 전압 스윙, 즉, 높은  $VS_H$  및 낮은 세그먼트 전압  $VS_L$  사이의 차이는 양의 또는 음의 안정도 윈도우 중 어느 하나의 폭보다 더 적다.

[0037] 높은 어드레스 지정 전압  $VC_{ADD_H}$  또는 낮은 어드레스지정 전압  $VC_{ADD_L}$ 과 같은 어드레스지정 또는 활성화 전압이 공통 라인에 인가될 때, 데이터는 개별 세그먼트 라인들을 따른 세그먼트 전압들의 인가에 의해 그 라인을 따라 변조기들에 선택적으로 기록될 수 있다. 세그먼트 전압들은 활성화가 인가된 세그먼트 전압에 따라도록 선택될 수 있다. 어드레스지정 전압이 공통 라인을 따라 인가될 때, 하나의 세그먼트 전압의 인가는 안정도 윈도우 내의 픽셀 전압을 초과하여, 픽셀이 비활성화상태로 유지하도록 할 것이다. 반면, 다른 세그먼트 전압의 인가는 안정도 윈도우를 넘는 픽셀 전압을 초과하여, 픽셀의 활성화를 초과할 것이다. 활성화를 야기하는 특정 세그먼트 전압은 어느 어드레스지정 전압이 사용되는지에 따라 달라질 수 있다. 일부 구현예들에서, 높은 어드레스지정 전압  $VC_{ADD_H}$ 이 공통 라인을 따라 인가될 때, 높은 세그먼트 전압  $VS_H$ 의 인가는 변조기로 하여금 자신의 현재 포지션에서 유지하도록 할 수 있는 반면, 낮은 세그먼트 전압  $VS_L$ 의 인가는 변조기의 활성화를 야기할 수 있다. 결과적으로, 낮은 어드레스지정 전압  $VC_{ADD_L}$ 이 인가될 때 세그먼트 전압들의 영향은 반대가 될 수 있고, 높은 세그먼트 전압  $VS_H$ 은 변조기의 활성화를 야기하며, 낮은 세그먼트 전압  $VS_L$ 은 변조기의 상태에 대한 어떠한 영향도 가지지 않는다(즉, 안정상태를 유지).

[0038] 일부 구현예들에서, 변조기들에 걸친 동일한 극성의 전위차를 항상 산출하는 유지 전압들, 어드레스 전압들 및 세그먼트 전압들이 사용될 수 있다. 일부 다른 구현예들에서, 변조기들의 전위차의 극성을 교번시키는 신호들

이 사용될 수 있다. 변조기들에 걸친 극성의 변경(즉, 기록 프로시저들의 극성의 변경)은 단일 극성의 반복되는 기록 동작들 이후에 발생할 수 있는 전하 누적을 감소시키거나 금지할 수 있다.

[0039] 도 5a는 도 2의 3x3 간섭측정 변조기 디스플레이 내의 디스플레이 데이터의 프레임을 예시하는 다이어그램의 예를 도시한다. 도 5b는 도 5a에 예시된 디스플레이 데이터의 프레임을 기록하기 위해 사용될 수 있는 공통 및 세그먼트 신호들에 대한 타이밍도의 예를 도시한다. 신호들이 예를 들어, 도 2의 3x3 어레이에 인가될 수 있는데, 이는 궁극적으로 도 5a에 예시된 라인 시간(60e) 디스플레이 배열을 초래할 것이다. 도 5a의 활성화된 변조기들은 어두운-상태에 있는데, 즉, 반사된 광의 상당 부분이 가시 스펙트럼의 외부에 있어서 예를 들어, 뷰어에게 어두운 외관을 초래한다. 도 5a에 예시된 프레임을 기록하기 전에, 픽셀들은 임의의 상태에 있을 수 있지만, 도 5b의 타이밍도에 예시된 기록 프로시저는 각각의 변조기가 릴리즈되었으며 제1 라인 시간(60a) 이전에 비활성화된 상태에 있다고 추측한다.

[0040] 제1 라인 시간(60a) 동안, 릴리즈 전압(70)이 공통 라인 1에 인가되고; 공통 라인 2에 인가된 전압은 높은 유지 전압(72)에서 시작하여 릴리즈 전압(70)으로 이동하고; 낮은 유지 전압(76)이 공통 라인 3을 따라 인가된다. 따라서, 공통 라인 1을 따르는 변조기들(공통 1, 세그먼트 1)(1,2) 및 (1,3)은 제1 라인 시간(60a)의 듀레이션 동안 릴렉스된 또는 비활성화 상태로 유지하며, 공통 라인 2을 따르는 변조기들(2,1), (2,2) 및 (2,3)은 릴렉스된 상태로 이동할 것이며, 공통 라인 3을 따르는 변조기들(3,1), (3,2) 및 (3,3)은 자신의 이전 상태에서 유지할 것이다. 도 4를 참조하면, 세그먼트 라인들(1, 2 및 3)을 따라 인가된 세그먼트 전압들은, 공통 라인들(1, 2 또는 3) 중 어느 것도 라인 시간(60a)동안 활성화를 야기하는 전압 레벨들(즉,  $V_{C_{REL}}$  - 릴렉스 및  $V_{C_{HOLD\_L}}$  - 안정)에 노출되지 않음에 따라, 간섭측정 변조기들의 상태에 대한 어떠한 영향도 가지지 않을 것이다.

[0041] 제2 라인 시간(60b) 동안, 공통 라인 1 상의 전압은 높은 유지 전압(72)으로 이동하고, 공통 라인 1을 따르는 모든 변조기들은, 어드레스지정 또는 활성화 전압이 공통 라인 1에 인가되지 않았으므로, 인가된 세그먼트 전압과는 무관하게 릴렉스된 상태에서 유지된다. 공통 라인 2을 따르는 변조기들은 릴리즈 전압(70)의 인가로 인해 릴렉스된 상태에서 유지되고, 공통 라인 3을 따르는 변조기들 (3,1), (3,2) 및 (3,3)은 공통 라인 3을 따르는 전압이 릴리즈 전압(70)으로 이동할 때 릴렉스할 것이다.

[0042] 제3 라인 시간(60c) 동안, 공통 라인 1은 공통 라인 1 상에 높은 어드레스 전압(74)을 인가함으로써 어드레스지정된다. 낮은 세그먼트 전압(64)이 이 어드레스 전압의 인가 동안 세그먼트 라인들(1 및 2)을 따라 인가되므로, 변조기들(1,1) 및 (1,2)에 걸친 픽셀 전압은 변조기들의 양의 안정도 윈도우의 높은 종단보다 더 크고(즉, 전압차가 미리 정의된 임계를 초과함), 변조기들(1,1) 및 (1,2)은 활성화된다. 반면, 높은 세그먼트 전압(62)이 세그먼트 라인 3을 따라 인가되므로, 변조기(1,3)에 걸친 픽셀 전압은 변조기들(1,1) 및 (1,2)의 전압보다 더 작으며, 변조기의 양의 안정도 윈도우 내에 유지되고; 따라서 변조기(1,3)는 릴렉스 상태로 유지된다. 또한, 라인 시간(60c) 동안, 공통 라인 2를 따르는 전압은 낮은 유지 전압(76)으로 감소하고, 공통 라인 3을 따르는 전압은 릴리즈 전압(70)에서 유지되어, 공통 라인들 2 및 3을 따르는 변조기들을 릴렉스된 포지션에 남겨둔다.

[0043] 제4 라인 시간(60d) 동안, 공통 라인 1 상의 전압은 높은 유지 전압(72)으로 돌아와서, 공통 라인 1을 따르는 변조기들을 이들의 개별 어드레스지정된 상태들에 남겨둔다. 공통 라인 2 상의 전압은 낮은 어드레스 전압(78)으로 감소된다. 높은 세그먼트 전압(62)이 세그먼트 라인 2을 따라 인가되므로, 변조기(2,2)에 걸친 픽셀 전압은 변조기의 음의 안정도 윈도우의 하위 종단 미만이어서, 변조기(2,2)가 활성화되도록 한다. 반면, 낮은 세그먼트 전압(64)이 세그먼트 라인들 1 및 3을 따라 인가되므로, 변조기들(2,1) 및 (2,3)은 릴렉스된 포지션에서 유지된다. 공통 라인 3 상의 전압은 높은 유지 전압(72)으로 증가하여, 공통 라인 3을 따르는 변조기들을 릴렉스된 상태로 둔다.

[0044] 마지막으로, 제5 라인 시간(60e) 동안, 공통 라인 1 상의 전압은 높은 유지 전압(72)에서 유지되고, 공통 라인 2 상의 전압은 낮은 유지 전압(76)에서 유지되어, 공통 라인들 1 및 2를 따르는 변조기들을 이들의 개별 어드레스지정된 상태들에 남겨둔다. 공통 라인 3 상의 전압은 공통 라인 3을 따르는 변조기들을 어드레스지정하기 위해 높은 어드레스 전압(74)으로 증가한다. 낮은 세그먼트 전압(64)이 세그먼트 라인들 2 및 3 상에 인가됨에 따라, 변조기들 (3,2) 및 (3,3)은 활성화되는 반면, 세그먼트 라인 1을 따라 인가되는 높은 세그먼트 전압(62)은 변조기(3,1)로 하여금 릴렉스된 포지션에서 유지되게 한다. 따라서, 제5 라인 시간(60e)의 종단에서, 3x3 픽셀 어레이는 도 5a에 도시된 상태에 있으며, 다른 공통 라인들(미도시)을 따르는 변조기들이 어드레스지정될 때 발생할 수 있는 세그먼트 전압에서의 변경들과는 무관하게, 유지 전압들이 공통 라인들을 따라 인가되는 한 그 상태에서 유지될 것이다.

- [0045] 도 5b의 타이밍도에서, 주어진 기록 프로시저(즉, 라인 시간들(60a-60e))은 높은 유지 및 어드레스 전압들, 또는 낮은 유지 및 어드레스 전압들의 사용을 포함할 수 있다. 기록 프로시저가 주어진 공통 라인에 대해 완료되면(그리고, 공통 전압이 활성화 전압과 동일한 극성을 가지는 유지 전압으로 설정되면), 픽셀 전압은 주어진 안정도 윈도우 내에서 유지되며, 릴리즈 전압이 그 공통 라인에 인가될 때까지 릴랙스 윈도우를 통과하지 않는다. 또한, 각각의 변조기가 변조기를 어드레스지정하기 전에 기록 프로시저의 일부분으로서 릴리즈됨에 따라, 변조기의 릴리즈시간이 아닌 활성화 시간이 필수적인 라인 시간을 결정할 수 있다. 구체적으로, 변조기의 릴리즈 시간이 활성화 시간보다 더 큰 구현예들에서, 도 5b에 도시된 바와 같이, 릴리즈 전압은 단일 라인 시간보다 더 오래 인가될 수 있다. 일부 다른 구현예들에서, 공통 라인들 또는 세그먼트 라인들을 따라 인가된 전압들은 상이한 컬러들의 변조기들과 같은 상이한 변조기들의 전압들의 활성화 및 릴리즈 전압들의 변경들을 고려하도록 변경될 수 있다.
- [0046] 위에서 설명된 원리들에 따라 동작하는 간섭측정 변조기들의 구조의 상세항목들은 넓게 변경될 수 있다. 예를 들어, 도 6a-6e는, 이동가능한 반사층(14) 및 그것의 지지 구조들을 포함한, 간섭측정 변조기들의 가변적 구현예들의 횡단면들의 예들을 도시한다. 도 6a는 도 1의 간섭측정 변조기 디스플레이의 부분적 횡단면의 예를 도시하고, 여기서, 금속 물질의 스트라이프, 즉 이동가능한 반사층(14)이 기판(20)으로부터 직교하여 연장하는 지지대들(18) 상에 증착된다. 도 6b에서, 각각의 IMOD의 이동가능한 반사층(14)은 일반적으로 정사각형 또는 직사각형 형상이며, 테더(tether)들(32)에 대한 코너들에 있는 또는 코너들 근처의 지지대들에 부착된다. 도 6c에서, 이동가능한 반사층(14)은 일반적으로, 정사각형 또는 직사각형 형상이며, 유연한 금속을 포함할 수 있는 변형가능한 층(34)으로부터 매달려 있다. 변형가능한 층(34)은, 직접적으로 또는 간접적으로, 이동가능한 반사층(14)의 둘레 주위의 기판(20)에 접속할 수 있다. 이들 접속들은 본원에서 지지 포스트들로서 지칭된다. 도 6c에 도시된 구현예들은 이동가능한 반사층(14)의 광학적 기능들을 기계적 기능들로부터 디커플링함으로써 유도하는 추가적인 이점들을 가지며, 이는 변형가능한 층(34)에 의해 수행된다. 이러한 디커플링은 반사층(14)에 대해 사용되는 구조적 설계 및 물질들 및 변형가능한 층(34)에 대해 사용되는 구조적 설계 및 물질들이 서로 독립적으로 최적화되게 한다.
- [0047] 도 6d는 IMOD의 또다른 예를 도시하며, 여기서 이동가능한 반사층(14)은 반사 하위층(14a)을 포함한다. 이동가능한 반사층(14)은 지지 포스트(18)와 같은 지지 구조 상에 존재한다. 지지 포스트들(18)은 하위 고정 전극(즉, 예시된 IMOD 내의 광학 스택(16)의 일부)로부터의 이동가능한 반사층(14)의 분리를 제공하고, 따라서, 예를 들어, 이동가능한 반사층(14)이 릴랙스된 포지션에 있을 때, 갭(19)은 이동가능한 반사층(14) 및 광학 스택(16) 사이에 형성된다. 이동가능한 반사층(14)은 또한 전극으로서 역할을 하도록 구성될 수 있는 도전층(14c), 및 지지층(14b)을 포함할 수 있다. 이 예에서, 도전층(14c)은 기판(20)으로부터 떨어져 있는 지지층(14b)의 한 측면 상에 배치되고, 반사 하위층(14a)은 기판(20)에 가까운 지지층(14b)의 다른 측면 상에 배치된다. 일부 구현예들에서, 반사 하위층(14a)은 도전성일 수 있고, 지지층(14b) 및 광학 스택(16) 사이에 배치될 수 있다. 지지층(14b)은 유전 물질, 예를 들어, 실리콘 산화질화물(SiON) 또는 실리콘 이산화물(SiO<sub>2</sub>)의 하나 이상의 층들을 포함할 수 있다. 일부 구현예들에서, 지지층(14b)은 예를 들어, SiO<sub>2</sub>/SiON/SiO<sub>2</sub> 삼중층 스택과 같은 층들의 스택일 수 있다. 반사 하위층(14a) 및 도전층(14c) 중 어느 하나 또는 둘 모두는, 예를 들어, 약 0.5% 구리(Cu)와의 알루미늄(Al) 합금, 또는 또다른 반사성 금속 물질을 포함할 수 있다. 유전 지지층(14b) 위 아래에 도전층들(14a, 14c)을 사용하는 것은 응력들의 균형을 맞추고, 향상된 도전성을 제공할 수 있다. 일부 구현예들에서, 반사 하위층(14a) 및 도전층(14c)은 이동가능한 반사층(14) 내의 특정 응력 프로파일들을 달성하는 것과 같은 다양한 설계 목적들로 상이한 물질들로 형성될 수 있다.
- [0048] 도 6d에 예시된 바와 같이, 일부 구현예들은 또한 블랙 마스크 구조(23)를 포함할 수 있다. 블랙 마스크 구조(23)는 주변광 또는 미광을 흡수하기 위해 광학적으로 비활성 영역들(예를 들어, 픽셀들 사이의 또는 포스트들(18) 아래의)에 형성될 수 있다. 블랙 마스크 구조(23)는 또한 광이 디스플레이의 비활성 부분들로부터 반사되거나 디스플레이의 비활성 부분들을 통해 투과하는 것을 금지함으로써 디스플레이 디바이스의 광학 특징들을 개선하고, 이에 의해 콘트라스트 비를 증가시킨다. 추가적으로, 블랙 마스크 구조(23)는 도전성이며, 전기적 버스층으로서 기능하도록 구성될 수 있다. 일부 구현예들에서, 행 전극들은 접속된 행 전극들의 저항을 감소시키기 위해 블랙 마스크 구조(23)에 접속될 수 있다. 블랙 마스크 구조(23)는 증착 및 패터닝 기법들을 포함하는 다양한 방법들을 사용하여 형성될 수 있다. 블랙 마스크 구조(23)는 하나 이상의 층들을 포함할 수 있다. 예를 들어, 일부 구현예들에서, 블랙 마스크 구조는, 각각 약 30-80 Å, 500-1000 Å, 및 500-6000 Å의 범위 내의 두께를 가지는, 흡광기로서 역할을 하는 몰리브덴-크롬(MoCr)층, SiO<sub>2</sub>층, 및 반사기 및 버스층으로서 역할을 하



는 알루미늄 합금을 포함한다. 하나 이상의 층들은, 예를 들어, MoCr 및 SiO<sub>2</sub>층들에 대한 탄화사불화메탄(CF<sub>4</sub>) 및/또는 산소(O<sub>2</sub>), 및 알루미늄 합금층에 대한 염소(Cl<sub>2</sub>) 및/또는 붕소삼염화물(BCl<sub>3</sub>)을 포함하는, 포토리소그래피 및 건식 에칭을 포함하는 다양한 기법들을 사용하여 패터닝될 수 있다. 일부 구현예들에서, 블랙 마스크(23)는 에탈론 또는 간섭측정 스택 구조일 수 있다. 이러한 간섭측정 블랙 마스크 구조들(23)에서, 도전성 흡수기들이 각각의 행 또는 열의 광학 스택(16) 내의 하위의 고정 전극들 사이에서 신호들을 전송하거나 버스처리(bus)하기 위해 사용될 수 있다. 일부 구현예들에서, 스페이서층(35)은 일반적으로, 블랙 마스크(23) 내의 도전층들로부터 흡수층(16a)을 전기적으로 격리하는 역할을 할 수 있다.

[0049] 도 6e는 IMOD의 또다른 예를 도시하며, 여기서, 이동가능한 반사층(14)은 자가-지지적이다. 도 6d에 비해, 도 6e의 구현예는 지지 포스트들(18)을 포함하지 않는다. 대신, 이동가능한 반사층(14)은 다수의 위치들에서의 기반 광학 스택(16)에 접촉하고, 이동가능한 반사층(14)의 곡률은, 간섭측정 변조기에 걸친 전압이 활성화를 야기하기에는 불충분할 때 이동가능한 반사층(14)이 도 6e의 비활성화된 위치선으로 돌아가기에 충분한 지지대를 제공한다. 복수의 몇몇 상이한 층들을 포함할 수 있는 광학 스택(16)은 명료함을 위해 흡광기(16a) 및 유전체(16b)를 포함하는 것으로 본원에 도시된다. 일부 구현예들에서, 흡광기(16a)는 고정 전극 및 부분적 반사층 둘 모두로서 역할을 할 수 있다.

[0050] 도 6a-6e에 도시된 것과 같은 구현예들에서, IMOD들은, 이미지들이 투명 기관(20)의 전방 측면, 즉, 변조기가 배열되는 측의 반대측으로부터 보여지는, 지시형 디바이스로서 기능한다. 이들 구현예들에서, 디바이스의 후방 부분들(즉, 예를 들어, 도 6c에 예시된 변형가능층(3)을 포함하는 이동가능한 반사층(14) 뒤의 디스플레이 디바이스의 임의의 부분)이 구성되며, 디스플레이 디바이스의 이미지 품질에 영향을 끼치거나(impact) 부정적으로 영향을 주지 않을 때 동작할 수 있는데, 왜냐하면, 반사층(14)이 디바이스의 해당 부분들을 광학적으로 차폐하기 때문이다. 예를 들어, 일부 구현예들에서, 이동가능한 반사층(14) 뒤에 버스 구조(예시되지 않음)가 포함될 수 있으며, 이는 전압 어드레스지정 및 이러한 어드레스지정으로부터 초래되는 움직임들과 같은, 변조기의 전가 기계적 특징들로부터 변조기의 광학적 특징들을 분리하기 위한 능력을 제공한다. 추가적으로, 도 6a-6e의 구현예들은 예를 들어, 패터닝과 같은 프로세싱을 단순화할 수 있다.

[0051] 도 7은 간섭측정 변조기에 대한 제조 프로세스(80)를 예시하는 흐름도의 예를 도시하고, 도 8a-8e는 이러한 제조 프로세스(80)의 대응하는 스테이지들의 횡단면의 개략적 예시들의 예를 도시한다. 일부 구현예들에서, 제조 프로세스(80)는, 도 7에 도시되지 않은 다른 블록들에 추가하여, 예를 들어 도 1 및 6에 예시된 일반적 타입의 간섭측정 변조기들을 제조하기 위해 구현될 수 있다. 도 1, 6 및 7을 참조하면, 프로세스(80)는 블록(82)에서 기관(20) 위에 광학 스택(16)을 형성하는 것으로 시작한다. 도 8a는 기관(20) 위에 형성된 이러한 광학 스택(16)을 예시한다. 기관(20)은 유리 또는 플라스틱과 같은 투명 기관일 수 있고, 이는 유연하거나 비교적 딱딱하여 구부러지지 않을 수 있으며, 광학 스택(16)의 효율적 형성을 용이하게 하기 위한 이전 준비 프로세스들, 예를 들어, 세정을 받았을 수 있다. 위에서 논의된 바와 같이, 광학 스택(16)은 전기적으로 도전성이고, 부분적으로 투명하고 부분적으로 반사성일 수 있으며, 예를 들어, 투명 기관(20) 상에 원하는 특징들을 가지는 하나 이상의 층들을 증착시킴으로써 제조될 수 있다. 도 8a에서, 광학 스택(16)은 하위층들(16a 및 16b)을 가지는 다층 구조를 포함하지만, 일부 다른 구현예들에서 더 많거나 더 적은 하위층들이 포함될 수 있다. 일부 구현예들에서, 하위층들(16a, 16b) 중 하나는 결합된 도전체/흡수기 하위층(16a)과 같은 광학적 흡수성 및 도전성 특징들 모두를 가지고 구성될 수 있다. 추가적으로, 하위층들(16a, 16b) 중 하나 이상은 평행한 스트립들로 패터닝될 수 있고, 디스플레이 디바이스 내에 행 전극들을 형성할 수 있다. 이러한 패터닝은 마스크링 및 에칭 프로세스 또는 당해 기술분야에 공지된 또다른 적절한 프로세스에 의해 형성될 수 있다. 일부 구현예들에서, 하위층들(16a, 16b) 중 하나는 하나 이상의 금속층들(예를 들어, 하나 이상의 반사 및/또는 도전층) 위에 증착되는 하위층(16b)과 같은 절연 또는 유전층일 수 있다. 뿐만 아니라, 광학 스택(16)은 디스플레이의 행들을 형성하는 개별 및 평행한 스트립들로 패터닝될 수 있다.

[0052] 프로세스(80)는 블록(84)에서 광학 스택(16) 위에 희생층(25)을 형성하는 것으로 계속한다. 희생층(25)은 공동(19)을 형성하기 위해 추후 제거되고(예를 들어, 블록 90에서), 따라서, 희생층(25)은 도 1에 예시된 결과적인 간섭측정 변조기들(12)에는 도시되지 않는다. 도 8b는 광학 스택(16) 위에 형성된 희생층(25)을 포함하는 부분적으로 제조된 디바이스를 예시한다. 광학 스택(16) 위에 희생층(25)을 형성하는 것은, 후속적 제거 이후에 원하는 설계 사이즈를 가지는 갭 또는 공동(19)(또한 도 1 및 8e를 참조)을 제공하기 위해 선택된 두께로, 몰리브덴(Mo) 또는 비정질 실리콘(Si)과 같은 제논 이불화물(XeF<sub>2</sub>)-에칭가능한 물질의 증착을 포함할 수 있다. 희생 물질의 증착은 물리적 기상 증착(PVD, 예를 들어, 스퍼터링), 플라즈마-강화 화학적 기상 증착(PECVD), 열적 화

학적 기상 증착(열 CVD), 또는 스핀 코팅과 같은 증착 기법들을 사용하여 수행될 수 있다.

[0053] 프로세스(80)는 블록(86)에서 지지 구조 예를 들어, 도 1, 6 및 8c에 예시된 바와 같은 포스트(18)의 형성으로 계속한다. 포스트(18)의 형성은 지지 구조 어퍼처를 형성하기 위해 희생층(25)을 패터닝하는 것, 및 이후 포스트(18)를 형성하기 위해 어퍼처 내로 물질(예를 들어, 폴리머 또는 무기 물질, 예를 들어, 실리콘 산화물)을 증착시키는 것, PVD, PECVD, 열적 CVD와 같은 증착 방법을 사용하는 것, 또는 스핀-코팅을 포함할 수 있다. 일부 구현예들에서, 희생층에 형성된 지지 구조 어퍼처는 희생층(25) 및 광학 스택(16) 모두를 통해 기반 기판(20)으로 확장할 수 있고, 따라서, 포스트(18)의 하부 종단은 도 6a에 예시된 바와 같이 기판(20)에 접촉한다. 대안적으로, 도 8c에 도시된 바와 같이, 희생층(25)에 형성된 어퍼처는 광학 스택(16)을 통해서가 아니라 희생층(25)을 통해 확장할 수 있다. 예를 들어, 도 8e는 광학 스택(16)의 상부 표면과 접촉하는 지지 포스트들(18)의 하부 종단들을 예시한다. 포스트(18) 또는 다른 지지 구조들은 희생층(25) 위에 지지 구조 물질의 층을 증착시키고, 희생층(25) 내의 어퍼처들로부터 떨어져 위치한 지지 구조물질의 일부분들을 제거하도록 패터닝함으로써 형성될 수 있다. 지지 구조들은 도 8c에 예시된 바와 같이 어퍼처들 내에 위치될 수 있을 뿐만 아니라, 또한 적어도 부분적으로 희생층(25)의 일부분 위에 확장할 수 있다. 위에서 주지된 바와 같이, 희생층(25) 및/또는 지지 포스트들(18)의 패터닝은 패터닝 및 에칭 프로세스에 의해 수행될 뿐만 아니라, 대안적인 에칭 방법들에 의해 수행될 수 있다.

[0054] 프로세스(80)는 블록(88)에서 도 1, 6 및 8d에 예시된 이동가능한 반사층(14)과 같은 이동가능한 반사층 또는 막의 형성으로 계속한다. 이동가능한 반사층(14)은, 하나 이상의 패터닝, 마스크 및/또는 에칭 프로세스들과 함께, 하나 이상의 증착 프로세스들, 예를 들어, 반사층(예를 들어, 알루미늄, 알루미늄) 증착을 사용함으로써 형성될 수 있다. 이동가능한 반사층(14)은 전기적으로 도전성일 수 있고, 전기적 도전층으로서 지칭될 수 있다. 일부 구현예들에서, 이동가능한 반사층(14)은 도 8d에 도시된 바와 같은 복수의 하위층들(14a, 14b, 14c)을 포함할 수 있다. 일부 구현예들에서, 하위층들(14a, 14c)과 같은 하위층들 중 하나 이상은 이들의 광학 특징들에 대해 선택된 고 반사성의 하위층들을 포함할 수 있고, 또다른 하위층(14b)은 자신의 기계적 특징들에 대해 선택된 기계적 하위층을 포함할 수 있다. 희생층(25)이 블록(88)에서 형성된 부분적으로 제조된 간섭 측정 변조기에 여전히 존재하므로, 이동가능한 반사층(14)은 통상적으로 이 스테이지에서 이동가능하지 않다. 희생층(25)을 포함하는 부분적으로 제조된 IMOD는 또한 "릴리즈되지 않은" IMOD로서 본원에서 지칭될 수 있다. 도 1과 관련하여 전술된 바와 같이, 이동가능한 반사층(14)은 디스플레이의 열들을 형성하는 개별적인 그리고 평행한 스트립들로 패터닝될 수 있다.

[0055] 프로세스(80)는 블록(90)에서 공동, 예를 들어, 도 1, 6 및 8e에 예시된 바와 같은 공동(19)의 형성으로 계속된다. 공동(19)은 희생 물질(25)(블록(84)에서 증착된)을 에천트에 노출시킴으로써 형성될 수 있다. 예를 들어, Mo 또는 비정질 Si와 같은 에칭가능한 희생 물질은 건식 화학 에칭에 의해, 예를 들어, 희생층(25)을, 통상적으로 공동(19)을 둘러싸는 구조들에 대해 선택적으로 제거되는 원하는 양의 물질을 제거하기에 효과적인 시간 기간 동안 고체  $\text{XeF}_2$ 로부터 유도된 증기들과 같은, 기체 또는 기상 에천트에 노출시킴으로써 제거될 수 있다. 에칭가능한 희생 물질 및 에칭 방법의 다른 조합들, 예를 들어, 습식 에칭 및/또는 플라즈마 에칭이 또한 사용될 수 있다. 희생층(25)이 블록(90) 동안 제거되므로, 이동가능한 반사층(14)은 통상적으로 이 스테이지 이후에 이동가능하다. 희생 물질(25)의 제거 이후, 결과적인 완전히 또는 부분적으로 제조된 IMOD는 "릴리즈된" IMOD로서 본원에서 지칭될 수 있다.

[0056] 본원 전반에 걸쳐 주지된 바와 같이, 하드웨어 및 데이터 프로세싱 장치는 IMOD 디바이스들을 포함한 전자 기계 시스템들과 연관될 수 있다. 이러한 하드웨어 및 데이터 프로세싱 장치는 박막 트랜지스터(TFT) 디바이스 또는 디바이스들을 포함할 수 있다.

[0057] 도 9a 및 9b는 박막 트랜지스터 디바이스에 대한 제조 프로세스를 예시하는 흐름도의 예를 도시한다. 도 10a-10e는 박막 트랜지스터 디바이스를 제조하는 방법에서의 다양한 스테이지들의 개략적 예시들의 예들을 도시한다. 도 9a 및 9b에 도시된 제조 프로세스의 변형이 도 11a 및 11b에 도시된 흐름도의 예에서 설명된다. TFT 디바이스에 대한 또다른 제조 프로세스가 도 13에 도시된 흐름도의 예에서 설명된다. TFT 디바이스에 대한 또다른 제조 프로세스가 도 15에 도시된 흐름도의 예에서 설명된다.

[0058] 도 9a를 참조하면, 방법(900)의 블록(902)에서, 실리콘 층이 기판 상에 형성된다. 기판은 투명한 물질들 및 불투명 물질들을 포함하는, 임의의 개수의 상이한 기판 물질들일 수 있다. 일부 구현예들에서, 기판은 실리콘, 실리콘-온-절연체(SOI), 유리(예를 들어, 디스플레이 유리 또는 봉규산 유리), 유연한 플라스틱, 또는 금속박이다. 일부 구현예들에서, TFT 디바이스가 제조된 기판은 사이즈에 있어서 수 마이크로미터 내지 수백 밀리미터까지



변경될 수 있다.

- [0059] 일부 구현예들에서, TFT 디바이스가 제조된 기관의 표면은 버퍼층을 포함한다. 버퍼층은 절연 표면으로서 역할을 할 수 있다. 일부 구현예들에서, 버퍼층은 실리콘 산화물( $\text{SiO}_2$ ) 또는 알루미늄 산화물( $\text{Al}_2\text{O}_3$ )과 같은 산화물이다. 일부 구현예들에서, 버퍼층은 약 100 내지 1000 나노미터(nm) 두께일 수 있다.
- [0060] 실리콘층은 기관 표면의 영역 상에 형성되어, 기관 표면의 영역들을 노출시켜 준다. 실리콘층은 CVD 프로세스들, PECVD 프로세스들, 저 압력 화학 기상 증착(LPCVD) 프로세스들, PVD 프로세스들, 및 액상 에피택시 프로세스들을 포함하는, 다수의 상이한 기법들에 의해 형성될 수 있다. PVD 프로세스는 펄스 레이저 증착(PLD) 및 스퍼터 증착을 포함한다. 실리콘층은 형성 기법에 따라, 비정질 실리콘, 다결정 실리콘, 또는 단결정 실리콘을 포함할 수 있다. 일부 구현예들에서, 실리콘층은 약 50 내지 200 nm 두께일 수 있다. 일부 구현예들에서, 실리콘층은 처리 프로세스(하기에 논의됨)에서 실리사이드 및 갭을 형성하기 위해 실리콘을 제공하기에 충분한 두께일 수 있다.
- [0061] 블록(904)에서, 금속층이 실리콘층 위에 형성되어, 실리콘/금속층을 형성한다. 금속층은 실리사이드를 형성하는 금속일 수 있다. 예를 들어, 금속은 티타늄(Ti), 니켈(Ni), 몰리브덴(Mo), 탄탈륨(Ta), 텅스텐(W), 플래티늄(Pt), 또는 코발트(Co)일 수 있다. 금속층은 PVD 프로세스들, CVD 프로세스들, 원자층 증착(ALD) 프로세스들을 포함하는 증착 프로세스들을 사용하여 형성될 수 있다. 일부 구현예들에서, 금속층은 약 50 내지 100nm 두께일 수 있다.
- [0062] 일부 구현예들에서, 실리콘 및 금속 이중층이 형성된 기관 표면의 영역은 증착 이전에 포토레지스트 또는 다른 마스크 물질에 의해 정의될 수 있다. 일부 다른 구현예들에서, 실리콘층 및/또는 금속층은 기관 표면의 영역을 포함하는 기관 표면의 더 큰 영역 상에 형성될 수 있다. 이들 다른 구현예들에서, 실리콘층 및/또는 금속층은 실리콘층 및/또는 금속이 형성된 이후 포토레지스트들을 이용하여 패터닝될 수 있다. 실리콘층 및/또는 금속층은 이후 기관 표면으로부터 실리콘층 및 금속층의 일부분을 제거하도록 에칭되어, 기관 표면의 영역 상에 실리콘층 및 금속층을 남겨둔다.
- [0063] 블록(906)에서, 실리콘/금속 이중층의 일부분이 제거된다. 실리콘/금속 이중층의 제거는 포토리소그래피 및 에칭을 포함하는 패터닝 동작들을 수반할 수 있다. 이들 동작들은 기관 표면으로부터 실리콘/금속 이중층의 일부분을 제거하여 기관 표면의 일부분을 노출시킬 수 있다. 제거되는 실리콘/금속 이중층의 일부분은 오버레이 유전층을 지지하는 것을 보조하는 유전체로 채워질 수 있다.
- [0064] 블록(908)에서, 제1 유전층은 금속층 및 블록(906)에서의 동작에 의해 노출되는 기관 표면의 일부분을 포함하는 기관 표면의 노출된 영역들 상에 형성된다. 제1 유전층은 다수의 상이한 유전 물질들을 포함할 수 있다. 일부 구현예들에서, 제1 유전층은 실리콘 이산화물( $\text{SiO}_2$ ), 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ), 하프늄 산화물( $\text{HfO}_2$ ), 티타늄 산화물( $\text{TiO}_2$ ), 실리콘 산화질화물( $\text{SiON}$ ), 또는 실리콘 질화물( $\text{SiN}$ )층이다. 일부 다른 구현예들에서, 제1 유전층은 스택화된 구조에 배열된 상이한 유전 물질들의 2개 이상의 층들을 포함한다. 제1 유전층은 PVD 프로세스들, PECVD 프로세스들을 포함하는 CVD 프로세스들, 및 ALD 프로세스들을 포함하는 증착 물질들을 사용하여 형성될 수 있다. 일부 구현예들에서, 제1 유전층은 약 50 내지 500 nm 두께일 수 있다.
- [0065] 도 10a는 방법(900)에서 이 포인트에서(예를 들어, 블록(908)까지) TFT 디바이스(1000)의 횡단면의 개략적 예시의 예를 도시한다. TFT 디바이스는 기관(1002), 실리콘층(1004), 금속층(1006), 및 제1 유전층(1008)을 포함한다. 제1 유전층(1008)은 일반적으로, 기반 기관(1002), 및 실리콘층(1004) 및 금속층(1006)에 의해 형성된 구조에 대해 등각이다. 도시된 예에서, 제1 유전체(1008)는 볼륨(1010)을 채우며, 여기서 실리콘층(1004) 및 금속층(1006)에 의해 형성된 이중층의 일부분이 블록(906)에서 제거되었다.
- [0066] 도 9a로 돌아가면, 블록(910)에서, 금속층 및 실리콘층이 처리된다. 처리 동안, 금속층은 실리콘층과 반응하여 실리사이드층, 및 실리사이드층과 제1 유전층 사이의 갭을 형성한다. 예를 들어, 금속층의 금속에 따라, 티타늄 실리사이드( $\text{TiSi}_2$ ), 니켈 실리사이드( $\text{NiSi}$ ), 몰리브덴 실리사이드( $\text{MoSi}_2$ ), 탄탈륨 실리사이드( $\text{TaSi}_2$ ), 텅스텐 실리사이드( $\text{WSi}_2$ ), 플래티늄 실리사이드( $\text{PtSi}$ ), 또는 코발트 실리사이드( $\text{CoSi}_2$ ) 실리사이드 층이 형성될 수 있다. 일부 구현예들에서, 금속층의 실리콘층과의 반응은, 금속층이 소모될 때 반응이 중단하는 자가-제한 프로세스이다. 일부 구현예들에서, 전체 금속층이 실리콘층과 반응한다. 일부 구현예들에서, 금속층 모두가 소모될 때, 금속과 반응하지 않은 일부 실리콘이 남을 수 있다. 일부 구현예들에서, 모든 실리콘이 실리사이드로 변환된다. 일부 구현예들에서, 전체 금속층이 실리콘층과 반응하고, 모든 실리콘이 실리사이드로 변환된다.

일부 구현예들에서, 금속층 모두가 소모되기 전에 처리가 중단될 수 있다.

- [0067] 따라서, 갭의 두께는 금속층의 두께 및/또는 실리콘층의 두께에 의해 제어될 수 있다. 예를 들어, Ni가 금속층에 대해 사용될 때, Ni의 약 1nm 두께층이 약 1.8 nm 실리콘을 소모하여 약 2.3 nm 두께의 NiSi층을 형성하여, 약 0.5nm의 Ni 및 실리콘층들의 두께 손실(즉, 2.8 nm - 2.3 nm)을 초래할 것이다. 약 20 nm 두께 갭을 형성하기 위해, 예를 들어, 적어도 약 72 nm 두께인 실리콘의 층 상의 Ni의 약 39.2 nm 두께층이 사용될 수 있다. 일부 구현예들에서, 갭의 두께는 약 10 내지 50 nm일 수 있다.
- [0068] 일부 구현예들에서, 처리는 금속층 및 실리콘층 사이의 반응을 위한 에너지를 제공한다. 일부 구현예들에서, 처리는 가열 처리를 포함할 수 있다. 가열 처리의 온도 및 듀레이션은 실리콘층과 금속층의 반응 온도에 따른다. 일부 구현예들에서, 가열 처리는 약 1분 내지 약 20분 동안 약 250° C 내지 1000° C 에서일 수 있다. 예를 들어, Ni가 금속층에 대해 사용될 때, 가열 처리는 약 10분동안 약 450° C 에서일 수 있다. 일부 다른 구현예들에서, 처리는 이온 주입 프로세스 또는 플라즈마 에칭에 의해 실리콘층의 표면을 거칠게 하는 것을 통해 실리콘 층 내에 다양한 도펀트들의 주입하는 것, 및 이후 실리콘층 내에서 다양한 도펀트들을 확산시키는 것을 포함할 수 있다.
- [0069] 일부 구현예들에서, 실리콘사이드층 및 제1 유전층 사이의 갭은 진공갭일 수 있다. 예를 들어, 제1 유전층이 실리콘층 및 금속층을 완전히 커버할 때, 금속층이 실리콘층과 반응할 때, 진공이 갭에 형성될 수 있다. 일부 다른 구현예들에서, 제1 유전층이 실리콘층 및 금속층을 완전히 커버하지 않을 때, 갭은 에어를 포함할 수 있는데, 즉, 갭이 에어 갭일 수 있다.
- [0070] 도 10b는 방법(900)에서 이 포인트에서(예를 들어, 블록(910)까지) TFT 디바이스(1000)의 횡단면의 개략적 예시의 예를 도시한다. TFT 디바이스(1000)는 실리콘사이드층(1022) 및 갭(1024)을 포함한다. 도시된 예에서, 갭(1024)은 실리콘사이드층(1022) 및 기관(1002) 사이에 존재한다. 갭은 제1 유전층(1008)에 의해 채워진 볼륨(1010)에 의해 둘로 나누어진다.
- [0071] 도시된 예에서, 도 10a에 도시된 금속층(1006) 및 실리콘층(1004)은 둘 모두 도 10b에서 소모된다. 일부 다른 구현예들(미도시)에서, 도 10a에 도시된 실리콘층(1004)의 일부분은 실리콘사이드층(1022) 및 기관(1022) 사이에 배치되어 유지될 수 있다. 일부 다른 구현예들(미도시)에서, 금속층(1006)의 일부분은 갭(1024) 및 제1 유전층(1008) 사이에 배치되어 유지될 수 있다.
- [0072] 도 10c는 방법(900)에서 이 포인트에서(예를 들어, 블록(910)까지) TFT 디바이스(1000)의 톱-다운 개략적 예시의 예를 도시한다. 명료함을 위해, 도 10c에 도시된 TFT 디바이스(1000)의 톱-다운 뷰는 제1 유전층(1008)을 도시하지 않는다. TFT 디바이스(1000)는 기관(1002), 실리콘사이드층(1022), 및 갭(1024)을 포함한다. 제1 유전층(1008)이 형성된 기관 표면의 노출된 영역들은 파선(1009)에 의해 표시되고; 1009 내의 노출된 기관 표면의 임의의 부분이 제1 유전층(1008)을 포함할 수 있다. 일부 구현예들에서, 갭(1024)의 디멘전(1092)은 약 50 nm 내지 수십 마이크로미터일 수 있다. 일부 구현예들에서, TFT 디바이스(1000)의 디멘전(1094)은 약 50 nm 내지 수 밀리미터 또는 약 수 마이크로미터 내지 수십 마이크로미터일 수 있다.
- [0073] 일부 구현예들에서, 볼륨(1010)은 제1 유전층(1008)에 대해 미는 대기압에 대한 지지를 제공하는 역할을 한다. 예를 들어, 갭(1024)이 진공 갭이고 TFT 디바이스가 표준 대기압에서의 환경에 있을 때, 갭을 붕괴시키는 경향이 있는 갭(1024) 상의 압력은 약 101,325 파스칼(Pa) 또는 약 1기압(atm)일 수 있다. 갭을 붕괴시키는 경향이 있는 갭(1024) 상의 압력은 갭(1024)을 오버레이하는 제1 유전층(1008)을 기반 실리콘사이드 층(1022)과의 접촉부 내로 푸시할 수 있다. 제1 유전층(1008)의 두께 및 강성률에 따라, 제1 유전층(1008)으로 채워진 볼륨(1010)이 존재하지 않는 경우, 대기압은 갭(1024)을 붕괴하게 하기에 충분할 수 있다. 따라서, 제1 유전층(1008)으로 채워진 볼륨(1010)은 제1 유전층이 얇고 그리고/또는 유연할 때, 갭(1024)이 붕괴하는 것을 방지하는 것을 보조할 수 있다.
- [0074] 갭(1024)을 둘로 나누는 제1 유전층(1008)의 바로서 도시되어 있지만, 제1 유전층(1008)으로 채워진 볼륨(1010)은 임의의 개수의 상이한 구성일 수 있다. 일부 구현예들에서, 제1 유전층으로 채워진 볼륨(1010)은 서로에 대해 그리고 도 10c에 도시된 디멘전(1092)에 대해 실질적으로 평행한 다수의 바들을 포함할 수 있다. 일부 구현예들에서, 볼륨(1010)은 서로에 대해 실질적으로 평행한 하나 이상의 바들 및 도 10c에 도시된 디멘전(1094)을 포함할 수 있다. 일부 구현예들에서, 제1 유전층으로 채워진 볼륨(1010)은 실리콘사이드층(1022) 및 갭(1024)의 중간에 있는 원통형 포스트 또는 실리콘사이드층(1022) 및 갭(1024) 내의 다수의 대칭적으로 배열된 원통형 포스트들일 수 있다. 포스트들은 다른 패턴들로 배열될 수 있고, 포스트들은 삼각형, 육각형, 또는 정사각형

횡단면들과 같은 상이한 횡단면들을 가질 수 있고, 원통형 횡단면들에 제한되지 않는다. 일부 다른 구현예들에서, 제1 유전층으로 채워진 볼륨은 벌집 구조일 수 있다.

[0075] 블록(912)에서, 비정질 실리콘층이 제1 유전층 상에 형성된다. 비정질 실리콘층은 CVD 프로세스들, PECVD 프로세스들, LPCVD 프로세스들, PVD 프로세스들, 및 액상 에피택시 프로세스들을 포함하는 다수의 상이한 기법들에 의해 형성될 수 있다. 일부 구현예들에서, 비정질 실리콘층은 50 내지 150 nm 두께, 예를 들어, 약 100nm 두께일 수 있다. 비정질 실리콘층은 3개의 영역들: 겹에 오버랩하는 제3 실리콘 영역, 및 제3 실리콘 영역이 제1 실리콘 영역 및 제2 실리콘 영역 사이에 있도록 겹의 한 측면 상의 기판에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역을 포함할 수 있다. 제3 실리콘 영역은 TFT 디바이스의 채널 영역을 형성할 수 있다. 제1 및 제2 실리콘 영역들은 TFT 디바이스의 소스 영역 및 드레인 영역을, 또는 그 역을 각각 형성할 수 있다.

[0076] 블록(914)에서, 제2 유전층이 비정질 실리콘층 상에 형성된다. 제2 유전층은 임의의 개수의 상이한 유전 물질들일 수 있다. 일부 구현예들에서, 제2 유전층은  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{TiO}_2$ ,  $\text{SiON}$ , 및  $\text{SiN}$ 을 포함하는, 제1 유전층과 동일한 유전 물질이다. 제2 유전층은 PVD 프로세스들, CVD 프로세스들, 및 SLD 프로세스들을 포함하는 증착 프로세스들을 사용하여 형성될 수 있다. 일부 구현예들에서, 제2 유전층은 약 10 내지 100 nm 두께, 예를 들어, 약 10 내지 50 nm 두께일 수 있다.

[0077] 블록(916)에서, 비정질 실리콘 층이 가열된다. 비정질 실리콘 층은 임의의 개수의 상이한 가열 방법들을 이용하여 가열될 수 있다. 일부 구현예들에서, 비정질 실리콘층이 용융되거나 부분적으로 용융되는데, 즉, 비정질 실리콘층은 실리콘의 용융점인 약  $1414^\circ\text{C}$ 로 가열될 수 있다. 일부 구현예들에서, 비정질 실리콘층은 엑시머 레이저를 이용하여 가열된다. 예를 들어, 염화 제논( $\text{XeCl}$ ) 엑시머 레이저가 제2 유전층을 조사하고 기반 비정질 실리콘층을 가열하기 위해 사용될 수 있다. 레이저 에너지 밀도는 제곱 센티미터 당 약 280 내지 380 밀리줄( $\text{mJ}/\text{cm}^2$ ), 예를 들어, 약  $320 \text{ mJ}/\text{cm}^2$ 일 수 있다. 비정질 실리콘 층에 오버레이하는 제2 유전체는 가열 프로세스 동안 비정질 실리콘층의 증착(evaporation)을 방지하는 역할을 한다.

[0078] 블록(918)에서, 비정질 실리콘층이 냉각된다. 제1 실리콘 영역 및 제2 실리콘 영역은, 둘 모두 기판에 오버레이하며, 기반 기판에 대한 열전도를 통해 부분적으로 냉각된다. 제1 실리콘 영역 및 제2 실리콘 영역은 이러한 열전도로 인해 신속하게 냉각될 수 있다. 예를 들어, 제1 실리콘 영역 및 제2 실리콘 영역은, 일부 구현예들에서, 초당 약  $10^8^\circ\text{C}$  정도의 속도로 냉각될 수 있다. 겹에 오버레이하는 제3 실리콘 영역은, 부분적으로, 제1 실리콘 영역 및 제2 실리콘 영역에 걸친 열 전도를 통해 냉각되고; 겹의 에어 또는 진공의 열 전도율이 낮음에 따라, 겹을 통해서서는 더 적은 열전도가 발생할 수 있다. 따라서, 제3 실리콘 영역은 겹으로 인해 느리게 냉각될 수 있다.

[0079] 제3 실리콘 영역으로부터의 느린 열 전도로 인해, 제3 실리콘 영역은 단일 실리콘 입자(즉, 실리콘의 단결정) 또는 큰 실리콘 입자들로서 결정화될 수 있다. 예를 들어, 제3 실리콘 영역으로부터의 열 전도로 인해, 더 큰 실리콘 결정들(예를 들어, 약 4 마이크론의 길이)이, 제1 실리콘 영역으로부터 제2 실리콘 영역으로 제3 실리콘 영역에 걸쳐 성장할 수 있다. 제1 및 제2 실리콘 영역들로부터의 더 빠른 열 전도로 인해, 제1 및 제2 실리콘 영역들은 비정질 실리콘 또는 작은 실리콘 입자들을 포함할 수 있다. 예를 들어, 작은 실리콘 입자들은 나노미터 사이즈의 입자들일 수 있다.

[0080] 제1 유전층으로 채워진 겹 내의 볼륨의 구성(예를 들어, 도 10의 볼륨(1010))은 제3 실리콘 영역으로부터의 열 전도율에 영향을 줄 수 있다. 따라서, 볼륨의 구성은 제3 실리콘 영역 내에 특정 실리콘 마이크로구조를 형성하도록 조정될 수 있다. 예를 들어, 서로에 대해 그리고 도 10c에 도시된 디멘전(1094)에 대해 실질적으로 평행한 제1 유전층의 바들과 같은, 제1 유전층으로 채워진 볼륨의 일부 구성들은 실리콘의 단일 결정을 초래하는 방식으로 제3 실리콘 영역으로부터 열을 전도할 수 있다.

[0081] TFT 디바이스를 형성하기 위한 비정질 실리콘 층의 재결정화에 관한 추가적인 상세항목은 본원에 인용에 의해 포함된, 2002년 6월, Cheon-Hong Kim등에 의한 IEEE Electron Device Letters, Vol. 23, No. 6, pp. 315-317의 "A Poly-Si TFT Fabricated by Excimer Laser Recrystallization on Floating Active Structure"에서 발견될 수 있다.

[0082] 도 10d는 방법(900)에서 이 포인트에서(예를 들어, 블록(918)까지) TFT 디바이스(1000)의 횡단면의 개략적 예시의 예를 도시한다. 도 10b에 관해 기술된 바와 같이, TFT 디바이스(10000)는 기판(1002)에 오버레이하는 실리콘사이드층(1022) 및 제1 유전층(1008)을 포함하며, 실리콘사이드층(1022)과 제1 유전층(1008) 사이에 겹(1024)을

가진다. 3개의 실리콘 영역들 즉, 제1 실리콘 영역(1034), 제2 실리콘 영역(1036), 및 제3 실리콘 영역(1038)이 제1 유전층(1008)에 오버레이한다. 제2 유전층(1032)은 제1, 제2 및 제3 실리콘 영역들(1034, 1036, 및 1038)에 등각으로 오버레이한다.

[0083] 제3 실리콘 영역(1038)은 단일 실리콘 입자 또는 실리콘 입자들을 포함할 수 있다. 제1 실리콘 영역(1034) 및 제2 실리콘 영역(1036)은 제3 실리콘 영역(1038) 내의 단일 실리콘 입자 또는 실리콘 입자들보다 더 작은 비정질 실리콘 또는 실리콘 입자들을 포함할 수 있다. 도 10d에 도시된 TFT 디바이스(1000)이 제1 실리콘 영역(1034), 제2 실리콘 영역(1036) 및 제3 실리콘 영역(1038) 사이의 명백한 경계들을 가지지만, 실제 TFT 디바이스는 예를 들어, 제3 실리콘 영역(1038) 내의 더 큰 입자 사이즈로부터 제1 및 제2 실리콘 영역들(1034 및 1036) 내의 더 작은 입자들로의 점진적 트랜지션을 포함할 수 있다. 각각의 실리콘 영역의 입자 사이즈들 및 각각의 영역의 경계는 비정질 실리콘 층 밖의 열전도에 따른다.

[0084] 블록(920)에서, 제2 유전층이 제거된다. 습식 또는 건식 에칭 프로세스들은 제2 유전층(1032)을 제거하기 위해 사용될 수 있다.

[0085] 블록(922)에서, n-타입 도펀트가 제1 및 제2 실리콘 영역들에 주입된다. 일부 구현예들에서, 도펀트가 제3 실리콘 영역 내에 주입되는 것을 방지하기 위해 마스크가 사용될 수 있다. 예를 들어, 인(P)이 제1 및 제2 실리콘 영역들에 주입될 수 있다. P 도펀트는, 예를 들어, 제곱 센티미터 당 약  $5 \times 10^{20}$  개의 원자들의 투여량(dose)으로 주입될 수 있다. 다른 n-타입 도펀트들은, 당업자에 의해 공지될 바와 같이, 적절한 투여량으로 적절한 방법을 사용하여 주입될 수 있다.

[0086] 블록(924)에서, 제3 유전층은 제1 실리콘 영역, 제2 실리콘 영역, 및 제3 실리콘 영역 상에 형성된다. 제3 유전층은 임의의 개수의 상이한 유전 물질들일 수 있다. 일부 구현예들에서, 제3 유전층은  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{TiO}_2$ ,  $\text{SiON}$ , 및  $\text{SiN}$ 을 포함하는 제1 유전층과 동일한 유전 물질이다. 제3 유전층은 PVD 프로세스들, CVD 프로세스들, 및 ALD 프로세스들을 포함하는 증착 프로세스들을 사용하여 형성될 수 있다. 일부 구현예들에서, 제3 유전층은 약 50 내지 500 nm 두께일 수 있다. 일부 구현예들에서, 제3 유전층은 패시베이션(passivation) 절연체로서 작용한다. 패시베이션 절연체는 외부 환경으로부터 TFT 디바이스를 보호하는 층으로서 역할을 할 수 있다.

[0087] 블록(926)에서, 제3 유전층의 일부분들이 제거되어 제1 실리콘 영역 및 제2 실리콘 영역을 노출시킨다. 습식 또는 건식 에칭 프로세스들을 통한 포토레지스트들이 제1 실리콘 영역 및 제2 실리콘 영역을 노출시키기 위해 사용될 수 있다.

[0088] 블록(928)에서, 제1 실리콘 영역 및 제2 실리콘 영역에 대한 접촉부들이 형성된다. 접촉부들은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 탄탈륨(Ta), 크롬(Cr), 네오디뮴(Nd), 텅스텐(W), 티타늄(Ti), 및 이들 엘리먼트들 중 임의의 엘리먼트를 포함하는 합금을 포함하는 임의의 개수의 상이한 금속들일 수 있다. 일부 구현예들에서, 접촉부들은 스택화된 구조로 배열된 둘 이상의 상이한 금속들을 포함한다. 접촉부들은 또한 인듐 주석 산화물(ITO)와 같은 도전성 산화물일 수 있다. 접촉부들은 PVD 프로세스들, CVD 프로세스들 및 ALD 프로세스들을 포함하는 증착 프로세스들을 사용하여 형성될 수 있다.

[0089] 도 10e는 이 포인트에서(예를 들어, 방법(900)의 종단에서) TFT 디바이스(1000)의 횡단면의 개략적 예시의 예를 도시한다. TFT 디바이스는 기판(1002)에 오버레이하는 실리콘사이드층(1022) 및 제1 유전층(1008)을 포함하고, 실리콘사이드층(1022) 및 제1 유전층(1008) 사이에 갭(1024)을 가진다. 3개의 실리콘 영역들, 즉, 제1 실리콘 영역(1034), 제2 실리콘 영역(1036) 및 제3 실리콘 영역(1038)이 제1 유전층(1008)에 오버레이한다. TFT 디바이스(1000)는 제1 실리콘 영역(1034)의 n-도핑된 부분(1044) 및 제2 실리콘 영역(1036)의 n-도핑된 부분(1046)을 더 포함한다. 제3 유전층(1052)은 n-도핑된 부분(1044), 제3 실리콘 영역(1038), 및 n-도핑된 부분(1046)에 오버레이한다. 제1 접촉부(1054) 및 제2 접촉부(1056)는 제3 유전층(1052)을 투과하여 각각 n-도핑된 영역(1044) 및 n-도핑된 영역(1046)에 접촉한다.

[0090] TFT 디바이스(1000)에 대해, 실리콘사이드 층(1022)은 게이트로서 역할을 하여, TFT 디바이스(1000)를 바닥-게이트 TFT 디바이스로 만들 수 있다. 제3 실리콘 영역(1038)은 소스 영역으로서 역할을 하는 제1 실리콘 영역(1034)의 n-도핑된 부분(1044) 및 드레인 영역으로서 역할을 하는 제2 실리콘 영역(1036)의 n-도핑된 부분(1046)을 가지는 TFT 디바이스(1000)의 채널 영역으로서 역할을 할 수 있다. 일부 구현예들에서, 채널 영역의 길이(즉, 제1 실리콘 영역(1034) 및 제2 실리콘 영역(1036) 사이의 거리)는 짧아서, TFT 디바이스(1000)의 개선된 성능을 가능하게 할 수 있다. 일부 구현예들에서, 채널 영역의 폭(즉, 페이지 내로 확장하는 제3 실리콘



영역(1038)의 디멘전)은 커서, TFT 디바이스로 하여금 제1 실리콘 영역(1034)의 n-도핑된 부분(1044) 및 제2 실리콘 영역(1036)의 n-도핑된 부분(1046) 사이의 큰 전류 흐름을 수용하게 할 수 있다. 일부 구현예들에서, 제3 실리콘 영역(1038)의 길이 및 폭은, 길이 및 폭 모두에 대해 약 3 마이크로미터보다 더 클 수 있다(예를 들어, 약 3 마이크로미터 내지 4 마이크로미터). 일부 다른 구현예들에서, 제3 실리콘 영역(1038)의 길이 및 폭은 길이 및 폭 모두에 대해, 약 3 마이크로미터보다 더 작을 수 있다(예를 들어, 약 1 마이크로미터 내지 2 마이크로미터, 또는 심지어 그 이하).

[0091] 일부 구현예들에서, 제3 실리콘 영역(1038) 아래에 놓인 갭(1024) 및 제1 유전층(1008)은 함께 게이트 절연체로서 역할을 한다. 제3 유전층(1052)은 패시베이션 절연체로서 역할을 할 수 있다. 전술된 바와 같이, 갭(1024)을 분할하는 제1 유전층(1008)에 의해 채워진 볼륨(1010)은 갭(1024)에 오버레이하는 제1 유전층(1008)의 일 부분에 대한 구조적 지지 특징으로서 역할을 할 수 있다.

[0092] 도 10a-10e가 TFT 디바이스를 제조하는 방법에서의 다양한 스테이지들의 개략적 예시들의 예들을 도시하지만, 다양한 수정들이 원하는 구현예에 따라 이루어질 수 있다. 예를 들어, 실리콘층(1004) 및 금속층(1006)이 도 10a에서 평면 물질층들로서 도시되지만, 일부 구현예들에서, 실리콘층(1004) 및/또는 금속층(1006)이 둘러싸일 수 있다(contour). 둘러싸인 실리콘층(1004) 및/또는 금속층(1006)은 일부 구현예들에서, 갭의 길이에 걸쳐 가변적 두께를 가지는 갭(1024)을 생성할 수 있다. 가변적 두께의 갭은 제3 실리콘 영역으로부터 열 전도 속도에 영향을 줄 수 있다. 따라서, 일부 구현예들에서, 가변적 두께의 갭은 제3 실리콘 영역에서 특정 실리콘 마이크로구조를 형성하도록 조정될 수 있다. 예를 들어, 실리콘층(1004)은 삼각형 횡단면을 가질 수 있고, 금속층(1006)은 기반 실리콘층(1004)에 순응할 수 있다. 또다른 예로서, 실리콘층(1004)은 평면층일 수 있고, 금속층(1006)은 삼각형 횡단면을 가질 수 있다.

[0093] 도 11a 및 11b는 박막 트랜지스터 디바이스에 대한 제조 프로세스를 예시하는 흐름도의 예를 도시한다. 도 11a 및 11b에 도시된 방법(1100)은 도 9a 및 9b에 도시된 방법(900)과 유사하며, 도 9a 및 9b에 도시된 일부 프로세스 동작들이 생략되거나 추가적인 프로세스 동작들이 추가된다. 방법(1100)의 구현예들은, 예를 들어, 톱-게이트 또는 듀얼-게이트 TFT 디바이스를 제조하도록 사용될 수 있다.

[0094] 도 11a를 참조하면, 방법(1100)은 방법(900)에 대해 설명된 프로세스 동작들을 가지고 시작한다. 프로세스(1100)의 블록(902)에서, 실리콘층은 기판 상에 형성된다. 블록(904)에서, 금속층이 실리콘층 상에 형성되어, 실리콘/금속 이중층을 형성한다. 도 9a 및 9b에 대해 전술된 바와 같이, 금속 및 실리콘층들이 결국 반응하여 실리사이드층을 형성할 것이다. 블록(908)에서, 제1 유전층은 기판 표면의 노출된 영역들 및 금속층 상에 형성된다. 블록(910)에서, 금속층 및 실리콘층이 처리된다. 도 9a 및 9b에 대해 전술된 바와 같이, 처리는 금속층 및 실리콘층 사이의 반응을 위한 에너지를 제공하여, 실리사이드층 및 갭을 형성한다. 블록(912)에서, 비정질 실리콘층이 제1 유전층 상에 형성된다. 비정질 실리콘층은 3개의 영역들, 즉, 갭에 오버레이하는 제3 실리콘 영역, 및 제3 실리콘 영역이 제1 실리콘 영역 및 제2 실리콘 영역 사이에 존재하도록 갭의 어느 한 측면 상의 기판에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역을 포함할 수 있다. 블록(914)에서, 제2 유전층이 비정질 실리콘층 상에 형성된다. 블록(916)에서, 비정질 실리콘층이 가열된다. 블록(918)에서, 비정질 실리콘층이 냉각된다. 갭으로 인해, 제3 실리콘 영역은 제1 실리콘 영역 및 제2 실리콘 영역에 대해 더 느린 속도로 냉각될 수 있다. 블록(920)에서, 제2 유전층이 제거된다. 블록들(902-920)의 추가적인 상세항목들이 도 9a 및 9b에 대해 전술되었다.

[0095] 방법(1100)은 이후, 블록(1102)에서 계속되며, 여기서, 제3 유전층이 제3 실리콘 영역 상에 형성된다. 제3 유전층은 임의의 개수의 상이한 유전 물질들일 수 있다. 일부 구현예들에서, 제3 유전층은,  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{TiO}_2$ ,  $\text{SiON}$ , 및  $\text{SiN}$ 을 포함하는 제1 유전층과 동일한 유전 물질이다. 제3 유전층은 PVD 프로세스들, CVD 프로세스들, 및 ALD 프로세스들을 포함하는 증착 프로세스들을 사용하여 형성될 수 있다. 일부 구현예들에서, 제3 유전층이 약 10 내지 75 nm 두께일 수 있다.

[0096] 블록(1104)에서, 제2 금속층은 제2 유전층 상에 형성된다. 제2 금속층은 실리사이드를 형성하는 금속일 수 있다. 예를 들어, 금속은 Ti, Ni, Mo, Ta, W, Pt, 또는 Co일 수 있다. 제2 금속층은 PVD 프로세스들, CVD 프로세스들 및 ALD 프로세스들을 포함하는 증착 프로세스들을 사용하여 형성될 수 있다. 일부 구현예들에서, 제2 금속층은 약 50 내지 100 nm 두께일 수 있다.

[0097] 블록(1106)에서, 제2 실리콘층이 제2 금속층 상에 형성되어 제2 실리콘/금속 이중층을 형성한다. 제2 실리콘층은 다수의 상이한 기법들에 의해 형성될 수 있다. 예를 들어, 제2 실리콘층은 CVD 프로세스들, PECVD 프로세스

들, LPCVD 프로세스들, PVD 프로세스들, 또는 액상 에피택시 프로세스들을 사용하여 형성될 수 있다. 제2 실리콘층은 형성 기법에 따라, 비정질 실리콘, 다결정 실리콘, 또는 단결정 실리콘을 포함할 수 있다. 일부 구현예들에서, 제2 실리콘층은 약 50 내지 200 nm 두께일 수 있다. 일부 구현예들에서, 실리콘은 처리 프로세스에서 실리사이드 및 갭을 형성하기 위한 실리콘을 제공할만큼 충분히 두꺼울 수 있다.

[0098] 블록(1108)에서, 제4 유전층이 제2 실리콘층의 일부분들 및 제3 유전층의 일부분들 상에 형성된다. 예를 들어, 제4 유전층은 제2 실리콘층의 주변 에지들 상에, 그리고 제2 금속층 및 제2 실리콘 층에 의해 커버되지 않는 제3 유전층의 일부분들 상에 형성될 수 있다. 하기에 추가로 논의될 바와 같이, 제4 유전층은 제2 갭의 형성 동안 지지대로서 역할을 할 수 있다. 제4 유전층이 형성되는 제2 실리콘층 및 제3 유전층의 일부분들은 제2 갭의 원하는 특성들에 부분적으로 의존할 수 있다. 제4 유전층은 임의의 개수의 상이한 유전 물질들일 수 있다. 일부 구현예들에서, 제4 유전층은,  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{TiO}_2$ ,  $\text{SiON}$ , 및  $\text{SiN}$ 을 포함하는 제1 유전층과 동일한 유전 물질이다. 제4 유전층은 PVD 프로세스들, CVD 프로세스들, 및 ALD 프로세스들을 포함하는 증착 프로세스들을 사용하여 형성될 수 있다. 일부 구현예들에서, 제4 유전층은 약 100 내지 250 nm 두께일 수 있다.

[0099] 블록(1110)에서, 블록(910)과 유사하게, 제2 금속층 및 제2 실리콘층이 처리된다. 처리 동안, 제2 금속층은 제2 실리콘층과 반응하여 제2 실리사이드층, 및 제2 실리사이드층과 제3 유전층 사이의 제2 갭을 형성한다. 일부 구현예들에서, 제2 금속층의 제2 실리콘층과의 반응은 제2 금속층이 소모될 때 반응이 중단되는 자가-제한 프로세스이다. 일부 구현예들에서, 전체의 제2 금속층은 제2 실리콘층과 반응한다. 일부 구현예들에서, 제2 금속층 모두가 소모될 때, 금속과 반응하지 않은 일부 실리콘이 남아있을 수 있다. 일부 구현예들에서, 실리콘 모두가 실리사이드로 변환된다. 일부 구현예들에서, 전체 제2 금속층이 제2 실리콘층과 반응하고, 실리콘 모두가 실리사이드로 변환된다. 일부 구현예들에서, 제2 금속층 모두가 소모되기 전에 처리가 중단될 수 있다. 따라서, 제2 갭의 두께는 제2 금속층의 두께 및/또는 제2 실리콘층의 두께에 의해 제어될 수 있다. 일부 구현예들에서, 제2 갭의 두께는 약 10 내지 50 nm일 수 있다. 일부 구현예들에서, 블록(910)에서 형성된 갭의 두께는 제2 갭의 두께와 동일할 수 있다. 일부 다른 구현예들에서, 블록(910)에서 형성된 갭의 두께는 제2 갭의 두께와는 상이할 수 있다.

[0100] 일부 구현예들에서, 처리는 열처리를 포함할 수 있다. 블록(1110)에서 열처리의 온도 및 듀레이션은 제2 금속층의 제2 실리콘층과의 반응 온도에 의존한다. 일부 구현예들에서, 열 처리는 약 1분 내지 약 20분 동안 약 250 °C 내지 1000°C에 있을 수 있다. 예를 들어, Ni가 제2 금속층에 대해 사용될 때, 열 처리는 약 10분 동안 약 450°C에 있을 수 있다. 일부 다른 구현예들에서, 처리는 이온 주입 프로세스 또는 플라즈마 에칭에 의해 실리콘층의 표면을 거칠게 하는 것을 통해 실리콘 층에 다양한 도펀트들을 주입하는 것, 및 이후 실리콘층 내에서 다양한 도펀트들을 확산시키는 것을 포함할 수 있다.

[0101] 제2 실리콘층의 일부분들 및 제3 유전층의 일부분들 상의 제4 유전층은, 제2 실리콘층이 제2 금속층과 반응하여 제2 갭을 형성함에 따라 제2 실리콘 층에 대한 지지대로서의 역할을 할 수 있다. 일부 구현예들에서, 제2 실리사이드층 및 제3 유전층 사이의 제2 갭은 진공 갭일 수 있다. 예를 들어, 제4 유전층은 제2 실리콘층 및 제2 금속층의 에지들을 완전히 커버할 때, 제2 금속층이 제2 실리콘층과 반응할 때, 제2 갭에 진공이 형성될 수 있다. 일부 다른 구현예들에서, 제4 유전층이 제2 실리콘층 및 제2 금속층의 에지들을 완전히 커버하지 않을 때, 제2 갭은 공기를 포함할 수 있다. 제2 갭이 진공 갭인 경우, 제4 유전층은 제2 실리사이드층을 제3 유전층과의 접촉부로 푸시하려는 경향이 있는 제2 갭 상의 압력에 대해 형성되는 제2 실리사이드층을 지지할 수 있다.

[0102] 방법(1100)은 방법(900)에 대해 전술된 프로세스 동작을 가지고 계속된다. 블록(922)에서, n-타입 도펀트는 제1 및 제2 실리콘 영역들에 주입된다. 제3 유전층, 제2 실리사이드층, 및 제4 유전층은 도펀트가 제3 실리콘 영역에 주입되는 것을 방지하기 위한 마스크로써 작용할 수 있다. 예를 들어, 인(P)이 제1 및 제2 실리콘 영역들에서 주입될 수 있다. P 도펀트는, 예를 들어, 제곱 센티미터( $\text{cm}^2$ ) 당 약  $5 \times 10^{20}$ 개의 원자들의 투입량으로 주입될 수 있다. 다른 n-타입 도펀트들이 적절한 투입량으로 적절한 방법을 사용하여 주입될 수 있다.

[0103] 방법(1100)의 일부 구현예들에서, 방법(900)의 블록(906)에서의 동작이 수행되지 않는다. 따라서, 방법(1100)의 일부 구현예들에서, 910에서 금속층 및 실리콘층이 처리되어 실리사이드층 및 갭을 형성한 이후, 갭이 진공 갭인 경우, 제1 유전층은 갭이 붕괴하지 않고 갭에 오버레이하는 제1 유전층을 실리사이드층과의 접촉부에 푸시하도록 충분히 두껍고 그리고/또는 단단할 수 있다(rigid).

[0104] 도 12는 부분적으로 제조된 박막 트랜지스터 디바이스의 횡단면의 개략적 예시의 예를 도시한다. 도 12에 도시된 부분적으로 제조된 TFT 디바이스(1200)는 방법(1100)에 의해 생성될 수 있는 구조의 예를 포함한다. 부분적

으로 제조된 TFT 디바이스는 기관(1002)에 오버레이하는 실리사이드층(1022) 및 제1 유전층(1008)을 포함하며, 실리사이드층(1022) 및 제1 유전층(1008) 사이에 갭(1024)을 가진다. 3개의 실리콘 영역들, 즉 제1 실리콘 영역(1034), 제2 실리콘 영역(1036) 및 제3 실리콘 영역(1038)은 제1 유전층(1008)에 오버레이한다. TFT 디바이스(1200)는 또한 제1 실리콘 영역(1034)의 n-도핑된 부분(1044), 및 제2 실리콘 영역(1036)의 n-도핑된 부분(1046)을 포함한다. 부분적으로 제조된 TFT 디바이스(1200)는 제3 실리콘 영역(1038) 상의 제3 유전층(1202)에 오버레이하는 제2 실리사이드층(1206)을 더 포함하고, 제2 실리사이드층(1206) 및 제3 유전층(1202) 사이의 제2 갭(1204)을 가진다. 제4 유전층(1208)은 제2 실리사이드층(1206)에 대한 지지대로서 역할을 할 수 있다.

[0105] 일부 구현예들에서, 부분적으로 제조된 TFT 디바이스(1200)의 제조가 완료될 때, 제2 실리사이드층(1206)은 게이트로서의 역할을 하여, TFT 디바이스(1200)를 톱-게이트 디바이스로 만들 수 있다. 제3 실리콘 영역(1038)은 소스 영역으로서 역할을 하는 제1 실리콘 영역(1034)의 n-도핑된 부분(1044) 및 드레인 영역으로서 역할을 하는 제2 실리콘 영역(1036)의 n-도핑된 부분(1046)을 가지는 TFT 디바이스(1200)의 채널 영역으로서 역할을 할 수 있다. 일부 구현예들에서, 제3 실리콘 영역(1038)에 오버레이하는 제2 갭(1204) 및 제3 유전층(1202)은 함께 게이트 절연체로서 역할을 한다.

[0106] 일부 다른 구현예들에서, 부분적으로 제조된 TFT 디바이스(1200)의 제조가 완료될 때, 실리사이드층(1022) 및 제2 실리사이드층(1206) 모두는 게이트들로서 역할을 하여, TFT 디바이스(1200)를 듀얼-게이트 TFT 디바이스로 만들 수 있다. 제3 실리콘 영역(1038)은 소스 영역으로서 역할을 하는 제1 실리콘 영역(1034)의 n-도핑된 부분(1044) 및 드레인 영역으로서 역할을 하는 제2 실리콘 영역(1036)의 n-도핑된 부분(1046)을 가지는 TFT 디바이스(1200)의 채널 영역으로서 역할을 할 수 있다. 일부 구현예들에서, 제3 실리콘 영역(1038) 아래에 있는 갭(1024) 및 제1 유전층(1008)은 함께 바닥-게이트에 대한 게이트 절연체(예를 들어, 실리사이드층(1022))로서 역할을 하고, 제3 영역(1038)에 오버레이하는 제2 갭(1204) 및 제3 유전층(1202)은 함께 톱-게이트에 대한 게이트 절연체(예를 들어, 제2 실리사이드층(1206))로서 역할을 한다.

[0107] TFT 디바이스의 제조를 완료하기 위해, 방법(1100)은 방법(900)에 대해 전술된 프로세스 동작들과 유사한 프로세스 동작들을 이용하여 계속할 수 있다. 예를 들어, 블록(924)과 유사하게, 제5 유전층이 제1 실리콘 영역, 제2 실리콘 영역, 제4 유전층, 및 제2 실리사이드층 상에 형성될 수 있다. 제4 유전층은 패시베이션 절연체로서 역할을 할 수 있다. 블록(926)과 유사하게, 제5 유전층의 일부분들이 제거되어 제1 및 제2 실리콘 영역들을 노출시킬 수 있다. 또한, 제5 유전층의 일부분이 제거되어 제2 실리사이드층을 노출시킬 수 있다. 제1 및 제2 실리콘 영역들에 대한 접촉부들이 블록(928)에 대해 설명된 바와 같이 형성될 수 있다. 추가로, 제2 실리사이드층에 대한 접촉부가 형성될 수 있다.

[0108] 도 13은 박막 트랜지스터 디바이스에 대한 제조 프로세스를 예시하는 흐름도의 예를 도시한다. 도 13에 도시된 방법(1300)은 도 9a 및 9b에 도시된 방법(900)에 대해 설명된 일부 프로세스 동작들을 포함한다.

[0109] 블록(1302)에서, 실리콘층을 포함하는 기관이 제공된다. 기관은, 투명 물질 및 불-투명 물질들을 포함하는, 임의의 개수의 상이한 기관 물질들일 수 있다. 일부 구현예들에서, 기관은 실리콘, 실리콘-온-절연체(SOI), 유리(예를 들어, 디스플레이 유리 또는 봉규산 유리), 유연한 플라스틱, 또는 금속박이다. 일부 구현예들에서, TFT 디바이스가 제조된 기관은 수 마이크로미터 내지 수백 마이크로미터의 두께를 가진다. 기관 상의 실리콘층은 형성 기법에 따라, 비정질 실리콘, 다결정 실리콘, 또는 단결정 실리콘을 포함할 수 있다. 일부 구현예들에서, 실리콘층은 약 50 내지 200 nm 두께일 수 있다. 일부 구현예들에서, 실리콘은 처리 프로세스에서 실리사이드 및 갭을 형성하기 위한 실리콘을 제공할 만큼 충분히 두꺼울 수 있다.

[0110] 방법(1300)은 방법(900)에 대해 전술된 프로세스 동작들을 가지고 계속된다. 블록(904)에서, 금속층이 실리콘층 상에 형성되어, 실리콘/금속 이중층을 형성한다. 도 9a 및 9b에 대해 전술된 바와 같이, 금속 및 실리콘 층들이 결국 반응하여 실리사이드층을 형성할 것이다. 블록(908)에서, 제1 유전층이 금속층 및 기관 표면의 노출된 영역들 상에 형성된다. 블록(910)에서, 금속층 및 실리콘층이 처리된다. 도 9a 및 9b에 대해 전술된 바와 같이, 처리는 금속층 및 실리콘층 사이의 반응을 위한 에너지를 제공하여, 실리사이드 층 및 갭을 형성한다. 블록(912)에서, 비정질 실리콘 층이 제1 유전층 상에 형성된다. 비정질 실리콘층은 3개의 영역들, 즉, 갭에 오버레이하는 제3 실리콘 영역, 및 제1 실리콘 영역과 제2 실리콘 영역 사이에 제3 실리콘 영역이 존재하도록 갭의 어느 한 측 상의 기관에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역을 포함할 수 있다. 블록(916)에서, 비정질 실리콘층이 가열된다. 블록(918)에서 비정질 실리콘층이 냉각된다. 갭으로 인해, 제3 실리콘 영역은 제1 실리콘 영역 및 제2 실리콘 영역에 비해 더 느린 속도로 냉각될 수 있다. 블록들(904, 908, 910, 912, 916, 및 918)의 일부 구현예들의 추가적인 상세항목들은 도 9a, 9b, 11a 및 11b에 관련하여 전술되었다.



- [0111] 도 14는 부분적으로 제조된 박막 트랜지스터 디바이스의 횡단면의 개략적 예시의 예를 도시한다. 도 14에 도시된 부분적으로 제조된 TFT 디바이스(1400)는 방법(1300)에 의해 생성될 수 있는 구조의 예이다. 부분적으로 제조된 TFT 디바이스는 기판(1002)에 오버레이하는 실리콘사이드층(1022) 및 제1 유전층(1008)을 포함하며, 실리콘사이드층(1022) 및 제1 유전층(1008) 사이의 갭(1024)을 가진다. 3개의 실리콘 영역들, 즉, 제1 실리콘 영역(1034), 제2 실리콘 영역(1036), 및 제3 실리콘 영역(1038)이 제1 유전층(1008)에 오버레이한다.
- [0112] TFT 디바이스의 제조를 완료하기 위해, 방법(1300)은 방법(900)에 대해 전술된 프로세스 동작들을 가지고 계속될 수 있다. 예를 들어, 블록(922)에 대해 설명된 바와 같이, n-타입 도펀트는 제1 및 제2 실리콘 영역들에 주입될 수 있다. TFT 디바이스(1400)의 제1 실리콘 영역(1034) 및 제2 실리콘 영역(1036)의 n-도핑된 부분들은 각각 소스 영역 및 드레인 영역으로서 역할을 할 수 있고, 제3 실리콘 영역(1038)은 채널 영역으로서 역할을 할 수 있다. 일부 구현예들에서, 제3 실리콘 영역(1038) 아래에 있는 갭(1024) 및 제1 유전층(1008)은 함께 게이트 절연체로서 역할을 한다. 블록(924)에 대해 설명된 바와 같이 유전층은 제1, 제2 및 제3 실리콘 영역들 상에 형성될 수 있다. 유전층은 패시베이션 절연체로서 역할을 할 수 있다. 블록(926)에 대해 설명된 바와 같이, 유전층의 일부분들이 제거되어 제1 및 제2 실리콘 영역들을 노출시킬 수 있다. 블록(928)에 관련하여 설명된 바와 같이 제1 및 제2 실리콘 영역들에 대한 접촉부가 형성될 수 있다.
- [0113] 방법(1300)의 일부 구현예들에서, 방법(900)의 블록(906)에서의 동작은 수행되지 않는다. 따라서, 방법(1300)의 일부 구현예들에서, 블록(910)에서 금속층 및 실리콘층이 처리되어 실리콘사이드층 및 갭을 형성한 이후, 제1 유전층은 대기압이 갭을 붕괴시키고 제1 유전층을 실리콘사이드 층과의 접촉부로 푸시하게 하지 않을 수 있도록 충분히 두껍고 그리고/또는 단단하다. 방법(1300)을 통해 제조된 TFT 디바이스는, 하기에 추가로 설명될 바와 같이, 절대 기압 센서로서 사용될 수 있다.
- [0114] 도 15는 박막 트랜지스터 디바이스에 대한 제조 프로세스를 예시하는 흐름도의 예를 도시한다. 도 15에 도시된 방법(1500)은 도 9a 및 9b에 도시된 방법 및 도 13에 도시된 방법(1300)에 대해 설명된 일부 프로세스 동작들을 포함한다.
- [0115] 방법(1500)은, 방법(1300)에 대해 전술된 바와 같이, 블록(1302)으로 시작한다. 블록(1302)에서, 실리콘층을 포함하는 기판이 제공된다. 방법(1500)은 방법(900)에 대해 전술된 프로세스 동작들을 가지고 계속된다. 블록(904)에서, 금속층이 실리콘층 상에 형성되어, 실리콘/금속 이중층을 형성한다. 도 9a 및 9b에 대해 전술된 바와 같이, 금속 및 실리콘 층들이 반응하여 실리콘사이드 층을 형성할 수 있다. 블록(906)에서, 금속층 및 실리콘층의 일부분이 제거된다. 도 9a 및 9b에 대해 전술된 바와 같이, 볼륨이 유전층으로 채워질 수 있다. 블록(908)에서, 제1 유전층이 금속층 및 기판 표면의 노출된 영역들 상에 형성된다. 블록(910)에서, 금속층 및 실리콘층이 처리된다. 도 9a 및 9b에 대해 전술된 바와 같이, 처리는 금속층 및 실리콘층 사이의 반응을 위한 에너지를 제공하여, 실리콘사이드층 및 갭을 형성한다. 블록(912)에서, 비정질 실리콘층이 제1 유전층 상에 형성된다. 비정질 실리콘층은 3개의 영역들, 즉, 갭에 오버레이하는 제3 실리콘, 및 제1 실리콘 영역 및 제2 실리콘 영역 사이에 제3 실리콘 영역이 존재하도록 갭의 어느 한 측 상의 기판에 오버레이하는 제1 실리콘 영역 및 제2 실리콘 영역을 포함할 수 있다. 블록(916)에서, 비정질 실리콘층이 가열된다. 블록(918)에서 비정질 실리콘층이 냉각된다. 갭으로 인해, 제3 실리콘 영역은 제1 실리콘 영역 및 제2 실리콘 영역에 비해 더 느린 속도로 냉각될 수 있다. 블록들(904, 906, 908, 910, 912, 916, 및 918)의 일부 구현예들의 추가적인 상세항목들이 도 9a, 9b, 11a 및 11b에 대해 전술되었다.
- [0116] TFT 디바이스의 제조를 완료하기 위해, 방법(1500)은 방법(900)에 대해 전술된 프로세스 동작들을 가지고 계속될 수 있다. 예를 들어, 블록(922)에 대해 설명된 바와 같이, n-타입 도펀트가 제1 및 제2 실리콘 영역들에 주입될 수 있다. TFT 디바이스의 제1 실리콘 영역 및 제2 실리콘 영역의 n-도핑된 부분들은 각각 소스 영역 및 드레인 영역으로서 역할을 하고, 제3 실리콘 영역은 채널 영역으로서 역할을 할 수 있다. 일부 구현예들에서, 제3 실리콘 영역 아래에 있는 갭 및 제1 유전층은 게이트 절연체로서 역할을 한다. 유전층은 블록(924)에 대해 설명된 바와 같이 제1, 제2 및 제3 실리콘 영역들 상에 형성될 수 있다. 유전층은 패시베이션 절연체로서 역할을 할 수 있다. 블록(926)에 대해 전술된 바와 같이, 유전층의 일부분들이 제거되어 제1 및 제2 실리콘 영역들을 노출시킬 수 있다. 블록(928)에 대해 설명된 바와 같이, 제1 및 제2 실리콘 영역들에 대한 접촉부들이 형성될 수 있다.
- [0117] TFT 디바이스를 제조하는 방법들(900, 1100, 1300, 및 1500)의 변형예들이 존재할 수 있다. 예를 들어, 방법들(1100 및 1300)은 실리콘/금속 이중층의 일부를 제거하는 것을 포함할 수 있고, 따라서 볼륨은 유전층으로 채워진다. 또다른 예로서, 방법(1100)에서, 블록(922)에서 제1 및 제2 실리콘 영역들에 n-타입 도펀트를 주입하는



것은 블록(1102)에서 또는 블록들(1102 내지 1110) 중 하나 사이의 어느 곳에서는 제3 실리콘 영역 상에 제3 유전층을 형성하기 이전에 발생할 수 있다.

- [0118] 위에서 주지된 바와 같이, 본원에 설명된 TT 디바이스들은 절대 기압 센서로서 기능할 수 있다. 절대 기압 센서는 완벽한 진공 압력(즉, 0 Pa, 또는 압력 없음)에 대한 압력(예를 들어, 대기압)을 측정한다. 예를 들어, 대기압은 진공에 대해 해수면에서 101,325 Pa 파스칼로서 정의되지만, 대기압은 고도 변경에 따라 변경된다.
- [0119] 일부 구현예들에서, 도 14에 부분적으로 제조된 TFT 디바이스(1400)는 완전히 제조될 때 절대 압력 센서로서 기능할 수 있다. 절대 압력 센서로서 동작하기 위해, TFT 디바이스(1400)의 갭(1024)은 진공을 포함하는데, 즉, 갭(1024)은 진공 갭이다. 진공 갭의 두께는 대기압의 변경으로 인해 증가하거나 감소하도록 구성된다.
- [0120] 예를 들어, 부분적으로 제조된 TFT 디바이스(1400)에 대해, 제1 실리콘 영역(1034)의 일부분은 소스 영역으로서 역할을 할 수 있고, 제2 실리콘 영역(1036)의 일부분은 드레인 영역으로서 역할을 할 수 있고, 제3 실리콘 영역(1038)은 채널 영역으로서 역할을 할 수 있다. 갭(1024) 및 유전층(1008)은 함께 게이트 절연체로서 역할을 할 수 있고, 실리콘사이드층(1022)은 게이트로서 역할을 할 수 있다. 일부 구현예들에서, 일정한 전압이 실리콘사이드층(1022)(즉, 게이트)에 인가될 수 있는데, 이는 TFT 디바이스(1400)를 선행 영역에서 유지할 수 있다. 일부 다른 구현예들에서, 제2 실리콘 영역(1036)(즉, 드레인 영역)에 인가된 전압은 또한 실리콘사이드층(1022)(즉, 게이트)에 인가될 수 있는데, 이는 TFT 디바이스(1400)를 포화 영역에서 유지할 수 있다.
- [0121] 대기압의 증가는 갭(1024) 두께를 감소시킬 수 있는데, 즉, 대기압의 증가는 제3 실리콘 영역(1038) 및 제3 실리콘 영역(1038) 아래에 있는 제1 유전층(1008)을 실리콘사이드층(1022)에 더 가깝게 푸시할 수 있다. 갭 두께의 감소는 게이트 커패시턴스(즉, 산화물 커패시턴스) 밀도의 증가를 야기할 수 있다. 일정한 전압이 실리콘사이드층(1022)에 인가될 때 게이트 커패시턴스 밀도의 이러한 증가는 드레인 전류의 변조를 초래한다. 갭(1024)이 진공 갭이므로, 절대 압력은 드레인-대-소스 전류의 변조, 즉, 제2 실리콘 영역(1036)(즉, 드레인 영역)으로부터 제1 실리콘 영역(1034)(즉, 소스 영역)으로의 전류 흐름의 변조에 의해 결정될 수 있다. 따라서, 절대 압력은 TFT 디바이스(1400)를 통과하는 전류로서 측정될 수 있다.
- [0122] 도 16a 및 16b는 복수의 간섭측정 변조기들을 포함하는 디스플레이 디바이스(40)를 예시하는 시스템 블록도들의 예들을 도시한다. 디스플레이 디바이스(40)는, 예를 들어, 스마트폰, 셀룰러 또는 모바일 전화일 수 있다. 그러나, 디스플레이 디바이스(40)의 동일한 컴포넌트들 또는 이들의 약간의 변형들이 또한 텔레비전들, 태블릿들, e-리더기들, 핸드헬드 디바이스들 및 휴대용 미디어 플레이어들과 같은 다양한 타입들의 디스플레이 디바이스들을 예시한다.
- [0123] 디스플레이 디바이스(40)는, 하우징(41), 디스플레이(30), 안테나(43), 스피커(45), 입력 디바이스(48) 및 마이크로폰(46)을 포함한다. 하우징(41)은, 사출 성형 및 진공 형성을 포함하는 다양한 제조 프로세스들 중 임의의 프로세스로부터 형성될 수 있다. 추가로, 하우징(41)은 플라스틱, 금속, 유리, 고무 및 세라믹, 또는 그 조합을 포함하지만 이에 제한되지 않는, 다양한 물질들 중 임의의 물질로 만들어질 수 있다. 하우징(41)은 상이한 컬러의 다른 제거가능한 부분들과 상호교환될 수 있거나, 또는 상이한 로고들, 그림들 또는 심볼들을 포함하는 제거가능한 부분들(미도시)을 포함할 수 있다.
- [0124] 디스플레이(30)는, 본원에 설명된 바와 같이, 쌍안정 또는 아날로그 디스플레이를 포함하는 다양한 디스플레이들 중 임의의 디스플레이일 수 있다. 디스플레이(30)는 또한, 플라스마, EL, OLED, STN LCD, 또는 TFT LCD와 같은 평판 디스플레이, 또는 CRT 또는 다른 튜브 디바이스와 같은 비-평판 디스플레이를 포함하도록 구성될 수 있다. 추가로, 본원에 설명된 바와 같이, 디스플레이(30)는 간섭측정 변조기 디스플레이를 포함할 수 있다.
- [0125] 디스플레이 디바이스(40)의 컴포넌트들은 도 16b에 개략적으로 예시된다. 디스플레이 디바이스(40)는 하우징(41)을 포함하고, 하우징 내에 적어도 부분적으로 에워싸인 추가 컴포넌트들을 포함할 수 있다. 예를 들어, 디스플레이 디바이스(40)는 트랜시버(47)에 커플링된 안테나(43)를 포함하는 네트워크 인터페이스(27)를 포함한다. 트랜시버(47)는 컨디셔닝 하드웨어(52)에 접속된 프로세서(21)에 접속된다. 컨디셔닝 하드웨어(52)는 신호를 컨디셔닝(예를 들어, 신호를 필터링)하도록 구성될 수 있다. 컨디셔닝 하드웨어(52)는 스피커(45) 및 마이크로폰(46)에 접속된다. 프로세서(21)는 또한 입력 디바이스(48) 및 드라이버 제어기(29)에 접속된다. 드라이버 제어기(29)는 프레임 버퍼(28)에, 그리고 어레이 드라이버(22)에 커플링되며, 어레이 드라이버(22)는 차례로 디스플레이 어레이(30)에 커플링된다. 일부 구현예들에서, 전원(50)은 특정 디스플레이 디바이스(40) 설계에서 실질적으로 모든 컴포넌트들에 전력을 제공할 수 있다.
- [0126] 네트워크 인터페이스(27)는 안테나(43) 및 트랜시버(47)를 포함하고, 따라서 디스플레이 디바이스(40)가 네트워

크를 통해 하나 이상의 디바이스들과 통신할 수 있다. 네트워크 인터페이스(27)는 또한 예를 들어, 프로세서(21)의 데이터 프로세싱 요건들을 완화시키기 위한 일부 프로세싱 능력들을 가질 수 있다. 안테나(43)는 신호들을 전송 및 수신할 수 있다. 일부 구현예들에서, 안테나(43)는 IEEE 16.11(a), (b), 또는 (g)를 포함하는 IEEE 16.11 표준, 또는 IEEE 802.11a, b, g, n을 포함하는 IEEE 802.11 표준, 또는 이들의 추가적인 구현예들에 따라 RF 신호들을 전송 및 수신한다. 일부 다른 구현예들에서, 안테나(43)는 블루투스 표준에 따라 RF 신호들을 전송 및 수신한다. 셀룰러 전화의 경우, 안테나(43)는 코드 분할 다중 액세스(CDMA), 주파수 분할 다중 액세스(FDMA), 시분할 다중 액세스(TDMA), 모바일 통신용 글로벌 시스템(GSM), GSM/범용 패킷 라디오 서비스(GPRS), 향상된 데이터 GSM 환경(EDGE), TETRA(Terrestrial Trunked Radio), 광대역-CDMA(W-CDMA), EV-DO(Evolution Data Optimized), 1xEV-DO, EV-DO Rev A, EV-DO Rev B, 고속 패킷 액세스(HSPA), 고속 다운링크 패킷 액세스(HSDPA), 고속 업링크 패킷 액세스(HSUPA), 이벌브드 고속 패킷 액세스(HSPA+), 롱 텀 에볼루션(LTE), AMPS, 또는 3G 또는 4G 기술을 이용하는 시스템과 같은 무선 네트워크 내에서 통신하기 위해 사용되는 다른 공지된 신호들을 수신하도록 설계된다. 트랜시버(47)는 안테나(43)로부터 수신된 신호들을 사전-프로세싱할 수 있고, 따라서, 신호들은 프로세서(21)에 의해 수신되고 추가로 조작될 수 있다. 트랜시버(47)는 또한 프로세서(21)로부터 수신된 신호들을 프로세싱할 수 있고, 따라서, 신호들은 안테나(43)를 통해 디스플레이 디바이스(40)로부터 전송될 수 있다.

[0127] 일부 구현예들에서, 트랜시버(47)는 수신기에 의해 대체될 수 있다. 추가로, 일부 구현예들에서, 네트워크 인터페이스(27)는, 프로세서(21)에 송신될 이미지 데이터를 저장하거나 생성할 수 있는, 이미지 소스에 의해 대체될 수 있다. 프로세서(21)는 디스플레이 디바이스(40)의 전체 동작을 제어할 수 있다. 프로세서(21)는, 네트워크 인터페이스(27) 또는 이미지 소스로부터 압축된 이미지 데이터와 같은 데이터를 수신하고, 데이터를 미가공 이미지 데이터로 또는 미가공 이미지 데이터로 용이하게 프로세싱될 포맷으로 프로세싱한다. 프로세서(21)는 프로세싱된 데이터를 드라이버 제어기(29)에 또는 저장을 위해 프레임 버퍼(28)에 송신할 수 있다. 미가공 데이터는 통상적으로, 이미지 내의 각각의 위치에서의 이미지 특성들을 식별하는 정보를 지칭한다. 예를 들어, 이러한 이미지 특성들은, 색상, 채도 및 그레이-스케일 레벨을 포함할 수 있다.

[0128] 프로세서(21)는 마이크로컨트롤러, CPU, 또는 디스플레이 디바이스(40)의 동작을 제어하기 위한 논리 유닛을 포함할 수 있다. 컨디셔닝 하드웨어(52)는 스피커(45)에 신호들을 전송하기 위한, 그리고 마이크로폰(46)으로부터 신호들을 수신하기 위한 증폭기들 및 필터들을 포함할 수 있다. 컨디셔닝 하드웨어(52)는 디스플레이 디바이스(40) 내의 이산 컴포넌트들일 수 있거나, 또는 프로세서(21) 또는 다른 컴포넌트들 내에 포함될 수 있다.

[0129] 드라이버 제어기(29)는 직접 프로세서(21)로부터 또는 프레임 버퍼(28)로부터 프로세서(21)에 의해 생성된 미가공 이미지 데이터를 취할 수 있고, 어레이 드라이버(22)로의 고속 전송을 위해 미가공 이미지 데이터를 적절하게 재포맷할 수 있다. 일부 구현예들에서, 드라이버 제어기(29)는 미가공 이미지 데이터를 래스터-형 포맷을 가지는 데이터 흐름으로 재포맷할 수 있고, 따라서, 그것은 디스플레이 어레이(30)에 걸쳐 스캐닝하기에 적절한 시간 순서를 가진다. 이후, 드라이버 제어기(29)는 포맷된 정보를 어레이 드라이버(22)로 송신한다. LCD 제어기와 같은 드라이버 제어기(29)는 종종 독립형 집적 회로(IC)와 같은 시스템 프로세서(21)와 연관되지만, 이러한 제어기들은 다수의 방식으로 구현될 수 있다. 예를 들어, 제어기들은 하드웨어로서 프로세서(21)에 내장되고, 소프트웨어로서 프로세서(21)에 내장되거나, 또는 어레이 드라이버(22)와 함께 하드웨어에 완전히 통합될 수 있다.

[0130] 어레이 드라이버(22)는 드라이버 제어기(29)로부터 포맷된 정보를 수신할 수 있고, 디스플레이의 x-y 픽셀 행렬로부터 오는 리드들의, 초당 여러번 내지 수백 또는 때때로 수천번(또는 그 이상) 인가되는 파형들의 병렬 세트에 비디오 데이터를 재포맷할 수 있다.

[0131] 일부 구현예들에서, 드라이버 제어기(29), 어레이 드라이버(22) 및 디스플레이 어레이(30)는 본원에서 설명된 디스플레이들의 타입들 중 임의의 타입에 대해 적합하다. 예를 들어, 드라이버 제어기(29)는 종래의 디스플레이 제어기 또는 쌍안정 디스플레이 제어기(예컨대, IMOD 제어기)일 수 있다. 추가적으로, 어레이 드라이버(22)는 종래의 드라이버 또는 쌍안정 디스플레이 드라이버(예컨대, IMOD 디스플레이 드라이버)일 수 있다. 또한, 디스플레이 어레이(30)는 종래의 디스플레이 어레이 또는 쌍안정 디스플레이 어레이(예컨대, IMOD들의 어레이를 포함하는 디스플레이)일 수 있다. 일부 구현예들에서, 드라이버 제어기(29)는 어레이 디바이스(22)와 통합될 수 있다. 이러한 구현예는 고집적 시스템들, 예를 들어, 모바일 폰들, 휴대용 전자 디바이스들, 시계들 또는 작은 영역 디스플레이들에서 유용할 수 있다.

[0132] 일부 구현예들에서, 입력 디바이스(48)는 예를 들어, 사용자로 하여금 디스플레이 디바이스(40)의 동작을 제어

하게 하도록 구성될 수 있다. 입력 디바이스(48)는, QWERTY 키보드 또는 전화 키패드와 같은 키패드, 버튼, 스위치, 락커, 터치-감지 스크린, 디스플레이 어레이(30)와 통합된 터치-감지 스크린, 또는 압력- 또는 열 감지막을 포함할 수 있다. 막(46)은 디스플레이 디바이스(40)에 대한 입력 디바이스로서 구성될 수 있다. 일부 구현예들에서, 마이크로폰(46)을 통한 음성 커맨드들이 디스플레이 디바이스(40)의 동작들을 제어하기 위해 사용될 수 있다.

[0133] 전원(50)은 다양한 에너지 저장 디바이스들을 포함할 수 있다. 예를 들어, 전원(50)은 니켈 카드뮴 배터리 또는 리튬 이온 배터리와 같은 재충전가능한 배터리일 수 있다. 재충전가능한 배터리를 사용하는 구현예들에서, 재충전가능한 배터리는, 예를 들어, 벽 소켓 또는 광전지(photovoltaic) 디바이스 또는 어레이로부터 오는 전력을 사용하여 충전가능할 수 있다. 대안적으로, 재충전가능한 배터리는 무선으로 충전가능할 수 있다. 전원(50)은 또한, 재생 에너지원, 커패시터, 또는 플라스틱 태양 전지 또는 태양 전지 페인트를 포함하는, 태양 전지일 수 있다. 전원(50)은 또한 벽 콘센트로부터 전력을 수신하도록 구성될 수 있다.

[0134] 일부 구현예들에서, 제어 프로그램가능성이 전자 디스플레이 시스템 내의 몇몇 장소들에 위치될 수 있는 드라이버 제어기(29)에 상주한다. 일부 다른 구현예들에서, 제어 프로그램가능성은 어레이 드라이버(22)에 상주한다. 전술된 최적화는 임의의 개수의 하드웨어 및/또는 소프트웨어 컴포넌트들에 그리고 다양한 구성들에서 구현될 수 있다.

[0135] 본원에 개시된 구현예들과 관련하여 설명된 다양한 예시적인 로직들, 논리 블록들, 모듈들, 회로들 및 알고리즘 단계들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들 둘의 조합들로서 구현될 수 있다. 하드웨어 및 소프트웨어의 상호교환가능성은 일반적으로 기능성의 견지에서 설명되었으며, 전술된 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들에서 예시되었다. 이러한 기능성이 하드웨어로 구현될 지 또는 소프트웨어로 구현될 지의 여부는 전체 시스템에 부과된 특정 애플리케이션 및 설계 제약들에 따른다.

[0136] 본원에 개시된 양상들과 관련하여 설명된 다양한 예시적인 로직들, 논리 블록들, 모듈들 및 회로들을 구현하기 위해 사용되는 하드웨어 및 데이터 프로세싱 장치가 범용 단일- 또는 다중-칩 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그램가능 게이트 어레이(FPGA) 또는 다른 프로그램가능 논리 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본원에 설명된 기능들을 수행하도록 설계된 상기항목들의 임의의 조합을 이용하여 구현되거나 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있거나, 또는 임의의 종래의 프로세서, 제어기, 마이크로컨트롤러, 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합, 예컨대, DSP 및 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 공조하는 하나 이상의 마이크로프로세서들, 또는 임의의 다른 이러한 구성으로서 구현될 수 있다. 일부 구현예들에서, 특정 단계들 및 방법들은 주어진 기능에 대해 특징적인 회로에 의해 수행될 수 있다.

[0137] 하나 이상의 양상들에서, 설명된 기능들은, 이 명세서에 개시된 구조들을 포함하는 하드웨어, 디지털 전자 회로, 컴퓨터 소프트웨어, 펌웨어에서, 또는 이들의 임의의 조합에서 구현될 수 있다. 이 명세서에 설명된 발명 대상의 구현들은 또한 데이터 프로세싱 장치에 의한 실행을 위해, 또는 데이터 프로세싱 장치의 동작을 제어하기 위해 컴퓨터 저장 매체 상에 인코딩된, 하나 이상의 컴퓨터 프로그램들, 즉, 컴퓨터 프로그램 명령들의 하나 이상의 모듈들로서 구현될 수 있다.

[0138] 이 개시내용에 설명된 구현예들의 다양한 수정들이 당업자에게 쉽게 명백할 것이며, 본원에 정의된 포괄적 원리들은 이 개시내용의 사상 또는 범위로부리의 이탈 없이 다른 구현예들에 적용될 수 있다. 따라서, 청구항들은 본원에 보여진 구현예들에 제한되도록 의도되는 것이 아니라, 이 개시내용, 본원에 개시된 원리들 및 신규한 특징들에 부합하는 가장 넓은 범위에 따라야 한다. 단어 "예시적인"은 "예, 경우 또는 예시로서 작용하는" 것을 의미하도록 본원에서 배타적으로 사용된다. "예시적인" 것으로서 본원에 설명된 구현예는 다른 가능성들 또는 구현예들보다 반드시 바람직하거나 유리한 것으로 해석되지는 않을 것이다. 추가로, 당업자는, 용어 "상부" 및 "하부"가 때때로 도면들의 설명의 용이함을 위해 사용되며, 적절하게 배향된 페이지 상에서 도면의 배향에 대응하는 상대적 위치선들을 표시하며, 구현된 바와 같이 IMOD의 적절한 배향을 반영하지 않을 것임을 쉽게 이해할 것이다.

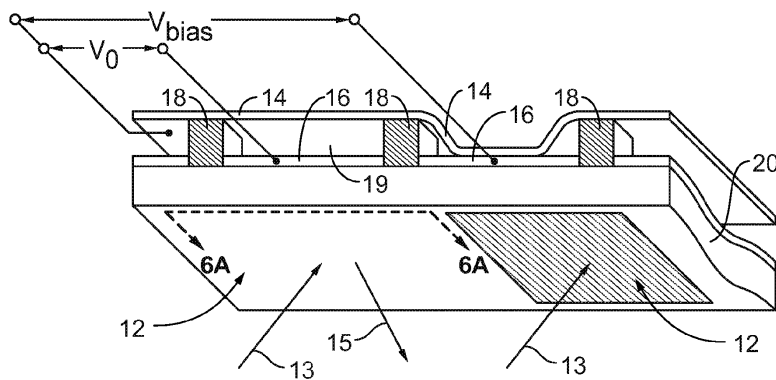
[0139] 별도의 구현예들의 상황에서 이 명세서에 설명된 특정 특징들은 또한 단일 구현예에서 결합하여 구현될 수 있다. 반면, 단일 구현예의 상황에서 설명된 다양한 특징들이 또한 별도로 또는 임의의 적절한 세부 조합으로 다수의 구현예들에서 구현될 수 있다. 또한, 특징들이 특정 조합들에서 작용하는 것으로서 설명될 수 있고 따라서 심지어 초기에 청구되었지만, 청구된 조합으로부터의 하나 이상의 특징들은 일부 경우들에서, 조합으로부터 삭제될 수 있고, 청구된 조합은 세부조합 또는 세부조합의 변형예에 관한 것일 수 있다.

[0140]

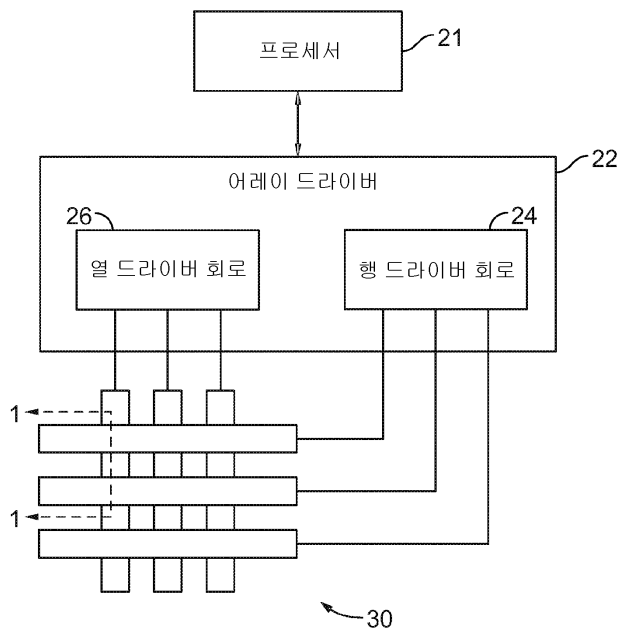
유사하게, 동작들이 특정 순서로 도면들에 도시되어 있지만, 당업자는 이러한 동작들이 도시된 특정 순서로 또는 순차적 순서로 수행될 필요가 없거나, 또는 바람직한 결과들을 달성하기 위해 모든 예시된 동작들이 수행될 필요는 없다는 점을 쉽게 인지할 것이다. 또한, 도면들이 흐름도의 형태로 하나 이상의 예시적인 프로세스들을 개략적으로 도시할 수 있다. 그러나, 도시되지 않은 다른 동작들이 개략적으로 예시된 예시적인 프로세스들에 포함될 수 있다. 예를 들어, 하나 이상의 추가적인 동작들이 예시된 동작들 중 임의의 동작 이전에, 이후에, 동시에, 또는 그 사이에 수행될 수 있다. 특정 환경들에서, 멀티태스킹 및 병렬 프로세싱이 유리할 수 있다. 또한, 전술된 구현예들 내의 다양한 시스템 컴포넌트들의 분리는 모든 구현예들에서 이러한 분리를 요구하는 것으로서 이해되지 않아야 하며, 설명된 프로그램 컴포넌트들 및 시스템들이 일반적으로 단일 소프트웨어 물건에 함께 통합되거나 다수의 소프트웨어 물건들로 패키지화될 수 있다는 점이 이해되어야 한다. 추가적으로, 다른 구현예들은 후속하는 청구항들의 범위 내에 있다. 일부 경우들에서, 청구항들에 인용된 동작들은 상이한 순서로 수행될 수 있으며 여전히 바람직한 결과를 달성할 수 있다.

## 도면

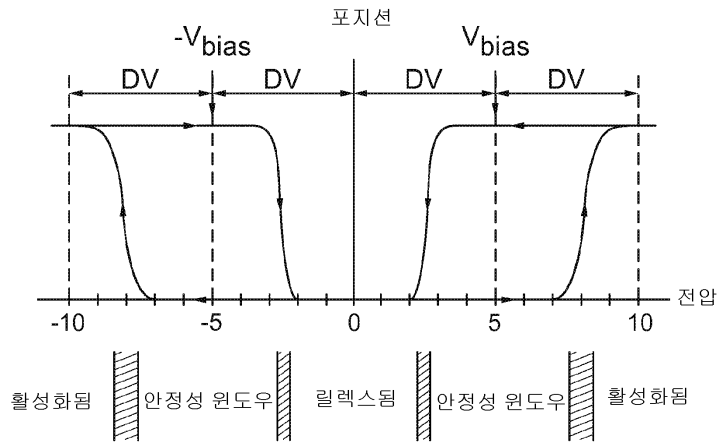
### 도면1



### 도면2



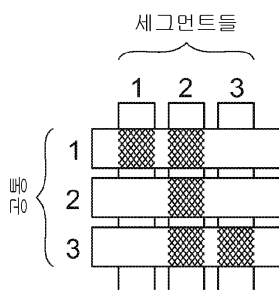
도면3



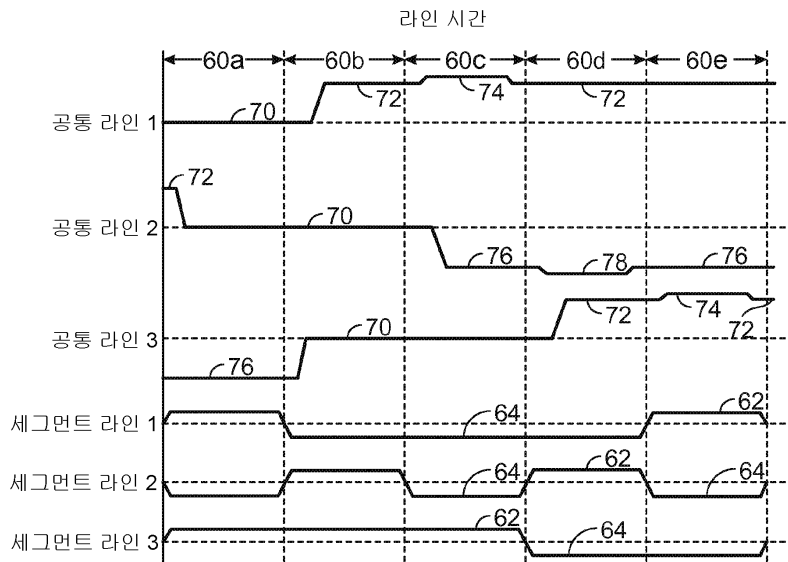
도면4

		공통 전압들				
		VCADD_H	VC HOLD_H	VCREL	VC HOLD_L	VCADD_L
비교 전압들	VS <sub>H</sub>	안정	안정	릴렉스	안정	활성화
	VS <sub>L</sub>	활성화	안정	릴렉스	안정	안정

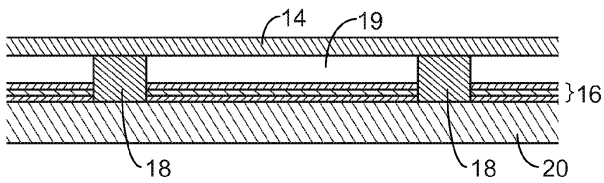
도면5a



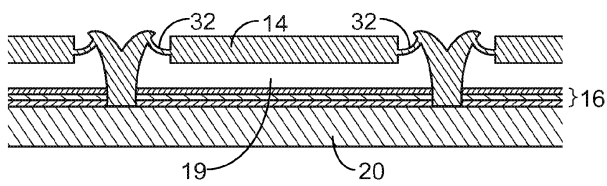
도면5b



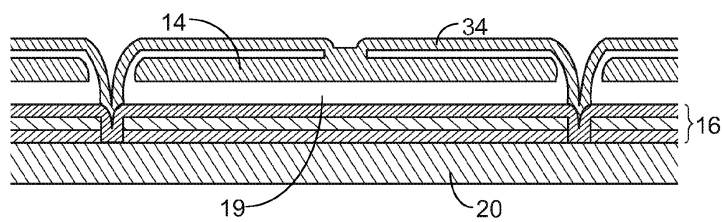
도면6a



도면6b

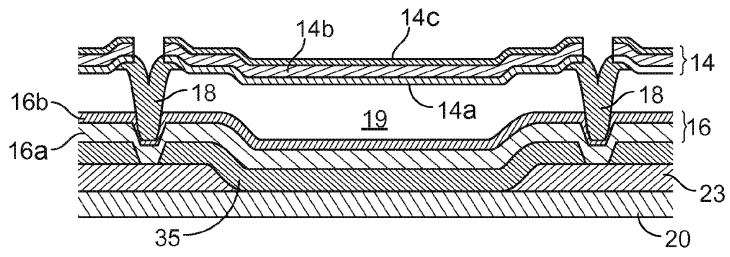


도면6c

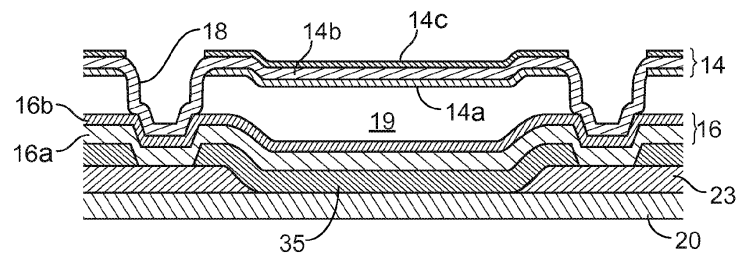




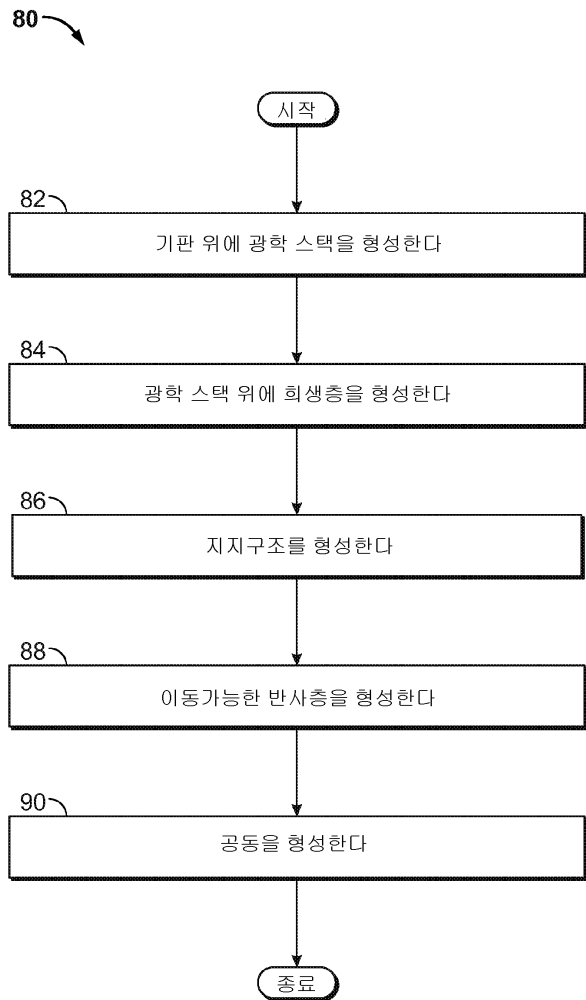
도면6d



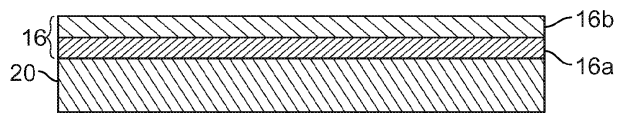
도면6e



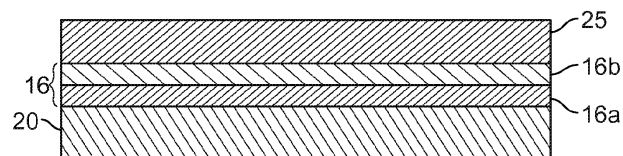
도면7



도면8a

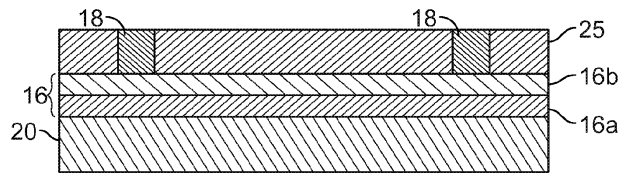


도면8b

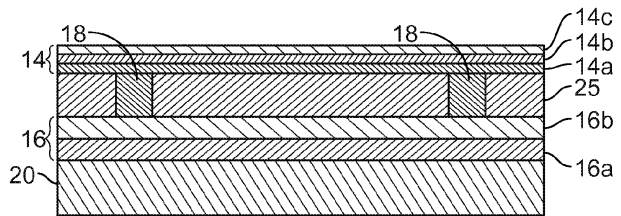




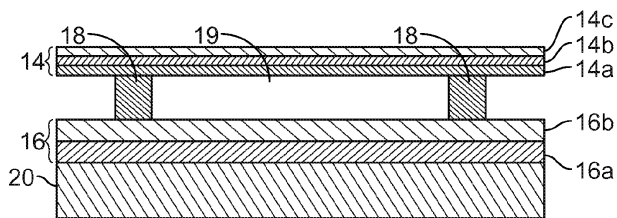
도면8c



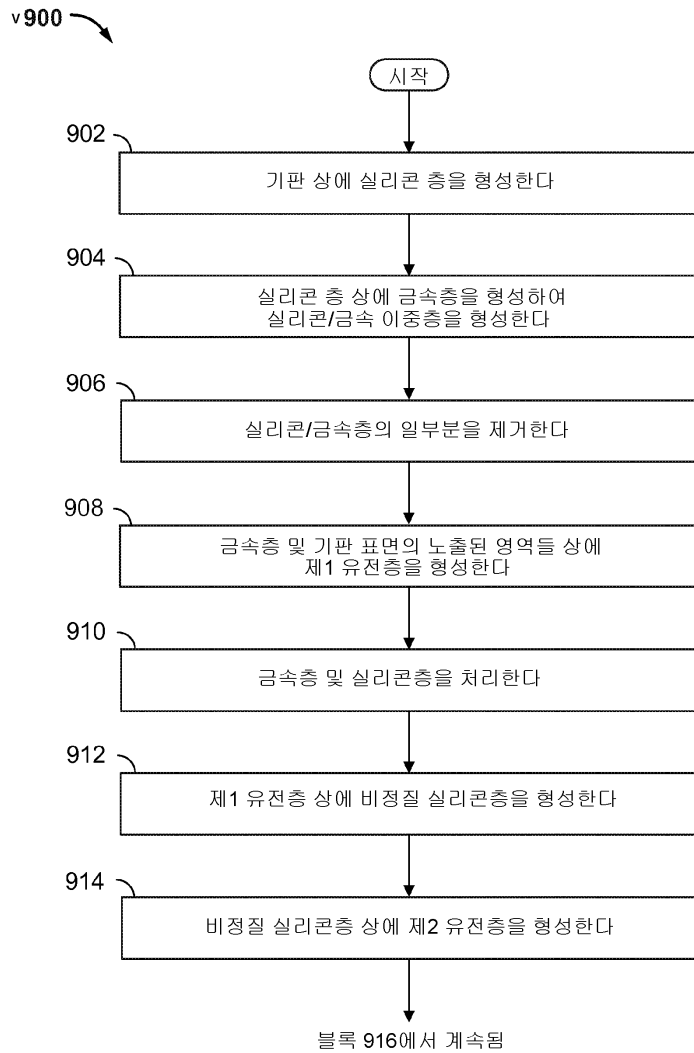
도면8d



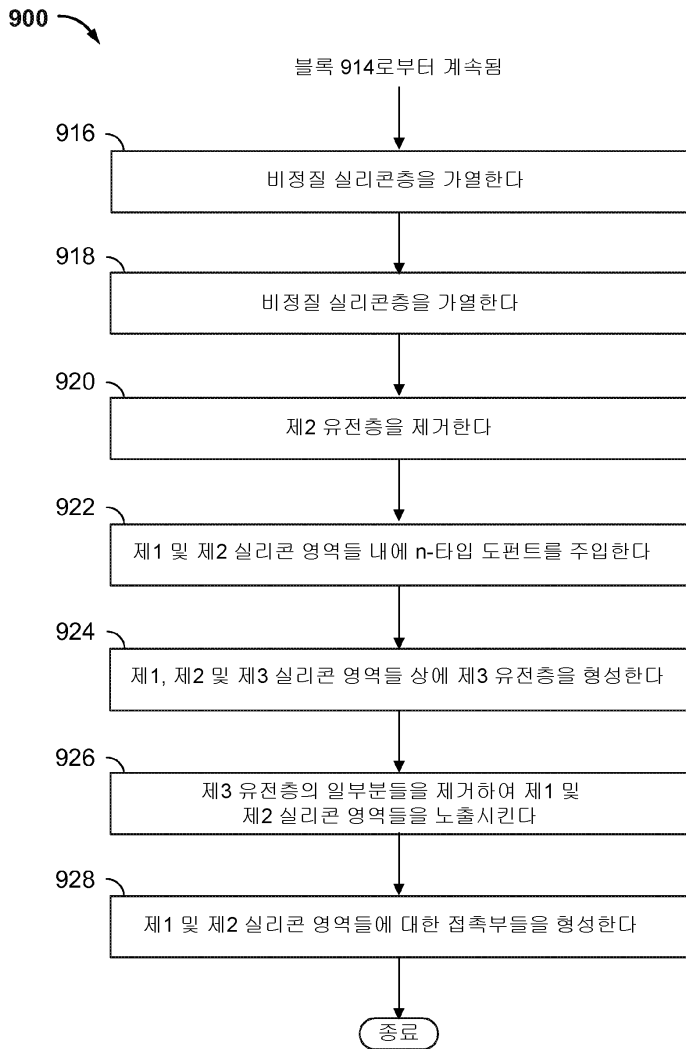
도면8e



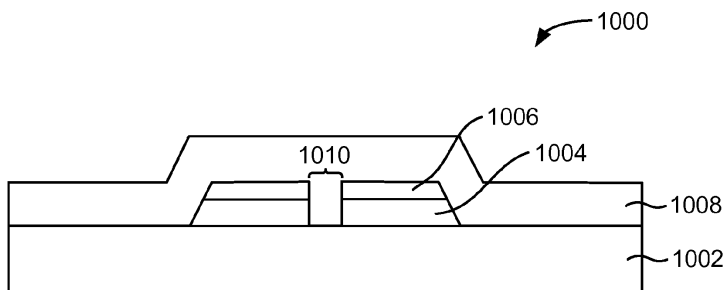
도면9a



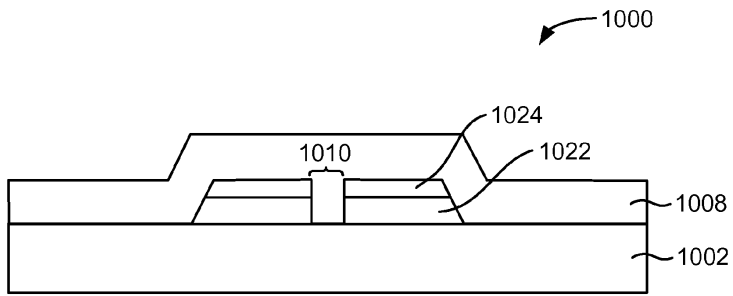
도면9b



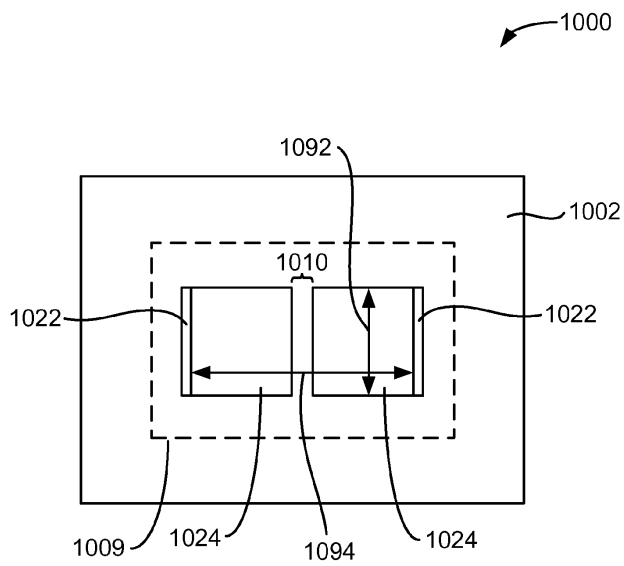
도면10a



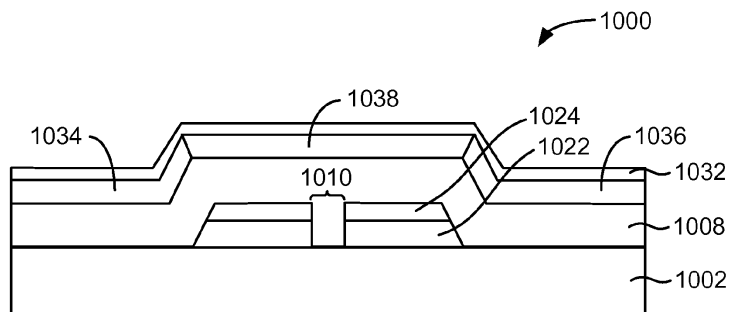
도면10b



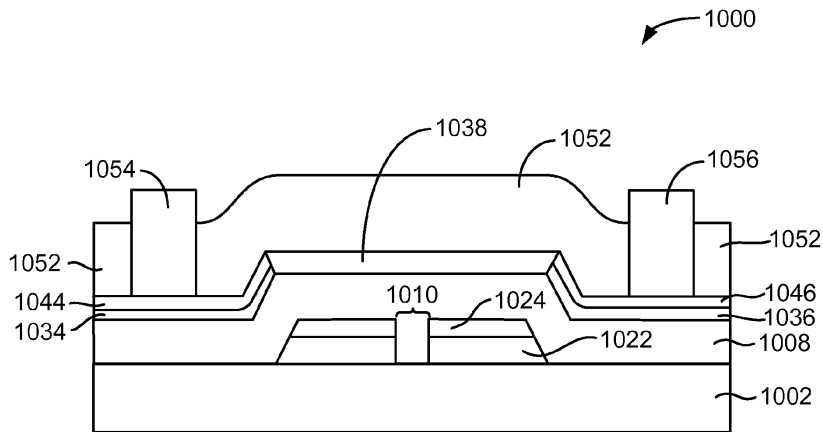
도면10c



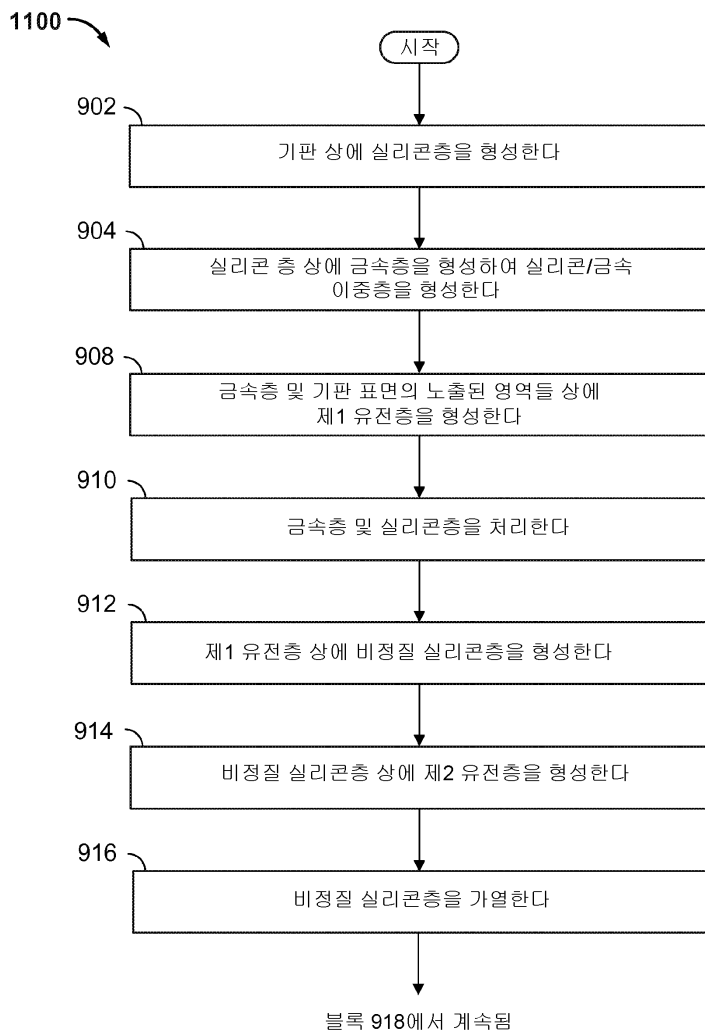
도면10d



도면10e

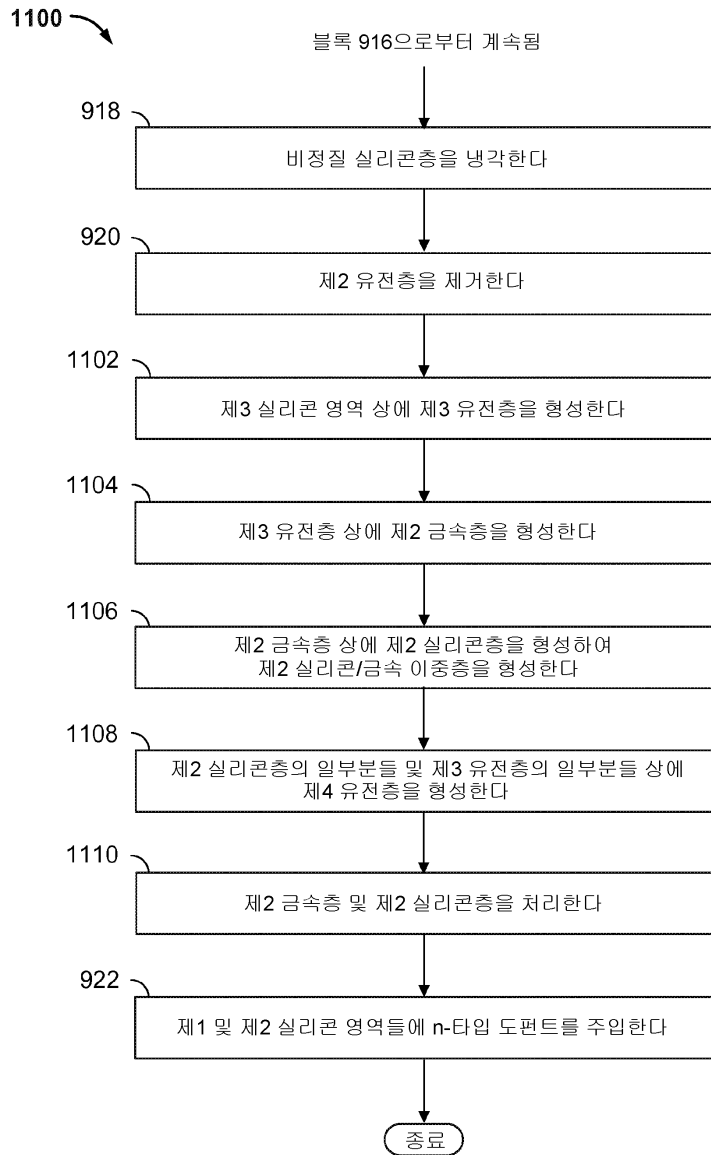


도면11a

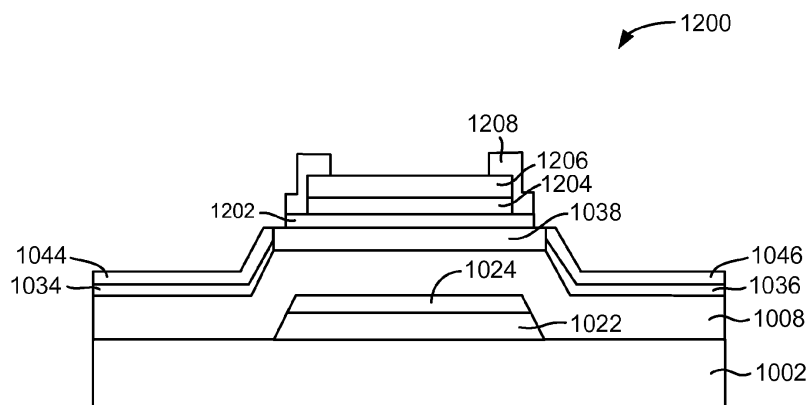




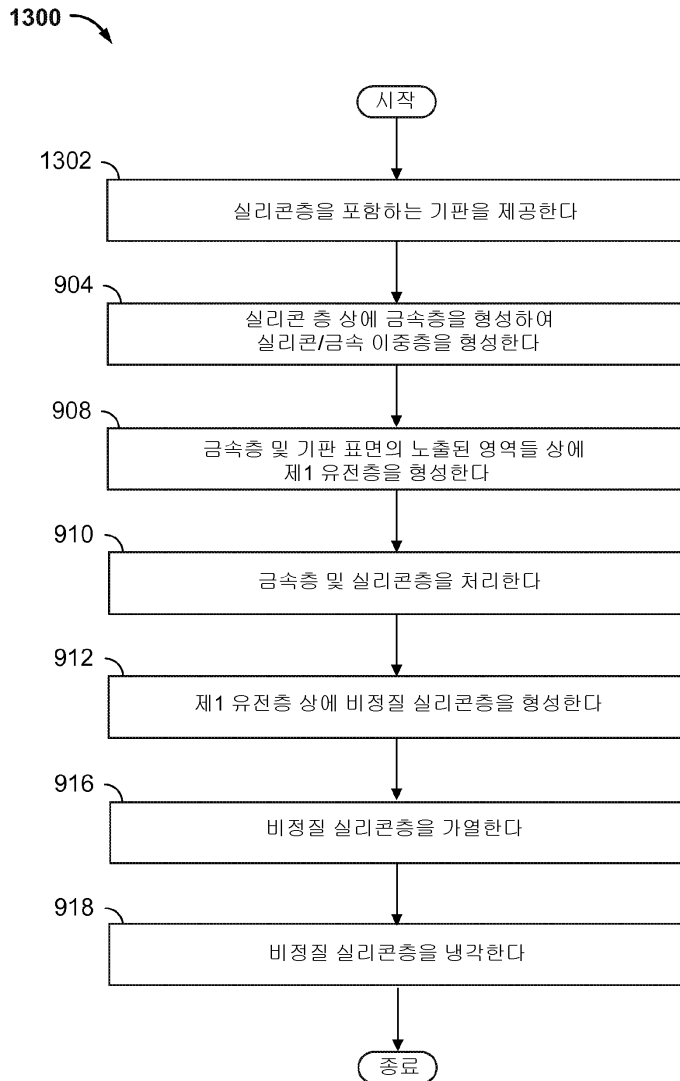
도면11b



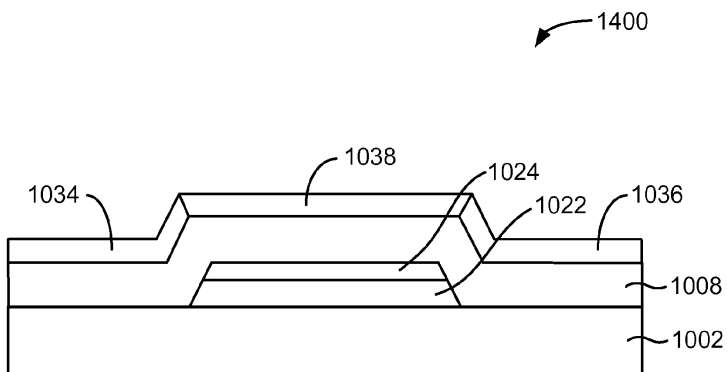
도면12



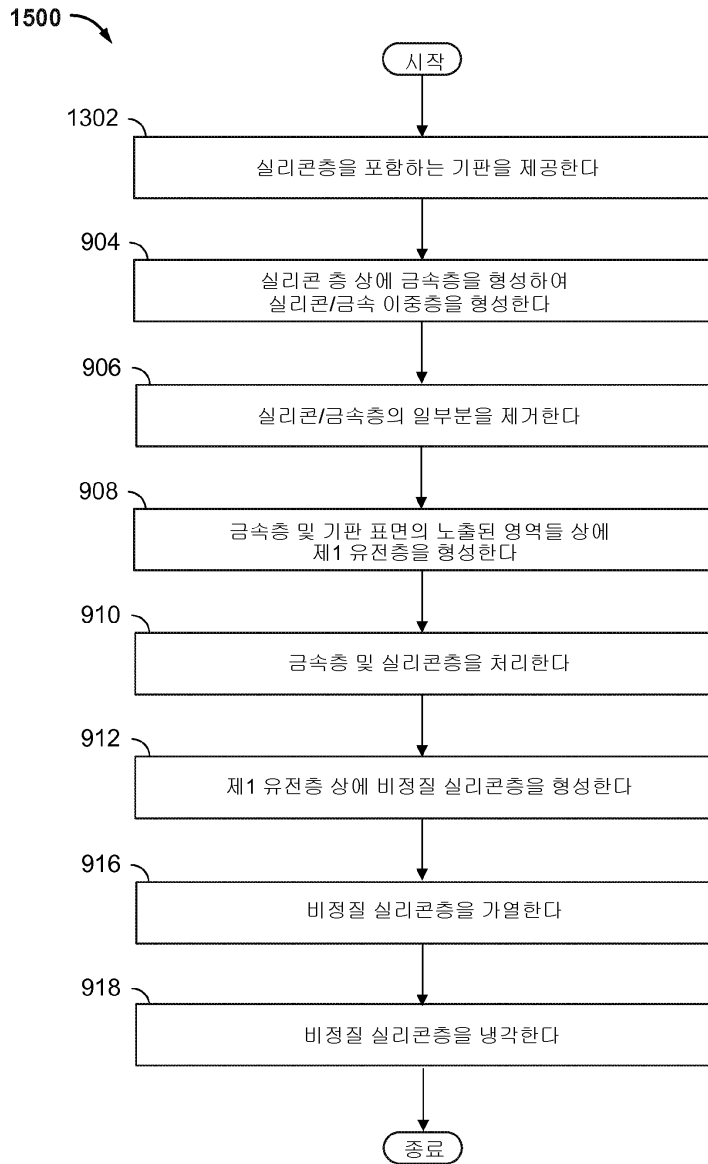
도면13



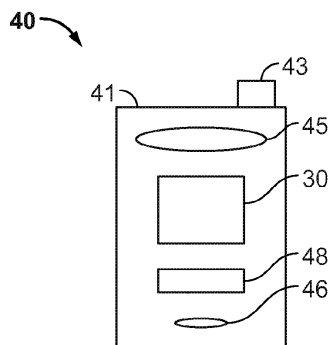
도면14



도면15



도면16a



도면16b

