

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年4月7日(2005.4.7)

【公開番号】特開2003-133417(P2003-133417A)

【公開日】平成15年5月9日(2003.5.9)

【出願番号】特願2001-329582(P2001-329582)

【国際特許分類第7版】

H 01 L 21/82

G 06 F 17/50

H 01 L 21/3205

H 01 L 27/10

【F I】

H 01 L 21/82 D

G 06 F 17/50 6 5 8 M

G 06 F 17/50 6 6 6 C

G 06 F 17/50 6 6 6 Z

H 01 L 27/10 3 7 1

H 01 L 27/10 4 7 1

H 01 L 27/10 4 9 1

H 01 L 21/88 Z

【手続補正書】

【提出日】平成16年5月12日(2004.5.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0255

【補正方法】変更

【補正の内容】

【0255】

第14の実施形態は、図1に示す適用物理寸法を「ピットセル面積」とし、図19に示す第2の使用形態を「待機時にデータを保持する必要がない」とする。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】図14

【補正方法】変更

【補正の内容】

【図14】

(a)及び(b)は本発明の第9の実施形態に係る半導体集積回路装置に形成されるS RAMブロックを示し、(a)は電源遮断制御を行なわないS RAMブロックを示す部分的な回路図であり、(b)はそのピット線と接地線とを示す断面図である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】図15

【補正方法】変更

【補正の内容】

【図15】

(b)は本発明の第12の実施形態に係るチップ状の半導体集積回路装置と該チップ上に形成されるS RAMブロックとを示す模式的な平面図である。

(a)は(b)に示すS RAMブロックにおける設計パターンの適用物理寸法及び適用

条件を表わす表である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】図20

【補正方法】変更

【補正の内容】

【図20】

(b)は本発明の第13の実施形態に係るチップ状の半導体集積回路装置と該チップ上に形成されるS R A M ブロックとを示す模式的な平面図である。

(a)は(b)に示すS R A M ブロックにおける設計パターンの適用物理寸法及び適用条件を表わす表である。