

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 4 月 7 日 (2005.4.7)

【公開番号】特開 2003-133417 (P2003-133417A)

【公開日】平成 15 年 5 月 9 日 (2003.5.9)

【出願番号】特願 2001-329582 (P2001-329582)

【国際特許分類第 7 版】

H 0 1 L 21/82

G 0 6 F 17/50

H 0 1 L 21/3205

H 0 1 L 27/10

【F I】

H 0 1 L 21/82 D

G 0 6 F 17/50 6 5 8 M

G 0 6 F 17/50 6 6 6 C

G 0 6 F 17/50 6 6 6 Z

H 0 1 L 27/10 3 7 1

H 0 1 L 27/10 4 7 1

H 0 1 L 27/10 4 9 1

H 0 1 L 21/88 Z

【手続補正書】

【提出日】平成 16 年 5 月 12 日 (2004.5.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 2 5 5

【補正方法】変更

【補正の内容】

【0 2 5 5】

第 14 の実施形態は、図 1 に示す適用物理寸法を「ビットセル面積」とし、図 19 に示す第 2 の使用形態を「待機時にデータを保持する必要がない」とする。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】図 14

【補正方法】変更

【補正の内容】

【図 14】

(a) 及び (b) は本発明の第 9 の実施形態に係る半導体集積回路装置に形成される S R A M ブロックを示し、(a) は電源遮断制御を行なわない S R A M ブロックを示す部分的な回路図であり、(b) はそのビット線と接地線とを示す断面図である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】図 15

【補正方法】変更

【補正の内容】

【図 15】

(b) は本発明の第 12 の実施形態に係るチップ状の半導体集積回路装置と該チップ上に形成される S R A M ブロックとを示す模式的な平面図である。

(a) は (b) に示す S R A M ブロックにおける設計パターンの適用物理寸法及び適用

条件を表わす表である。

【手続補正４】

【補正対象書類名】明細書

【補正対象項目名】図２０

【補正方法】変更

【補正の内容】

【図２０】

（b）は本発明の第１３の実施形態に係るチップ状の半導体集積回路装置と該チップ上に形成されるＳＲＡＭブロックとを示す模式的な平面図である。

（a）は（b）に示すＳＲＡＭブロックにおける設計パターンの適用物理寸法及び適用条件を表わす表である。