

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 4 年 8 月 12 日(2022.8.12)

【公開番号】特開 2022-79407(P2022-79407A)

【公開日】令和 4 年 5 月 26 日(2022.5.26)

【年通号数】公開公報(特許)2022-093

【出願番号】特願 2021-103681(P2021-103681)

【国際特許分類】

G 0 6 F 1 1 / 1 0 (2 0 0 6 . 0 1)

G 0 6 F 1 1 / 2 2 (2 0 0 6 . 0 1)

G 0 6 F 1 2 / 0 0 (2 0 0 6 . 0 1)

G 1 1 C 2 9 / 4 2 (2 0 0 6 . 0 1)

G 1 1 C 2 9 / 4 8 (2 0 0 6 . 0 1)

【 F I 】

G 0 6 F 1 1 / 1 0 6 4 8

G 0 6 F 1 1 / 2 2 6 7 5 Z

G 0 6 F 1 2 / 0 0 5 9 7 U

G 1 1 C 2 9 / 4 2

G 1 1 C 2 9 / 4 8

10

20

【手続補正書】

【提出日】令和 4 年 8 月 3 日(2022.8.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

装置であって、

通信インターフェースと、

前記通信インターフェースに結合された制御回路であって、前記制御回路が、不揮発性メモリセルに接続するように構成されており、前記制御回路が、

前記不揮発性メモリセルに記憶されたエンコードされたデータの完全性を検証するための要求を、前記通信インターフェースを介して受信することと、

前記要求に応答して、前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデータに関連するビットエラー率を推定することと、

前記ビットエラー率の前記推定値が、第 1 の閾値を下回ることに応答して、前記エンコードされたデータの前記完全性がデータ完全性基準を満たすことを、前記通信インターフェースを介して報告することと、を行うように構成されている、制御回路と、を備える装置。

30

40

【請求項 2】

前記制御回路が、

前記推定されたビットエラー率が前記第 1 の閾値を上回ることに応答して、前記エンコードされたデータのビットエラー率を決定し、前記決定されたビットエラー率に基づいて、前記エンコードされたデータの前記完全性が前記データ完全性基準を満たすかどうかを報告するために、前記エンコードされたデータを完全にデコードするように更に構成されている、請求項 1 に記載の装置。

【請求項 3】

50

前記制御回路が、

前記推定されたビットエラー率が前記第 1 の閾値よりも大きい第 2 の閾値を上回ること
に
応答して、前記エンコードされたデータを完全にデコードすることなく、前記エンコー
ドされたデータの
前記完全性が前記データ完全性基準を満たさないことを報告するように
更に構成されている、請求項 1 に記載の装置。

【請求項 4】

前記制御回路が、

前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデ
ータのシンドローム重みを決定することと、

前記シンドローム重みに基づいて、前記エンコードされたデータに関連する前記ビット
エラー率を推定することと、を行うように更に構成されている、請求項 1 に記載の装置。

10

【請求項 5】

前記制御回路が、

前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデ
ータのシンドローム重みを決定することと、

前記シンドローム重みに基づいて、前記エンコードされたデータに関連する前記ビット
エラー率を推定することと、

前記推定されたビットエラー率が前記第 1 の閾値よりも高い第 2 の閾値を上回ること
に
応答して、前記エンコードされたデータの
前記完全性が、前記データ完全性基準を満た
さないことを報告することと、を行うように更に構成されている、請求項 1 に記載の装置。

20

【請求項 6】

前記制御回路が、

X O R コードワードを作成するために、前記エンコードされたデータの複数のコードワ
ードのビット単位の X O R を実行することと、

前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデ
ータに関連する前記ビットエラー率を推定するために、前記 X O R コードワードのビット
エラー率を決定することであって、前記制御回路が、前記 X O R コードワードの前記ビ
ットエラー率が前記第 1 の閾値を下回ることに応答して、前記エンコードされたデータの
前記完全性が前記データ完全性基準を満たすことを報告する、決定することと、を行うよ
うに更に構成されている、請求項 1 に記載の装置。

30

【請求項 7】

前記制御回路が、

前記 X O R コードワードの前記ビットエラー率が前記第 1 の閾値を上回ることに応答し
て、前記エンコードされたデータの
前記複数のコードワードの各々をデコードし、前記複
数のコードワードの各々の決定されたビットエラー率に基づいて、前記エンコードされ
たデータの
前記完全性が前記データ完全性基準を満たすかどうかを報告するように更に構成
されている、請求項 6 に記載の装置。

【請求項 8】

前記装置が、半導体ダイ及びメモリコントローラを備え、前記半導体ダイが、前記制御
回路を備え、前記制御回路が、前記 X O R コードワードを作成するために前記エンコー
ドされたデータの
前記複数のコードワードの前記ビット単位の X O R を実行するように更に
構成されている、請求項 6 に記載の装置。

40

【請求項 9】

前記制御回路が、

前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデ
ータに関連する前記ビットエラー率を推定するために、前記エンコードされたデータのサ
ンプルのビットエラー率を決定することであって、前記制御回路が、前記エンコードさ
れたデータの
前記サンプルの前記ビットエラー率が前記第 1 の閾値を下回ることに応答して
、前記エンコードされたデータの
前記完全性が前記データ完全性基準を満たすことを報告
する、決定することを行うように更に構成されている、請求項 1 に記載の装置。

50

【請求項 10】

前記制御回路が、

前記エンコードされたデータの前記サンプルの前記ビットエラー率が前記第 1 の閾値を上回ることに応答して、前記エンコードされたデータ内の各コードワードのビットエラー率を決定し、各コードワードの前記決定されたビットエラー率に基づいて、前記エンコードされたデータの前記完全性が前記データ完全性基準を満たすかどうかを報告するように更に構成されている、請求項 9 に記載の装置。

【請求項 11】

不揮発性記憶システムを動作させる方法であって、

前記記憶システム内の不揮発性メモリセルに記憶されたデータの完全性を検証するための要求を、ホストシステムから前記不揮発性記憶システムで受信することと、 10

前記要求に応答して、前記不揮発性メモリセルに記憶された 1 つ以上の E C C コードワードのシンδροーム重みを決定することと、

前記 1 つ以上の E C C コードワードの各々の前記シンδροーム重みが第 1 の閾値を下回ることに応答して、検証される前記データが、データ完全性基準を満たすことを前記ホストシステムに報告することと、

前記第 1 の閾値と、前記第 1 の閾値よりも大きい第 2 の閾値との間のシンδροーム重みを有する、検証される前記データの各それぞれの E C C コードワードに対して、

各それぞれの E C C コードワードをデコードすることと、

各それぞれの E C C コードワードをデコードするビットエラー率が、前記第 1 の閾値と前記第 2 の閾値との間の第 3 の閾値を下回ることに基づいて、検証される前記データが前記データ完全性基準を満たすことを前記ホストシステムに報告することと、を実行することと、を含む、方法。 20

【請求項 12】

前記 1 つ以上の E C C コードワードのうちのいずれかの前記シンδροーム重みが前記第 2 の閾値を上回ることに応答して、前記記憶システムが、前記データを取得するために制限されたリトライ努力を適用すべきであると前記ホストシステムが指定した場合に、検証される前記データの完全性が前記データ完全性基準を満たさないことを前記ホストシステムに報告することを更に含む、請求項 11 に記載の方法。

【請求項 13】

前記 1 つ以上の E C C コードワードのうちのいずれかの前記シンδροーム重みが前記第 2 の閾値を上回ることに応答して、前記データの完全性を検証するための前記要求を完了する前に、前記記憶システムが全ての利用可能なエラー回復を適用すべきであると前記ホストシステムが指定した場合に、検証される前記データを回復するためのエラー回復プロセスを実行することを更に含む、請求項 11 に記載の方法。

【請求項 14】

不揮発性記憶システムであって、

不揮発性メモリセルと、

前記メモリセルに記憶されたデータの完全性を検証するための要求に応答して、複数の E C C コードワードを前記メモリセルから感知するための感知手段と、 40

前記複数の E C C コードワードの X O R コードワードを形成するための X O R 手段と、

前記 X O R コードワードのビットエラー率が第 1 の閾値を下回るかどうかを推定するか、又は判定するためのビットエラー率手段と、

前記 X O R コードワードの前記推定されたビットエラー率又は前記決定されたビットエラー率のいずれかが前記第 1 の閾値を下回ることに応答して、検証される前記データが、デコード可能である可能性が高いことを報告するための通信手段と、を備える、不揮発性記憶システム。

【請求項 15】

前記 X O R 手段が、半導体ダイ上に存在し、

前記ビットエラー率手段が、メモリバスによって前記半導体ダイと通信するメモリコン 50

トローラ内に存在し、前記XOR手段が、前記メモリバスを介して、前記XORコードワードを前記メモリコントローラに転送するように構成されている、請求項14に記載の不揮発性記憶システム。

【請求項16】

前記ビットエラー率手段が、前記XORコードワードの前記推定されたビットエラー率又は前記決定されたビットエラー率が前記第1の閾値を上回ることに応答して、

前記半導体ダイに、前記複数のECCコードワードを転送することを要求することと、

前記複数のECCコードワードをデコードすることと、

前記ECCコードワードの各々のデコード結果に基づいて、検証される前記データが、デコード可能である可能性が高いかどうかをホストシステムに報告することと、を実行するように更に構成されている、請求項15に記載の不揮発性記憶システム。 10

【請求項17】

前記ビットエラー率手段が、前記XORコードワードの前記推定されたビットエラー率又は前記決定されたエラー率が前記第1の閾値を上回ることに応答して、

前記半導体ダイに、前記複数のECCコードワードを転送することを要求することと、

各それぞれのコードワードのシンドローム重みに基づいて、前記複数のECCコードワードの各それぞれのコードワードのビットエラー率を推定することと、

検証される前記データが、各それぞれのコードワードの前記推定されたビットエラー率に基づいて、デコード可能である可能性が高いかどうかをホストシステムに報告することと、を実行するように更に構成されている、請求項15に記載の不揮発性記憶システム。 20

【請求項18】

前記ビットエラー率手段が、前記XORコードワードの前記ビットエラー率を決定するために、前記XORコードワードをデコードするように構成されており、

前記通信手段が、前記XORコードワードの前記決定されたビットエラー率が前記第1の閾値を下回ることに応答して、検証される前記データがデコード可能である可能性が高いことを報告するように構成されている、請求項14に記載の不揮発性記憶システム。

【請求項19】

前記ビットエラー率手段が、前記XORコードワードの前記ビットエラー率を推定するために、前記XORコードワードのシンドローム重みを決定するように構成されており、

前記通信手段が、前記XORコードワードの前記推定されたビットエラー率が前記第1の閾値を下回ることに応答して、検証される前記データがデコード可能である可能性が高いことを報告するように構成されている、請求項14に記載の不揮発性記憶システム。 30

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0177

【補正方法】変更

【補正の内容】

【0177】

本発明の前述の詳細な説明は、例示及び説明の目的のために提示したものである。前述の詳細な説明は、網羅的であること、又は開示した正確な形態に本発明を限定することを意図したものではない。上記の教示に鑑みて多くの修正及び変形が可能である。説明した実施形態は、本発明の原理及びその実際の用途を最良に説明するために選択されたものであり、それによって、当業者が様々な実施形態で、企図される特定の使用法に適するように様々な修正を伴って、本発明を最良に利用することを可能にする。本発明の範囲は、本明細書に添付の請求項によって定義されることが意図されている。 40

以下は、出願時の特許請求の範囲である。

(請求項1)

装置であって、

通信インターフェースと、

前記通信インターフェースに結合された制御回路であって、前記制御回路が、不揮発性 50

メモリセルに接続するように構成されており、前記制御回路が、

前記不揮発性メモリセルに記憶されたエンコードされたデータの完全性を検証するための要求を、前記通信インターフェースを介して受信することと、

前記要求に応答して、前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデータに関連するビットエラー率を推定することと、

前記ビットエラー率の前記推定値が、第 1 の閾値を下回ることに応答して、前記エンコードされたデータの前記完全性がデータ完全性基準を満たすことを、前記通信インターフェースを介して報告することと、を行うように構成されている、制御回路と、を備える、装置。

(請求項 2)

10

前記制御回路が、

前記推定されたビットエラー率が前記第 1 の閾値を上回ることに応答して、前記エンコードされたデータのビットエラー率を決定し、前記決定されたビットエラー率に基づいて、前記エンコードされたデータの前記データ完全性が前記データ完全性基準を満たすかどうかを報告するために、前記エンコードされたデータを完全にデコードするように更に構成されている、請求項 1 に記載の装置。

(請求項 3)

前記制御回路が、

前記推定されたビットエラー率が前記第 1 の閾値よりも大きい第 2 の閾値を上回ることに応答して、前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデータの前記完全性が前記データ完全性基準を満たさないことを報告するように更に構成されている、請求項 1 に記載の装置。

20

(請求項 4)

前記制御回路が、

前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデータのシンδροーム重みを決定することと、

前記シンδροーム重みに基づいて、前記エンコードされたデータに関連する前記ビットエラー率を推定することと、を行うように更に構成されている、請求項 1 に記載の装置。

(請求項 5)

前記制御回路が、

前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデータのシンδροーム重みを決定することと、

前記シンδροーム重みに基づいて、前記エンコードされたデータに関連する前記ビットエラー率を推定することと、

前記推定されたビットエラー率が前記第 1 の閾値よりも高い第 2 の閾値を上回ることに応答して、前記エンコードされたデータの前記完全性が、前記データ完全性基準を満たさないことを報告することと、を行うように更に構成されている、請求項 1 に記載の装置。

30

(請求項 6)

前記制御回路が、

XORコードワードを作成するために、前記エンコードされたデータの複数のコードワードのビット単位の XOR を実行することと、

前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデータに関連する前記ビットエラー率を推定するために、前記 XORコードワードのビットエラー率を決定することとあって、前記制御回路が、前記 XORコードワードの前記ビットエラー率が前記第 1 の閾値を下回ることに応答して、前記エンコードされたデータの前記完全性が前記データ完全性基準を満たすことを報告する、決定することと、を行うように更に構成されている、請求項 1 に記載の装置。

40

(請求項 7)

前記制御回路が、

前記 XORコードワードの前記ビットエラー率が前記第 1 の閾値を上回ることに応答し

50

て、前記エンコードされたデータの前記複数のコードワードの各々をデコードし、前記複数のコードワードの各々の決定されたビットエラー率に基づいて、前記エンコードされたデータの前記完全性が前記データ完全性基準を満たすかどうかを報告するように更に構成されている、請求項 6 に記載の装置。

(請求項 8)

前記装置が、半導体ダイ及びメモリコントローラを備え、前記半導体ダイが、前記制御回路を備え、前記制御回路が、前記 XOR コードワードを作成するために前記エンコードされたデータの前記複数のコードワードの前記ビット単位の XOR を実行するように更に構成されている、請求項 6 に記載の装置。

(請求項 9)

10

前記制御回路が、

前記エンコードされたデータを完全にデコードすることなく、前記エンコードされたデータに関連する前記ビットエラー率を推定するために、前記エンコードされたデータのサンプルのビットエラー率を決定することであって、前記制御回路が、前記エンコードされたデータの前記サンプルの前記ビットエラー率が前記第 1 の閾値を下回ることに応答して、前記エンコードされたデータの前記完全性が前記データ完全性基準を満たすことを報告する、決定することを行うように更に構成されている、請求項 1 に記載の装置。

(請求項 10)

前記制御回路が、

前記エンコードされたデータの前記サンプルの前記ビットエラー率が前記第 1 の閾値を上回ることに応答して、前記エンコードされたデータ内の各コードワードのビットエラー率を決定し、各コードワードの前記決定されたビットエラー率に基づいて、前記エンコードされたデータの前記完全性が前記データ完全性基準を満たすかどうかを報告するように更に構成されている、請求項 9 に記載の装置。

20

(請求項 11)

不揮発性記憶システムを動作させる方法であって、

前記記憶システム内の不揮発性メモリセルに記憶されたデータの完全性を検証するための要求を、ホストシステムから前記不揮発性記憶システムで受信することと、

前記要求に応答して、前記不揮発性メモリセルに記憶された 1 つ以上の ECC コードワードのシンδροーム重みを決定することと、

30

前記 1 つ以上の ECC コードワードの各々の前記シンδροーム重みが第 1 の閾値を下回ることに応答して、検証される前記データが、データ完全性基準を満たすことを前記ホストシステムに報告することと、を含む、方法。

(請求項 12)

前記第 1 の閾値と、前記第 1 の閾値よりも大きい第 2 の閾値との間のシンδροーム重みを有する、検証される前記データの各それぞれの ECC コードワードに対して、

各それぞれの ECC コードワードをデコードすることと、

各それぞれの ECC コードワードをデコードするビットエラー率が、前記第 1 の閾値と前記第 2 の閾値との間の第 3 の閾値を下回ることに基づいて、検証される前記データが前記データ完全性基準を満たすことを前記ホストシステムに報告することと、を実行することを含む、請求項 11 に記載の方法。

40

(請求項 13)

前記 1 つ以上の ECC コードワードのうちのいずれかの前記シンδροーム重みが前記第 2 の閾値を上回ることに応答して、前記記憶システムが、前記データを取得するために制限されたリトライ努力を適用すべきであると前記ホストシステムが指定した場合に、検証される前記データの前記完全性が前記データ完全性基準を満たさないことを前記ホストシステムに報告することを更に含む、請求項 12 に記載の方法。

(請求項 14)

前記 1 つ以上の ECC コードワードのうちのいずれかの前記シンδροーム重みが前記第 2 の閾値を上回ることに応答して、前記データの完全性を検証するための前記要求を完了

50

する前に、前記記憶システムが全ての利用可能なエラー回復を適用すべきであると前記ホストシステムが指定した場合に、検証される前記データを回復するためのエラー回復プロセスを実行することを更に含む、請求項 12 に記載の方法。

(請求項 15)

不揮発性記憶システムであって、

不揮発性メモリセルと、

前記メモリセルに記憶されたデータの完全性を検証するための要求に応答して、複数の ECC コードワードを前記メモリセルから感知するための感知手段と、

前記複数の ECC コードワードの XOR コードワードを形成するための XOR 手段と、

前記 XOR コードワードのビットエラー率が第 1 の閾値を下回るかどうかを推定するか、又は判定するためのビットエラー率手段と、

前記 XOR コードワードの前記推定されたビットエラー率又は前記決定されたビットエラー率のいずれかが前記第 1 の閾値を下回ることに応答して、検証される前記データが、デコード可能である可能性が高いことを報告するための通信手段と、を備える、不揮発性記憶システム。

(請求項 16)

前記 XOR 手段が、半導体ダイ上に存在し、

前記ビットエラー率手段が、メモリバスによって前記半導体ダイと通信するメモリコントローラ内に存在し、前記 XOR 手段が、前記メモリバスを介して、前記 XOR コードワードを前記メモリコントローラに転送するように構成されている、請求項 15 に記載の不揮発性記憶システム。

(請求項 17)

前記ビットエラー率手段が、前記 XOR コードワードの前記推定されたビットエラー率又は前記決定されたビットエラー率が前記第 1 の閾値を上回ることに応答して、

前記半導体ダイに、前記複数の ECC コードワードを転送することを要求することと、

前記複数の ECC コードワードをデコードすることと、

前記 ECC コードワードの各々のデコード結果に基づいて、検証される前記データが、デコード可能である可能性が高いかどうかをホストシステムに報告することと、を実行するように更に構成されている、請求項 16 に記載の不揮発性記憶システム。

(請求項 18)

前記ビットエラー率手段が、前記 XOR コードワードの前記推定されたビットエラー率又は前記決定されたエラー率が前記第 1 の閾値を上回ることに応答して、

前記半導体ダイに、前記複数の ECC コードワードを転送することを要求することと、

各それぞれのコードワードのシンドローム重みに基づいて、前記複数の ECC コードワードの各それぞれのコードワードのビットエラー率を推定することと、

検証される前記データが、各それぞれのコードワードの前記推定されたビットエラー率に基づいて、デコード可能である可能性が高いかどうかをホストシステムに報告することと、を実行するように更に構成されている、請求項 15 に記載の不揮発性記憶システム。

(請求項 19)

前記ビットエラー率手段が、前記 XOR コードワードの前記ビットエラー率を決定するために、前記 XOR コードワードをデコードするように構成されており、

前記通信手段が、前記 XOR コードワードの前記決定されたビットエラー率が前記第 1 の閾値を下回ることに応答して、検証される前記データがデコード可能である可能性が高いことを報告するように構成されている、請求項 15 に記載の不揮発性記憶システム。

(請求項 20)

前記ビットエラー率手段が、前記 XOR コードワードの前記ビットエラー率を推定するために、前記 XOR コードワードのシンドローム重みを決定するように構成されており、

前記通信手段が、前記 XOR コードワードの前記推定されたビットエラー率が前記第 1 の閾値を下回ることに応答して、検証される前記データがデコード可能である可能性が高いことを報告するように構成されている、請求項 15 に記載の不揮発性記憶システム。